



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) **DE 10 2004 062 224 B4** 2009.04.23

(12)

Patentschrift

(21) Aktenzeichen: **10 2004 062 224.8**
 (22) Anmeldetag: **23.12.2004**
 (43) Offenlegungstag: **04.08.2005**
 (45) Veröffentlichungstag
 der Patenterteilung: **23.04.2009**

(51) Int Cl.⁸: **H03K 17/0812** (2006.01)
H02H 7/20 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
2004-001057 06.01.2004 JP
2004-262033 09.09.2004 JP

(72) Erfinder:
Sakata, Hiroshi, Tokio/Tokyo, JP; Tanaka, Tomofumi, Tokio/Tokyo, JP

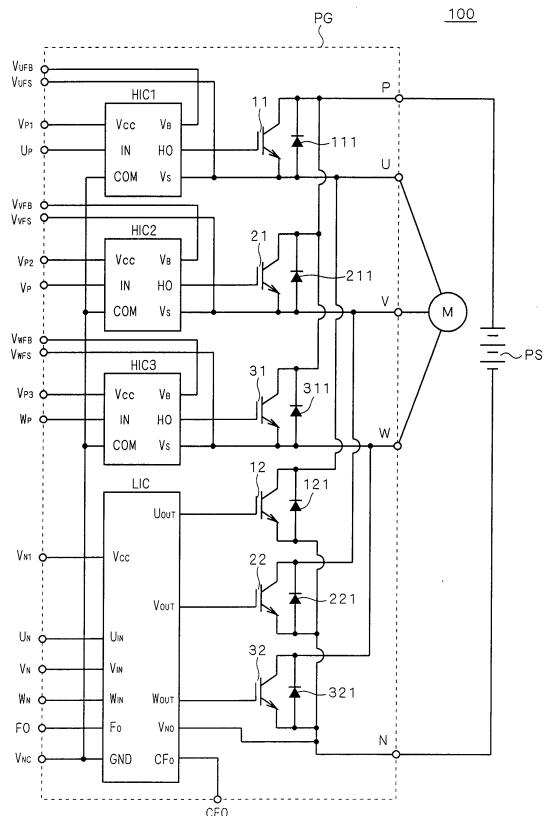
(73) Patentinhaber:
Mitsubishi Denki K.K., Tokyo, JP

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
DE 103 34 832 A1
EP 4 87 964 A2
WO 98/59 421 A1
JP 2002-2 47 857 A

(74) Vertreter:
PRÜFER & PARTNER GbR, 81479 München

(54) Bezeichnung: **Halbleitervorrichtung und Halbleitervorrichtungsmodul**

(57) Hauptanspruch: Halbleitervorrichtung (HIC, LIC), die ein Treiben eines Transistors mit isoliertem Gate (11, 12) steuert durch Erzeugen eines Steuerausgangssignals (S13) auf der Grundlage eines Steuereingangssignals (S10), enthaltend:
 einen Treiber (GD1), der das Steuerausgangssignal ausgibt, und
 eine Kurzschlusschutzschaltung (SP1), die das Steuerausgangssignal erfasst und den Treiber steuert und zwingt, das Steuerausgangssignal zu beenden, wenn eine erfasste Spannung des Steuerausgangssignals eine vorbestimmte Referenzspannung (V1) übersteigt, bevor eine vorbestimmte Zeitspanne (t1) abgelaufen ist, nachdem das Steuereingangssignal oder ein mit dem Steuereingangssignal (S10) im wesentlichen identisches pegelverschobenes Signal (S11) ein Beginnen eines Leitens des Transistors mit isoliertem Gate anzeigt;
 wobei die Kurzschlusschutzschaltung (SP1) enthält:
 eine Pulserzeugungsschaltung (19), die das Steuereingangssignal oder das mit dem Steuereingangssignal (S10) im wesentlichen identische pegelverschobene Signal (S11) empfängt und ein erstes Pulssignal (S12) ausgibt, das signifikant wird entsprechend einer Zeit, in der das Steuereingangssignal oder das mit dem Steuereingangssignal (S10) im wesentlichen identische pegelverschobene Signal (S11)...



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf eine Halbleitervorrichtung und ein Halbleitervorrichtungsmodul, und insbesondere bezieht sie sich auf eine Halbleitervorrichtung und ein Halbleitervorrichtungsmodul, die eine Kurzschlusschutzfunktion einer Schaltvorrichtung mit isoliertem Gate wie z. B. eines IGBT (Insulated Gate Bipolar Transistor = Bipolartransistor mit isoliertem Gate) und dergleichen enthält.

[0002] Eine Halbleitervorrichtung, bei der die Schaltvorrichtung vom isolierten Gatetyp wie z. B. der IGBT und dergleichen und eine Steuerschaltung, die eine Ansteuerung dieser Schaltvorrichtung steuert, zusammengepackt sind, wird als IPM (Intelligent Power Module = Intelligentes Leistungsmodul) bezeichnet, und im Hinblick auf ein herkömmliches IPM wird ein Kurzschlusschutz durchgeführt, in dem ein Shuntwiderstand, der einen fließenden Hauptstrom erfasst, zwischen Hauptleistungsanschlüssen der Schaltvorrichtung außerhalb des Gehäuses angeschlossen wird und der Hauptstrom überwacht wird.

[0003] In [Fig. 1](#) der Japanischen Patentoffenlegungsschrift Nr. 2002-247857 ist beispielsweise ein Aufbau offenbart, bei dem ein Shuntwiderstand, der einen zwischen den Hauptleistungsanschlüssen fließenden DC-Strom erfasst, außerhalb eines Gehäuses angeschlossen ist, und ein Stromerfassungsanschluss zum Erfassen einer Spannung an dem Shuntwiderstand in dem Gehäuse eingesetzt ist.

[0004] Wie oben beschrieben wird im Hinblick auf das herkömmliche IPM der Kurzschlusschutz durchgeführt, indem der Hauptstrom der Schaltvorrichtung durch den außerhalb des Gehäuses angeordneten Shuntwiderstand erfasst wird, somit ist der Stromerfassungsanschluss erforderlich, um die an dem Shuntwiderstand anliegende Spannung zu erfassen.

[0005] Darüber hinaus ist es notwendig, eine Filterschaltung wie z. B. ein CR-Filter und dergleichen außerhalb des Gehäuses anzuordnen, um eine Störung zu entfernen, die in den Shuntwiderstand und den Stromerfassungsanschluss eindringt, und daher besteht die Möglichkeit, dass eine Vorrichtung massig wird.

[0006] Wenn eine Länge einer Verdrahtung von einer Hauptmasseelektrode zu einem Masseanschluss der Schaltvorrichtung durch Einsetzen des Shuntwiderstands groß wird, wird eine Spannungsspitze entsprechend einem Schalten der Schaltvorrichtung groß, und es besteht auch die Möglichkeit, dass ein Fehler auftritt.

[0007] DE 103 34 832 beschreibt einen Steuerkreis zum Ansteuern eines Leistungshalbleiterelements,

der einen Gatespannungsdetektor enthält, der eine Gate-Emitter-Spannung über einen Erfassungszeitraum erfasst, in dem ein Erfassungsprozess zugelassen ist.

[0008] EP 0 487 964 A2 beschreibt eine Schutzschaltungsanordnung, bei der die Gate-Emitter-Spannung eines IGBT überwacht wird. Bei Anstieg des Laststroms steigt diese an. Wird sie größer als ein Referenzwert, wird ein zwischen Gate und Emitter liegender Schalter leitend gesteuert, der die Gate-Emitter-Spannung absenkt.

[0009] WO 98/59421 beschreibt eine Kurzschlusschutzschaltung für einen Halbleiterschalter, die Mittel zum Messen des Gatepotentials und der Drain-Source-Spannung und zum Vergleichen des Gatepotentials mit einem Referenzpotential enthält und einen Steuerpuls ausgibt, der den Schalter sperrt, wenn das Gatepotential das Referenzpotential übersteigt, solange die Drain-Source-Spannung einen hohen Wert aufweist.

[0010] Die Aufgabe der vorliegenden Erfindung besteht darin, eine Halbleitervorrichtung bereitzustellen, die eine Kurzschlusschutzfunktion ohne einen Shuntwiderstand verwirklicht, sowie ein IPM, in dem die Halbleitervorrichtung eingebaut ist.

[0011] Die Aufgabe wird gelöst durch eine Halbleitervorrichtung gemäß Anspruch 1 bzw. durch ein Halbleitervorrichtungsmodul gemäß Anspruch 4 oder 5. Weiterbildungen der Erfindung sind jeweils in den Unteransprüchen gekennzeichnet.

[0012] Entsprechend dieser Halbleitervorrichtung kann ein Aufbau für den Kurzschlusschutz vereinfacht werden.

[0013] Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsbeispielen anhand der beigefügten Zeichnungen.

[0014] [Fig. 1](#) ist eine Zeichnung, die einen Aufbau eines Invertermoduls gemäß der vorliegenden Erfindung zeigt.

[0015] [Fig. 2](#) ist eine Zeichnung, die einen Aufbau einer Steuervorrichtung in einem ersten Beispiel zeigt, das keine Ausführungsform gemäß der vorliegenden Erfindung ist.

[0016] [Fig. 3](#) ist eine Zeichnung, die einen Aufbau einer Einzelpulserzeugungsschaltung zeigt.

[0017] [Fig. 4](#) ist ein Zeitdiagramm zum Beschreiben eines Verhaltens der Einzelpulserzeugungsschaltung.

[0018] **Fig. 5** ist ein Zeitdiagramm zum Beschreiben eines Verhaltens der Steuervorrichtung in dem ersten Beispiel.

[0019] **Fig. 6** ist eine Zeichnung, die einen Aufbau einer Steuervorrichtung in einem zweiten Beispiel zeigt, das eine Ausführungsform gemäß der vorliegenden Erfindung ist.

[0020] **Fig. 7** ist eine Zeichnung, die einen Aufbau einer Filterschaltung zeigt.

[0021] **Fig. 8** ist ein Zeitdiagramm zum Beschreiben eines Verhaltens der Filterschaltung.

[0022] **Fig. 9** ist ein Zeitdiagramm zum Beschreiben eines Verhaltens der Steuervorrichtung der Ausführungsform gemäß der vorliegenden Erfindung.

[0023] In **Fig. 1** ist als ein Beispiel für das IPM (Intelligent Power Module = Intelligentes Leistungsmodul), das die vorliegende Erfindung verwendet, ein interner Aufbau eines Invertermoduls **100** beschrieben. Das Invertermodul **100** hat einen DIP-Aufbau (Dual Inline Package = Gehäuse mit Doppelingangsreihe), bei dem die Anschlussreihen jeweils in einer Reihe an den zwei Längsseitenflächen eines Gehäuses PG angeordnet sind.

[0024] Wie in **Fig. 1** dargestellt, sind Gruppen von Transistoren **11** und **12**, **21** und **22** sowie **31** und **32** (alle vom n-Kanal-Typ), die Schaltvorrichtungen vom isolierten Gatetyp sind wie z. B. ein IGBT (Insulated Gate Bipolar Transistor = Bipolartransistor mit isoliertem Gate) und dergleichen, totempfahlartig zwischen P-N-Anschlüsse geschaltet (zwischen einen Hochpotentialhauptleistungsanschluss P und einen Niedrigpotentialhauptleistungsanschluss N), die mit einer Leistungsquelle PS verbunden sind und ein Hauptleistungsanschluss werden, und Verbindungsknoten sind jeweils mit Ausgangsanschlüssen U, V und W einer U-Phase, einer V-Phase und einer W-Phase des Gehäuses PG verbunden. Weiterhin sind die jeweiligen Phasen eines Dreiphasenmotors M beispielsweise mit den Ausgangsanschlüssen U, V und W verbunden.

[0025] Darüber hinaus sind Freilaufdioden **111**, **121**, **211**, **221**, **311** und **321** jeweils antiparallel zu den Transistoren **11**, **12**, **21**, **22**, **31** und **32** geschaltet.

[0026] Darüber hinaus sind Steuervorrichtungen HIC1, HIC2 und HIC3 bereitgestellt, um jeweils die Transistoren **11**, **21** und **31** zu steuern, die Hochpotentialvorrichtungen sind. Die Steuervorrichtungen HIC1 bis HIC3 sind sogenannte HVIC (High Voltage Integrated Circuit = integrierte Hochspannungsschaltungen) und sie sind funktionsmäßig zueinander identisch, somit sind die gleichen Anschlussbezeichnungen auf ihnen angegeben.

[0027] Das Invertermodul **100** hat einen Aufbau, bei dem ein Steuerausgangssignal den jeweiligen Gateelektroden der Transistoren **11**, **21** und **31** von den jeweiligen Steuersignalausgangsanschlüssen HO der Steuervorrichtungen HIC1, HIC2 und HIC3 zugeführt wird.

[0028] Darüber hinaus sind jeweilige Referenzpotentialanschlüsse V_S der Steuervorrichtungen HIC1 bis HIC3 nicht nur mit den Ausgangsanschlüssen U, V und W verbunden, sondern auch mit Referenzpotentialanschlüssen V_{UFS} , V_{VFS} und V_{WFS} des Gehäuses PG. Darüber hinaus sind jeweilige Treiberspannungsanschlüsse VB der Steuervorrichtungen HIC1 bis HIC3 mit Treiberspannungsanschlüssen V_{UFB} , V_{VFB} und V_{WFB} des Gehäuses PG verbunden. Der Treiberspannungsanschluss V_B ist ein Anschluss, der dem jeweiligen HVIC eine Treiberspannung VB der Hochpotentialseite zuführt, und der Referenzpotentialanschluss V_S ist ein Anschluss, der dem jeweiligen HVIC ein Referenzpotential VS der Hochpotentialseite zuführt.

[0029] Darüber hinaus weisen die Steuervorrichtungen HIC1 bis HIC3 jeweils einen Treiberspannungsanschluss V_{CC} , einen Masseanschluss COM und einen Steuersignaleingangsanschluss IN auf.

[0030] Die jeweiligen Treiberspannungsanschlüsse V_{CC} der Steuervorrichtung HIC1 bis HIC3 sind mit Treiberspannungsanschlüssen V_{P1} , V_{P2} und V_{P3} des Gehäuses PG verbunden, und die jeweiligen Masseanschlüsse COM sind gemeinsam mit einem Masseanschluss V_{NC} des Gehäuses verbunden.

[0031] Darüber hinaus sind die jeweiligen Steuersignaleingangsanschlüsse IN der Steuervorrichtung HIC1 bis HIC3 mit Steuersignaleingangsanschlüssen U_P , V_P und W_P des Gehäuses PG verbunden.

[0032] Darüber hinaus ist eine Steuervorrichtung LIC in dem Invertermodul **100** bereitgestellt, um die Transistoren **12**, **22** und **32** zu steuern, die Niedrigpotentialvorrichtungen sind. Die Steuervorrichtung LIC ist eine sogenannte LVIC (Low Voltage Integrated Circuit = integrierte Niederspannungsschaltung).

[0033] Das Invertermodul **100** hat einen Aufbau, bei dem ein Steuerausgangssignal den jeweiligen Gateelektroden der Transistoren **12**, **22** und **32** jeweils von Steuersignalausgangsanschlüssen U_{OUT} , V_{OUT} und W_{OUT} der Steuervorrichtung LIC zugeführt wird.

[0034] Darüber hinaus ist ein Referenzpotentialanschluss V_{NO} der Steuervorrichtung LIC mit dem niedripotentialseitigen Hauptleistungsanschluss N des Gehäuses PG verbunden. Der Referenzpotentialanschluss V_{NO} ist ein Anschluss, der der Steuervorrichtung LIC ein Referenzpotential (Massepotential) der Niedripotentialseite zugeführt.

[0035] Darüber hinaus weist die Steuervorrichtung LC Steuersignaleingangsanschlüsse U_{IN} , V_{IN} und W_{IN} auf, denen ein Steuerausgangssignal zum Steuern der jeweiligen Transistoren **12**, **22** und **32** zugeführt wird, und sie hat einen Treiberspannungsanschluss V_{CC} , einen Fehleranschluss F_O , einen Fehlerausgangszeiteinstellanschluss CF_O , der eine Zeit einstellt, die von einem anormalen Zustand wie z. B. einem Kurzschluss und dergleichen aus abläuft, bis ein Schutzverhalten aufgehoben wird, und sie hat auch einen Masseanschluss GND.

[0036] Darüber hinaus sind der Treiberspannungsanschluss V_{CC} , der Fehleranschluss F_O , der Fehlerausgangszeiteinstellanschluss CF_O und der Masseanschluss GND der Steuervorrichtung LIC jeweils mit einem Treiberspannungsanschluss V_{NI} , einem Fehleranschluss FO , einem Fehlerausgangszeiteinstellanschluss CFO und dem Masseanschluss V_{NC} des Gehäuses PG verbunden.

[0037] Darüber hinaus sind die Steuersignaleingangsanschlüsse U_{IN} , V_{IN} und W_{IN} der Steuervorrichtung LIC jeweils mit Steuersignaleingangsanschlüssen U_N , V_N und W_N des Gehäuses PG verbunden.

[0038] Das oben beschriebene Invertermodul **100** hat einen Aufbau, bei dem ein Shuntwiderstand und ein mit dem Shuntwiderstand verbundener Stromerfassungsanschluss, die herkömmlicherweise erforderlich sind, nicht enthalten sind, aber das LVIC oder das HVIC in dem Modul die Kurzschlusschutzfunktion enthält.

[0039] Im folgenden wird jeweils ein Fall beschrieben, in dem das LVIC und das HVIC die Kurzschlusschutzfunktion enthalten.

[0040] In [Fig. 2](#) ist als erstes Beispiel, das keine Ausführungsform gemäß der vorliegenden Erfindung ist, ein Aufbau der Steuervorrichtung LIC beschrieben, die die Kurzschlusschutzfunktion enthält. In [Fig. 2](#) ist der Aufbau beschrieben durch Anwenden einer Schaltung, die eine Schaltsteuerung des Transistors **12** durchführt, als Beispiel in der Steuervorrichtung LIC.

[0041] Wie in [Fig. 2](#) dargestellt, wird das Steuerausgangssignal der Gateelektrode des Transistors **12** von dem Steuersignalausgangsanschluss UOUT der Steuervorrichtung LIC zugeführt. Im Hinblick auf den Transistor mit isoliertem Gate wird das Steuerausgangssignal jedoch auch beeinflusst, wenn dieser Transistor kurzgeschlossen ist, und ein Signalverlauf, der sich von dem in einem normalen Betriebszustand unterscheidet, tritt auf. Die vorliegende Erfindung ist auf diese Erscheinung fokussiert, und sie erfasst den Kurzschluss durch Überwachen des Steuereingangssignals des Transistors mit isoliertem Gate, und im Fall des Kurzschlusses wird der Kurzschluss-

schutz des Transistors mit isoliertem Gate durchgeführt, indem die Steuervorrichtung LIC gezwungen wird, das Steuerausgangssignal zu beenden.

[0042] Insbesondere wird das Steuerausgangssignal für den Transistor mit isoliertem Gate, d. h. ein Ausgangssignal eines Gatetreibers GD, der aus einem p-Kanal-MOS-Transistor **4** und einem n-Kanal-MOS-Transistor **5** zusammengesetzt ist, die in Reihe zueinander zwischen einer Treiberspannung VCC und dem Massepotential GND geschaltet sind, als Steuerausgangssignal S3 der Gateelektrode des Transistors **12** zugeführt, und es wird auch einem plusseitigen Eingangsanschluss (+) eines Komparators **2** als erfasste Spannung des Steuerausgangssignals S3 zugeführt. In dem Komparator **2** wird ein Vergleich mit einer einem minusseitigen Eingangsanschluss (-) zugeführten Referenzspannung V1 durchgeführt, und das Vergleichsergebnis wird als Vergleichsergebnissignal S4 ausgegeben. Weiter bilden ein in einer plusseitigen Eingangsleitung des Komparators **2** eingefügter Widerstand R1 und ein zwischen dieser plusseitige Eingangsleitung und dem Massepotential GND eingefügter Kondensator C1 ein Störungsfilter.

[0043] Hierbei kann als Aufbau zum Zuführen der Referenzspannung V1 beispielsweise wie in [Fig. 2](#) dargestellt ein einfacher Aufbau verwendet werden, der eine Konstantstromquelle CS und einer Zenerdiode ZD verwendet. Die Referenzspannung V1 kann gewonnen werden durch Klemmen der Treiberspannung VCC auf einer geeigneten Spannung unter Verwendung einer Zenerspannungseigenschaft der Zenerdiode ZD.

[0044] Ein Steuereingangssignal S1, das zum Steuern des Transistors **12** von außen über den Steuersignaleingangsanschluss U_{IN} zugeführt wird, wird nicht nur dem Gatetreiber GD über eine Inverterschaltung G3 eine NOR-Schaltung G4 und eine Inverterschaltung G5 zugeführt, sondern auch einer Einzelpulserzeugungsschaltung **1**.

[0045] Die Einzelpulserzeugungsschaltung **1** ist eine Schaltung, die entsprechend einer Zeit eines Anstiegs des Steuereingangssignals S1 ansteigt, und einzeln ein Pulssignal S2 ausgibt, das ein hohes Potential (H) für eine vorbestimmte Zeitspanne hält.

[0046] Mit Bezug auf [Fig. 3](#) und [Fig. 4](#) wird nun ein Aufbaubeispiel und ein Verhalten der Einzelpulserzeugungsschaltung **1** beschrieben.

[0047] Wie in [Fig. 3](#) dargestellt, enthält die Einzelpulserzeugungsschaltung **1**: vier Inverterschaltungen G11, G12, G13 und G14, die hintereinander geschaltet sind; eine Inverterschaltung G15, die parallel zu den Inverterschaltungen G11 bis G14 bereitgestellt ist; eine OR-Schaltung G16, die die Ausgaben der In-

verterschaltungen G14 und G15 empfängt, eine Inverterschaltung G17, die eine Ausgabe der OR-Schaltung G16 empfängt; und Kondensatoren C11 und C12, die jeweils zwischen einem Verbindungspunkt zwischen den Inverterschaltungen G11 und G12 und dem Massepotential GND sowie zwischen einem Verbindungspunkt zwischen den Inverterschaltungen G12 und G13 und dem Massepotential GND bereitgestellt sind.

[0048] In [Fig. 3](#) ist ein Signaleingangsabschnitt der Inverterschaltungen G11 und G15 als Punkt A dargestellt, ein Ausgangspunkt der Inverterschaltung G14 ist als Punkt B dargestellt, ein Ausgangspunkt der Inverterschaltung G15 ist als Punkt C dargestellt und ein Ausgangspunkt der Inverterschaltung G17 ist als Punkt D dargestellt. In [Fig. 4](#) sind Signalzustände in den jeweiligen Punkten dargestellt.

[0049] Weiterhin entspricht ein in [Fig. 4](#) dargestelltes Pulssignal im Punkt A dem Steuereingangssignal S1, das der Einzelpulserzeugungsschaltung 1 zugeführt wird.

[0050] Eine Verzögerung tritt aufgrund des Vorhandenseins des Kondensators C11 auf einem Pulssignal auf, das der Inverterschaltung G11 eingegeben wird, während es durch die Inverterschaltungen G12 und D13 hindurchtritt, und das Pulssignal wird in Punkt B wie in [Fig. 4](#) dargestellt ein stark verzögertes.

[0051] Wenn mittlerweile ein der Inverterschaltung G15 eingegebener Puls in Punkt C invertiert ausgegeben wird, tritt die Verzögerung jedoch nicht auf. Wenn die Signale in Punkt B und Punkt C der OR-Schaltung G16 eingegeben werden und die Ausgabe der OR-Schaltung G16 der Inverterschaltung G17 eingegeben wird, kann an Punkt D ein Einzelpulssignal mit einer Pulsbreite, die einer Signalverzögerungsbreite entspricht, gewonnen werden.

[0052] Auf diese Weise kann ein Puls gewonnen werden, der synchron mit dem Ansteigen des eingegebenen Pulssignals ist und auch den H-Zustand für eine vorbestimmte in einem internen Aufbau der Schaltung eingestellte Zeitdauer halten kann, indem das Pulssignal der Einzelpulserzeugungsschaltung 1 eingegeben wird.

[0053] Nun kehrt die Beschreibung zu [Fig. 2](#) zurück. Das von der Einzelpulserzeugungsschaltung ausgegebene Pulssignal S2 wird gemeinsam mit dem von dem Komparator 2 ausgegebenen Vergleichsergebnissignal S4 einer NAND-Schaltung G1 zugeführt, und eine Ausgabe der NAND-Schaltung G1 wird einem Setzeingang (S) einer RS-Flip-Flop-Schaltung 3 als Signal S5 über eine Inverterschaltung G2 zugeführt.

[0054] Weiter wird das über die Inverterschaltung G3 invertierte Steuereingangssignal S1 einem Rücksetzeingang (R) der RS-Flip-Flop-Schaltung 3 zugeführt, und ein Ausgang (Q) der RS-Flip-Flop-Schaltung 3 wird einem Eingang der NOR-Schaltung G4 zugeführt.

[0055] Das über die Inverterschaltung G3 invertierte Steuereingangssignal S1 wird dem anderen Eingang der NOR-Schaltung G4 zugeführt, und eine Ausgabe der NOR-Schaltung G4 wird über die Inverterschaltung G5 invertiert und den Gateelektroden des p-Kanal-MOS-Transistors 4 und des n-Kanal-MOS-Transistors 5 zugeführt. Die Elemente in [Fig. 2](#) außer dem Gatetreiber GD bilden eine Kurzschlusschutzschaltung SP.

[0056] Als nächstes wird unter Verwendung eines in [Fig. 5](#) gezeigten Zeitdiagramms mit Bezug auf [Fig. 2](#) ein Verhalten der Steuervorrichtung LIC beschrieben.

[0057] Das von außen über den Steuersignaleingangsanschluss U_{IN} zugeführte Steuereingangssignal S1 schaltet entsprechend seinem Ansteigen den Transistor 12 ein, und der Transistor 12 hält den EIN-Zustand während einer Zeitdauer, in der das Steuereingangssignal S1 in einem Zustand hohen Potentials ist.

[0058] Demzufolge steigt das von dem Gatetreiber GD ausgegebene Steuerausgangssignal S3 wie in [Fig. 5](#) dargestellt entsprechend dem Ansteigen des Steuereingangssignals S1. Wenn eine Spannung des Steuerausgangssignals S3 eine Schwellenspannung des Transistors 12 übersteigt, geht der Transistor 12 in den EIN-Zustand über, und eine Kollektor-Emitter-Spannung des Transistors 12 sinkt. Somit wird eine Spannung des Steuerausgangssignals S3 für eine bestimmte Zeitspanne durch einen Spiegelfeffekt auf eine bestimmte Spannung geklemmt. Danach steigt die Spannung des Steuerausgangssignals S3 jedoch auf einen Wert, der fast gleich groß ist wie die Treiberspannung VCC des Gatetreibers GD. Darüber hinaus fällt sie entsprechend einer abfallenden Flanke des Steuereingangssignals S1 ab und bringt den Transistor 12 in den AUS-Zustand.

[0059] Auf diese Weise hat der Transistor 12, der eine Schaltungsvorrichtung vom isolierten Gatetyp wie z. B. der IGBT und dergleichen ist, eine Eigenschaft, dass sein Steuerausgangssignal S3 nach seinem Ansteigen für die bestimmte Zeitspanne auf eine bestimmte Spannung geklemmt wird, wenn er normal arbeitet.

[0060] Hierbei wird das Steuerausgangssignal S3 auch dem Komparator 2 zugeführt und mit der Referenzspannung V1 verglichen. Der Komparator 2 lässt das Ergebnissignal S4, das die Ausgabe des Komparators 2 ist, in einem signifikanten Zustand und in die-

sem Fall auf einem H-Zustand mit hohem Potential sein, wenn die Spannung des Steuerausgangssignals S3 die Referenzspannung V1 übersteigt. Dieser Zustand wird gehalten, während die Spannung des Steuerausgangssignals S3 die Referenzspannung V1 übersteigt. Wenn der in [Fig. 2](#) gezeigte Transistor **12** normal (in einem normalen Zustand) aktiviert wird, beginnt die Spannung des Steuerausgangssignals S3 nach dem Ablauf einer Klemmzeitspanne anzusteigen, und wenn sie die Referenzspannung V1 übersteigt, gibt der Komparator **2** das Vergleichsergebnissignal S4 aus. Darüber hinaus beginnt das Steuerausgangssignal S3 abzufallen, und wenn es unter die Referenzspannung V1 fällt, fällt auch das Vergleichsergebnissignal S4 ab.

[0061] Wenn der Transistor **12** normal arbeitet, gerät das von dem Komparator **3** ausgegebene Vergleichsergebnissignal S4 in den signifikanten Zustand, nachdem die Spannung des Steuerausgangssignals S3 die Klemmzeitspanne überwunden hat. Im Übrigen wird ein Wert der Referenzspannung V1 kleiner als die Treiberspannung VCC und größer als die Klemmspannung eingestellt. Als Beispiel wird ein Wert verwendet, der etwa 50% über der Klemmspannung liegt.

[0062] Dabei gibt die Einzelpulserzeugungsschaltung **1** das Pulssignal S2 aus, das entsprechend dem Ansteigen des Steuereingangssignals S1 in den signifikanten Zustand kommt, und eine Zeitspanne t_1 in dem signifikanten Zustand, in diesem Fall in dem H-Zustand, ist so eingestellt, dass sie etwa gleich groß ist wie eine Zeitspanne, in der das Steuerausgangssignal S3 auf eine bestimmte Spannung geklemmt wird. Wenn der Transistor **12** normal arbeitet, geraten das Pulssignal S2 und das von dem Komparator ausgegebene Vergleichsergebnissignal S4 nicht gleichzeitig in den signifikanten Zustand, und somit behält das dem Setzeingang der RS-Flip-Flop-Schaltung **3** zugeführte Signal S5 den L-Zustand auf niedrigem Potential, und der Ausgang Q der RS-Flip-Flop-Schaltung **3** behält ebenfalls den L-Zustand. Demzufolge wird auch das Steuerausgangssignal S3 gehalten, und der EIN-Zustand des Transistors **12** wird erhalten.

[0063] Durch Einstellen der Zeitspanne t_1 auf diese Weise ist es möglich, zu verhindern, dass der Transistor **12** gezwungen wird, auszuschalten, auch wenn das Steuersignal S3 die Referenzspannung V1 übersteigt, wenn der Transistor **12** normal arbeitet.

[0064] In dem Fall, in dem der Transistor in einem Zustand eingeschaltet wird, in dem zwischen der Source und dem Drain des Transistors **12** ein Kurzschluss auftritt, oder in dem Fall, in dem der Transistor **12** in einem Zustand eingeschaltet wird, in dem der totempfehlartig mit dem Transistor **12** verbundene Transistor **11** ([Fig. 1](#)) eingeschaltet ist (Armkurz-

schluss), gibt es in dem Steuerausgangssignal S3 keine Klemmzeitspanne der Spannung, und die Spannung des Steuerausgangssignals S3 steigt schnell, bis sie fast gleich groß ist wie die Treiberspannung VCC. Dieser Zustand ist in [Fig. 5](#) dargestellt als Signalverlauf des Steuerausgangssignals S3 in einem Kurzschlusszustand.

[0065] Wenn der Transistor **12** kurzgeschlossen ist, steigt die Spannung des Steuerausgangssignals S3 wie in [Fig. 5](#) dargestellt schnell an und übersteigt die Referenzspannung V1 des Komparators **2**, und das von dem Komparator **2** ausgegebene Vergleichsergebnissignal S4 gerät in den signifikanten Zustand.

[0066] In dieser Zeit wird das Pulssignal S2 von der Einzelpulserzeugungsschaltung **1** entsprechend dem Ansteigen des Steuereingangssignals S1 ausgegeben, und das Vergleichsergebnissignal S4 kommt auch in den signifikanten Zustand während der Zeitspanne, in der das Pulssignal S2 in dem signifikanten Zustand ist. Somit gibt es eine Zeitspanne, in der das Pulssignal S2 und das Vergleichsergebnissignal S4 gleichzeitig in dem signifikanten Zustand sind, und das dem Setzeingang der RS-Flip-Flop-Schaltung **3** zugeführte Signal S5 gerät während dieser Zeitspanne in den H-Zustand. Demzufolge wechselt der Ausgang Q der RS-Flip-Flop-Schaltung **3** in den H-Zustand, der p-Kanal-MOS-Transistor **4** des Gatetreibers GD gerät in den AUS-Zustand, der n-Kanal-MOS-Transistor **5** gerät in den EIN-Zustand, das Steuerausgangssignal S3 gerät in den L-Zustand und der Transistor **12** wird in den AUS-Zustand gezwungen. Das Signal S5 wird fallweise auch als Stoppsignal bezeichnet, weil es eine signifikante Ausgabe des Steuerausgangssignals S3 des Gatetreibers GD beendet.

[0067] Im Hinblick auf die Steuervorrichtung LIC mit der Kurzschlusschutzfunktion wird der Kurzschlusszustand wie oben beschrieben erfasst durch Überwachen des Steuerausgangssignals S3 für den Transistor **12**, der die Hauptschaltung bildet. In dem Fall, in dem der Transistor **12** in den Kurzschlusszustand gerät, wird das Steuerausgangssignal S3 zwangsweise beendet. Somit ist es für das Invertermodul **100** anders als bei dem herkömmlichen IPM nicht notwendig, den Shuntwiderstand außerhalb des Gehäuses PG ([Fig. 1](#)) einzusetzen. Dementsprechend ist der Stromerfassungsanschluss zum Messen der Spannung des Shuntwiderstands für das Gehäuse PG und die Steuervorrichtung LIC nicht erforderlich, und es ist möglich, das Modul klein zu machen.

[0068] Darüber hinaus ist die Filterschaltung zum Entfernen der in den Shuntwiderstand und den Stromerfassungsanschluss eindringenden Störungen ebenfalls nicht erforderlich, und somit ist es möglich, die Vorrichtung ganz klein zu machen.

[0069] Darüber hinaus ist der Shuntwiderstand nicht erforderlich, und somit kann die Länge der Verdrahtung von dem Massehauptpotential zu dem Masseanschluss der Schaltvorrichtung kurz ausgeführt werden, und die Spannungsspitze entsprechend dem Schalten der Schaltvorrichtung kann verringert werden.

[0070] Als zweites Beispiel, das eine Ausführungsform gemäß der vorliegenden Erfindung ist, ist in [Fig. 6](#) ein Aufbau der Steuerschaltung HIC1 dargestellt, die die Kurzschlusschutzfunktion enthält. Die in [Fig. 6](#) dargestellte Steuervorrichtung HIC1 ist eine Schaltung, die eine Schaltsteuerung des Transistors **11** durchführt, und die in [Fig. 1](#) dargestellten Steuervorrichtungen HIC2 und HIC3 haben ebenfalls eine ähnliche Funktion.

[0071] Wie in [Fig. 6](#) dargestellt, wird ein Ausgangssignal eines Gatetreibers GD1, der aus einem p-Kanal-MOS-Transistor **17** und einem n-Kanal-MOS-Transistor **18** zusammengesetzt ist, die in Reihe zueinander zwischen die Treiberspannung VB und das Referenzpotential VS geschaltet sind, als Steuerausgangssignal S13 von dem Steuersignalausgangsanschluss HO der Gateelektrode des Transistors **11** zugeführt, und darüber hinaus ist das Steuerausgangssignal S13 resistiv geteilt zwischen einem Widerstand R11 und einem Widerstand R12 und wird auch einem plusseitigem Eingangsanschluss (+) eines Komparators **13** als erfasste Spannung des Steuerausgangssignals S13 eingegeben.

[0072] In dem Komparator **13** wird ein Vergleich mit der dem minusseitigen Eingangsanschluss (-) zugeführten Referenzspannung V1 durchgeführt, und das Vergleichsergebnis wird als Vergleichsergebnissignal S14 ausgegeben. Der in [Fig. 2](#) dargestellte Aufbau kann als Aufbau zum Liefern der Referenzspannung V1 verwendet werden.

[0073] Dabei sind der Widerstand R11 und der Widerstand R12 in Reihe zwischen den Steuersignalausgangsanschluss HO und das Referenzpotential VS eingesetzt, um das Steuerausgangssignal S13 resistiv zu teilen, und ein Verbindungspunkt zwischen dem Widerstand R11 und dem Widerstand R12 ist mit einem Eingangsanschluss eines Übertragungsgatters **15** verbunden. Darüber hinaus ist ein referenzpotentialseitiger Endabschnitt des Widerstands R12 mit einem Eingangsanschluss eines Übertragungsgatters **16** verbunden, und ein Ausgangsanschluss der Übertragungsgatter **15** und **16** ist mit einem plusseitigen Eingangsanschluss (+) des Komparators **13** verbunden.

[0074] Auf diese Weise kann das Steuerausgangssignal S13 des Transistors **11**, der eine sogenannte Vorrichtung der Hochpotentialseite ist, erfasst werden durch Einschließen des Aufbaus des resistiven

Teilens des Steuerausgangssignals S13.

[0075] Die Übertragungsgatter **15** und **16** geben die Spannung und das Massepotential so aus, dass das Steuerausgangssignal S13 resistiv geteilt wird auf der Grundlage eines Pulssignals S12, das selektiv von einer Filterschaltung **19** ausgegeben wird, und somit werden sie als Signalauswahlabschnitt SL bezeichnet.

[0076] Darüber hinaus kann ein Steuersignal S122 der Übertragungsgatter **15** und **16** gewonnen werden durch Invertieren des von der Filterschaltung **19** ausgegebenen Pulssignals S12 in einer Inverterschaltung G24, und die Steuervorrichtung HIC1 hat einen Aufbau, bei dem das Steuersignal S122 einem invertierten Steueranschluss des Übertragungsgatters **15** und einem Steueranschluss des Übertragungsgatters **16** zugeführt wird und das weiter in einer Inverterschaltung G25 invertierte Steuersignal S122 einem Steueranschluss des Übertragungsgatters **15** und einem invertierten Steueranschluss des Übertragungsgatters **16** zugeführt wird.

[0077] Ein von außen über den Steuersignaleingangsanschluss IN zum Steuern des Transistors **11** zugeführtes Steuereingangssignal S10 wird einer Pegelschiebeschaltung **11** zum Pegelschieben zugeführt.

[0078] Der Transistor **11** ist eine Vorrichtung für ein hohes Potential, und sein Referenzpotential wird von einem Referenzpotentialanschluss Vs aus zugeführt. Dementsprechend ist es erforderlich, dass auf der Grundlage des Massepotentials erzeugte Steuereingangssignal S10 über die Pegelschiebevorrichtung **11** auf die Hochpotentialseite zu verschieben.

[0079] Die Pegelschiebevorrichtung **11** erzeugt auf der Grundlage des ihr zugeführten Steuereingangssignals S10 ein Einzelpulssignal, das einen Zeitablauf für EIN und AUS des Transistors **11** anzeigt. Weiterhin wird dieses Einzelpulssignal über einen Hochspannungstransistor in der Pegelschiebevorrichtung **11** pegelverschoben zu einem auf dem hohen Potential basierenden Signal, und es wird als Einzelpulssignale S21 und S22 ausgegeben.

[0080] Darüber hinaus werden die Einzelpulssignale S21 und S22 jeweils einem Setzeingang (S) und einem Rücksetzeingang (R) einer RS-Flip-Flop-Schaltung **12** zugeführt, und sie werden von einem Ausgang (Q) der RS-Flip-Flop-Schaltung **12** als ein dem Steuereingangssignal S10 gleichendes pegelverschobenes Signal S11 ausgegeben.

[0081] Das pegelverschobene Signal S11 wird dem Gatetreiber GD1 über eine Inverterschaltung G21, einer NOR-Schaltung G22 und einer Inverterschaltung G23 zugeführt, und darüber hinaus wird es auch ei-

nem Rücksetzeingang einer RS-Flip-Flop-Schaltung **14** zugeführt.

[0082] Mittlerweile wird das Vergleichsergebnissignal S14 einem Setzeingang der RS-Flip-Flop-Schaltung **14** zugeführt, und eine Ausgabe Q der RS-Flip-Flop-Schaltung **14** wird einem Eingang der NOR-Schaltung G22 zugeführt.

[0083] Das über die Inverterschaltung G21 invertierte pegelverschobene Signal S11 wird dem anderen Eingang der NOR-Schaltung G22 zugeführt, und eine Ausgabe der NOR-Schaltung G22 wird über die Inverterschaltung G23 invertiert und den Gateelektroden des p-Kanal-MOS-Transistors **17** und des n-Kanal-MOS-Transistors **18** zugeführt.

[0084] Nun wird mit Bezug auf [Fig. 7](#) und [Fig. 8](#) ein Aufbaubeispiel und ein Verhalten der Filterschaltung beschrieben, die als Pulserzeugungsschaltung arbeitet.

[0085] Wie in [Fig. 7](#) dargestellt enthält die Filterschaltung **19**: eine Konstantstromquelle CS1; einen n-Kanal-MOS-Transistor Q1, dessen Drain mit der Konstantstromquelle CS1 verbunden ist und dessen Source mit dem Referenzpotential VS verbunden ist; eine Inverterschaltung G31, die das von der RS-Flip-Flop-Schaltung **12** ausgegebene pegelverschobene Signal S11 empfängt und das pegelverschobene Signal S11 invertiert und es der Gateelektrode des Transistors Q1 zuführt; einen Komparator **191**, dessen plusseitiger Eingangsanschluss (+) mit einem Drain des Transistors Q1 verbunden ist; einen Kondensator C21, der zwischen den Drain des Transistors Q1 und das Referenzpotential VS eingesetzt ist; eine Inverterschaltung G32, die ein Ausgangssignal S121 des Komparators **191** empfängt; eine NAND-Schaltung G33, die eine Ausgabe der Inverterschaltung G32 und das von der RS-Flip-Flop-Schaltung **12** ausgegebene pegelverschobene Signal S11 empfängt; und eine Inverterschaltung G34, die eine Ausgabe der NAND-Schaltung **33** invertiert und sie als Pulssignal S12 ausgibt.

[0086] Als nächstes wird das Verhalten beschrieben. Wenn das pegelverschobene Signal S11 in den H-Zustand gerät und der Transistor Q1 in den AUS-Zustand gerät, fließt ein Strom von der Konstantstromquelle CS, um den Kondensator C21 zu laden. Wenn eine Spannung des Kondensators C21 einen Wert einer Referenzspannung VREF übersteigt, die dem Komparator **191** zugeführt wird, gerät das Ausgangssignal S121 des Komparators **191** in den H-Zustand. Eine Zeit, die bis zu einem Ansteigen des Ausgangssignal S121 abläuft, wird entsprechend einem Kapazitätswert des Kondensators C21 und einem Wert der Referenzspannung V_{REF} eingestellt.

[0087] Wie in [Fig. 8](#) dargestellt gerät das Pulssignal

S12 in den H-Zustand (signifikanter Zustand) während einer Zeitspanne, in der das pegelverschobene Signal S11 in dem H-Zustand ist und das Ausgangssignal S121 in dem L-Zustand ist, und diese Zeitspanne t_1 ist eine Zeitspanne, in der die Kurzschlusschutzfunktion aktiviert ist, und sie wird so eingestellt, dass sie etwa gleich einer Zeitspanne ist, in der das Steuereingangssignal S13 auf eine konstante Spannung geklemmt ist.

[0088] Die Elemente in [Fig. 6](#) außer dem Gatetreiber GD1, der Pegelschiebevorrichtung **11** und der RS-Flip-Flop-Schaltung **12** bilden eine Kurzschlusschutzschaltung SP1.

[0089] Als nächstes wird mit Bezug auf [Fig. 6](#) unter Verwendung eines in [Fig. 9](#) dargestellten Zeitdiagramms ein Verhalten der Steuervorrichtung HIC1 beschrieben.

[0090] Ein von außen über den Steuersignaleingangsanschluss IN zugeführtes Steuereingangssignal S10 wird von der Pegelschiebeschaltung **11** umgewandelt in das Einzelpulssignal S21, das entsprechend einer ansteigenden Flanke der Pegelschiebevorrichtung **11** ansteigt, und in das Einzelpulssignal S22, das entsprechend einer abfallenden Flanke der Pegelschiebeschaltung **11** ansteigt.

[0091] Die Einzelpulssignale S21 und S22 werden der RS-Flip-Flop-Schaltung **12** zugeführt und werden zu dem pegelverschobenen Signal S11.

[0092] Das pegelverschobene Signal S11 schaltet den Transistor **11** ein entsprechend seinem Ansteigen, und der Transistor **11** behält den EIN-Zustand während einer Zeitdauer, in der das pegelverschobene Signal S11 in einem Zustand hohen Potentials ist.

[0093] Wie in [Fig. 9](#) dargestellt steigt das von dem Gatetreiber GD11 ausgegebene Steuerausgangssignal S13 entsprechend der ansteigenden Flanke des pegelverschobenen Signals S11 an, und das pegelverschobene Signal S11 ist im wesentlichen identisch mit dem Steuereingangssignal S10, somit wird das pegelverschobene Signal S11 fallweise auch als Steuereingangssignal bezeichnet.

[0094] Ein Signalverlauf des Steuerausgangssignals S13, wenn der Transistor **11** normal arbeitet und auch wenn er kurzgeschlossen ist, ist identisch zu dem des Steuerausgangssignals S3, der in dem ersten Beispiel beschrieben wird, und somit unterbleibt die Beschreibung. In [Fig. 9](#) sind das Steuerausgangssignal S13 und die Referenzspannung V1 so dargestellt, dass sie miteinander verglichen werden. Dies ist jedoch eine Beschreibung der Einfachheit halber, und tatsächlich werden eine geteilte Spannung des Steuerausgangssignals S13 und die Referenzspannung V1 miteinander verglichen.

[0095] Eine Spannung des Steuerausgangssignals S13 wird über die Widerstände R11 und R12 geteilt, dem Komparator **13** zugeführt und mit der Referenzspannung V1 verglichen. Während der Zeitspanne, in der das von der Filterschaltung **19** ausgegebene Pulssignal S12 in dem L-Zustand ist, ist jedoch das Übertragungsgatter **16** in dem EIN-Zustand. Somit wird das Referenzpotential VS dem Komparator **13** zugeführt und das von dem Komparator **13** ausgegebene Vergleichsergebnissignal S14 ist immer in dem L-Zustand.

[0096] Dagegen ist während der Zeitspanne, in der das Pulssignal S12 in dem H-Zustand ist, das Übertragungsgatter **15** in dem EIN-Zustand. Somit wird dem Komparator die geteilte Spannung des Steuerausgangssignals S13 zugeführt, und das von dem Komparator **13** ausgegebene Vergleichsergebnissignal S14 gerät in den H- oder L-Zustand auf der Grundlage eines Vergleichsergebnisses zwischen dieser geteilten Spannung und der Referenzspannung V1.

[0097] Das heißt, dass der Komparator **13**, wenn die geteilte Spannung des Steuerausgangssignals S13 die Referenzspannung V1 übersteigt, das Vergleichsergebnissignal S14, das von dem Komparator **13** ausgegeben wird, in dem signifikanten Zustand sein lässt, in diesem Fall in dem H-Zustand.

[0098] Wenn der Transistor **11** kurzgeschlossen ist, steigt die Spannung des Steuerausgangssignals S13 schnell an, und seine geteilte Spannung übersteigt die Referenzspannung V1 des Komparators **13**. Das Pulssignal S12 zu dieser Zeit ist jedoch in dem H-Zustand, somit lässt der Komparator **13** das Vergleichsergebnissignal S14, das die Ausgabe des Komparators **13** ist, in dem H-Zustand sein (dem signifikanten Zustand). Dieser Zustand wird beibehalten, während die geteilte Spannung des Steuerausgangssignals S13 die Referenzspannung V1 übersteigt. Demzufolge wechselt der Ausgang Q der RS-Flip-Flop-Schaltung in den H-Zustand, der p-Kanal-MOS-Transistor **17** des Gatetreibers GD1 gerät in den AUS-Zustand, der n-Kanal-MOS-Transistor **18** gerät in den EIN-Zustand, das Steuerausgangssignal S13 gerät in den L-Zustand, und der Transistor **11** wird in den AUS-Zustand gezwungen. Das Signal S13 wird fallweise auch als Stoppsignal bezeichnet, weil es eine signifikante Ausgabe des Steuerausgangssignals S13 des Gatetreibers GD1 beendet.

[0099] In dem Fall, in dem der Transistors **11** normal arbeitet (in einem Normalzustand) beginnt die Spannung nach dem Ablauf der Klemmzeitspanne des Steuerausgangssignals S13 anzusteigen und übersteigt die Referenzspannung V1, und das Pulssignal S12 ist zu dieser Zeit in dem L-Zustand, somit ist das Vergleichsergebnissignal S14 in dem L-Zustand. Demzufolge hält der Ausgang Q der

RS-Flip-Flop-Schaltung **14** den L-Zustand, das Steuerausgangssignal S13 hält den H-Zustand, und somit hält der Transistor **11** den EIN-Zustand.

[0100] Im Hinblick auf die Steuervorrichtung HIC1 mit der Kurzschlusschutzfunktion wird der Kurzschlusszustand wie oben beschrieben erfasst durch Überwachen des Steuerausgangssignals S13 für den Transistor **11**, der die Hauptschaltung bildet. In dem Fall, in dem der Transistor **11** in den Kurzschlusszustand gerät, wird das Steuerausgangssignal S13 zwangsweise beendet. Somit ist es für das Invertermodul **100** anders als bei dem herkömmlichen IPM nicht notwendig, den Shuntwiderstand außerhalb des Gehäuses PG (**Fig. 1**) einzusetzen. Dementsprechend ist der Stromerfassungsanschluss zum Messen der Spannung des Shuntwiderstands für das Gehäuse PG nicht erforderlich, und es ist möglich, das Modul klein zu machen.

[0101] Darüber hinaus ist der Shuntwiderstand nicht erforderlich, und somit kann die Länge der Verdrahtung von dem Massehauptpotential zu dem Masseanschluss der Schaltung kurz ausgeführt werden, und die Spannungsspitze entsprechend dem Schalten der Schaltung kann verringert werden.

[0102] Darüber hinaus ist die Zeitspanne t1 eingestellt, in der die Kurzschlusschutzfunktion aktiviert ist, und das Steuerausgangssignal S13 wird nur in dieser Zeitspanne t1 durch die Filterschaltung **19** beobachtet. Somit kann eine Belastung an einem Motorsystem verringert werden.

[0103] Das oben beschriebene zweite Beispiel, das eine Ausführungsform der vorliegenden Erfindung ist, ist auf den HVIC angewendet, es kann jedoch auch auf den LVIC angewendet werden. In diesem Fall sind die Pegelschiebeschaltung **11** und die RS-Flip-Flop-Schaltung **12** nicht erforderlich, und das Steuereingangssignal S1 wird anstelle des pegelverschobenen Signals **11** der Inverterschaltung G21 und der Filterschaltung **19** zugeführt. Anstelle des Referenzpotentials VS wird das Massepotential GND verwendet.

[0104] Darüber hinaus sind die Widerstände R11 und R12 ebenfalls nicht notwendig. Das Steuerausgangssignal S13 kann dem Eingang des Übertragungsgatters **15** zugeführt werden, und der Eingang des Übertragungsgatters **16** kann mit dem Massepotential verbunden werden.

[0105] In den oben beschriebenen Beispielen ist jedes Signal so beschrieben, dass es keine Verzögerung relativ zu dem Steuereingangssignal aufweist. Es gibt jedoch auch einen Fall, in dem beispielsweise das Pulssignal S2 relativ zu dem Steuereingangssignal S1 in gewisser Weise verzögert ist, jedoch auch

in diesem Fall tritt keine Störung des Verhaltens der vorliegenden Erfindung auf.

[0106] Die Transistoren mit isoliertem Gate **11**, **12**, **21**, **22**, **31** und **32** sind in den oben beschriebenen Beispielen als Transistor vom n-Kanal-Typ beschrieben, sie können jedoch auch vom p-Kanal-Typ gebildet sein.

Patentansprüche

1. Halbleitervorrichtung (HIC, LIC), die ein Treiben eines Transistors mit isoliertem Gate (**11**, **12**) steuert durch Erzeugen eines Steuerausgangssignals (S13) auf der Grundlage eines Steuereingangssignals (S10), enthaltend:
einen Treiber (GD1), der das Steuerausgangssignal ausgibt, und
eine Kurzschlusschutzschaltung (SP1), die das Steuerausgangssignal erfasst und den Treiber steuert und zwingt, das Steuerausgangssignal zu beenden, wenn eine erfasste Spannung des Steuerausgangssignals eine vorbestimmte Referenzspannung (V1) übersteigt, bevor eine vorbestimmte Zeitspanne (t1) abgelaufen ist, nachdem das Steuereingangssignal oder ein mit dem Steuereingangssignal (S10) im wesentlichen identisches pegelverschobenes Signal (S11) ein Beginnen eines Leitens des Transistors mit isoliertem Gate anzeigt;
wobei die Kurzschlusschutzschaltung (SP1) enthält:
eine Pulserzeugungsschaltung (**19**), die das Steuereingangssignal oder das mit dem Steuereingangssignal (S10) im wesentlichen identische pegelverschobene Signal (S11) empfängt und ein erstes Pulssignal (S12) ausgibt, das signifikant wird entsprechend einer Zeit, in der das Steuereingangssignal oder das mit dem Steuereingangssignal (S10) im wesentlichen identische pegelverschobene Signal (S11) ein Beginnen eines Leitens des Transistors mit isoliertem Gate anzeigt, und nur während der vorbestimmten Zeitspanne (t1) signifikant bleibt,
einen Signalauswahlabschnitt (SL), der eine erfasste Spannung des Steuerausgangssignals (S13) und eine vorbestimmte Spannung (VS) empfängt, die kleiner als die Referenzspannung (V1) ist, und auf der Grundlage des ersten Pulssignals selektiv eine davon ausgibt, und
einen Komparator (**13**), der die Ausgabe des Signalauswahlabschnitts empfängt, einen Vergleich mit der Referenzspannung durchführt und ein zweites Pulssignal (S14) ausgibt, das in einer Zeitspanne signifikant ist, in der die Ausgabe des Signalauswahlabschnitts die Referenzspannung übersteigt;
wobei der Signalauswahlabschnitt das erste Pulssignal empfängt, während einer Zeitspanne, in der das erste Pulssignal signifikant ist, die erfasste Spannung des Steuerausgangssignals auswählt und ausgibt und während einer Zeitspanne, in der das erste Pulssignal nicht signifikant ist, die vorbestimmte Spannung, die kleiner als die Referenzspannung ist, aus-

wählt und ausgibt;
der Komparator die erfasste Spannung des Steuerausgangssignals nur während einer Zeitspanne empfängt, in der das erste Pulssignal signifikant ist, und das zweite Pulssignal signifikant macht, wenn die erfasste Spannung des Steuerausgangssignals die Referenzspannung übersteigt; und
das zweite Pulssignal als Stoppsignal wirkt, das den Treiber (GD1) zwingt, ein Ausgeben des Steuerausgangssignals zu beenden, wenn das zweite Pulssignal signifikant ist.

2. Halbleitervorrichtung (HIC) nach Anspruch 1, bei der die erfasste Spannung des Steuerausgangssignals erfasst wird über einen unterteilten Widerstand (R11, R12), der in Reihe zwischen einen Ausgangsanschluss (HO) des Treibers (GD1) und ein Referenzpotential (VS) geschaltet ist.

3. Halbleitervorrichtung (HIC, LIC) nach Anspruch 1, bei der die vorbestimmte Zeitspanne (t1), in der das erste Pulssignal (S12) signifikant ist, auf der Grundlage einer Zeitspanne eingestellt ist, in der eine Spannung des Steuerausgangssignals (S13) durch den Miller-Effekt zeitweise konstant gehalten wird, wenn der Transistor mit isoliertem Gate (**11**, **12**) normal arbeitet.

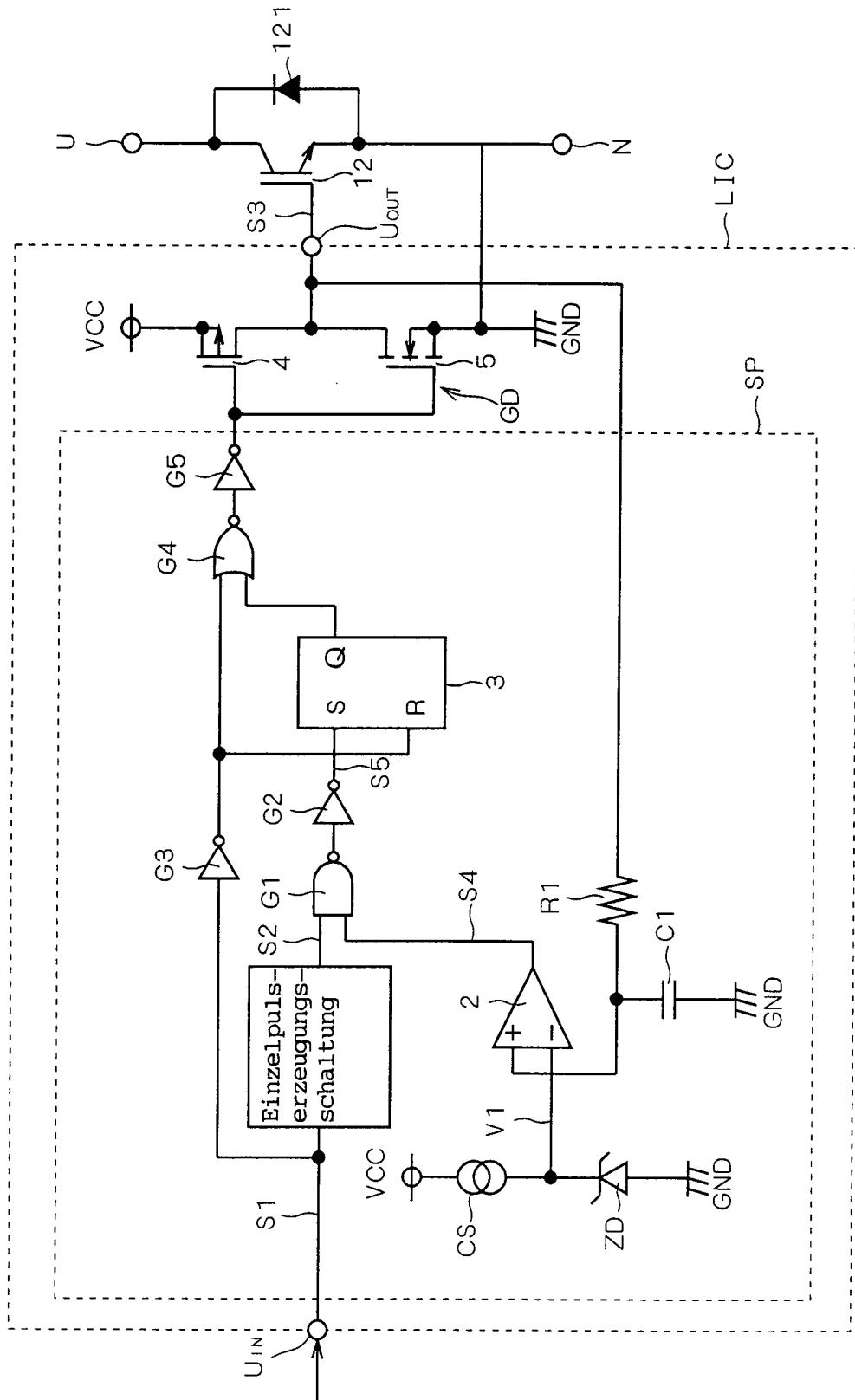
4. Halbleitervorrichtungsmodul (**100**) mit zumindest einem Satz von ersten und zweiten Transistoren mit isoliertem Gate (**11**, **12**), die in Reihe zwischen einen ersten Hauptleistungsanschluss mit hohem Potential (P) und einen zweiten Hauptleistungsanschluss mit niedrigem Potential (N) geschaltet sind und komplementär arbeiten,
einer ersten Steuervorrichtung (HIC1–HIC3), die ein Treiben des ersten Transistors mit isoliertem Gate auf der Seite des hohen Potentials steuert, und
einer zweiten Steuervorrichtung (LIC), die ein Treiben des zweiten Transistors mit isoliertem Gate auf der Seite des niedrigen Potentials steuert;
wobei der zumindest eine Satz von ersten und zweiten Transistoren mit isoliertem Gate und die erste und die zweite Steuervorrichtung mit Harz in einem Gehäuse (PG) versiegelt sind und
als zweite Steuervorrichtung die Halbleitervorrichtung nach Anspruch 1 verwendet wird, wobei die Pulserzeugungsschaltung der zweiten Steuervorrichtung das Steuereingangssignal empfängt.

5. Halbleitervorrichtungsmodul (**100**) mit zumindest einem Satz von ersten und zweiten Transistoren mit isoliertem Gate (**11**, **12**), die in Reihe zwischen einen ersten Hauptleistungsanschluss mit hohem Potential (P) und einen zweiten Hauptleistungsanschluss mit niedrigem Potential (N) geschaltet sind und komplementär arbeiten,
einer ersten Steuervorrichtung (HIC1–HIC3), die ein Treiben des ersten Transistors mit isoliertem Gate auf der Seite des hohen Potentials steuert, und

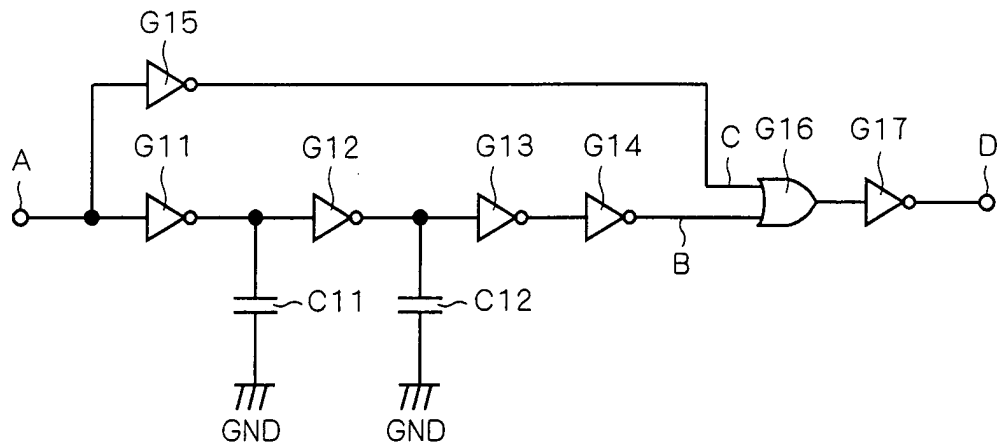
einer zweiten Steuervorrichtung (LIC), die ein Treiben des zweiten Transistors mit isoliertem Gate auf der Seite des niedrigen Potentials steuert; wobei der zumindest eine Satz von ersten und zweiten Transistoren mit isoliertem Gate und die erste und die zweite Steuervorrichtung mit Harz in einem Gehäuse (PG) versiegelt sind und als erste Steuervorrichtung die Halbleitervorrichtung nach Anspruch 2 verwendet wird, wobei die Pulserzeugungsschaltung (19) der ersten Steuervorrichtung das mit dem Steuereingangssignal (S10) im wesentlichen identische pegelverschobene Signal (S11) empfängt.

Es folgen 7 Blatt Zeichnungen

FIG. 2



F I G . 3



F I G . 4

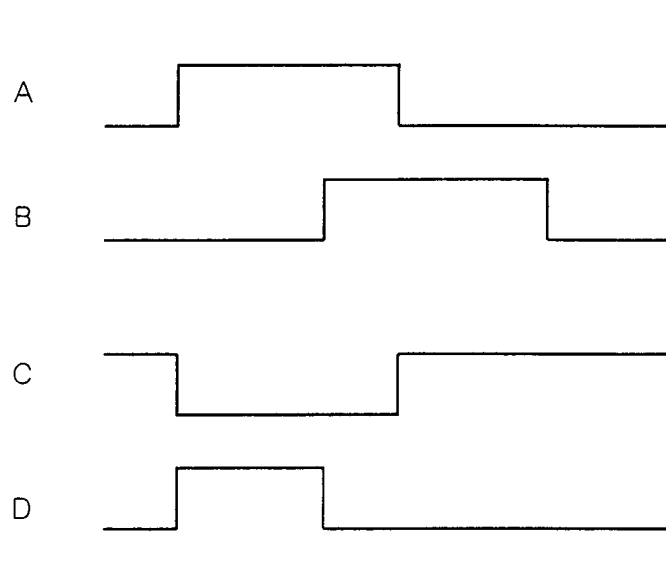


FIG. 5

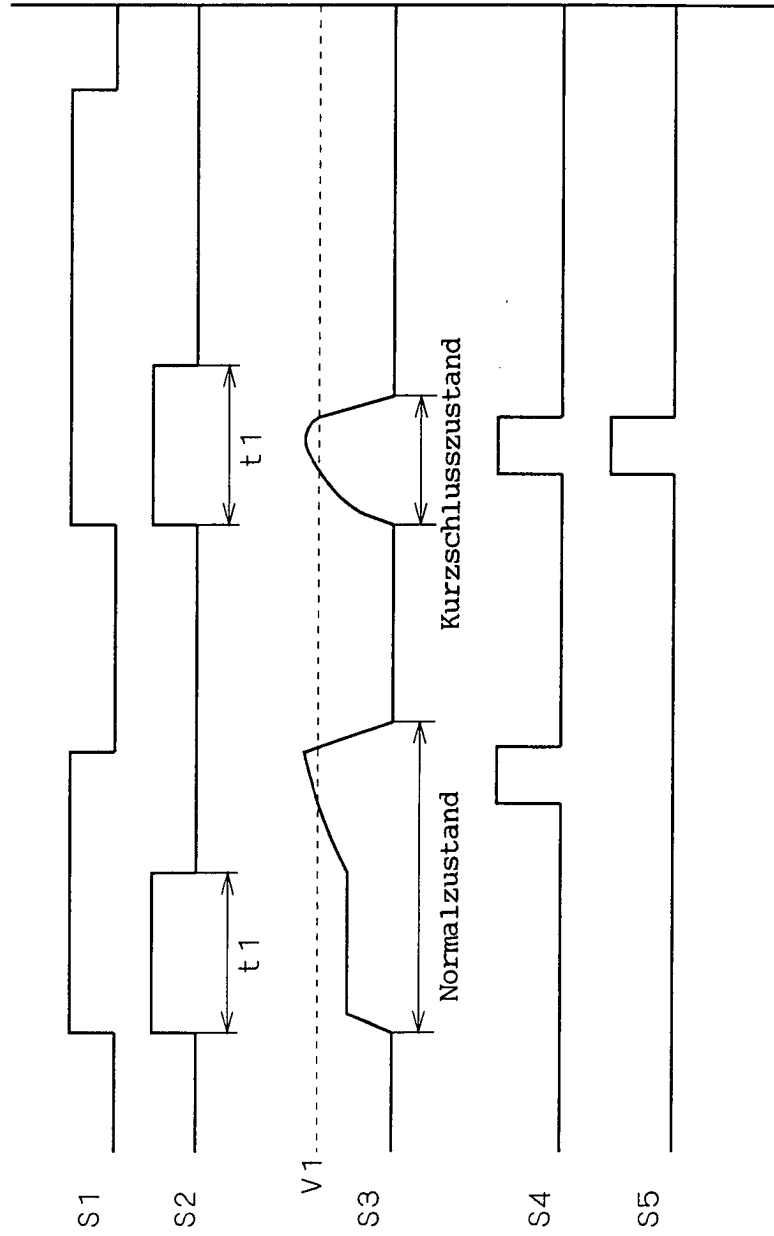


FIG. 7

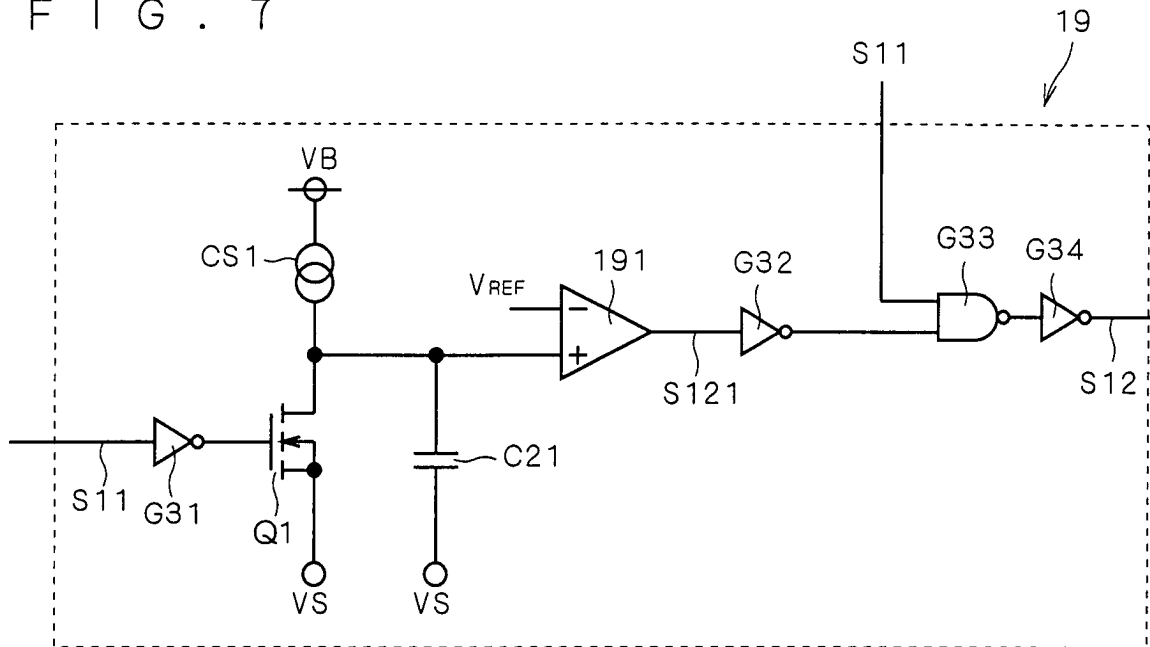


FIG. 8

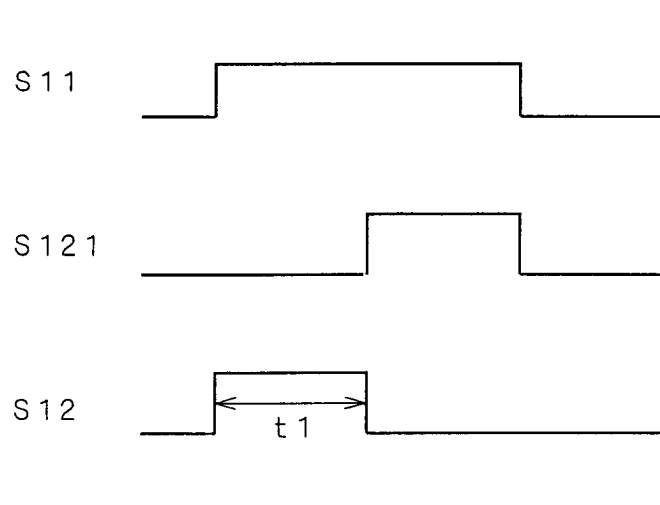


FIG. 9

