



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I708981 B

(45)公告日：中華民國 109 (2020) 年 11 月 01 日

(21)申請案號：108116597

(22)申請日：中華民國 103 (2014) 年 08 月 14 日

(51)Int. Cl. : **G02F1/1343 (2006.01)****G02F1/1362 (2006.01)****H01L27/12 (2006.01)**

(30)優先權：2013/08/28 日本

2013-177345

2014/03/11 日本

2014-047301

(71)申請人：日商半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：初見亮 HATSUMI, RYO (JP)；久保田大介 KUBOTA, DAISUKE (JP)；三宅博之
MIYAKE, HIROYUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2009/0059110A1

US 2009/0185090A1

US 2011/0249210A1

US 2012/0033165A1

審查人員：林信宏

申請專利範圍項數：19 項 圖式數：26 共 131 頁

(54)名稱

顯示裝置

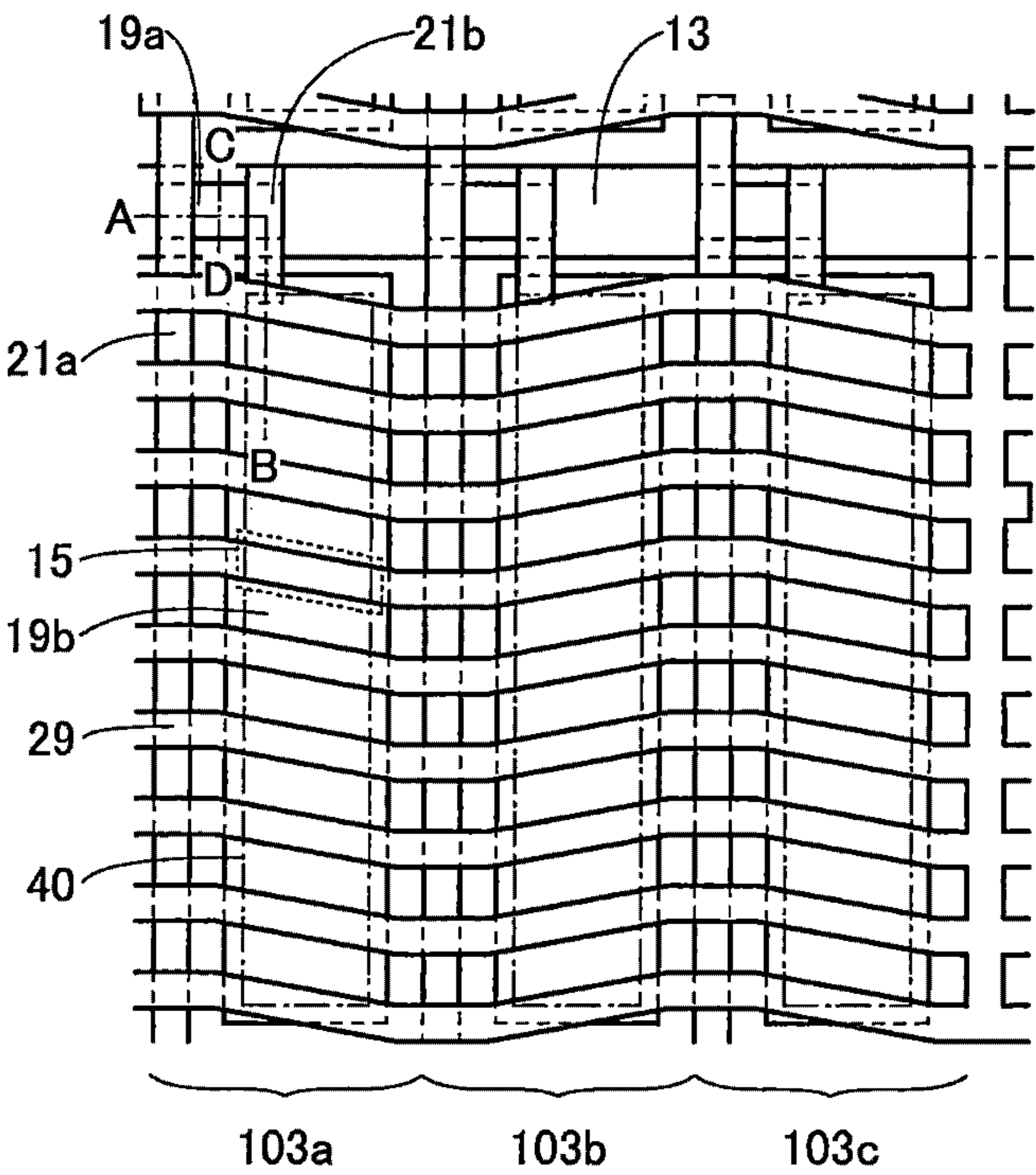
(57)摘要

本發明的一個方式提供一種漏光少且對比度高的顯示裝置。本發明的一個方式提供一種孔徑比高且包括能夠增大電荷容量的電容元件的顯示裝置。本發明的一個方式提供一種寄生電容所導致的佈線延遲得到減少的顯示裝置。本發明的一個方式是一種顯示裝置，包括：基板上的電晶體；與電晶體連接的像素電極；與電晶體電連接的信號線；與電晶體電連接且與信號線交叉的掃描線；以及隔著絕緣膜設置在像素電極及信號線上的共用電極，其中共用電極包括在與信號線交叉的方向上延伸的條狀的區域。

A display device with less light leakage and excellent contrast is provided. A display device having a high aperture ratio and including a large-capacitance capacitor is provided. A display device in which wiring delay due to parasitic capacitance is reduced is provided. A display device includes a transistor over a substrate, a pixel electrode connected to the transistor, a signal line electrically connected to the transistor, a scan line electrically connected to the transistor and intersecting with the signal line, and a common electrode overlapping with the pixel electrode and the signal line with an insulating film provided therebetween. The common electrode includes stripe regions extending in a direction intersecting with the signal line.

指定代表圖：

圖 4



符號簡單說明：

13 . . . 導電膜

15 . . . 氮化物絕緣膜

19a . . . 氧化物半導體膜

19b . . . 像素電極

21a . . . 導電膜

21b . . . 導電膜

29 . . . 共用電極

40 . . . 開口部

103a . . . 像素

103b . . . 像素

103c . . . 像素

發明摘要

【發明名稱】(中文/英文)

顯示裝置

DISPLAY DEVICE

【中文】

本發明的一個方式提供一種漏光少且對比度高的顯示裝置。本發明的一個方式提供一種孔徑比高且包括能夠增大電荷容量的電容元件的顯示裝置。本發明的一個方式提供一種寄生電容所導致的佈線延遲得到減少的顯示裝置。本發明的一個方式是一種顯示裝置，包括：基板上的電晶體；與電晶體連接的像素電極；與電晶體電連接的信號線；與電晶體電連接且與信號線交叉的掃描線；以及隔著絕緣膜設置在像素電極及信號線上的共用電極，其中共用電極包括在與信號線交叉的方向上延伸的條狀的區域。

【 英文 】

A display device with less light leakage and excellent contrast is provided. A display device having a high aperture ratio and including a large-capacitance capacitor is provided. A display device in which wiring delay due to parasitic capacitance is reduced is provided. A display device includes a transistor over a substrate, a pixel electrode connected to the transistor, a signal line electrically connected to the transistor, a scan line electrically connected to the transistor and intersecting with the signal line, and a common electrode overlapping with the pixel electrode and the signal line with an insulating film provided therebetween. The common electrode includes stripe regions extending in a direction intersecting with the signal line.

【代表圖】

【本案指定代表圖】：第(4)圖。

【本代表圖之符號簡單說明】：

13：導電膜

15：氮化物絕緣膜

19a：氧化物半導體膜

19b：像素電極

21a：導電膜

21b：導電膜

29：共用電極

40：開口部

103a：像素

103b：像素

103c：像素

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

顯示裝置

DISPLAY DEVICE

【技術領域】

[0001] 本發明係關於一種物體，方法或製造方法。此外，本發明係關於一種製程（process）、機器（machine）、產品（manufacture）或組合物（composition of matter）。尤其是，本發明的一個方式係關於一種半導體裝置、顯示裝置、發光裝置、蓄電裝置及它們的驅動方法或它們的製造方法。尤其是，本發明的一個方式係關於顯示裝置及其製造方法。

【先前技術】

[0002] 近年來，液晶被應用於多種裝置，尤其是具有薄型且輕量的特徵的液晶顯示裝置（液晶顯示器）被應用於各種領域的顯示器。

[0003] 作為對液晶顯示裝置中的液晶分子施加電場的方法，有垂直電場方式和橫向電場方式。橫向電場方式的液晶顯示面板分為將像素電極及共用電極設置在同一絕緣膜上的 IPS（In-Plane Switching：平面內切換）模式和像素電極與共用電極隔著絕緣膜重疊的 FFS（Fringe Field

Switching：邊緣電場切換）模式。

[0004] 在 FFS 模式的液晶顯示裝置中，像素電極具有狹縫狀的開口部，並且對液晶分子施加在該開口部中的像素電極與共用電極之間產生的電場，由此控制液晶分子的配向。

[0005] FFS 模式的液晶顯示裝置的孔徑比高，在可以實現廣視角的同時還具有可以改善影像對比度的效果，所以近年來被廣泛地使用（參照專利文獻 1）。

[0006] [專利文獻 1] 日本專利申請公開第 2000-89255 號公報

【發明內容】

[0007] 本發明的一個方式的目的是提供一種寄生電容所導致的佈線延遲得到減少的顯示裝置。或者，本發明的一個方式的目的是提供一種漏光少且對比度高的顯示裝置。或者，本發明的一個方式的目的是提供一種孔徑比高且包括能夠增大電荷容量的電容元件的顯示裝置。或者，本發明的一個方式的目的是提供一種耗電量得到減少的顯示裝置。或者，本發明的一個方式的目的是提供一種包括電特性好的電晶體的顯示裝置。或者，本發明的一個方式的目的是提供一種新穎的顯示裝置。或者，本發明的一個方式的目的是提供一種能夠以少的製程數實現高孔徑比及廣視角的顯示裝置的製造方法。或者，本發明的一個方式的目的是提供一種新穎的顯示裝置的製造方法。

[0008] 注意，這些目的並不妨礙其他目的的存在。此外，本發明的一個方式並不需要實現所有上述目的。另外，可以從說明書、圖式、申請專利範圍等的記載顯而易見地得知並抽出上述以外的目的。

[0009] 本發明的一個方式是一種顯示裝置，包括：絕緣表面上的電晶體；與電晶體連接的像素電極；與電晶體連接的信號線；與電晶體連接且與信號線交叉的掃描線；以及隔著絕緣膜設置在像素電極及信號線上的共用電極，其中，共用電極包括在與信號線交叉的方向上延伸的條狀的區域。

[0010] 另外，電晶體包括：與掃描線電連接的閘極電極；與閘極電極重疊的半導體膜；閘極電極與半導體膜之間的閘極絕緣膜；與信號線及半導體膜電連接的第一導電膜；以及與像素電極及半導體膜電連接的第二導電膜，其中第二導電膜包括與掃描線及共用電極的條狀的區域平行的區域。

[0011] 本發明的一個方式是一種顯示裝置，該顯示裝置包括絕緣表面上的信號線、掃描線、電晶體、像素電極、共用電極及電容元件。其中，電晶體包括：與掃描線電連接的閘極電極；與閘極電極重疊的半導體膜；閘極電極與半導體膜之間的閘極絕緣膜；與信號線及半導體膜電連接的第一導電膜；以及與像素電極及半導體膜電連接的第二導電膜。電容元件包括：像素電極；共用電極；以及像素電極與共用電極之間的氮化物絕緣膜。共用電極包括

在與信號線交叉的方向上延伸的條狀的區域。

[0012] 第二導電膜包括與掃描線及共用電極的條狀的區域平行的區域。

[0013] 共用電極的條狀的區域的每一個都可以以跨在與掃描線平行的多個像素電極上的方式延伸。

[0014] 共用電極與信號線交叉的角度較佳為 70° 以上且 110° 以下。

[0015] 像素電極被設置為矩陣狀。另外，共用電極與掃描線交叉且包括與條狀的區域連接的區域。另外，半導體膜及像素電極與閘極絕緣膜接觸。

[0016] 半導體膜及像素電極包含 In-Ga 氧化物、In-Zn 氧化物或 In-M-Zn 氧化物（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）。

[0017] 半導體膜及像素電極都採用包括第一膜及第二膜的多層結構，第一膜的金屬元素的原子個數比與第二膜不同。

[0018] 本發明的一個方式可以提供一種寄生電容所導致的佈線延遲得到減少的顯示裝置。或者，本發明的一個方式可以提供一種漏光少且對比度高的顯示裝置。或者，本發明的一個方式可以提供一種孔徑比高且包括能夠增大電荷容量的電容元件的顯示裝置。本發明的一個方式可以提供一種耗電量得到減少的顯示裝置。本發明的一個方式可以提供一種包括電特性好的電晶體的顯示裝置。本發明的一個方式可以提供一種能夠以少的製程數實現高孔

徑比及廣視角的顯示裝置。

【圖式簡單說明】

[0019] 在圖式中：

圖 1A 及圖 1B 是說明顯示裝置的一個方式的剖面圖及俯視圖；

圖 2A 至圖 2D 是說明顯示裝置的一個方式的俯視圖；

圖 3A 及圖 3B 是說明顯示裝置的一個方式的方塊圖及電路圖；

圖 4 是說明顯示裝置的一個方式的俯視圖；

圖 5 是說明電晶體的一個方式的剖面圖；

圖 6A 至圖 6D 是說明電晶體的製造方法的一個方式的剖面圖；

圖 7A 至圖 7D 是說明電晶體的製造方法的一個方式的剖面圖；

圖 8A 至圖 8C 是說明電晶體的製造方法的一個方式的剖面圖；

圖 9A 及圖 9B 是說明顯示裝置的一個方式的俯視圖及剖面圖；

圖 10 是說明顯示裝置的一個方式的俯視圖；

圖 11 是說明顯示裝置的一個方式的俯視圖；

圖 12 是說明電晶體的一個方式的剖面圖；

圖 13A 至圖 13C 是說明電晶體的製造方法的一個方

式的剖面圖；

圖 14A 及圖 14B 是說明電晶體的一個方式的剖面圖；

圖 15 是說明顯示模組的圖；

圖 16A 至圖 16D 是根據實施方式的電子裝置的外觀圖；

圖 17A 至圖 17D 是示出樣本 1 及樣本 2 的俯視圖及穿透率的分佈的圖；

圖 18A 至圖 18D 是示出樣本 3 及樣本 4 的俯視圖及穿透率的分佈的圖；

圖 19 是說明顯示裝置的一個方式的俯視圖；

圖 20 是說明電晶體的一個方式的剖面圖；

圖 21 是說明電晶體的一個方式的剖面圖；

圖 22 是說明電晶體的一個方式的剖面圖；

圖 23 是說明電晶體的一個方式的剖面圖；

圖 24 是說明顯示裝置的一個方式的俯視圖；

圖 25 是說明顯示裝置的一個方式的俯視圖；

圖 26 是說明導電率的溫度依賴性的圖。

【實施方式】

[0020] 以下，將參照圖式詳細說明本發明的實施方式。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其實施方式和詳細內容在不脫離本發明的精神及其範圍下可以被變換為

各種形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式及實施例所記載的內容中。在以下說明的實施方式及實施例中，在不同的圖式之間使用同一符號或同一陰影線表示同一部分或具有同樣功能的部分，而省略重複說明。

[0021] 在本說明書所說明的每一個圖式中，有時為了容易理解，誇大地表示各構成要素的大小，膜厚度，區域。因此，實際上的尺度並不一定限定於該尺度。

[0022] 在本說明書中使用的“第一”，“第二”，“第三”等序數詞是為了避免構成要素的混同而附加的，而不是為了在數目方面上進行限定。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。

[0023] “源極”和“汲極”的功能在電路工作中的電流方向變化等時有可能互換。因此，在本說明書中，“源極”和“汲極”這兩個詞語可以互換使用。

[0024] 電壓是指兩個點之間的電位差，而電位是指某一點的靜電場中的某單位電荷所具有的靜電能（電位能量）。但是，一般來說，將某一點的電位與標準的電位（例如接地電位）之間的電位差簡單地稱為電位或電壓，通常，電位和電壓是同義詞。因此，在本說明書中，除了特別指定的情況以外，既可將“電位”稱為“電壓”，又可將“電壓”稱為“電位”。

[0025] 另外，在本說明書等中，“電連接”包括隔

著“具有某種電作用的元件”連接的情況。這裡，“具有某種電作用的元件”只要可以進行連接目標間的電信號的發送和接收，就對其沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件，電阻元件，電感器，電容器，其他具有各種功能的元件等。

[0026]

實施方式 1

在本實施方式中，參照圖式說明本發明的一個方式的顯示裝置。

[0027] 圖 1A 是 FFS 模式的液晶顯示裝置的剖面圖，圖 1B 是該液晶顯示裝置所包括的顯示部的一個像素 10 的俯視圖。圖 1A 相當於沿著圖 1B 中的點劃線 A-B 的剖面圖。另外，在圖 1B 中，省略基板 1、絕緣膜 3、絕緣膜 8、絕緣膜 60、基板 61、遮光膜 62、彩色膜 63、絕緣膜 64、絕緣膜 65 及液晶層 66。

[0028] 如圖 1A 及圖 1B 所示的那樣，FFS 模式的液晶顯示裝置是主動矩陣型的液晶顯示裝置，每一個設置在顯示部中的像素 10 都包括電晶體 102 及像素電極 7。

[0029] 如圖 1A 所示的那樣，液晶顯示裝置包括：基板 1 上的電晶體 102；與電晶體 102 連接的像素電極 7；與電晶體 102 及像素電極 7 接觸的絕緣膜 8；與絕緣膜 8 接觸的共用電極 9；以及與絕緣膜 8 及共用電極 9 接觸且用作配向膜的絕緣膜 60。

[0030] 液晶顯示裝置還包括：與基板 61 接觸的遮光膜 62 及彩色膜 63；與基板 61、遮光膜 62 及彩色膜 63 接觸的絕緣膜 64；以及與絕緣膜 64 接觸且用作配向膜的絕緣膜 65。另外，絕緣膜 60 與絕緣膜 65 之間具有液晶層 66。注意，雖然未圖示，但在基板 1 及基板 61 的外側設置有偏光板。

[0031] 電晶體 102 可以適當地採用正交錯型、反交錯型或共平面型等的電晶體。另外，當採用反交錯型時，可以適當地使用通道蝕刻結構、通道保護結構等。

[0032] 本實施方式所示的電晶體 102 為反交錯型，並且是通道蝕刻結構的電晶體。電晶體 102 包括：基板 1 上的用作閘極電極的導電膜 2；基板 1 及導電膜 2 上的用作閘極絕緣膜的絕緣膜 3；隔著絕緣膜 3 與導電膜 2 重疊的半導體膜 4；以及與半導體膜 4 接觸的導電膜 5 及導電膜 6。另外，導電膜 2 及閘極電極都用作掃描線。也就是說，閘極電極是掃描線的一部分。導電膜 5 用作信號線。導電膜 5、6 用作源極電極和汲極電極。也就是說，源極電極和汲極電極中的一個是信號線的一部分。由此，電晶體 102 與掃描線及信號線電連接。在此，雖然導電膜 2 及閘極電極都用作掃描線，但也可以分開形成閘極電極和掃描線。另外，雖然導電膜 5 用作源極電極和汲極電極中的另一個以及信號線，但也可以分開形成源極電極和汲極電極中的另一個以及信號線。

[0033] 在電晶體 102 中，半導體膜 4 可以適當地使

用矽、矽銻或氧化物半導體等半導體材料。另外，半導體膜 4 可以適當地採用非晶結構、微晶結構、多晶結構或單晶結構等。

[0034] 如圖 1B 所示的那樣，像素電極 7 在像素 10 中為矩形狀。另外，由於本實施方式所示的顯示裝置是主動矩陣型的液晶顯示裝置，所以像素電極 7 被配置為矩陣狀。像素電極 7 及共用電極 9 由具有透光性的膜形成。

[0035] 像素電極 7 的形狀不侷限於矩形狀，而可以按照像素 10 的形狀採用適當的形狀。另外，在像素 10 中，較佳為在用作掃描線的導電膜 2 和用作信號線的導電膜 5 所包圍的區域中大面積地形成像素電極 7。由此，可以提高像素 10 中的孔徑比。

[0036] 共用電極 9 包括多個在與用作信號線的導電膜 5 交叉的方向上延伸的區域（第一區域）。也就是說，其包括在與用作信號線的導電膜 5 交叉的方向上延伸的條狀的區域（多個第一區域）。另外，該條狀的區域連接於在與用作信號線的導電膜 5 平行或大致平行的方向上延伸的區域（第二區域）。也就是說，共用電極 9 由條狀的區域（多個第一區域）以及與該條狀的區域連接的連接區域（第二區域）構成。

[0037] 換言之，共用電極 9 在像素電極 7 上包括多個在與用作掃描線的導電膜 2 平行或大致平行的方向上延伸的區域（第一區域）。也就是說，共用電極 9 包括在與用作掃描線的導電膜 2 平行或大致平行的方向上延伸的條

狀的區域（多個第一區域）。另外，該條狀的區域連接於在與用作掃描線的導電膜 2 交叉的方向上延伸的區域（第二區域）。

[0038] 共用電極 9 中的條狀的區域（多個第一區域）所延伸的方向與用作信號線的導電膜 5 所延伸的方向的交叉角度較佳為 70° 以上且 110° 以下。以這種角度交叉可以減少漏光。另外，由於共用電極 9 沒有形成在基板 1 的整個表面上而卻具有條狀的區域（多個第一區域），所以能夠減少用作掃描線的導電膜 2 及用作信號線的導電膜 5 與共用電極 9 之間所產生的寄生電容。

[0039] 另外，共用電極 9 中的條狀的區域（多個第一區域）可以為直線狀。或者，共用電極 9 中的條狀的區域（多個第一區域）可以為鋸齒形狀或波浪形狀等。在共用電極 9 中，當條狀的區域（多個第一區域）為鋸齒形狀或波浪形狀時，液晶分子的配向狀態則多域化，並可以得到視角改善的效果。

[0040] 由於共用電極 9 為條狀，所以當電壓施加到像素電極 7 時，在像素電極 7 與共用電極 9 之間發生如圖 1A 中的虛線箭頭所示那樣的拋物線狀的電場。其結果是，可以使液晶層 66 所包含的液晶分子配向。

[0041] 在像素電極 7 與共用電極 9 重疊的區域中，像素電極 7、絕緣膜 8 及共用電極 9 用作電容元件。由於像素電極 7 及共用電極 9 由具有透光性的膜形成，所以可以提高孔徑比和儲存在電容元件中的電荷容量。另外，藉

由使用相對介電常數高的材料來形成像素電極 7 與共用電極 9 之間的絕緣膜 8，能夠在電容元件中儲存大電荷容量。作為相對介電常數高的材料，可以舉出氮化矽、氧化鋁、氧化鎳、氧化鈮、氧化鈦、矽酸鈦（ HfSiO_x ）、添加有氮的矽酸鈦（ $\text{HfSi}_x\text{O}_y\text{N}_z$ ）、添加有氮的鋁酸鈦（ $\text{HfAl}_x\text{O}_y\text{N}_z$ ）等。

[0042] 將遮光膜 62 用作黑矩陣。將彩色膜 63 用作濾色片。另外，不一定必須設置彩色膜 63，例如，當液晶顯示裝置為黑白色顯示時，可以不設置彩色膜 63。

[0043] 作為彩色膜 63，可以使用使特定的波長區域的光透過的彩色膜，例如可以使用使紅色的波長區域的光透過的紅色（R）膜、使綠色的波長區域的光透過的綠色（G）膜或使藍色的波長區域的光透過的藍色（B）膜等。

[0044] 遮光膜 62 只要具有阻擋特定的波長區域的光的功能即可，而作為遮光膜 62 可以使用金屬膜或包含黑色顏料等的有機絕緣膜等。

[0045] 絕緣膜 65 具有平坦化層的功能或者抑制彩色膜 63 可能包含的雜質擴散到液晶元件一側的功能。

[0046] 雖未圖示，但在基板 1 與基板 61 之間設置有密封材料，由基板 1、基板 61 及密封材料密封液晶層 66。另外，也可以在絕緣膜 60 與絕緣膜 64 之間設置保持液晶層 66 的厚度（也稱為單元間隙）的間隔物。

[0047] 接著，參照圖 2A 至圖 2D 說明本實施方式所

示的液晶顯示裝置的驅動方法。

[0048] 圖 2A 至圖 2D 是 FFS 模式的液晶顯示裝置的像素部所包括的像素的俯視圖，其中示出相鄰的兩個像素 10a、10b。在圖 2A 及圖 2B 中，共用電極 9 在與用作掃描線的導電膜 2 平行或大致平行的方向上延伸。也就是說，共用電極 9 跨在像素 10a、10b 上。

[0049] 圖 2A 及圖 2B 所示的像素 10a、10b 包括具有在與用作信號線的導電膜 5a、5b 交叉的方向上延伸的條狀的區域的共用電極 9，圖 2C 及圖 2D 所示的像素 10a、10b 包括具有在與用作掃描線的導電膜 2 交叉的方向上延伸的條狀的區域的共用電極 9。在各像素中，對將初始狀態設定為黑色顯示，而藉由對像素電極施加電壓來顯示白色的像素中的顯示元件的驅動方法，即常黑模式的顯示元件的驅動方法進行說明。在此，顯示元件是指像素電極 7、共用電極 9 及液晶層所包含的液晶分子。另外，雖然在本實施方式中使用常黑模式的驅動方法進行說明，但也可以適當地使用常白模式的驅動方法。

[0050] 在顯示黑色時，對掃描線施加使電晶體成為導通狀態的電壓，並對信號線及共用電極施加 0V。其結果是，像素電極被施加 0V。也就是說，在像素電極與共用電極之間不產生電場，液晶分子不工作。

[0051] 在顯示白色時，對掃描線施加使電晶體成為導通狀態的電壓，並對信號線施加使液晶分子工作的電壓（例如 6V），對共用電極施加 0V。其結果是，像素電極

被施加 6V。也就是說，在像素電極與共用電極之間產生電場，因此液晶分子工作。

[0052] 在此，由於使用負型的液晶材料進行說明，所以在初始狀態中，使液晶分子配向於與共用電極正交的方向。如此，將初始狀態中的液晶分子的配向稱為初始配向。另外，藉由對像素電極與共用電極之間施加電壓，在與基板平行的面中使液晶分子轉動。在本實施方式中，雖然使用負型的液晶材料進行說明，但也可以適當地使用正型的液晶材料。

[0053] 在圖 1A 所示的基板 1 及基板 61 的外側設置偏光板。基板 1 外側的偏光板所包括的偏振器與基板 61 外側的偏光板所包括的偏振器互相正交，也就是說，被配置為正交尼科耳狀態。因此，液晶分子若在與用作掃描線的導電膜 2 或用作信號線的導電膜 5a、5b 平行的方向上配向，在偏光板中光則被吸收而成為黑色顯示。在本實施方式中，雖然以將偏光板擺放為正交尼科耳狀態的情況來進行說明，但也可以適當地將偏光板擺放為平行尼科耳狀態。

[0054] 在圖 2A 至圖 2D 中，將包括用作掃描線的導電膜 2、半導體膜 4a、用作信號線的導電膜 5a、導電膜 6a、像素電極 7a 及共用電極 9 的像素稱為像素 10a，將包括用作掃描線的導電膜 2、半導體膜 4b、用作信號線的導電膜 5b、導電膜 6b、像素電極 7b 及共用電極 9 的像素稱為像素 10b。另外，圖 2A 及圖 2C 示出初始狀態，圖 2B

及圖 2D 示出使像素 10b 進行白色顯示的狀態。

[0055] 在圖 2C 及圖 2D 所示的像素 10a、10b 中，共用電極 9 在與用作信號線的導電膜 5a、5b 平行或大致平行的方向上延伸，因此在圖 2C 所示的初始狀態（黑色顯示）中，液晶分子 L 在與用作信號線的導電膜 5a、5b 正交的方向上配向。

[0056] 如圖 2D 所示的那樣，對使像素 10a 進行黑色顯示，並使像素 10b 進行白色顯示的情況進行說明。對用作信號線的導電膜 5a 及共用電極 9 施加 0V。另外，對用作信號線的導電膜 5b 施加 6V。其結果是，在像素 10b 中，像素電極 7b 被施加 6V，如圖中的箭頭所示的那樣，在像素電極 7b 與共用電極 9 之間產生電場，而液晶分子 L 隨其配向。在此，示出液晶分子 L 轉動 45° 的狀態。

[0057] 在像素 10a 中，像素電極 7a 的電位為 0V，設置在像素電極 7a 附近的用作信號線的導電膜 5b 的電位為 6V。因此，在像素 10a 中也如圖中的箭頭所示的那樣在像素電極 7a 與用作信號線的導電膜 5b 之間產生電場，而液晶分子 L 隨其配向。其結果是，在本應顯示黑色的像素 10a 中，液晶分子 L 的一部分的配向狀態發生變化而導致漏光。

[0058] 另一方面，在圖 2A 及圖 2B 所示的像素 10a、10b 中，共用電極 9 在與用作信號線的導電膜 5a、5b 正交的方向上延伸，因此在初始狀態（黑色顯示）中，液晶分子 L 在與用作信號線的導電膜 5a、5b 平行或

大致平行的方向上配向。

[0059] 如圖 2B 所示的那樣，對使像素 10a 進行黑色顯示，並使像素 10b 進行白色顯示的情況進行說明。對用作信號線的導電膜 5a 及共用電極 9 施加 0V。另外，對用作信號線的導電膜 5b 施加 6V。其結果是，在像素 10b 中，像素電極 7b 被施加 6V，如圖中的箭頭所示的那樣，在像素電極 7b 與共用電極 9 之間產生電場，而液晶分子 L 隨其配向。在此，示出液晶分子 L 轉動 -45° 的狀態。

[0060] 在像素 10a 中，像素電極 7a 的電位為 0V，設置在像素電極 7a 附近的用作信號線的導電膜 5b 的電位為 6V。然而，由於用作信號線的導電膜 5b 與共用電極 9 交叉，在像素電極 7a 與用作信號線的導電膜 5b 之間發生的第一電場 F1 與液晶分子 L 的長軸正交。其結果是，由於液晶分子 L 是負型液晶，所以液晶分子 L 不工作而可以抑制漏光。

[0061] 由上述內容看來，在 FFS 模式的液晶顯示裝置中，藉由設置在與信號線交叉的方向上延伸的共用電極，可以製造對比度高的顯示裝置。

[0062] 另外，本實施方式所示的共用電極 9 沒有在基板上全面地形成。因此，能夠減少與用作信號線的導電膜 5a、5b 重疊的區域，並減少在信號線與共用電極 9 之間產生的寄生電容。其結果是，能夠在使用大面積基板形成的顯示裝置中，減少佈線延遲。

[0063] 本實施方式所示的結構及方法等可以與其他

實施方式所示的結構及方法等適當地組合而實施。

[0064]

實施方式 2

在本實施方式中，參照圖式說明本發明的一個方式的顯示裝置。另外，在本實施方式中，作為電晶體所包括的半導體膜，使用氧化物半導體膜進行說明。

[0065] 圖 3A 所示的顯示裝置包括：像素部 101；掃描線驅動電路 104；信號線驅動電路 106；各個平行或大致平行地配置且其電位由掃描線驅動電路 104 控制的 m 個掃描線 107；以及各個平行或大致平行地配置且其電位由信號線驅動電路 106 控制的 n 個信號線 109。像素部 101 具有配置為矩陣狀的多個像素 103。另外，還有沿著信號線 109 各個平行或大致平行地配置的公用線 115。另外，有時將掃描線驅動電路 104 及信號線驅動電路 106 總稱為驅動電路部。

[0066] 各掃描線 107 與在像素部 101 中配置為 m 行 n 列的像素 103 中的配置在任一行的 n 個像素 103 電連接，而各信號線 109 與配置為 m 行 n 列的像素 103 中的配置在任一列的 m 個像素 103 電連接。 m 、 n 都是 1 以上的整數。各公用線 115 與配置為 m 行 n 列的像素 103 中的配置在任一列的 m 個像素 103 電連接。

[0067] 圖 3B 示出可以應用於圖 3A 所示的顯示裝置的像素 103 的電路結構的一個例子。

[0068] 圖 3B 所示的像素 103 具有液晶元件 121、電

晶體 102 和電容元件 105。

[0069] 液晶元件 121 的一對電極中的一個與電晶體 102 連接，其電位根據像素 103 的規格適當地設定。液晶元件 121 的一對電極中的另一個與公用線 115 連接，並對其施加共同的電位（共用電位）。根據被寫入電晶體 102 的資料來控制液晶元件 121 的液晶分子的配向狀態。

[0070] 液晶元件 121 是利用液晶分子的光學調變作用來控制光的透過或非透過的元件。液晶分子的光學調變作用由施加到液晶分子的電場（包括橫向電場、縱向電場或傾斜方向電場）控制。作為用於液晶元件 121 的液晶材料，可以舉出向列液晶、膽固醇相（cholesteric）液晶、層列型液晶、熱致液晶、溶致液晶、鐵電液晶、反鐵電液晶等。

[0071] 作為包括液晶元件 121 的顯示裝置的驅動方法，採用 FFS 模式。

[0072] 另外，也可以使用包含呈現藍相（Blue Phase）的液晶材料和手性試劑的液晶組成物構成液晶元件。呈現藍相的液晶的回應速度快，為 1msec 以下，由於其具有光學各向同性，所以不需要配向處理，且視角依賴性小。

[0073] 在圖 3B 所示的像素 103 的結構中，電晶體 102 的源極電極和汲極電極中的一個與信號線 109 電連接，源極電極和汲極電極中的另一個與液晶元件 121 的一對電極中的一個電連接。電晶體 102 的閘極電極與掃描線 107 電連接。電晶體 102 具有藉由成為導通狀態或截止狀

態而對資料信號的寫入進行控制的功能。

[0074] 在圖 3B 所示的像素 103 的結構中，電容元件 105 的一對電極中的一個與電晶體 102 連接。電容元件 105 的一對電極中的另一個與公用線 115 電連接。根據像素 103 的規格適當地設定公用線 115 的電位值。電容元件 105 用作儲存被寫入的資料的儲存電容器。注意，在本實施方式中，電容元件 105 的一對電極中的一個是液晶元件 121 的一對電極中的一個。另外，電容元件 105 的一對電極中的另一個是液晶元件 121 的一對電極中的另一個。

[0075] 接著，說明顯示裝置所包括的元件基板的具體結構。這裡，圖 4 示出多個像素 103a、103b、103c 的俯視圖。

[0076] 在圖 4 中，用作掃描線的導電膜 13 在與信號線大致正交的方向（圖式中的左右方向）上延伸地設置。用作信號線的導電膜 21a 在與掃描線大致正交的方向（圖式中的上下方向）上延伸地設置。用作掃描線的導電膜 13 與掃描線驅動電路 104（參照圖 3A）電連接，而用作信號線的導電膜 21a 與信號線驅動電路 106（參照圖 3A）電連接。

[0077] 電晶體 102 設置在掃描線和信號線的交叉區域。電晶體 102 由用作閘極電極的導電膜 13、閘極絕緣膜（在圖 4 中未圖示）、形成在閘極絕緣膜上的形成有通道區域的氧化物半導體膜 19a、用作源極電極和汲極電極的導電膜 21a 及 21b 構成。導電膜 13 還被用作掃描線，

其中與氧化物半導體膜 19a 重疊的區域被用作電晶體 102 的閘極電極。導電膜 21a 還被用作信號線，其中與氧化物半導體膜 19a 重疊的區域被用作電晶體 102 的源極電極或汲極電極。在圖 4 的頂面形狀中，掃描線的端部位於氧化物半導體膜 19a 的端部的側面。由此，掃描線被用作阻擋來自背光等光源的光的遮光膜。其結果是，電晶體所包括的氧化物半導體膜 19a 不被照射光而電晶體的電特性的變動可以得到抑制。

[0078] 導電膜 21b 與像素電極 19b 電連接。另外，在像素電極 19b 上隔著絕緣膜設置有共用電極 29。在像素電極 19b 上的絕緣膜中，設置有以點劃線所示的開口部 40。像素電極 19b 在開口部 40 與氮化物絕緣膜（在圖 4 中未圖示）接觸。

[0079] 共用電極 29 包括在與信號線交叉的方向上延伸的條狀的區域（多個第一區域）。另外，該多個第一區域連接於在與信號線平行或大致平行的方向上延伸的第二區域。因此，在包括條狀的區域（多個第一區域）的共用電極 29 中，多個第一區域的每一個的電位都相同。

[0080] 電容元件 105 形成在像素電極 19b 與共用電極 29 重疊的區域。像素電極 19b 及共用電極 29 具有透光性。也就是說，電容元件 105 具有透光性。

[0081] 如圖 4 所示的那樣，本實施方式所示的液晶顯示裝置採用 FFS 模式，並且包括具有在與信號線交叉的方向上延伸的條狀的區域的共用電極 29，因此可以製造

對比度高的顯示裝置。

[0082] 因為電容元件 105 具有透光性，所以可以在像素 103 中形成較大（大面積）的電容元件 105。由此，可以獲得孔徑比得到提高（典型地提高到 50%以上，較佳為 60%以上）且電荷容量增大的顯示裝置。例如，解析度高的如液晶顯示裝置之類的顯示裝置在像素的面積小時電容元件的面積也小。因此，在解析度高的顯示裝置中，儲存在電容元件中的電荷容量變小。但是，由於本實施方式所示的電容元件 105 具有透光性，所以藉由將該電容元件設置在像素中，可以在各像素中獲得充分的電荷容量的同時提高孔徑比。典型的是，電容元件 105 可以適當地應用於像素密度為 200ppi 以上，300ppi 以上或 500ppi 以上的高解析度顯示裝置。

[0083] 另外，在液晶顯示裝置中，電容元件的電容值越大，越能夠在施加電場的情況下長期保持液晶元件的液晶分子的配向為固定。在顯示靜態影像的情況下，由於可以長期保持該期間，所以能夠減少重寫影像資料的次數，從而可以降低耗電量。另外，藉由採用本實施方式所示的結構，在高解析度的顯示裝置中也可以提高孔徑比，因此可以高效地利用背光等光源的光，從而可以降低顯示裝置的耗電量。

[0084] 另外，本發明的實施方式的一個方式的俯視圖不侷限於此，而可以採用各種各樣的結構。例如，如圖 19 所示，在共用電極 29 中，連接區域也可以形成在用作

各信號線的導電膜上。

[0085] 接著，圖 5 示出沿著圖 4 的點劃線 A-B、點劃線 C-D 的剖面圖。圖 5 所示的電晶體 102 是通道蝕刻型電晶體。注意，沿著點劃線 A-B 的剖面圖是通道長度方向上的電晶體 102 以及電容元件 105 的剖面圖，沿著點劃線 C-D 的剖面圖是通道寬度方向上的電晶體 102 的剖面圖。

[0086] 圖 5 所示的電晶體 102 是具有單閘極結構的電晶體，其包括：設置在基板 11 上的用作閘極電極的導電膜 13；形成在基板 11 及用作閘極電極的導電膜 13 上的氮化物絕緣膜 15；形成在氮化物絕緣膜 15 上的氧化物絕緣膜 17；隔著氮化物絕緣膜 15 及氧化物絕緣膜 17 與用作閘極電極的導電膜 13 重疊的氧化物半導體膜 19a；以及與氧化物半導體膜 19a 接觸的用作源極電極和汲極電極的導電膜 21a 及 21b。在氧化物絕緣膜 17、氧化物半導體膜 19a、用作源極電極和汲極電極的導電膜 21a 及 21b 上形成有氧化物絕緣膜 23，在氧化物絕緣膜 23 上形成有氧化物絕緣膜 25。在氧化物絕緣膜 23、氧化物絕緣膜 25 及導電膜 21b 上形成有氮化物絕緣膜 27。另外，像素電極 19b 形成在氧化物絕緣膜 17 上。像素電極 19b 連接於用作源極電極和汲極電極的導電膜 21a、21b 中的一個，在此連接於導電膜 21b。另外，共用電極 29 形成在氮化物絕緣膜 27 上。

[0087] 另外，將像素電極 19b、氮化物絕緣膜 27 及共用電極 29 重疊的區域用作電容元件 105。

[0088] 另外，本發明的實施方式的一個方式的剖面圖不侷限於此，而可以採用各種各樣的結構。例如，像素電極 19b 可以具有狹縫。或者，像素電極 19b 可以是梳齒狀。圖 20 示出該情況的剖面圖的例子。或者，如圖 21 所示的那樣，也可以在氮化物絕緣膜 27 上設置有絕緣膜 26b。例如，作為絕緣膜 26b 可以設置有機樹脂膜。由此，可以使絕緣膜 26b 的表面變得平坦。也就是說，作為一個例子，絕緣膜 26b 可以具有平坦化膜的功能。或者，也可以以共用電極 29 與導電膜 21b 重疊的方式來形成電容元件 105b。圖 22 及圖 23 示出該情況的剖面圖的例子。

[0089] 下面詳細說明顯示裝置的結構。

[0090] 雖然對基板 11 的材料等沒有特別的限制，但是至少需要具有能夠承受後續的加熱處理的耐熱性。例如，作為基板 11，可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。另外，還可以利用以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鍺等為材料的化合物半導體基板、SOI (Silicon On Insulator: 絕緣層上覆矽) 基板等，並且也可以將在這些基板上設置有半導體元件的基板用作基板 11。當作為基板 11 使用玻璃基板時，藉由使用第 6 代 (1500mm×1850mm)、第 7 代 (1870mm×2200mm)、第 8 代 (2200mm×2400mm)、第 9 代 (2400mm×2800mm)、第 10 代 (2950mm×3400mm) 等的大面積基板，可以製造大型顯示裝置。

[0091] 作為基板 11，也可以使用撓性基板，並且在撓性基板上直接形成電晶體 102。或者，也可以在基板 11 與電晶體 102 之間設置剝離層。剝離層可以在如下情況下使用，即在剝離層上製造顯示裝置的一部分或全部，然後將其從基板 11 分離並轉置到其他基板上的情況。此時，也可以將電晶體 102 轉置到耐熱性低的基板或撓性基板上。

[0092] 用作閘極電極的導電膜 13 可以使用選自鋁、鉻、銅、鉭、鈦、鉬、鎢中的金屬元素或者以上述金屬元素為成分的合金或組合上述金屬元素的合金等來形成。另外，還可以使用選自錳和鋅中的一種或多種的金屬元素。用作閘極電極的導電膜 13 可以具有單層結構或兩層以上的疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鈦膜上層疊鋁膜的兩層結構、在氮化鈦膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鎢膜的兩層結構、在氮化鉭膜或氮化鎢膜上層疊鎢膜的兩層結構、在鈦膜上層疊銅膜的兩層結構以及依次層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，還可以使用組合鋁與選自鈦、鉭、鎢、鉬、鉻、釷、釷中的元素的一種或多種而形成的合金膜或氮化膜。

[0093] 用作閘極電極的導電膜 13 也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等透光導電材

料。另外，還可以採用上述透光導電材料與上述金屬元素的疊層結構。

[0094] 氮化物絕緣膜 15 可以使用具有低透氧性的氮化物絕緣膜。另外，氮化物絕緣膜 15 還可以使用具有低透氧性、低透氫性以及低透水性的氮化物絕緣膜。作為具有低透氧性的氮化物絕緣膜、具有低透氧性、低透氫性以及低透水性的氮化物絕緣膜，有如氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等。另外，還可以使用氧化鋁膜、氮氧化鋁膜、氧化鎵膜、氮氧化鎵膜、氧化釔膜、氮氧化釔膜、氧化鉛膜、氮氧化鉛膜等氧化物絕緣膜來代替具有低透氧性的氮化物絕緣膜、具有低透氧性、低透氫性以及低透水性的氮化物絕緣膜。

[0095] 氮化物絕緣膜 15 的厚度較佳為 5nm 以上且 100nm 以下，更佳為 20nm 以上且 80nm 以下。

[0096] 氧化物絕緣膜 17 例如使用氧化矽、氮氧化矽、氮氧化矽、氧化鋁、氧化鉛、氧化鎵或者 Ga-Zn 類金屬氧化物、氮化矽等即可，並且以疊層結構或單層結構來設置。

[0097] 另外，藉由使用矽酸鉛（ HfSiO_x ）、添加有氮的矽酸鉛（ $\text{HfSi}_x\text{O}_y\text{N}_z$ ）、添加有氮的鋁酸鉛（ $\text{HfAl}_x\text{O}_y\text{N}_z$ ）、氧化鉛、氧化釔等相對介電常數高的材料來形成氧化物絕緣膜 17，可減少電晶體的閘極漏電流。

[0098] 氧化物絕緣膜 17 的厚度較佳為 5nm 以上且 400nm 以下，更佳為 10nm 以上且 300nm 以下，進一步較

佳為 50nm 以上且 250nm 以下。

[0099] 作為氧化物半導體膜 19a 典型地有 In-Ga 氧化物、In-Zn 氧化物、In-M-Zn 氧化物（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）。

[0100] 在氧化物半導體膜 19a 為 In-M-Zn 氧化物膜的情況下，當假設 In 與 M 之和為 100atomic%時，In 與 M 的原子個數比則為如下：In 的原子個數比高於 25atomic% 且 M 的原子個數比低於 75atomic%，較佳為 In 的原子個數比高於 34atomic% 以上且 M 的原子個數比低於 66atomic%。

[0101] 氧化物半導體膜 19a 的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。如此，藉由使用能隙較寬的氧化物半導體，可以降低電晶體 102 的關態電流（off-state current）。

[0102] 氧化物半導體膜 19a 的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0103] 當氧化物半導體膜 19a 為 In-M-Zn 氧化物膜（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）時，較佳為用來形成 In-M-Zn 氧化物膜的濺射靶材的金屬元素的原子個數比滿足 $\text{In} \geq \text{M}$ 及 $\text{Zn} \geq \text{M}$ 。這種濺射靶材的金屬元素的原子個數比較佳為 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 。注意，所形成的氧化物半導體膜 19a 的原子個數比分別包含上述濺射靶材中的金屬元素的原子個數

比的 $\pm 40\%$ 的範圍內的誤差。

[0104] 作為氧化物半導體膜 19a 使用載子密度較低的氧化物半導體膜。例如，氧化物半導體膜 19a 使用載子密度為 $1 \times 10^{17}/\text{cm}^3$ 以下，較佳為 $1 \times 10^{15}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{13}/\text{cm}^3$ 以下，進一步較佳為 $1 \times 10^{11}/\text{cm}^3$ 以下的氧化物半導體膜。

[0105] 本發明不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性（場效移動率、臨界電壓等）來使用具有適當的組成的材料。另外，較佳為適當地設定氧化物半導體膜 19a 的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子個數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

[0106] 藉由作為氧化物半導體膜 19a 使用雜質濃度低且缺陷態密度低的氧化物半導體膜，可以製造具有更優良的電特性的電晶體，所以是較佳的。這裡，將雜質濃度低且缺陷態密度低（氧缺損量少）的狀態稱為“高純度本質”或“實質上高純度本質”。因為高純度本質或實質上高純度本質的氧化物半導體的載子發生源較少，所以有可能降低載子密度。因此，在該氧化物半導體膜中形成有通道區域的電晶體很少具有負臨界電壓的電特性（也稱為常導通特性）。因為高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。高純度本質或實質上高純度本質的氧化物半導體膜的關態電流顯著小，即便是通道寬度為

$1 \times 10^6 \mu\text{m}$ 、通道長度 L 為 $10 \mu\text{m}$ 的元件，當源極電極與汲極電極間的電壓（汲極電壓）在 1V 至 10V 的範圍時，關態電流也可以為半導體參數分析儀的測量極限以下，即 $1 \times 10^{-13}\text{A}$ 以下。因此，在該氧化物半導體膜中形成有通道區域的電晶體的電特性變動小，該電晶體有可能成為可靠性高的電晶體。作為雜質有氫、氮、鹼金屬或鹼土金屬等。

[0107] 包含在氧化物半導體膜中的氫與鍵合於金屬原子的氧起反應生成水，與此同時在發生氧脫離的晶格（或氧脫離的部分）中形成氧缺損。當氫進入該氧缺損時，有時生成作為載子的電子。另外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用包含氫的氧化物半導體的電晶體容易具有常導通特性。

[0108] 由此，較佳為盡可能減少氧化物半導體膜 19a 中的氧缺損及氫。明確而言，在氧化物半導體膜 19a 中，利用二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）測得的氫濃度為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，較佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下，進一步較佳為 $1 \times 10^{16} \text{atoms/cm}^3$ 以下。

[0109] 當氧化物半導體膜 19a 包含第 14 族元素之一的矽或碳時，氧化物半導體膜 19a 中氧缺損增加，使得氧化物半導體膜 19a 被 n 型化。因此，氧化物半導體膜 19a

中的矽或碳的濃度（利用二次離子質譜分析法得到的濃度）為 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下，較佳為 $2 \times 10^{17} \text{ atoms/cm}^3$ 以下。

[0110] 另外，在氧化物半導體膜 19a 中，利用二次離子質譜分析法測得的鹼金屬或鹼土金屬的濃度為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，較佳為 $2 \times 10^{16} \text{ atoms/cm}^3$ 以下。有時當鹼金屬及鹼土金屬與氧化物半導體鍵合時生成載子而使電晶體的關態電流增大。由此，較佳為降低氧化物半導體膜 19a 的鹼金屬或鹼土金屬的濃度。

[0111] 當在氧化物半導體膜 19a 中含有氮時，生成作為載子的電子，載子密度增加，使得氧化物半導體膜 19a 容易被 n 型化。其結果是，使用含有氮的氧化物半導體的電晶體容易具有常導通特性。因此，在該氧化物半導體膜中，較佳為盡可能地減少氮，例如，利用二次離子質譜分析法測得的氮濃度較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下。

[0112] 氧化物半導體膜 19a 例如可以具有非單晶結構。非單晶結構例如包括下述 CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）、多晶結構、下述微晶結構或非晶結構。在非單晶結構中，非晶結構的缺陷態密度最高，而 CAAC-OS 的缺陷態密度最低。

[0113] 氧化物半導體膜 19a 例如也可以具有非晶結構。非晶結構的氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。

[0114] 另外，氧化物半導體膜 19a 也可以為具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的混合膜。混合膜有時例如是具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的單層結構。另外，混合膜有時例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的疊層結構。

[0115] 像素電極 19b 是對與氧化物半導體膜 19a 同時形成的氧化物半導體膜進行加工而形成的。因此，像素電極 19b 是具有與氧化物半導體膜 19a 同樣的金屬元素的膜。並且，像素電極 19b 是具有與氧化物半導體膜 19a 相同或不同的結晶結構的膜。然而，藉由使與氧化物半導體膜 19a 同時形成的氧化物半導體膜包含雜質或氧缺損而形成具有導電性的膜，並將其用作像素電極 19b。作為包含在氧化物半導體膜中的雜質有氫。另外，作為雜質也可以包含硼、磷、錫、銻、稀有氣體元素、鹼金屬、鹼土金屬等代替氫。或者，像素電極 19b 是與氧化物半導體膜 19a 同時形成的膜，並且是因電漿損傷等而形成氧缺損來提高導電性的膜。或者，像素電極 19b 是與氧化物半導體膜 19a 同時形成的膜，並且是在包含雜質的同時因電漿損傷等而形成氧缺損來提高導電性的膜。

[0116] 總之，雖然氧化物半導體膜 19a 和像素電極

19b 都形成在氧化物絕緣膜 17 上，但是它們的雜質濃度不同。明確而言，像素電極 19b 的雜質濃度高於氧化物半導體膜 19a 的雜質濃度。例如，氧化物半導體膜 19a 中的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，較佳為 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下，較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下，較佳為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下，進一步較佳為 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下，而像素電極 19b 中的氫濃度為 $8 \times 10^{19} \text{ atoms/cm}^3$ 以上，較佳為 $1 \times 10^{20} \text{ atoms/cm}^3$ 以上，更佳為 $5 \times 10^{20} \text{ atoms/cm}^3$ 以上。像素電極 19b 中的氫濃度為氧化物半導體膜 19a 中的氫濃度的 2 倍，較佳為 10 倍以上。

[0117] 另外，藉由將與氧化物半導體膜 19a 同時形成的氧化物半導體膜暴露於電漿，可以使氧化物半導體膜受到損傷而形成氧缺損。例如，藉由在氧化物半導體膜上利用電漿 CVD 法或濺射法形成膜，將氧化物半導體膜暴露於電漿而形成氧缺損。或者，藉由進行用來形成氧化物絕緣膜 23 及氧化物絕緣膜 25 的蝕刻處理，將氧化物半導體膜暴露於電漿而形成氧缺損。或者，將氧化物半導體膜暴露於氧和氫的混合氣體、氫、稀有氣體、氨等的電漿形成氧缺損。其結果是，氧化物半導體膜的導電性得到提高，並用作像素電極 19b。

[0118] 也就是說，像素電極 19b 也可以說是由導電性高的氧化物半導體膜形成的。或者，像素電極 19b 也可以說是由導電性高的金屬氧化物膜形成的。

[0119] 另外，在使用氮化矽膜作為氮化物絕緣膜 27 時，氮化矽膜包含氫。由此，當氮化物絕緣膜 27 的氫擴散到與氧化物半導體膜 19a 同時形成的氧化物半導體膜中時，在該氧化物半導體膜中氫和氧鍵合而生成作為載子的電子。當藉由利用電漿 CVD 法或濺射法形成氮化矽膜時，氧化物半導體膜暴露於電漿，而形成氧缺損。氮化矽膜中的氫進入該氧缺損，由此生成作為載子的電子。其結果是，氧化物半導體膜的導電性增高，而成為像素電極 19b。

[0120] 當對形成有氧缺損的氧化物半導體添加氫時，氫進入氧缺損的位點而在導帶附近形成施體能階。其結果是，氧化物半導體的導電性增高，而成為導電體。可以將成為導電體的氧化物半導體稱為氧化物導電體。也就是說，像素電極 19b 可以說是由氧化物導電體膜形成的。一般而言，由於氧化物半導體的能隙大，因此對可視光具有透光性。另一方面，氧化物導電體是在導帶附近具有施體能階的氧化物半導體。因此，起因於該施體能階的吸收的影響小，而對可視光具有與氧化物半導體膜相同程度的透光性。

[0121] 像素電極 19b 的電阻率低於氧化物半導體膜 19a 的電阻率。像素電極 19b 的電阻率較佳為氧化物半導體膜 19a 的電阻率的 1×10^{-8} 倍以上且低於 1×10^{-1} 倍，典型地為 $1 \times 10^{-3} \Omega \text{cm}$ 以上且低於 $1 \times 10^4 \Omega \text{cm}$ ，較佳為 $1 \times 10^{-3} \Omega \text{cm}$ 以上且低於 $1 \times 10^{-1} \Omega \text{cm}$ 。

[0122] 用作源極電極和汲極電極的導電膜 21a、21b 使用選自鋁、鈦、鉻、鎳、銅、鈮、銦、鉬、銀、鉕和鎢中的金屬或以這些元素為主要成分的合金的單層結構或疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鈦膜上層疊鋁膜的兩層結構、在鎢膜上層疊鋁膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、在鈦膜上層疊銅膜的兩層結構、在鎢膜上層疊銅膜的兩層結構、依次層疊鈦膜或氮化鈦膜、鋁膜或銅膜以及鈦膜或氮化鈦膜的三層結構、以及依次層疊鉬膜或氮化鉬膜、鋁膜或銅膜以及鉬膜或氮化鉬膜的三層結構等。另外，也可以使用包含氧化銦、氧化錫或氧化鋅的透明導電材料。

[0123] 作為氧化物絕緣膜 23 或氧化物絕緣膜 25，較佳為使用其氧含量超過化學計量組成的氧化物絕緣膜。這裡，作為氧化物絕緣膜 23 形成具有透氧性的氧化物絕緣膜，作為氧化物絕緣膜 25 形成其氧含量超過化學計量組成的氧化物絕緣膜。

[0124] 氧化物絕緣膜 23 為具有透氧性的氧化物絕緣膜。由此，可以將從設置在氧化物絕緣膜 23 上的氧化物絕緣膜 25 脫離的氧經過氧化物絕緣膜 23 移動到氧化物半導體膜 19a。另外，當在後面形成氧化物絕緣膜 25 時，氧化物絕緣膜 23 被用作緩和對氧化物半導體膜 19a 造成的損傷的膜。

[0125] 作為氧化物絕緣膜 23，可以使用厚度為 5nm 以上且 150nm 以下，較佳為 5nm 以上且 50nm 以下的氧化

矽膜、氧氮化矽膜等。在本說明書中，“氧氮化矽膜”是指在其組成中含氧量多於含氮量的膜，而“氮氧化矽膜”是指在其組成中含氮量多於含氧量的膜。

[0126] 較佳的是，氧化物絕緣膜 23 中的缺陷量較少，典型的是，利用 ESR 測得的在 $g=2.001$ 處出現的信號的自旋密度為 $3 \times 10^{17} \text{spins/cm}^3$ 以下。注意，在 $g=2.001$ 處出現的信號起因於矽的懸空鍵。這是因為若氧化物絕緣膜 23 中含有的缺陷密度高，氧則與該缺陷鍵合，氧化物絕緣膜 23 中的氧透過量有可能減少。

[0127] 較佳的是，在氧化物絕緣膜 23 與氧化物半導體膜 19a 之間的介面的缺陷量較少，典型的是，利用 ESR 測得的起因於氧化物半導體膜 19a 中的缺陷的在 $g=1.93$ 處出現的信號的自旋密度為 $1 \times 10^{17} \text{spins/cm}^3$ 以下，更佳為檢測下限以下。

[0128] 在氧化物絕緣膜 23 中，有時從外部進入氧化物絕緣膜 23 的氧的全部移動到氧化物絕緣膜 23 的外部。或者，有時從外部進入氧化物絕緣膜 23 的氧的一部分殘留在氧化物絕緣膜 23 中。或者，有時在氧從外部進入氧化物絕緣膜 23 的同時，氧化物絕緣膜 23 中含有的氧移動到氧化物絕緣膜 23 的外部，而在氧化物絕緣膜 23 中發生氧的移動。

[0129] 氧化物絕緣膜 25 以與氧化物絕緣膜 23 接觸的方式來形成。氧化物絕緣膜 25 使用其氧含量超過化學計量組成的氧化物絕緣膜形成。其氧含量超過化學計量組

成的氧化物絕緣膜由於被加熱而其一部分的氧脫離。包含超過化學計量組成的氧的氧化物絕緣膜藉由 TDS 分析，換算為氧原子的氧的脫離量為 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上，較佳為 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上。注意，上述 TDS 分析時的膜的表面溫度較佳為 100°C 以上且 700°C 以下或 100°C 以上且 500°C 以下。

[0130] 作為氧化物絕緣膜 25 可以使用厚度為 30nm 以上且 500nm 以下，較佳為 50nm 以上且 400nm 以下的氧化矽膜、氮氧化矽膜等。

[0131] 較佳的是，氧化物絕緣膜 25 中的缺陷量較少，典型的是，利用 ESR 測得的在 $g=2.001$ 處出現的信號的自旋密度低於 $1.5 \times 10^{18} \text{ spins/cm}^3$ ，更佳為 $1 \times 10^{18} \text{ spins/cm}^3$ 以下。由於氧化物絕緣膜 25 與氧化物絕緣膜 23 相比離氧化物半導體膜 19a 更遠，所以氧化物絕緣膜 25 的缺陷密度也可以高於氧化物絕緣膜 23。

[0132] 與氮化物絕緣膜 15 同樣地，氮化物絕緣膜 27 可以使用具有低透氧性的氮化物絕緣膜。另外，氮化物絕緣膜 27 還可以使用具有低透氧性、低透氫性以及低透水性的氮化物絕緣膜。

[0133] 作為氮化物絕緣膜 27 有厚度為 50nm 以上且 300nm 以下，較佳為 100nm 以上且 200nm 以下的氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等。

[0134] 藉由使氧化物絕緣膜 23 或氧化物絕緣膜 25 包括其氧含量超過化學計量組成的氧化物絕緣膜，可以將

包含在氧化物絕緣膜 23 或氧化物絕緣膜 25 中的氧的一部分移動到氧化物半導體膜 19a，以降低包含在氧化物半導體膜 19a 中的氧缺損量。

[0135] 使用其中包含氧缺損的氧化物半導體膜的電晶體的臨界電壓容易向負方向變動，而容易具有常導通特性。這是因為由於在氧化物半導體膜中含有氧缺損而產生電荷以導致低電阻化的緣故。當電晶體具有常導通特性時，產生各種問題，諸如在工作時容易產生工作故障或者在非工作時耗電量增大等。另外，還有如下問題：由於受到隨時變化或應力測試的影響，電晶體的電特性，典型為臨界電壓的變動量增大。

[0136] 但是，在本實施方式所示的電晶體 102 中，設置在氧化物半導體膜 19a 上的氧化物絕緣膜 23 或氧化物絕緣膜 25 是其氧含量超過化學計量組成的氧化物絕緣膜。其結果是，包含在氧化物絕緣膜 23 或氧化物絕緣膜 25 中的氧高效地移動到氧化物半導體膜 19a，使得氧化物半導體膜 19a 的氧缺損量可以得到減少。由此，得到具有常關閉（normally-off）特性的電晶體。另外，還可以降低起因於隨時變化或應力測試的電晶體的電特性，典型為臨界電壓的變動量。

[0137] 共用電極 29 使用透光導電膜。透光導電膜可以使用包含氧化鎢的銦氧化物膜、包含氧化鎢的銦鋅氧化物膜、包含氧化鈦的銦氧化物膜、包含氧化鈦的銦錫氧化物膜、銦錫氧化物（以下稱為 ITO）膜、銦鋅氧化物膜、

添加有氧化矽的銦錫氧化物膜等。

[0138] 共用電極 29 包括在與用作信號線的導電膜 21a 交叉的方向上延伸的條狀的區域。由此，能夠防止在像素電極 19b 及導電膜 21a 附近的液晶分子的非意圖的配向，從而可以抑制漏光。其結果是，可以製造對比度高的顯示裝置。

[0139] 在本實施方式所示的顯示裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成像素電極。像素電極用作電容元件的一個電極。另外，公用電極用作電容元件的另一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程。另外，電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的孔徑比。

[0140] 接著，參照圖 6A 至圖 8C 對圖 5 所示的電晶體 102 及電容元件 105 的製造方法進行說明。

[0141] 如圖 6A 所示，在基板 11 上形成將成為導電膜 13 的導電膜 12。導電膜 12 藉由濺射法、化學氣相沉積（CVD）法（包括有機金屬化學氣相沉積（MOCVD）法、金屬化學氣相沉積法、原子層沉積（ALD）法或電漿化學氣相沉積（PECVD）法）、蒸鍍法、脈衝雷射沉積（PLD）法等來形成。藉由採用有機金屬化學氣相沉積（MOCVD）法、金屬化學氣相沉積法或原子層沉積（ALD）法，可以形成電漿所導致的損傷少的導電膜。

[0142] 在此，作為基板 11 使用玻璃基板。作為導電

膜 12，利用濺射法形成厚度為 100nm 的鎢膜。

[0143] 接著，在導電膜 12 上經使用第一光罩的光微影製程形成遮罩。接著，用該遮罩對導電膜 12 的一部分進行蝕刻來形成圖 6B 所示的用作閘極電極的導電膜 13。然後，去除遮罩。

[0144] 另外，對於用作閘極電極的導電膜 13，也可以利用電鍍法、印刷法、噴墨法等來代替上述形成方法。

[0145] 這裡，利用乾蝕刻法對鎢膜進行蝕刻來形成用作閘極電極的導電膜 13。

[0146] 接著，如圖 6C 所示，在用作閘極電極的導電膜 13 上形成氮化物絕緣膜 15 及將成為氧化物絕緣膜 17 的氧化物絕緣膜 16。接著，在氧化物絕緣膜 16 上形成將成為氧化物半導體膜 19a 及像素電極 19b 的氧化物半導體膜 18。

[0147] 氮化物絕緣膜 15 及氧化物絕緣膜 16 藉由濺射法、化學氣相沉積（CVD）法（包括有機金屬化學氣相沉積（MOCVD）法、金屬化學氣相沉積法、原子層沉積（ALD）法或電漿化學氣相沉積（PECVD）法）、蒸鍍法、脈衝雷射沉積（PLD）法、塗佈法、印刷法等來形成。藉由採用有機金屬化學氣相沉積（MOCVD）法、金屬化學氣相沉積或原子層沉積（ALD）法，可以形成電漿所導致的損傷少的氮化物絕緣膜 15 及氧化物絕緣膜 16。另外，藉由採用原子層沉積（ALD）法，可以提高氮化物絕緣膜 15 及氧化物絕緣膜 16 的覆蓋性。

[0148] 這裡，作為氮化物絕緣膜 15，藉由以矽烷、氮以及氨為源氣體的電漿 CVD 法形成厚度為 300nm 的氮化矽膜。

[0149] 當作為氧化物絕緣膜 16 形成氧化矽膜、氮氧化矽膜或氮氧化矽膜時，作為源氣體，較佳為使用包含矽的沉積氣體及氧化性氣體。包含矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。氧化性氣體的例子為氧、臭氧、一氧化二氮、二氧化氮等。

[0150] 當作為氧化物絕緣膜 16 形成氧化鋁膜時，可以利用 MOCVD 法來形成。

[0151] 這裡，作為氧化物絕緣膜 16，藉由以矽烷及一氧化二氮為源氣體的電漿 CVD 法形成厚度為 50nm 的氮氧化矽膜。

[0152] 氧化物半導體膜 18 藉由濺射法、化學氣相沉積（CVD）法（包括有機金屬化學氣相沉積（MOCVD）法、原子層沉積（ALD）法或電漿化學氣相沉積（PECVD）法）、脈衝雷射沉積法、雷射燒蝕法、塗佈法等來形成。藉由採用有機金屬化學氣相沉積（MOCVD）法或原子層沉積（ALD）法，可以在形成電漿所導致的損傷少的氧化物半導體膜 18 的同時，減少氧化物絕緣膜 16 的損傷。另外，藉由採用原子層沉積（ALD）法，可以提高氧化物半導體膜 18 的覆蓋性。

[0153] 在利用濺射法形成氧化物半導體膜的情況下，作為用來生成電漿的電源裝置，可以適當地使用 RF

電源裝置、AC 電源裝置、DC 電源裝置等。

[0154] 作為濺射氣體，適當地使用稀有氣體（典型的是氬）、氧氣體、稀有氣體和氧的混合氣體。當採用稀有氣體和氧的混合氣體時，較佳為提高相對於稀有氣體的氧的比例。

[0155] 根據所形成的氧化物半導體膜的組成而適當地選擇靶材即可。

[0156] 為了獲得高純度本質或實質上高純度本質的氧化物半導體膜，不僅需要使處理室內高真空抽氣，而且還需要使濺射氣體高度純化。作為濺射氣體的氧氣體或氬氣體，使用露點為 -40°C 以下，較佳為 -80°C 以下，更佳為 -100°C 以下，進一步較佳為 -120°C 以下的高純度氣體，由此能夠盡可能地防止水分等混入氧化物半導體膜。

[0157] 在此，利用使用 In-Ga-Zn 氧化物靶材（In:Ga:Zn=1:1:1）的濺射法形成厚度為 35nm 的 In-Ga-Zn 氧化物膜以作為氧化物半導體膜。

[0158] 接著，在氧化物半導體膜 18 上經使用第二光罩的光微影製程形成遮罩，然後使用該遮罩對氧化物半導體膜部分進行蝕刻，如圖 6D 所示那樣，形成被進行了元件分離的氧化物半導體膜 19a 及 19c。此後去除遮罩。

[0159] 在此，藉由在氧化物半導體膜 18 上形成遮罩，並利用濕蝕刻法對氧化物半導體膜 18 的一部分選擇性地進行蝕刻，從而形成氧化物半導體膜 19a、氧化物半導體膜 19c。

[0160] 接著，如圖 7A 所示，形成將成為導電膜 21a、導電膜 21b 的導電膜 20。

[0161] 可以適當地使用與導電膜 12 同樣的方法來形成導電膜 20。

[0162] 這裡，利用濺射法依次層疊厚度為 50nm 的鎢膜和厚度為 300nm 的銅膜。

[0163] 接著，在導電膜 20 上經使用第三光罩的光微影製程形成遮罩，然後使用該遮罩對導電膜 20 進行蝕刻，如圖 7B 所示那樣，形成用作源極電極和汲極電極的導電膜 21a 及導電膜 21b。此後去除遮罩。

[0164] 這裡，在銅膜上經光微影製程形成遮罩。接著，使用該遮罩對鎢膜及銅膜進行蝕刻，來形成導電膜 21a 及導電膜 21b。注意，首先使用濕蝕刻法對銅膜進行蝕刻，再使用利用 SF_6 的乾蝕刻法對鎢膜進行蝕刻，由此在銅膜的表面上形成氟化物。借助於該氟化物，來自銅膜的銅元素的擴散被抑制，而可以降低氧化物半導體膜 19a 中的銅濃度。

[0165] 接著，如圖 7C 所示，在氧化物半導體膜 19a 及氧化物半導體膜 19c、導電膜 21a 及導電膜 21b 上形成將成為氧化物絕緣膜 23 的氧化物絕緣膜 22 及將成為氧化物絕緣膜 25 的氧化物絕緣膜 24。可以適當地使用與氮化物絕緣膜 15 及氧化物絕緣膜 16 同樣的方法來形成氧化物絕緣膜 22 及氧化物絕緣膜 24。

[0166] 較佳的是，在形成氧化物絕緣膜 22 之後，在

不暴露於大氣的狀態下連續地形成氧化物絕緣膜 24。在形成氧化物絕緣膜 22 之後，在不暴露於大氣的狀態下，調節源氣體的流量、壓力、高頻電力和基板溫度中的一個以上以連續地形成氧化物絕緣膜 24，由此可以在減少氧化物絕緣膜 22 與氧化物絕緣膜 24 之間的介面的來源於大氣成分的雜質濃度的同時使包含於氧化物絕緣膜 24 中的氧移動到氧化物半導體膜 19a 中，而可以減少氧化物半導體膜 19a 的氧缺損量。

[0167] 可以在如下條件下形成氧化矽膜或氧氮化矽膜作為氧化物絕緣膜 22：在 280℃ 以上且 400℃ 以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室內的基板，將源氣體導入處理室，將處理室內的壓力設定為 20Pa 以上且 250Pa 以下，較佳為 100Pa 以上且 250Pa 以下，並對設置在處理室內的電極供應高頻電力。

[0168] 作為氧化物絕緣膜 22 的源氣體，較佳為使用含有矽的沉積氣體及氧化性氣體。含有矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。氧化性氣體的例子為氧、臭氧、一氧化二氮、二氧化氮等。

[0169] 藉由採用上述條件，可以形成具有透氧性的氧化物絕緣膜作為氧化物絕緣膜 22。另外，藉由設置氧化物絕緣膜 22，在後續形成氧化物絕緣膜 25 的製程中，可以降低對氧化物半導體膜 19a 造成的損傷。

[0170] 在上述成膜條件下，藉由將基板溫度設定為上述溫度，矽與氧的鍵合力變強。其結果是，作為氧化物

絕緣膜 22 可以形成具有透氧性，緻密且硬的氧化物絕緣膜，典型的是，在 25℃ 下利用 0.5wt.% 氫氟酸時的蝕刻速率為 10nm/分鐘以下，較佳為 8nm/分鐘以下的氧化矽膜或氧氮化矽膜。

[0171] 由於邊進行加熱邊形成氧化物絕緣膜 22，所以在該製程中可以使包含在氧化物半導體膜 19a 中的氫、水等脫離。包含在氧化物半導體膜 19a 中的氫與在電漿中產生的氧自由基鍵合，而成為水。由於在氧化物絕緣膜 22 的形成製程中對基板進行加熱，所以因氧與氫的鍵合而產生的水從氧化物半導體膜脫離。就是說，藉由使用電漿 CVD 法形成氧化物絕緣膜 22，可以減少包含在氧化物半導體膜 19a 中的水及氫。

[0172] 另外，由於邊進行加熱邊形成氧化物絕緣膜 22，所以氧化物半導體膜 19a 被露出的狀態下的加熱時間短，由此可以減少因加熱處理從氧化物半導體膜脫離的氧量。就是說，可以減少包含在氧化物半導體膜中的氧缺損量。

[0173] 另外，藉由將氧化性氣體量設定為包含矽的沉積氣體量的 100 倍以上，可以減少氧化物絕緣膜 22 中的含氫量。其結果是，可以減少混入氧化物半導體膜 19a 的氫量，由此可以抑制電晶體的臨界電壓的負向漂移。

[0174] 在此，作為氧化物絕緣膜 22，利用電漿 CVD 法形成厚度為 50nm 的氧氮化矽膜的條件如下：將流量為 30sccm 的矽烷及流量為 4000sccm 的一氧化二氮用作源氣

體；將處理室的壓力設定為 200Pa；將基板溫度設定為 220℃；利用 27.12MHz 的高頻電源將 150W 的高頻電力供應到平行平板電極。藉由採用上述條件，可以形成具有透氧性的氧氮化矽膜。

[0175] 可以在如下條件下形成氧化矽膜或氧氮化矽膜作為氧化物絕緣膜 24：在 180℃ 以上且 280℃ 以下，較佳為 200℃ 以上且 240℃ 以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室內的基板，將源氣體導入處理室，將處理室內的壓力設定為 100Pa 以上且 250Pa 以下，較佳為 100Pa 以上且 200Pa 以下，並對設置在處理室內的電極供應 $0.17\text{W}/\text{cm}^2$ 以上且 $0.5\text{W}/\text{cm}^2$ 以下，較佳為 $0.25\text{W}/\text{cm}^2$ 以上且 $0.35\text{W}/\text{cm}^2$ 以下的高頻電力。

[0176] 作為氧化物絕緣膜 24 的源氣體，較佳為使用包含矽的沉積氣體及氧化性氣體。包含矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。氧化性氣體的例子為氧、臭氧、一氧化二氮、二氧化氮等。

[0177] 作為氧化物絕緣膜 24 的成膜條件，在上述壓力的處理室中供應具有上述功率密度的高頻電力，由此在電漿中源氣體的分解效率得到提高，氧自由基增加，且促進源氣體的氧化，使得氧化物絕緣膜 24 中的含氧量超過化學計量組成。另一方面，在上述基板溫度下形成的膜中，由於矽與氧的鍵合力較低，因此，因後面製程的加熱處理而使膜中的氧的一部分脫離。其結果是，可以形成其氧含量超過化學計量組成且因加熱而釋放氧的一部分的氧

化物絕緣膜。另外，因為在氧化物半導體膜 19a 上設置有氧化物絕緣膜 22，所以在氧化物絕緣膜 24 的形成製程中，氧化物絕緣膜 22 被用作氧化物半導體膜 19a 的保護膜。其結果是，可以在減少對氧化物半導體膜 19a 造成的損傷的同時使用功率密度高的高頻電力形成氧化物絕緣膜 24。

[0178] 在此，作為氧化物絕緣膜 24，利用電漿 CVD 法形成厚度為 400nm 的氧氮化矽膜的條件如下：將流量為 200sccm 的矽烷及流量為 4000sccm 的一氧化二氮用作源氣體，將處理室的壓力設定為 200Pa，將基板溫度設定為 220℃，使用 27.12MHz 的高頻電源將 1500W 的高頻電力供應到平行平板電極。電漿 CVD 設備是電極面積為 6000cm² 的平行平板型電漿 CVD 設備，將所供應的電功率的換算為每單位面積的電功率（電功率密度）為 0.25W/cm²。

[0179] 另外，當形成用作源極電極和汲極電極的導電膜 21a 及導電膜 21b 時，由於導電膜的蝕刻，氧化物半導體膜 19a 會受到損傷而在氧化物半導體膜 19a 的背後通道（在氧化物半導體膜 19a 中與對置於用作閘極電極的導電膜 13 的表面相反一側的表面）一側產生氧缺損。但是，藉由作為氧化物絕緣膜 24 使用其氧含量超過化學計量組成的氧化物絕緣膜，可以利用加熱處理修復產生在該背後通道一側的氧缺損。由此，可以減少氧化物半導體膜 19a 中的缺陷，因此，可以提高電晶體 102 的可靠性。

[0180] 接著，在氧化物絕緣膜 24 上經使用第四光罩的光微影製程形成遮罩。然後，使用該遮罩對氧化物絕緣膜 22 及氧化物絕緣膜 24 部分進行蝕刻，如圖 7D 所示的那樣，形成具有開口部 40 的氧化物絕緣膜 23 及氧化物絕緣膜 25。此後去除遮罩。

[0181] 在上述製程中，較佳為使用乾蝕刻法對氧化物絕緣膜 22 及氧化物絕緣膜 24 進行蝕刻。其結果是，在蝕刻處理中氧化物半導體膜 19c 被暴露於電漿，從而可以增加氧化物半導體膜 19c 的氧缺損量。

[0182] 接著，進行加熱處理。將該加熱處理的溫度典型地設定為 150℃ 以上且 400℃ 以下，較佳為 300℃ 以上且 400℃ 以下，更佳為 320℃ 以上且 370℃ 以下。

[0183] 該加熱處理可以使用電爐、RTA 裝置等來進行。藉由使用 RTA 裝置，可只在短時間內在基板的應變點以上的溫度下進行加熱處理。由此，可以縮短加熱處理時間。

[0184] 加熱處理可以在氮、氧、超乾燥空氣（含水量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣）或稀有氣體（氬、氦等）的氛圍下進行。上述氮、氧、超乾燥空氣或稀有氣體較佳為不含有氫、水等。

[0185] 藉由該加熱處理，可以將氧化物絕緣膜 25 中的氧的一部分移動到氧化物半導體膜 19a 中以減少氧化物半導體膜 19a 中的氧缺損量。

[0186] 在氧化物絕緣膜 23 及氧化物絕緣膜 25 包含

水、氫等且氮化物絕緣膜 26 還具有阻水性及阻氫性等的情況下，若後續形成氮化物絕緣膜 26 並進行加熱處理，氧化物絕緣膜 23 及氧化物絕緣膜 25 所包含的水、氫等則移動到氧化物半導體膜 19a 中，而在氧化物半導體膜 19a 中產生缺陷。然而，藉由進行上述加熱處理，可以使氧化物絕緣膜 23 及氧化物絕緣膜 25 所包含的水、氫等脫離，由此在可以減少電晶體 102 的電特性的不均勻的同時抑制臨界電壓的變動。

[0187] 注意，邊進行加熱邊在氧化物絕緣膜 22 上形成氧化物絕緣膜 24，從而可以將氧移動到氧化物半導體膜 19a 中來減少氧化物半導體膜 19a 中的氧缺損量，由此不必須一定要進行上述加熱處理。

[0188] 雖然也可以在形成氧化物絕緣膜 22 及氧化物絕緣膜 24 之後進行上述加熱處理，但是較佳為在形成氧化物絕緣膜 23 及氧化物絕緣膜 25 之後進行上述加熱處理。這是因為可以以如下方式形成更加具有導電性的膜的緣故：避免氧移動到氧化物半導體膜 19c；因為氧化物半導體膜 19c 被露出，氧從氧化物半導體膜 19c 脫離而形成氧缺損。

[0189] 在此，在氮及氧氛圍下，以 350℃ 進行 1 小時的加熱處理。

[0190] 接著，如圖 8A 所示的那樣形成氮化物絕緣膜 26。

[0191] 可以適當地使用與氮化物絕緣膜 15 及氧化物

絕緣膜 16 同樣的方法來形成氮化物絕緣膜 26。藉由使用濺射法、CVD 法等形成氮化物絕緣膜 26，可以將氧化物半導體膜 19c 暴露於電漿，由此能夠增加氧化物半導體膜 19c 的氧缺損量。

[0192] 另外，氧化物半導體膜 19c 的導電性得到提高而成為像素電極 19b。在使用電漿 CVD 法形成氮化矽膜作為氮化物絕緣膜 26 的情況下，包含在氮化矽膜中的氮擴散到氧化物半導體膜 19c，由此可以提高像素電極 19b 的導電性。

[0193] 當作為氮化物絕緣膜 26 利用電漿 CVD 法來形成氮化矽膜時，藉由在 300℃ 以上且 400℃ 以下，較佳為 320℃ 以上且 370℃ 以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室中的基板，可以形成緻密的氮化矽膜，所以是較佳的。

[0194] 當形成氮化矽膜時，較佳為使用包含矽的沉積氣體、氮及氨作為源氣體。藉由使用相對於氮量的氮量少的源氣體，在電漿中氮發生解離而產生活性種，該活性種切斷包含矽的沉積氣體中含有的矽與氮的鍵合及氮的三鍵。其結果是，可以促進矽與氮的鍵合，而形成矽與氮的鍵合較少、缺陷較少且緻密的氮化矽膜。另一方面，在使用相對於氮量的氮量多的源氣體時，包含矽的沉積氣體及氮各自的分解不進展，矽與氮的鍵合殘留，導致形成缺陷較多且不緻密的氮化矽膜。由此，在源氣體中，較佳為將氮與氮的流量比設定為 1:5 以上且 1:50 以下，較佳為

1:10 以上且 1:50 以下。

[0195] 在此，作為氮化物絕緣膜 26，利用電漿 CVD 法形成厚度為 50nm 的氮化矽膜的條件如下：在電漿 CVD 設備的處理室中，將流量為 50sccm 的矽烷、流量為 5000sccm 的氮以及流量為 100sccm 的氨用作源氣體，將處理室的壓力設定為 100Pa，將基板溫度設定為 350℃，用 27.12MHz 的高頻電源對平行平板電極供應 1000W 的高頻電力。電漿 CVD 設備是電極面積為 6000cm² 的平行平板型電漿 CVD 設備，將所供應的電功率的換算為每單位面積的電功率（電功率密度）為 $1.7 \times 10^{-1} \text{W/cm}^2$ 。

[0196] 接著，也可以進行加熱處理。將該加熱處理的溫度典型地設定為 150℃ 以上且 400℃ 以下，較佳為 300℃ 以上且 400℃ 以下，更佳為 320℃ 以上且 370℃ 以下。其結果是，可以降低臨界電壓的負向漂移。另外，還可以降低臨界電壓的變動量。

[0197] 接著，雖然未圖示，但在氮化物絕緣膜 26 上經使用第五光罩的光微影製程形成遮罩，然後使用該遮罩對氮化物絕緣膜 26 進行蝕刻，由此在使與導電膜 21a、導電膜 21b 同時形成的導電膜露出來的同時，形成氮化物絕緣膜 27。該導電膜與後面形成的共用電極 29 連接。

[0198] 接著，如圖 8B 所示的那樣，在氮化物絕緣膜 27 上形成將成為共用電極 29 的導電膜 28。

[0199] 導電膜 28 藉由濺射法、CVD 法、蒸鍍法等而形成。

[0200] 接著，在導電膜 28 上經使用第六光罩的光微影製程形成遮罩。然後使用該遮罩對導電膜 28 部分進行蝕刻，如圖 8C 所示那樣，形成共用電極 29。注意，雖然未圖示，但共用電極 29 連接於與導電膜 13 同時形成的連接端子或者與導電膜 21a、導電膜 21b 同時形成的連接端子。此後去除遮罩。

[0201] 經上述製程，可以在製造電晶體 102 的同時製造電容元件 105。

[0202] 在本實施方式所示的顯示裝置的元件基板上形成具有在與信號線交叉的方向上延伸的條狀的區域的共用電極。由此，可以製造對比度高的顯示裝置。

[0203] 在本實施方式所示的顯示裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成像素電極，由此可以利用六個光罩製造電晶體 102 及電容元件 105。像素電極用作電容元件的一個電極。另外，公用電極用作電容元件的另一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程。另外，電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的孔徑比。

[0204] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0205]

〈變形例子 1〉

在實施方式 1 所示的顯示裝置中，參照圖 9A 及圖 9B

說明具有與共用電極連接的公用線的結構。

[0206] 圖 9A 是顯示裝置所包括的像素 103a、103b、103c 的俯視圖，圖 9B 示出沿著圖 9A 中的點劃線 A-B、C-D 的剖面圖。

[0207] 如圖 9A 所示的那樣，形成在與用作信號線的導電膜 21a 平行或大致平行的方向上延伸的公用線 21c。在此，為了容易理解共用電極 29 的結構，使用陰影來說明共用電極 29 的形狀。共用電極 29 包括以右斜的陰影表示的多個第一區域以及以左斜的陰影表示的第二區域。多個第一區域是條狀的區域。第二區域在與用作信號線的導電膜 21a 平行或大致平行的方向上延伸。另外，第二區域與多個第一區域（條狀的區域）連接，因此也可以說是連接區域。公用線 21c 與共用電極 29 的連接區域（第二區域）重疊。

[0208] 公用線 21c 可以設置在每一個像素中。或者，公用線 21c 也可以設置在每多個像素中。例如，如圖 9A 所示的那樣，藉由對每三個像素設置一個公用線 21c，可以減少顯示裝置中的公用線的佔有面積。其結果是，能夠提高像素的面積及像素的孔徑比。

[0209] 另外，在像素電極 19b 與共用電極 29 重疊的區域中，在像素電極 19b 與共用電極 29 的連接區域（第二區域）之間發生的電場不容易驅動液晶分子。因此，藉由減少共用電極 29 的連接區域中的與像素電極 19b 重疊的區域，可以增加液晶分子被驅動的區域，從而提高孔徑

比。例如，如圖 9A 所示的那樣，藉由將共用電極 29 的連接區域設置在不與像素電極 19b 重疊的位置，可以減少像素電極 19b 重疊於共用電極 29 的連接區域的面積，從而可以提高像素的孔徑比。

[0210] 在圖 9A 中，雖然對三個像素 103a、103b、103c 設置有一個公用線 21c，但也可以對兩個像素設置一個公用線。或者，還可以對四個以上的像素設置一個公用線。

[0211] 如圖 9B 所示的那樣，公用線 21c 可以與用作信號線的導電膜 21a 同時形成。另外，共用電極 29 在形成在氧化物絕緣膜 23、氧化物絕緣膜 25 及氮化物絕緣膜 27 的開口部 42 中與公用線 21c 連接。

[0212] 與形成共用電極 29 的材料相比，形成導電膜 21a 的材料的電阻率低，因此可以減少共用電極 29 及公用線 21c 的電阻。

[0213] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0214]

實施方式 3

在本實施方式中，參照圖式說明與實施方式 2 不同的顯示裝置及其製造方法。本實施方式的與實施方式 2 不同之處在於：在高清晰的顯示裝置所包括的電晶體中具有能夠減少漏光的源極電極和汲極電極。注意，省略與實施方式 2 相同的結構的說明。

[0215] 圖 10 是本實施方式所示的顯示裝置的俯視圖。用作源極電極和汲極電極中的一個的導電膜 21b 的頂面形狀為 L 字形。也就是說，導電膜 21b 的特徵是：在其平面形狀中，在垂直於用作掃描線的導電膜 13 的方向上延伸的區域 21b_1 與在平行或大致平行於該導電膜 13 的方向上延伸的區域 21b_2 連接，並且該區域 21b_2 在俯視圖中與導電膜 13、像素電極 19b 和共用電極 29 中的一個以上重疊。或者，導電膜 21b 的特徵是：包括在平行或大致平行於該導電膜 13 的方向延伸的區域 21b_2，該區域 21b_2 在俯視圖中位於導電膜 13 與像素電極 19b 或共用電極 29 之間。

[0216] 在高清晰的顯示裝置中，由於像素的面積縮小，用作掃描線的導電膜 13 與共用電極 29 的間隔變窄。在顯示黑色的像素中，當使電晶體成為導通狀態的電壓施加到用作掃描線的導電膜 13 時，在像素電極 19b 與用作掃描線的導電膜 13 之間產生電場。其結果是，液晶分子向非意圖的方向轉動而導致漏光。

[0217] 然而，在本實施方式所示的顯示裝置所包括的電晶體中，用作源極電極和汲極電極中的一個的導電膜 21b 包括與導電膜 13、像素電極 19b 和共用電極 29 中的一個以上重疊的區域 21b_2，或者，包括在俯視圖中位於導電膜 13 與像素電極 19b 或共用電極 29 之間的區域 21b_2。其結果是，區域 21b_2 遮擋用作掃描線的導電膜 13 的電場，因此能夠抑制在該導電膜 13 與像素電極 19b

之間產生的電場並減少漏光。

[0218] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0219]

實施方式 4

在本實施方式中，參照圖式說明與實施方式 2 及實施方式 3 不同的顯示裝置及其製造方法。本實施方式的與實施方式 2 不同之處在於：高清晰的顯示裝置包括能夠減少漏光的共用電極。注意，省略與實施方式 2 相同的結構的說明。

[0220] 圖 11 是本實施方式所示的顯示裝置的俯視圖。共用電極 29a 包括：在與用作信號線的導電膜 21a 交叉的方向上延伸的條狀的區域 29a_1；以及與該條狀的區域連接且與用作掃描線的導電膜 13 重疊的區域 29a_2。

[0221] 在高清晰的顯示裝置中，由於像素的面積縮小，用作掃描線的導電膜 13 與像素電極 19b 的間隔變窄。當電壓施加到用作掃描線的導電膜 13 時，在該導電膜 13 與像素電極 19b 之間產生電場。其結果是，液晶分子向非意圖的方向轉動而導致漏光。

[0222] 然而，本實施方式所示的顯示裝置包括具有與用作掃描線的導電膜 13 交叉的區域 29a_2 的共用電極 29a。其結果是，能夠抑制在用作掃描線的導電膜 13 與共用電極 29a 之間產生的電場並減少漏光。

[0223] 另外，本發明的實施方式的一個方式的俯視

圖不侷限於此，而可以採用各種各樣的結構。例如，如圖 24 或圖 25 所示，共用電極 29a 也可以包括與用作掃描線的導電膜 13 的一部分重疊的區域。在電晶體的氧化物半導體膜 19a 中形成的通道區域不與共用電極 29a 重疊。其結果是，共用電極 29a 的電場不施加到通道區域，由此可以減少電晶體的洩漏電流。另外，圖 25 所示的共用電極 29a 包括與用作掃描線的導電膜 13 及用作信號線的導電膜 21a 重疊的區域，可以以共用電極 29a 遮擋導電膜 13 及導電膜 21a 的電場，因此能夠減少液晶分子的配向無序。

[0224] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0225]

實施方式 5

在本實施方式中，參照圖式對與實施方式 2 不同的顯示裝置及其製造方法進行說明。本實施方式的與實施方式 2 不同之處在於：在電晶體中，在不同的閘極電極之間設置有氧化物半導體膜，即採用雙閘極結構。注意，省略與實施方式 2 相同的結構的說明。

[0226] 以下，說明顯示裝置所包括的元件基板的具體結構。如圖 12 所示，本實施方式所示的元件基板的與實施方式 2 不同之處在於包括用作閘極電極的導電膜 29b，該導電膜 29b 與用作閘極電極的導電膜 13、氧化物半導體膜 19a、導電膜 21a 及 21b 以及氧化物絕緣膜 25 的

每一部分或全部重疊。用作閘極電極的導電膜 29b 在開口部 41a、41b 中與用作閘極電極的導電膜 13 連接。

[0227] 圖 12 所示的電晶體 102a 是通道蝕刻型電晶體。注意，沿著點劃線 A-B 的剖面圖示出通道長度方向上的電晶體 102a 以及電容元件 105a 的剖面，沿著點劃線 C-D 的剖面圖示出通道寬度方向上的電晶體 102a 及用作閘極電極的導電膜 13 與用作閘極電極的導電膜 29b 的連接部的剖面。

[0228] 圖 12 所示的電晶體 102a 是具有雙閘極結構的電晶體，其包括：設置在基板 11 上的用作閘極電極的導電膜 13；形成在基板 11 及用作閘極電極的導電膜 13 上的氮化物絕緣膜 15；形成在氮化物絕緣膜 15 上的氧化物絕緣膜 17；隔著氮化物絕緣膜 15 及氧化物絕緣膜 17 與用作閘極電極的導電膜 13 重疊的氧化物半導體膜 19a；以及與氧化物半導體膜 19a 接觸的用作源極電極及汲極電極的導電膜 21a 及 21b。在氧化物絕緣膜 17、氧化物半導體膜 19a、用作源極電極及汲極電極的導電膜 21a 及 21b 上形成有氧化物絕緣膜 23，在氧化物絕緣膜 23 上形成有氧化物絕緣膜 25。在氮化物絕緣膜 15、氧化物絕緣膜 23、氧化物絕緣膜 25、導電膜 21b 上形成有氮化物絕緣膜 27。另外，像素電極 19b 形成在氧化物絕緣膜 17 上。像素電極 19b 與用作源極電極和汲極電極的導電膜 21a 及 21b 中的一個（這裡，導電膜 21b）連接。另外，共用電極 29 及用作閘極電極的導電膜 29b 形成在氮化物

絕緣膜 27 上。

[0229] 如沿著點劃線 C-D 的剖面圖所示，在設置在氮化物絕緣膜 15 及氮化物絕緣膜 27 中的開口部 41a、41b 中，用作閘極電極的導電膜 29b 與用作閘極電極的導電膜 13 連接。也就是說，用作閘極電極的導電膜 13 的電位與用作閘極電極的導電膜 29b 的電位相等。

[0230] 由此，藉由對電晶體 102a 的各閘極電極施加同一電位的電壓，可以降低初期特性的不均勻並抑制由 -GBT 應力測試導致的劣化及受到汲極電壓左右的通態電流（on-state current）的上升電壓變動。另外，在氧化物半導體膜 19a 中，還可以在膜厚度方向上進一步增大載子流動的區域，使得載子的遷移量增多。其結果是，電晶體 102a 的通態電流變高，並且場效移動率變高，典型為 $20\text{cm}^2/\text{V}\cdot\text{s}$ 以上。

[0231] 在本實施方式所示的電晶體 102a 上形成有被分離的氧化物絕緣膜 23 及 25，該被分離的氧化物絕緣膜 23 及 25 與氧化物半導體膜 19a 重疊。在通道寬度方向上的剖面圖中，氧化物絕緣膜 23 及氧化物絕緣膜 25 的端部位於氧化物半導體膜 19a 的外側。另外，在圖 12 所示的通道寬度方向上，用作閘極電極的導電膜 29b 隔著氧化物絕緣膜 23 及氧化物絕緣膜 25 與氧化物半導體膜 19a 的側面相對。

[0232] 在藉由蝕刻等而被加工的氧化物半導體膜的端部中，在由於受到加工時的損傷而形成缺陷的同時，由

於雜質附著等而被污染。由此，氧化物半導體膜的端部在被施加電場等壓力時容易被活化而成為 n 型（低電阻）。因此，與用作閘極電極的導電膜 13 重疊的氧化物半導體膜 19a 的端部容易被 n 型化。在該被 n 型化的端部被設置在用作源極電極和汲極電極的導電膜 21a 與導電膜 21b 之間時，被 n 型化的區域成為載子的路徑而形成寄生通道。但是，藉由如沿著點劃線 C-D 的剖面圖所示那樣在通道寬度方向上使用作閘極電極的導電膜 29b 隔著氧化物絕緣膜 23 及 25 與氧化物半導體膜 19a 的側面對，借助於用作閘極電極的導電膜 29b 的電場的影響，可以抑制寄生通道產生在氧化物半導體膜 19a 的側面或包含該側面及其附近的區域中。其結果是，成為臨界電壓中的汲極電流的上升急劇的電特性優良的電晶體。

[0233] 共用電極包括在與信號線交叉的方向上延伸的條狀的區域。由此，能夠防止在像素電極 19b 及導電膜 21a 附近的液晶分子的非意圖的配向，從而可以抑制漏光。其結果是，可以製造對比度高的顯示裝置。

[0234] 另外，在電容元件 105a 中，像素電極 19b 是與氧化物半導體膜 19a 同時形成的膜，且是藉由包含雜質來提高導電性的膜。或者，像素電極 19b 是與氧化物半導體膜 19a 同時形成的膜，並且是因電漿損傷等而形成氧缺損來提高導電性的膜。或者，像素電極 19b 是與氧化物半導體膜 19a 同時形成的膜，並且是在包含雜質的同時因電漿損傷等而形成氧缺損來提高導電性的膜。

[0235] 在本實施方式所示的顯示裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成像素電極。像素電極用作電容元件的一個電極。另外，共用電極用作電容元件的另一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程。另外，電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的孔徑比。

[0236] 以下對電晶體 102a 的結構的詳細內容進行說明。注意，省略使用與實施方式 2 相同的符號表示的結構的說明。

[0237] 用作閘極電極的導電膜 29b 可以適當地使用與實施方式 2 所示的共用電極 29 同樣的材料。

[0238] 接著，參照圖 6A 至圖 8C 以及圖 13A 至圖 13C 對圖 12 所示的電晶體 102a 及電容元件 105a 的製造方法進行說明。

[0239] 與實施方式 2 同樣地，經圖 6A 至圖 8A 所示的製程，在基板 11 上分別形成用作閘極電極的導電膜 13、氮化物絕緣膜 15、氧化物絕緣膜 16、氧化物半導體膜 19a、像素電極 19b、用作源極電極和汲極電極的導電膜 21a 及 21b、氧化物絕緣膜 22、氧化物絕緣膜 24 以及氮化物絕緣膜 26。在上述製程中，進行使用第一光罩至第四光罩的光微影製程。

[0240] 接著，在氮化物絕緣膜 26 上經使用第五光罩的光微影製程形成遮罩，然後使用該遮罩對氮化物絕緣膜

26 的一部分進行蝕刻，如圖 13A 所示的那樣，形成具有開口部 41a、41b 的氮化物絕緣膜 27。

[0241] 接著，如圖 13B 所示，在用作閘極電極的導電膜 13、導電膜 21b 及氮化物絕緣膜 27 上形成將成為共用電極 29、用作閘極電極的導電膜 29b 的導電膜 28。

[0242] 接著，在導電膜 28 上經使用第六光罩的光微影製程形成遮罩。接著，用該遮罩對導電膜 28 的一部分進行蝕刻來形成圖 13C 所示的共用電極 29 及用作閘極電極的導電膜 29b。然後，去除遮罩。

[0243] 經上述製程，可以在製造電晶體 102a 的同時製造電容元件 105a。

[0244] 在本實施方式所示的電晶體中，藉由在通道寬度方向上使用用作閘極電極的共用電極 29 隔著氮化物絕緣膜 23 及 25 與氧化物半導體膜 19a 的側面相對，因此借助於用作閘極電極的導電膜 29b 的電場的影響，可以抑制寄生通道產生在氧化物半導體膜 19a 的側面或包含該側面及其附近的區域中。其結果是，成為臨界電壓中的汲極電流的上升急劇的電特性優良的電晶體。

[0245] 在本實施方式所示的顯示裝置的元件基板上形成具有在與信號線交叉的方向上延伸的條狀的區域的共用電極。由此，可以製造對比度高的顯示裝置。

[0246] 在本實施方式所示的顯示裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成像素電極。像素電極用作電容元件的一個電極。另外，公用電極

用作電容元件的另一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程。另外，電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的孔徑比。

[0247] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0248]

實施方式 6

作為設置在實施方式 2 至實施方式 5 所示的電晶體中的用作源極電極和汲極電極的導電膜 21a、21b，可以使用鎢、鈦、鋁、銅、鉬、鉻或鉭或者它們的合金等容易與氧鍵合的導電材料。其結果是，氧化物半導體膜 19a 所含的氧與用作源極電極和汲極電極的導電膜 21a、21b 所含的導電材料鍵合，氧缺損區域形成在氧化物半導體膜 19a 中。此外，有時形成用作源極電極和汲極電極的導電膜 21a、21b 的導電材料的構成元素的一部分混入氧化物半導體膜 19a。其結果是，低電阻區域形成在氧化物半導體膜 19a 中的與用作源極電極和汲極電極的導電膜 21a、21b 接觸的區域附近。低電阻區域與用作源極電極和汲極電極的導電膜 21a、21b 接觸並形成在氧化物絕緣膜 17 與用作源極電極和汲極電極的導電膜 21a、21b 之間。由於低電阻區域的導電性高，所以可以降低氧化物半導體膜 19a 與用作源極電極和汲極電極的導電膜 21a、21b 之間的接觸電阻，因此可以增大電晶體的通態電流。

[0249] 另外，用作源極電極和汲極電極的導電膜 21a、21b 也可以具有上述容易與氧鍵合的導電材料和氮化鈦、氮化鉭、鈮等不容易與氧鍵合的導電材料的疊層結構。藉由採用上述疊層結構，能夠防止用作源極電極和汲極電極的導電膜 21a、21b 與氧化物絕緣膜 23 之間的介面處的使用源極電極和汲極電極的導電膜 21a、21b 的氧化，由此能夠抑制用作源極電極和汲極電極的導電膜 21a、21b 被高電阻化。

[0250] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0251]

實施方式 7

在本實施方式中，參照圖式對包括與實施方式 2 至實施方式 5 相比能夠進一步減少氧化物半導體膜中的缺陷量的電晶體的顯示裝置進行說明。本實施方式所說明的電晶體與實施方式 2 至實施方式 5 之間的不同之處在於：本實施方式所示的電晶體包括具有多個氧化物半導體膜的多層膜。在此，參照實施方式 2 說明電晶體的詳細內容。

[0252] 圖 14A 和圖 14B 示出顯示裝置所包括的元件基板的剖面圖。圖 14A 和圖 14B 是沿著圖 4 中的點劃線 A-B 及點劃線 C-D 的剖面圖。

[0253] 圖 14A 所示的電晶體 102b 具有隔著氮化物絕緣膜 15 及氧化物絕緣膜 17 與用作閘極電極的導電膜 13 重疊的多層膜 37a、與多層膜 37a 接觸的用作源極電極和

汲極電極的導電膜 21a 及導電膜 21b。在氮化物絕緣膜 15 及氧化物絕緣膜 17、多層膜 37a 以及用作源極電極和汲極電極的導電膜 21a 及導電膜 21b 上形成有氧化物絕緣膜 23、氧化物絕緣膜 25 以及氮化物絕緣膜 27。

[0254] 圖 14A 所示的電容元件 105b 具有形成在氧化物絕緣膜 17 上的多層膜 37b、與多層膜 37b 接觸的氮化物絕緣膜 27 以及與氮化物絕緣膜 27 接觸的公用電極 29。多層膜 37b 包括氧化物半導體膜 19f 及氧化物半導體膜 39b。也就是說，多層膜 37b 是雙層結構。多層膜 37b 用作像素電極。

[0255] 在本實施方式所示的電晶體 102b 中，多層膜 37a 包括氧化物半導體膜 19a 及氧化物半導體膜 39a。即，多層膜 37a 為兩層結構。另外，將氧化物半導體膜 19a 的一部分用作通道區域。此外，以與氧化物半導體膜 39a 接觸的方式形成有氧化物絕緣膜 23，以與氧化物絕緣膜 23 接觸的方式形成有氧化物絕緣膜 25。換言之，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a。

[0256] 氧化物半導體膜 39a 是由構成氧化物半導體膜 19a 的元素中的一種以上構成的氧化物膜。因此，由於氧化物半導體膜 19a 與氧化物半導體膜 39a 之間的介面不容易產生介面散射。由此，由於在該介面中載子的移動不被阻礙，因此電晶體的場效移動率得到提高。

[0257] 作為氧化物半導體膜 39a，典型的是 In-Ga 氧

化物膜、In-Zn 氧化物膜、In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、La、Ce 或 Nd），並且與氧化物半導體膜 19a 相比，氧化物半導體膜 39a 的導帶底端的能量較接近於真空能階，典型的是，氧化物半導體膜 39a 的導帶底端的能量和氧化物半導體膜 19a 的導帶底端的能量之間的差異較佳為 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上，且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下。換言之，氧化物半導體膜 39a 的電子親和力與氧化物半導體膜 19a 的電子親和力之差為 0.05eV 以上、0.07eV 以上、0.1eV 以上或者 0.15eV 以上，且 2eV 以下、1eV 以下、0.5eV 以下或者 0.4eV 以下。

[0258] 氧化物半導體膜 39a 藉由包含 In 提高載子移動率（電子移動率），所以是較佳的。

[0259] 藉由使氧化物半導體膜 39a 具有其原子個數比高於 In 的原子個數比的 Al、Ga、Y、Zr、La、Ce 或 Nd，有時具有如下效果：（1）增大氧化物半導體膜 39a 的能隙。（2）減小氧化物半導體膜 39a 的電子親和力。（3）減少來自外部的雜質的擴散。（4）絕緣性比氧化物半導體膜 19a 高。（5）由於 Al、Ga、Y、Zr、La、Ce 或 Nd 是與氧的鍵合力強的金屬元素，所以不容易產生氧缺損。

[0260] 在氧化物半導體膜 39a 為 In-M-Zn 氧化物膜的情況下，當 In 和 M 之總和為 100atomic%時，In 及 M 的原子個數比為如下：較佳為 In 低於 50atomic%且 M 為

50atomic%以上；更佳為 In 低於 25atomic%且 M 為 75atomic%以上。

[0261] 另外，當氧化物半導體膜 19a 及氧化物半導體膜 39a 為 In-M-Zn 氧化物膜（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）時，氧化物半導體膜 39a 所含的 M（Al、Ga、Y、Zr、La、Ce 或 Nd）的原子個數比大於氧化物半導體膜 19a 所含的 M 的原子個數比，典型的是，氧化物半導體膜 39a 所含的 M 的原子個數比為氧化物半導體膜 19a 所含的 M 的原子個數比的 1.5 倍以上，較佳為 2 倍以上，更佳為 3 倍以上。

[0262] 另外，當氧化物半導體膜 19a 及氧化物半導體膜 39a 為 In-M-Zn 氧化物膜（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）時，並且氧化物半導體膜 39a 的原子個數比為 $\text{In:M:Zn} = x_1:y_1:z_1$ ，且氧化物半導體膜 19a 的原子個數比為 $\text{In:M:Zn} = x_2:y_2:z_2$ 的情況下， y_1/x_1 大於 y_2/x_2 ，較佳為 y_1/x_1 為 y_2/x_2 的 1.5 倍以上，更佳為 y_1/x_1 為 y_2/x_2 的 2 倍以上，進一步較佳為 y_1/x_1 為 y_2/x_2 的 3 倍以上。

[0263] 當氧化物半導體膜 19a 是 In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、La、Ce 或 Nd）時，在用於形成氧化物半導體膜 19a 的靶材中，假設金屬元素的原子個數比為 $\text{In:M:Zn} = x_1:y_1:z_1$ 時， x_1/y_1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下， z_1/y_1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。注意，藉由使 z_1/y_1 為 1 以上且 6 以下，可以使用作氧化物半導體膜 19a 的 CAAC-

OS 膜容易形成。作為靶材的金屬元素的原子個數比的典型例子，可以舉出 $\text{In:M:Zn}=1:1:1$ 、 $\text{In:M:Zn}=1:1:1.2$ 、 $\text{In:M:Zn}=3:1:2$ 等。

[0264] 當氧化物半導體膜 39a 是 In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、La、Ce 或 Nd）時，在用於形成氧化物半導體膜 39a 的靶材中，假設金屬元素的原子個數比為 $\text{In:M:Zn}=\text{x}_2:\text{y}_2:\text{z}_2$ 時， $\text{x}_2/\text{y}_2 < \text{x}_1/\text{y}_1$ ， z_2/y_2 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。注意，藉由使 z_2/y_2 為 1 以上且 6 以下，可以使用作氧化物半導體膜 39a 的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子個數比的典型例子，可以舉出 $\text{In:M:Zn}=1:3:2$ 、 $\text{In:M:Zn}=1:3:4$ 、 $\text{In:M:Zn}=1:3:6$ 、 $\text{In:M:Zn}=1:3:8$ 、 $\text{In:M:Zn}=1:4:4$ 、 $\text{In:M:Zn}=1:4:5$ 、 $\text{In:M:Zn}=1:6:8$ 等。

[0265] 另外，氧化物半導體膜 19a 及氧化物半導體膜 39a 的原子個數比作為誤差包括上述原子個數比的 $\pm 40\%$ 的變動。

[0266] 當在後面形成氧化物絕緣膜 25 時，氧化物半導體膜 39a 還用作緩和對氧化物半導體膜 19a 所造成的損傷的膜。

[0267] 將氧化物半導體膜 39a 的厚度設定為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。

[0268] 另外，氧化物半導體膜 39a 與氧化物半導體膜 19a 同樣地例如可以具有非單晶結構。非單晶結構例如包括下述 CAAC-OS（C Axis Aligned-Crystalline Oxide

Semiconductor)、多晶結構、下述微晶結構或非晶結構。

[0269] 氧化物半導體膜 39a 例如也可以具有非晶結構。非晶結構的氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。

[0270] 此外，也可以在氧化物半導體膜 19a 及氧化物半導體膜 39a 中分別構成具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的混合膜。混合膜有時採用例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的單層結構。另外，混合膜有時採用例如層疊有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的疊層結構。

[0271] 在此，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a。因此，在氧化物半導體膜 39a 與氧化物絕緣膜 23 之間即使因雜質及缺陷形成載子陷阱，也在該載子陷阱與氧化物半導體膜 19a 之間有間隔。其結果是，在氧化物半導體膜 19a 中流過的電子不容易被載子陷阱俘獲，所以不僅能夠增大電晶體的通態電流，而且能夠提高場效移動率。此外，當電子被載子陷阱俘獲時，該電子成為固定負電荷。其結果是，導致電晶體的臨界電壓發生變動。然而，當氧化物半導體膜 19a 與載子陷阱之間有間隔時，能夠抑制電子被載子陷阱俘

獲，從而能夠抑制臨界電壓的變動量。

[0272] 此外，由於氧化物半導體膜 39a 能夠遮蔽來自外部的雜質，所以可以減少從外部移動到氧化物半導體膜 19a 中的雜質量。另外，在氧化物半導體膜 39a 中不容易形成氧缺損。由此，能夠減少氧化物半導體膜 19a 中的雜質濃度及氧缺損量。

[0273] 此外，氧化物半導體膜 19a 及氧化物半導體膜 39a 不以簡單地層疊各膜的方式來形成，而是以形成連續接合（在此，特指在各膜之間導帶底端的能量產生連續的變化的結構）的方式來形成。換而言之，採用在各膜之間的介面不存在雜質的疊層結構，該雜質會形成俘獲中心或再結合中心等缺陷能階。如果雜質混入層疊有的氧化物半導體膜 19a 與氧化物半導體膜 39a 之間，則能帶則失去連續性，因此，載子在介面被俘獲或者因再結合而消失。

[0274] 為了形成連續接合，需要使用具備負載鎖定室的多室成膜裝置（濺射裝置）以使各膜不暴露於大氣中的方式連續地進行層疊。在濺射裝置的各室中，較佳為使用低溫泵等吸附式真空抽氣泵進行高真空抽氣（抽空到 $5 \times 10^{-7} \text{Pa}$ 至 $1 \times 10^{-4} \text{Pa}$ 左右）以盡可能地去除對氧化物半導體膜來說是雜質的水等。或者，較佳為組合渦輪分子泵和冷阱來防止氣體，尤其是包含碳或氫的氣體從抽氣系統倒流到處理室內。

[0275] 另外，如圖 14B 所示的電晶體 102c 那樣，也可以具有多層膜 38a 代替多層膜 37a。

[0276] 另外，如圖 14B 所示的電容元件 105c 那樣，也可以具有多層膜 38b 代替多層膜 37b。

[0277] 多層膜 38a 包括氧化物半導體膜 49a、氧化物半導體膜 19a 及氧化物半導體膜 39a。即，多層膜 38a 具有三層結構。此外，氧化物半導體膜 19a 用作通道區域。

[0278] 氧化物半導體膜 49a 可以適當地使用與氧化物半導體膜 39a 同樣的材料及形成方法。

[0279] 多層膜 38b 包括氧化物半導體膜 49b、氧化物半導體膜 19f 及氧化物半導體膜 39b。即，多層膜 38b 為三層結構。另外，多層膜 38b 用作像素電極。

[0280] 氧化物半導體膜 19f 可以適當地使用與像素電極 19b 同樣的材料及形成方法。氧化物半導體膜 49b 可以適當地使用與氧化物半導體膜 39b 同樣的材料及形成方法。

[0281] 此外，氧化物絕緣膜 17 與氧化物半導體膜 49a 相接觸。即，在氧化物絕緣膜 17 與氧化物半導體膜 19a 之間設置有氧化物半導體膜 49a。

[0282] 此外，多層膜 38a 與氧化物絕緣膜 23 相接觸。另外，氧化物半導體膜 39a 與氧化物絕緣膜 23 相接觸。即，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a。

[0283] 較佳為氧化物半導體膜 49a 的厚度比氧化物半導體膜 19a 的厚度薄。藉由將氧化物半導體膜 49a 的厚度設定為 1nm 以上且 5nm 以下，較佳為 1nm 以上且 3nm

以下，可以減少電晶體的臨界電壓的變動量。

[0284] 本實施方式所示的電晶體在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a。因此，在氧化物半導體膜 39a 與氧化物絕緣膜 23 之間即使因雜質及缺陷形成載子陷阱，也在該載子陷阱與氧化物半導體膜 19a 之間有間隔。其結果是，在氧化物半導體膜 19a 中流過的電子不容易被載子陷阱俘獲，所以不僅能夠增大電晶體的通態電流，而且能夠提高場效移動率。此外，當電子被載子陷阱俘獲時，該電子成為固定負電荷。其結果是，導致電晶體的臨界電壓發生變動。然而，當氧化物半導體膜 19a 與載子陷阱之間有間隔時，能夠抑制電子被載子陷阱俘獲，從而能夠減少臨界電壓的變動量。

[0285] 此外，由於氧化物半導體膜 39a 能夠遮蔽來自外部的雜質，所以可以減少從外部移動氧化物半導體膜 19a 的雜質量。此外，在氧化物半導體膜 39a 中不容易形成氧缺損。由此，能夠減少氧化物半導體膜 19a 中的雜質濃度及氧缺損量。

[0286] 另外，由於在氧化物絕緣膜 17 與氧化物半導體膜 19a 之間設置有氧化物半導體膜 49a，並且在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a，因此，能夠降低氧化物半導體膜 49a 與氧化物半導體膜 19a 之間的介面附近的矽或碳的濃度、氧化物半導體膜 19a 中的矽或碳的濃度或者氧化物半導體膜 39a 與氧化物半導體膜 19a 之間的介面附近的矽或碳的濃度。其

結果是，在多層膜 38a 中，利用恆定光電流法導出的吸收係數低於 $1 \times 10^{-3}/\text{cm}$ ，較佳為低於 $1 \times 10^{-4}/\text{cm}$ ，即定域態密度極低。

[0287] 在具有這種結構的電晶體 102c 中，因為多層膜 38a 中的缺陷極少，因此，能夠提高電晶體的電特性，典型的是能夠實現通態電流的增大及場效移動率的提高。另外，當進行應力測試的一個例子，即 BT 應力測試及光 BT 應力測試時，臨界電壓的變動量少，由此可靠性較高。

[0288] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0289]

實施方式 8

在本實施方式中，對能夠用於包含在上述實施方式所說明的顯示裝置中的電晶體的氧化物半導體膜的一實施方式進行說明。

[0290] 氧化物半導體膜可以由如下氧化物半導體構成：單晶結構的氧化物半導體（以下，稱為單晶氧化物半導體）、多晶結構的氧化物半導體（以下，稱為多晶氧化物半導體）、微晶結構的氧化物半導體（以下，稱為微晶氧化物半導體）及非晶結構的氧化物半導體（以下，稱為非晶氧化物半導體）中的一種以上；CAAC-OS 膜；非晶氧化物半導體及具有晶粒的氧化物半導體。下面作為典型例子，對 CAAC-OS 及微晶氧化物半導體進行說明。

[0291]

〈CAAC-OS〉

CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一。包括在 CAAC-OS 膜中的結晶部具有 c 軸配向性。在平面 TEM 影像中，包括在 CAAC-OS 膜中的結晶部的面積為 2500nm^2 以上，較佳為 $5\mu\text{m}^2$ 以上，更佳為 $1000\mu\text{m}^2$ 以上。在剖面 TEM 影像中，藉由使該結晶部的含量為 50% 以上，較佳為 80% 以上，更佳為 95% 以上，則成為其物理性質類似於單晶的薄膜。

[0292] 在 CAAC-OS 膜的穿透式電子顯微鏡（TEM：Transmission Electron Microscope）影像中，難以觀察到結晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0293] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映著形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下，因此也包括角度為 -5° 以上且 5° 以下的情況。“垂直”是指兩條直線形成的角度為 80° 以上且 100° 以下，因此也包括角度為 85° 以上且 95° 以下的情況。

[0294] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0295] 此外，在對 CAAC-OS 膜進行電子繞射分析時，觀察到表示配向性的斑點（亮點）。

[0296] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0297] 使用 X 射線繞射（XRD：X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析 CAAC-OS 膜時，在繞射角（ 2θ ）為 31° 附近時常出現峰值。由於該峰值來源於 In-Ga-Zn 氧化物的（ $00x$ ）面（ x 為整數），由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0298] 另一方面，當利用從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ 為 56° 附近時常出現峰值。該峰值來源於 In-Ga-Zn 氧化物的結晶的（ 110 ）面。在此，將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸（ ϕ 軸）旋轉樣本的條件下進行分析（ ϕ 掃描）。當該樣本是 In-Ga-Zn 氧化物的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於（ 110 ）面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不

能觀察到明確的峰值。

[0299] 由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的配向在不同的結晶部之間沒有規律性，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 a - b 面平行的面。

[0300] 結晶是在形成 CAAC-OS 膜時或在進行加熱處理等晶化處理時形成的。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0301] 此外，CAAC-OS 膜中的結晶度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由於 CAAC-OS 膜的頂面附近的結晶成長而形成時，有時頂面附近的結晶度高於被形成面附近的結晶度。另外，還有如下情況：當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的結晶度改變，所以 CAAC-OS 膜中的結晶度根據區域而不同。

[0302] 當利用 out-of-plane 法分析 CAAC-OS 膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向的結晶部。較佳的是，在 CAAC-OS 膜中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附

近時不出現峰值。

[0303] CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽以及過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，某一種元素如矽等與氧的鍵合力比構成氧化物半導體膜的金屬元素與氧的鍵合力強，該元素會奪取氧化物半導體膜中的氧，從而打亂氧化物半導體膜的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑（或分子半徑）大，所以如果包含在氧化物半導體膜內，也會打亂氧化物半導體膜的原子排列，導致結晶性下降。包含在氧化物半導體膜中的雜質有時成為載子陷阱或載子發生源。

[0304] CAAC-OS 膜是缺陷態密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺損有時成為載子陷阱，或因俘獲氫而成為載子發生源。

[0305] 將雜質濃度低且缺陷態密度低（氧缺損量少）的狀態稱為“高純度本質”或“實質上高純度本質”。在高純度本質或實質上高純度本質的氧化物半導體膜中載子發生源少，所以可以降低載子密度。因此，採用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性（也稱為常導通）。此外，在高純度本質或實質上高純度本質的氧化物半導體膜中載子陷阱少。因此，採用該氧化物半導體膜的電晶體的電特性變動小，於是成為可靠性高的電晶體。被氧化物半導體膜的載子陷阱俘獲的電荷直到

被釋放需要的時間長，有時像固定電荷那樣動作。所以，採用雜質濃度高且缺陷態密度高的氧化物半導體膜的電晶體有時電特性不穩定。

[0306] 此外，在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0307]

〈微晶氧化物半導體〉

在使用 TEM 觀察的微晶氧化物半導體膜的影像中，有時難以明確地觀察到結晶部。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下，或 1nm 以上且 10nm 以下。尤其是，將具有尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶體（nc：nanocrystal）的氧化物半導體膜稱為 nc-OS（nanocrystalline Oxide Semiconductor）膜。例如，在使用 TEM 觀察 nc-OS 膜時，有時難以明確地確認到晶界。

[0308] nc-OS 膜在微小區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中其原子排列具有週期性。另外，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體上觀察不到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在藉由其中利用使用其束徑比結晶部大的 X 射線的 XRD 裝置的 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。在對 nc-OS 膜進行使用其電子束徑比結晶部大（例

如，50nm 以上）的電子射線的電子繞射（也稱為選區電子繞射）時，觀察到類似於光暈圖案的繞射圖案。另一方面，在對 nc-OS 膜進行使用其電子束徑近於結晶部或者比結晶部小（例如，1nm 以上且 30nm 以下）的電子射線的電子繞射（也稱為奈米束電子繞射）時，觀察到斑點。在對 nc-OS 膜進行奈米束電子繞射時，還有時觀察到如圓圈那樣的（環狀的）亮度高的區域。在對 nc-OS 膜進行奈米束電子繞射時，還有時還觀察到環狀的區域內的多個斑點。

[0309] nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS 膜的缺陷態密度比非晶氧化物半導體膜低。但是，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 膜的缺陷態密度比 CAAC-OS 膜高。

[0310]

〈氧化物半導體膜及氧化物導電體膜〉

接著，參照圖 26 說明使用氧化物半導體形成的膜（以下稱為氧化物半導體膜（OS））及使用能夠用作像素電極 19b 的氧化物導電體形成的膜（以下稱為氧化物導電體膜（OC））的導電率的溫度依賴性。在圖 26 中，橫軸示出測定溫度（下橫軸表示 $1/T$ ，上橫軸表示 T ），縱軸示出導電率（ $1/\rho$ ）。另外，三角形示出氧化物半導體膜（OS）的測定結果，圓圈示出氧化物導電體膜（OC）的測定結果。

[0311] 以如下方法製造包含氧化物半導體膜 (OS) 的樣本：在玻璃基板上，藉由使用原子個數比為 $\text{In:Ga:Zn}=1:1:1.2$ 的濺射靶材的濺射法形成厚度為 35nm 的 In-Ga-Zn 氧化物膜，藉由使用原子個數比為 $\text{In:Ga:Zn}=1:4:5$ 的濺射靶材的濺射法形成厚度為 20nm 的 In-Ga-Zn 氧化物膜，在 450°C 的氮氛圍下進行熱處理之後，在 450°C 的氮及氧的混合氣體氛圍下進行熱處理，並且利用電漿 CVD 法形成氧氮化矽膜。

[0312] 此外，以如下方法製造包含氧化物導電體膜 (OC) 的樣本：在玻璃基板上，藉由使用原子個數比為 $\text{In:Ga:Zn}=1:1:1$ 的濺射靶材的濺射法形成厚度為 100nm 的 In-Ga-Zn 氧化物膜，在 450°C 的氮氛圍下進行熱處理之後，在 450°C 的氮及氧的混合氣體氛圍下進行熱處理，並且利用電漿 CVD 法形成氮化矽膜。

[0313] 從圖 26 可知，氧化物導電體膜 (OC) 的導電率的溫度依賴性低於氧化物半導體膜 (OS) 的導電率的溫度依賴性。典型的是， 80K 以上且 290K 以下的氧化物導電體膜 (OC) 的導電率的變化率低於 $\pm 20\%$ 。或者， 150K 以上且 250K 以下的導電率的變化率低於 $\pm 10\%$ 。也就是說，氧化物導電體是簡並半導體，可以推測其導帶底能階與費米能階一致或大致一致。因此，可將氧化物導電體膜 (OC) 用於電阻元件、佈線、電極、像素電極、共用電極等。

[0314] 本實施方式所示的結構及方法等可以與其他

實施方式所示的結構及方法等適當地組合而實施。

[0315]

實施方式 9

在上述實施方式所示的電晶體的製造方法中，可在形成用作源極電極和汲極電極的導電膜 21a、導電膜 21b 之後，將氧化物半導體膜 19a 暴露於產生在氧化氛圍中的電漿，來對氧化物半導體膜 19a 供應氧。氧化氛圍的例子為氧、臭氧、一氧化二氮、二氧化氮等的氛圍。而且，在該電漿處理中，較佳為將氧化物半導體膜 19a 暴露於在對基板 11 一側不施加偏壓的狀態下產生的電漿中。其結果是，能夠不使氧化物半導體膜 19a 受損傷，且能供應氧，可減少氧化物半導體膜 19a 中的氧缺損量。此外，藉由蝕刻處理可以去除殘留在氧化物半導體膜 19a 的表面的雜質諸如氟、氯等鹵素等。較佳為邊進行 300℃ 以上的加熱邊進行該電漿處理。電漿中的氧與氧化物半導體膜 19a 中的氫鍵合而成為水。由於對基板進行加熱，所以該水從氧化物半導體膜 19a 脫離。其結果是，可以減少氧化物半導體膜 19a 中的含氫量及含水量。

[0316] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0317]

實施方式 10

在本實施方式中，對應用本發明的一個方式的顯示裝置的電子裝置的結構例子進行說明。另外，在本實施方式

中，參照圖 15 對應用本發明的一個方式的顯示裝置的顯示模組進行說明。

[0318] 圖 15 所示的顯示模組 8000 在上蓋 8001 與下蓋 8002 之間包括連接於 FPC8003 的觸控面板 8004、連接於 FPC8005 的顯示面板 8006、背光單元 8007、框架 8009、印刷基板 8010、電池 8011。另外，有時不設置背光單元 8007、電池 8011、觸控面板 8004 等。

[0319] 本發明的一個方式的顯示裝置例如可以用於顯示面板 8006。

[0320] 上蓋 8001 及下蓋 8002 根據觸控面板 8004 及顯示面板 8006 的尺寸可以適當地改變形狀或尺寸。

[0321] 觸控面板 8004 能夠是電阻膜式觸控面板或靜電容量式觸控面板，並且能夠被形成為與顯示面板 8006 重疊。此外，也可以使顯示面板 8006 的反基板（密封基板）具有觸控面板的功能。或者，也可以在顯示面板 8006 的各像素內設置光感測器，而用作光學觸控面板。或者，也可以在顯示面板 8006 的各像素內設置觸摸感測器用電極，而用作靜電容量式觸控面板。

[0322] 背光單元 8007 包括光源 8008。光源 8008 也可以設置在背光單元 8007 的端部，並使用光擴散板。

[0323] 框架 8009 除了具有保護顯示面板 8006 的功能以外還具有用來遮斷因印刷基板 8010 的工作而產生的電磁波的電磁屏蔽的功能。此外，框架 8009 也可以具有作為散熱板的功能。

[0324] 印刷基板 8010 包括電源電路以及用來輸出視訊信號及時脈信號的信號處理電路。作為對電源電路供應電力的電源，既可以使用外部的商業電源，又可以使用另行設置的電池 8011 的電源。當使用商用電源時，可以省略電池 8011。

[0325] 此外，在顯示模組 8000 中還可以設置偏光板、相位差板、稜鏡片等構件。

[0326] 圖 16A 至圖 16D 是包括本發明的一個方式的顯示裝置的電子裝置的外觀圖。

[0327] 作為電子裝置，例如可以舉出電視機（也稱為電視或電視接收機）、用於電腦等的顯示器、數位相機、數位攝影機等影像拍攝裝置、數位相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、彈珠機（pachinko machine）等大型遊戲機等。

[0328] 圖 16A 示出可攜式資訊終端，其包括主體 1001、外殼 1002、顯示部 1003a 和顯示部 1003b 等。顯示部 1003b 是觸控面板，藉由觸摸顯示在顯示部 1003b 上的鍵盤按鈕 1004，可以操作螢幕且輸入文字。當然，也可以採用顯示部 1003a 是觸控面板的結構。藉由將上述實施方式所示的電晶體用作切換元件製造液晶面板或有機發光面板，並將其用於顯示部 1003a、顯示部 1003b，可以實現可靠性高的可攜式資訊終端。

[0329] 圖 16A 所示的可攜式資訊終端可以具有如下

功能：顯示各種資訊（靜止影像、動態影像、文字影像等）；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯；以及利用各種軟體（程式）控制處理；等。另外，也可以採用在外殼的背面或側面具備外部連接端子（耳機端子、USB 端子等）、儲存介質插入部等的結構。

[0330] 另外，圖 16A 所示的可攜式資訊終端可以採用以無線方式發送且接收資訊的結構。還可以採用以無線方式從電子書籍伺服器購買所希望的書籍資料等並下載的結構。

[0331] 圖 16B 示出可攜式音樂播放機，其中主體 1021 包括顯示部 1023、用來戴在耳朵上的固定部 1022、揚聲器、操作按鈕 1024 以及外部儲存槽 1025 等。藉由將上述實施方式所示的電晶體用作切換元件製造液晶面板或有機發光面板，並將其用於顯示部 1023，可以實現可靠性高的可攜式音樂播放機。

[0332] 另外，當對圖 16B 所示的可攜式音樂播放機添加天線、麥克風功能及無線功能且與行動電話一起使用時，可以在開車的同時進行無線免提通話。

[0333] 圖 16C 示出行動電話，由外殼 1030 及外殼 1031 的兩個外殼構成。外殼 1031 具備顯示面板 1032、揚聲器 1033、麥克風 1034、指向裝置 1036、照相機 1037、外部連接端子 1038 等。另外，外殼 1030 具備進行行動電話的充電的太陽能電池 1040、外部儲存槽 1041 等。另

外，天線內置於外殼 1031 內部。藉由將上述實施方式所示的電晶體用於顯示面板 1032，可以實現可靠性高的行動電話。

[0334] 另外，顯示面板 1032 具備觸控面板，在圖 16C 中，使用虛線示出作為影像被顯示出來的多個操作鍵 1035。另外，還安裝有用來將由太陽能電池 1040 輸出的電壓升壓到各電路所需的電壓的升壓電路。

[0335] 顯示面板 1032 根據使用方式適當地改變顯示的方向。另外，由於在與顯示面板 1032 同一面上設置有照相機 1037，所以可以實現視頻電話。揚聲器 1033 及麥克風 1034 不侷限於音訊通話，還可以進行視頻通話、錄音、再生等。再者，外殼 1030 和外殼 1031 滑動而可以處於如圖 16C 那樣的展開狀態和重疊狀態，所以可以實現便於攜帶的小型化。

[0336] 外部連接端子 1038 可以與 AC 轉接器及各種電纜如 USB 電纜等連接，由此可以進行充電及與個人電腦等的資料通訊。另外，藉由將儲存介質插入外部儲存槽 1041，可以對應於更大量資料的保存及移動。

[0337] 另外，除了上述功能之外，還可以具有紅外線通信功能、電視接收功能等。

[0338] 圖 16D 示出電視機的一個例子。在電視機 1050 中，外殼 1051 組裝有顯示部 1053。可以用顯示部 1053 顯示影像。此外，將 CPU 內置於支撐外殼 1051 的支架 1055。藉由將上述實施方式所示的電晶體用於顯示部

1053 及 CPU，可以實現可靠性高的電視機 1050。

[0339] 可以藉由外殼 1051 所具備的操作開關或另行提供的遙控器進行電視機 1050 的操作。此外，也可以採用在遙控器中設置顯示從該遙控器輸出的資訊的顯示部的結構。

[0340] 另外，電視機 1050 採用具備接收機、數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，可以進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間等）的資訊通訊。

[0341] 另外，電視機 1050 具備外部連接端子 1054、儲存介質再現錄影部 1052、外部儲存槽。外部連接端子 1054 可以與各種電纜如 USB 電纜等連接，由此可以進行與個人電腦等的資料通訊。藉由將盤狀儲存介質插入儲存介質再現錄影部 1052 中，可以進行對儲存在儲存介質中的資料的讀出以及對儲存介質的寫入。另外，也可以將插入外部儲存槽中的外部記憶體 1056 所儲存的影像或影像等顯示在顯示部 1053 上。

[0342] 在上述實施方式所示的電晶體的關態洩漏電流極低的情況下，藉由將該電晶體應用於外部記憶體 1056 或 CPU，可以提供耗電量充分降低的高可靠性電視機 1050。

[0343] 本實施方式可以與本說明書所記載的其他實施方式適當地組合而實施。

實施例 1

[0344] 在本實施例中，藉由計算評價了根據本發明的一個方式的液晶顯示裝置的像素中的穿透率的分佈。

[0345] 首先，說明在本實施例中使用的樣本。

[0346] 圖 17A 示出比較例的樣本 1 的俯視圖。樣本 1 中的像素包括橫向延伸的掃描線 201 及公用線 203、縱向（與掃描線、公用線正交的方向）延伸的信號線 205 以及由它們包圍的區域。一個像素的尺寸為縱 $84\mu\text{m}$ 、橫 $28\mu\text{m}$ 。

[0347] 樣本 1 包括：配置在上述佈線以及橫向鄰接的像素的信號線所包圍的區域內側且與公用線 203 電連接的共用電極 207；以及配置在共用電極 207 上的梳齒狀的像素電極 209。在像素電極 209 中，梳齒在與信號線 205 交叉的方向上延伸。另外，在樣本 1 中，在像素中設置有電晶體，該電晶體包括：與掃描線 201 電連接的閘極電極；隔著閘極絕緣膜與該閘極電極重疊，並與共用電極 207 經同一製程形成的半導體膜 211；以及與該半導體膜 211 電連接，並與電連接於信號線 205 的源極電極及像素電極 209 電連接的汲極電極 213。

[0348] 接著，圖 17B 示出本發明的一個方式的樣本 2 的俯視圖。樣本 2 所示的像素包括橫向延伸的掃描線 221、縱向延伸的信號線 225 以及由它們包圍的區域。一個像素的尺寸為縱 $84\mu\text{m}$ 、橫 $28\mu\text{m}$ 。

[0349] 樣本 2 包括：配置在上述佈線、橫向鄰接的像素的信號線及縱向鄰接的像素的掃描線所包圍的區域的內側的像素電極 229；以及配置在像素電極 229 上的共用電極 227。共用電極 227 包括在與信號線 225 交叉的方向上延伸的條狀的區域。另外，在樣本 2 中，在像素中設置有電晶體，該電晶體包括：與掃描線 221 電連接的閘極電極；隔著閘極絕緣膜與該閘極電極重疊，並與像素電極 229 經同一製程形成的半導體膜 231；以及與該半導體膜 231 電連接，並與電連接於信號線 225 的源極電極及像素電極 229 電連接的汲極電極 233。另外，電晶體的剖面形狀可以參照實施方式 2 及圖 5 所示的電晶體 102。

[0350] 如上述那樣，準備樣本 1 及樣本 2。樣本 1 及樣本 2 所示的像素能夠藉由施加到像素電極與共用電極之間的橫向電場來控制液晶的穿透率。

[0351] 接著，計算樣本 1 及樣本 2 的穿透率。使用日本 Shintech 公司製造的 LCDMaster 3-D，並以 FEM-Static 模式進行計算。在計算中，將尺寸設定為縱 $84\mu\text{m}$ 、橫 $28\mu\text{m}$ 、縱深（高度） $4\mu\text{m}$ ，並採用週期性（periodic）邊界條件。另外，閘極電極的厚度為 200nm 、閘極絕緣膜的厚度為 400nm 、信號線的厚度為 300nm 、層間絕緣膜的厚度為 500nm 。在樣本 1 中，共用電極的厚度為 0nm 、共用電極與像素電極之間的氮化物絕緣膜的厚度為 100nm 、像素電極的厚度為 100nm 。在樣本 2 中，像素電極的厚度為 0nm 、像素電極與共用電極之間的氮化物絕緣膜的厚

度為 100nm、共用電極的厚度為 100nm。另外，液晶的研磨方向為 85° 、扭轉角為 0° 、預傾角為 3° 。另外，為了減輕計算的負載，將樣本 1 的共用電極、樣本 2 的像素電極的厚度設定為 0nm。在該條件下，當對掃描線施加 -9V、對公用線施加 0V、對信號線及像素電極施加 6V 時，對穿透率的分佈進行評價。

[0352] 穿透率的分佈以灰階級表示，顏色越白證明穿透率越高。圖 17C 示出樣本 1 的穿透率的分佈，圖 17D 示出樣本 2 的穿透率的分佈。

[0353] 可知在樣本 1 及樣本 2 中會形成穿透率高的區域。另外，可知尤其是在樣本 2 中，在像素內廣範圍地形成穿透率高的區域。這是因為：在樣本 2 中形成的共用電極中沒有在與信號線平行的方向延伸的區域，與樣本 1 相比，樣本 2 的像素電極與共用電極之間的產生電場的區域大。

[0354] 由此，可知樣本 2 的結構對於製造耗電量小的液晶顯示裝置是有效的。

實施例 2

[0355] 在本實施例中，在與根據本發明的一個方式的液晶顯示裝置鄰接的像素中，藉由計算對在顯示白色及黑色時的顯示黑色的區域中的漏光進行評價。

[0356] 首先，說明在本實施例中使用的樣本。

[0357] 圖 18A 示出樣本 3 的俯視圖。樣本 3 所示的

像素包括橫向延伸的掃描線 241、縱向延伸的信號線 243 以及由它們包圍的區域。橫向鄰接的兩個像素的尺寸的總和為縱 $49.5\mu\text{m}$ 、橫 $30\mu\text{m}$ 。

[0358] 樣本 3 包括：配置在上述佈線、橫向鄰接的像素的信號線以及縱向鄰接的像素的掃描線所包圍的區域的內側的像素電極 249；以及配置在像素電極 249 上的共用電極 247。共用電極 247 包括在與信號線 243 交叉的方向上延伸的條狀的區域。另外，在樣本 3 中，在像素中設置有電晶體，該電晶體包括：與掃描線 241 電連接的閘極電極；隔著閘極絕緣膜與該閘極電極重疊，並與像素電極 249 經同一製程形成的半導體膜 251；以及與該半導體膜 251 電連接，並與電連接於信號線 243 的源極電極及像素電極電連接的汲極電極 253。另外，電晶體的剖面形狀可以參照實施方式 2 及圖 5 所示的電晶體 102。

[0359] 圖 18B 示出樣本 4 的俯視圖。樣本 4 具有類似於樣本 3 的結構，但樣本 4 與樣本 3 的不同之處在於汲極電極及共用電極形狀。明確而言，在樣本 4 中，汲極電極 263 是 L 字形的，並藉由具有與像素電極 249 的端部重疊的區域，抑制掃描線 241 與像素電極 249 之間的電場的影響。同樣地，藉由使共用電極 267 的形狀為跨在掃描線 241 上且與縱向連接的像素相連的形狀，抑制掃描線 241 與像素電極 249 之間的電場的影響。

[0360] 如上所述那樣地準備樣本 3 及樣本 4。在樣本 3 及樣本 4 所示的像素中，藉由施加在像素電極與共用電

極之間的橫向電場來控制液晶元件的穿透率。

[0361] 接著，計算樣本 3 及樣本 4 的穿透率。使用日本 Shintech 公司製造的 LCDMaster 3-D，並以 FEM-Static 模式進行計算。在計算中，將尺寸設定為縱 $49.5\mu\text{m}$ 、橫 $30\mu\text{m}$ 、縱深（高度） $4\mu\text{m}$ ，並採用週期性（periodic）邊界條件。另外，閘極電極的厚度為 200nm 、閘極絕緣膜的厚度為 400nm 、像素電極的厚度為 0nm 、信號線的厚度為 300nm 、層間絕緣膜的厚度為 500nm 、共用電極的厚度為 100nm 。另外，將像素電極與共用電極之間的氮化物絕緣膜的厚度設定為 100nm 。液晶的研磨方向為 90° 、扭轉角為 0° 、預傾角為 3° 。另外，為了減輕計算的負載，將像素電極的厚度設定為 0nm 。在該條件下，在對掃描線施加 -9V 、對公用線施加 0V 的狀態下，當對左側的像素的信號線及像素電極施加 6V 且對右側的像素的信號線及像素電極施加 0V 時，對穿透率的分佈進行評價。

[0362] 穿透率的分佈以灰階級表示，顏色越白證明穿透率越高。圖 18C 示出樣本 3 的穿透率的分佈，圖 18D 示出樣本 4 的穿透率的分佈。

[0363] 在樣本 3 及樣本 4 中，可以在左側的像素中確認到白色顯示，在右側的像素中確認到黑色顯示。另外，在樣本 3 的黑色顯示的一部分中，確認到穿透率高的區域（漏光）。另一方面，在樣本 4 的黑色顯示中，在整個像素中沒有確認到穿透率高的區域。在樣本 4 中，汲極電極 263 是 L 字形的，並藉由包括與像素電極 249 的端部重

疊的區域，可知與樣本 3 相比，其掃描線與像素電極之間的電場不容易產生，並且黑色顯示中的漏光得到了降低。

[0364] 由此，可知樣本 4 的結構對於製造對比度高的液晶顯示裝置是有效的。

【符號說明】

[0365]

F1：電場

1：基板

2：導電膜

3：絕緣膜

4：半導體膜

4a：半導體膜

4b：半導體膜

5：導電膜

5a：導電膜

5b：導電膜

6：導電膜

6a：導電膜

6b：導電膜

7：像素電極

7a：像素電極

7b：像素電極

8：絕緣膜

- 9：共用電極
- 10：像素
- 10a：像素
- 10b：像素
- 11：基板
- 12：導電膜
- 13：導電膜
- 15：氮化物絕緣膜
- 16：氧化物絕緣膜
- 17：氧化物絕緣膜
- 18：氧化物半導體膜
- 19a：氧化物半導體膜
- 19b：像素電極
- 19c：氧化物半導體膜
- 19f：氧化物半導體膜
- 20：導電膜
- 21a：導電膜
- 21b：導電膜
- 21b_1：區域
- 21b_2：區域
- 21c：公用線
- 22：氧化物絕緣膜
- 23：氧化物絕緣膜
- 24：氧化物絕緣膜

25：氧化物絕緣膜

26：氮化物絕緣膜

26b：絕緣膜

27：氮化物絕緣膜

28：導電膜

29：共用電極

29a：共用電極

29a_1：區域

29a_2：區域

29b：導電膜

32：氧化物半導體膜

37a：多層膜

37b：多層膜

38a：多層膜

38b：多層膜

39a：氧化物半導體膜

39b：氧化物半導體膜

40：開口部

41a：開口部

42：開口部

49a：氧化物半導體膜

49b：氧化物半導體膜

51a：導電膜

60：絕緣膜

- 61：基板
- 62：遮光膜
- 63：彩色膜
- 64：絕緣膜
- 65：絕緣膜
- 66：液晶層
- 101：像素部
- 102：電晶體
- 102a：電晶體
- 102b：電晶體
- 102c：電晶體
- 103：像素
- 103a：像素
- 103b：像素
- 103c：像素
- 104：掃描線驅動電路
- 105：電容元件
- 105a：電容元件
- 105b：電容元件
- 105c：電容元件
- 106：信號線驅動電路
- 107：掃描線
- 109：信號線
- 115：公用線

121：液晶元件

201：掃描線

203：公用線

205：信號線

207：共用電極

209：像素電極

211：半導體膜

213：汲極電極

221：掃描線

225：信號線

227：共用電極

229：像素電極

231：半導體膜

233：汲極電極

241：掃描線

243：信號線

247：共用電極

249：像素電極

251：半導體膜

253：汲極電極

263：汲極電極

267：共用電極

1001：主體

1002：外殼

- 1003a：顯示部
- 1003b：顯示部
- 1004：鍵盤按鈕
- 1021：主體
- 1022：固定部
- 1023：顯示部
- 1024：操作按鈕
- 1025：外部儲存槽
- 1030：外殼
- 1031：外殼
- 1032：顯示面板
- 1033：揚聲器
- 1034：麥克風
- 1035：操作鍵
- 1036：指向裝置
- 1037：照相機
- 1038：外部連接端子
- 1040：太陽能電池
- 1041：外部儲存槽
- 1050：電視機
- 1051：外殼
- 1052：儲存介質再現錄影部
- 1053：顯示部
- 1054：外部連接端子

1055： 支 架

1056： 外 部 記 憶 體

8000： 顯 示 模 組

8001： 上 蓋

8002： 下 蓋

8003： FPC

8004： 觸 控 面 板

8005： FPC

8006： 顯 示 面 板

8007： 背 光 單 元

8008： 光 源

8009： 框 架

8010： 印 刷 基 板

8011： 電 池

申請專利範圍

1. 一種顯示裝置，包括：

電晶體，包括閘極電極、包括通道區域的半導體膜、以及電連接至該半導體膜的源極電極與汲極電極；

電連接至該閘極電極的掃描線；

電連接至該源極電極與該汲極電極中的一個的信號線；

電連接至該源極電極與該汲極電極中的另一個的像素電極；

該電晶體和該像素電極上的第一絕緣膜；以及

該第一絕緣膜上的共用電極，

其中，該掃描線與該信號線互相交叉，

其中，該共用電極包括在與該掃描線交叉的方向上延伸的第一區域，

其中，該共用電極的該第一區域與該掃描線交叉，而且該第一區域不與該信號線重疊，

其中，該共用電極不與該通道區域重疊，並且

其中，該共用電極包括與該信號線交叉的多個條狀的區域。

2. 根據申請專利範圍第 1 項之顯示裝置，

其中，該共用電極不與該半導體膜重疊。

3. 根據申請專利範圍第 1 項之顯示裝置，

其中，該多個條狀的區域的每一個與該像素電極交叉。

4. 根據申請專利範圍第 1 項之顯示裝置，

其中，該源極電極與該汲極電極中的該另一個包括與該掃描線平行地延伸的區域，並且

其中，該源極電極與該汲極電極中的該另一個的該區域與該像素電極接觸。

5. 根據申請專利範圍第 1 項之顯示裝置，

其中，該半導體膜和該像素電極的每一個包含 In-Ga 氧化物、In-Zn 氧化物或 In-M-Zn 氧化物，並且

其中，M 表示 Al、Ga、Y、Zr、La、Ce 或 Nd。

6. 根據申請專利範圍第 5 項之顯示裝置，還包括該電晶體與該第一絕緣膜之間的第二絕緣膜，

其中，該第一絕緣膜是與該像素電極接觸的氮化物絕緣膜，並且

其中，該第二絕緣膜是與該半導體膜接觸的氧化物絕緣膜。

7. 一種顯示裝置，包括：

電晶體，包括閘極電極、包括通道區域的半導體膜、以及電連接至該半導體膜的源極電極與汲極電極；

電連接至該閘極電極的掃描線；

電連接至該源極電極與該汲極電極中的一個的信號線；

電連接至該源極電極與該汲極電極中的另一個的像素電極；

公用線；

該電晶體、該像素電極、及該公用線上的第一絕緣膜；以及

該第一絕緣膜上的共用電極，

其中，該掃描線與該信號線互相交叉，

其中，該共用電極電連接至該公用線，

其中，該共用電極包括在與該掃描線交叉的方向上延伸的第一區域，

其中，該共用電極的該第一區域與該掃描線交叉，而且該第一區域不與該信號線重疊，

其中，該共用電極不與該通道區域重疊，並且

其中，該共用電極包括與該信號線交叉的多個條狀的區域。

8. 根據申請專利範圍第 7 項之顯示裝置，

其中，該共用電極不與該半導體膜重疊。

9. 根據申請專利範圍第 7 項之顯示裝置，

其中，該多個條狀的區域的每一個與該像素電極交叉。

10. 根據申請專利範圍第 7 項之顯示裝置，

其中，該源極電極與該汲極電極中的該另一個包括與該掃描線平行地延伸的區域，並且

其中，該源極電極與該汲極電極中的該另一個的該區域與該像素電極接觸。

11. 根據申請專利範圍第 7 項之顯示裝置，

其中，該半導體膜和該像素電極的每一個包含 In-Ga

氧化物、In-Zn 氧化物或 In-M-Zn 氧化物，並且

其中，M 表示 Al、Ga、Y、Zr、La、Ce 或 Nd。

12. 根據申請專利範圍第 11 項之顯示裝置，還包括該電晶體與該第一絕緣膜之間的第二絕緣膜，

其中，該第一絕緣膜是與該像素電極接觸的氮化物絕緣膜，並且

其中，該第二絕緣膜是與該半導體膜接觸的氧化物絕緣膜。

13. 一種顯示裝置，包括：

第一電晶體，包括第一閘極電極、包括第一通道區域的第一半導體膜、以及電連接至該第一半導體膜的第一源極電極與第一汲極電極；

第二電晶體，包括第二閘極電極、包括第二通道區域的第二半導體膜、以及電連接至該第二半導體膜的第二源極電極與第二汲極電極；

電連接至該第一閘極電極與該第二閘極電極的掃描線；

電連接至該第一源極電極與該第一汲極電極中的一個的第一信號線；

電連接至該第二源極電極與該第二汲極電極中的一個的第二信號線；

電連接至該第一源極電極與該第一汲極電極中的另一個的第一像素電極；

電連接至該第二源極電極與該第二汲極電極中的另一

個的第二像素電極；

該第一電晶體、該第二電晶體、該第一像素電極和該第二像素電極上的第一絕緣膜；以及

該第一絕緣膜上的共用電極，

其中，該掃描線與該第一信號線及該第二信號線互相交叉，

其中，該共用電極包括在與該掃描線交叉的方向上延伸的第一區域，

其中，該共用電極的該第一區域與該掃描線交叉，而且該第一區域不與該第一信號線及該第二信號線的每一個重疊，

其中，該共用電極不與該第一通道區域及該第二通道區域重疊，

其中，該共用電極包括條狀的區域；並且

其中，該條狀的區域與該第一信號線交叉且與該第一像素電極及該第二像素電極重疊。

14. 根據申請專利範圍第 13 項之顯示裝置，

其中，該共用電極不與該第一半導體膜與該第二半導體膜的每一個重疊。

15. 根據申請專利範圍第 13 項之顯示裝置，

其中，該條狀的區域的每一個與該第一像素電極及該第二像素電極交叉。

16. 根據申請專利範圍第 13 項之顯示裝置，

其中，該第一源極電極與該第一汲極電極中的該另一

個包括與該掃描線平行地延伸且與該第一像素電極接觸的區域；並且

其中，該第二源極電極與該第二汲極電極中的該另一個包括與該掃描線平行地延伸且與該第二像素電極接觸的區域。

17. 根據申請專利範圍第 13 項之顯示裝置，

其中，該第一半導體膜、該第二半導體膜、該第一像素電極和該第二像素電極的每一個包含 In-Ga 氧化物、In-Zn 氧化物或 In-M-Zn 氧化物，並且

其中，M 表示 Al、Ga、Y、Zr、La、Ce 或 Nd。

18. 根據申請專利範圍第 17 項之顯示裝置，還包括該第一絕緣膜與該第一電晶體及該第二電晶體的每一個之間的第二絕緣膜，

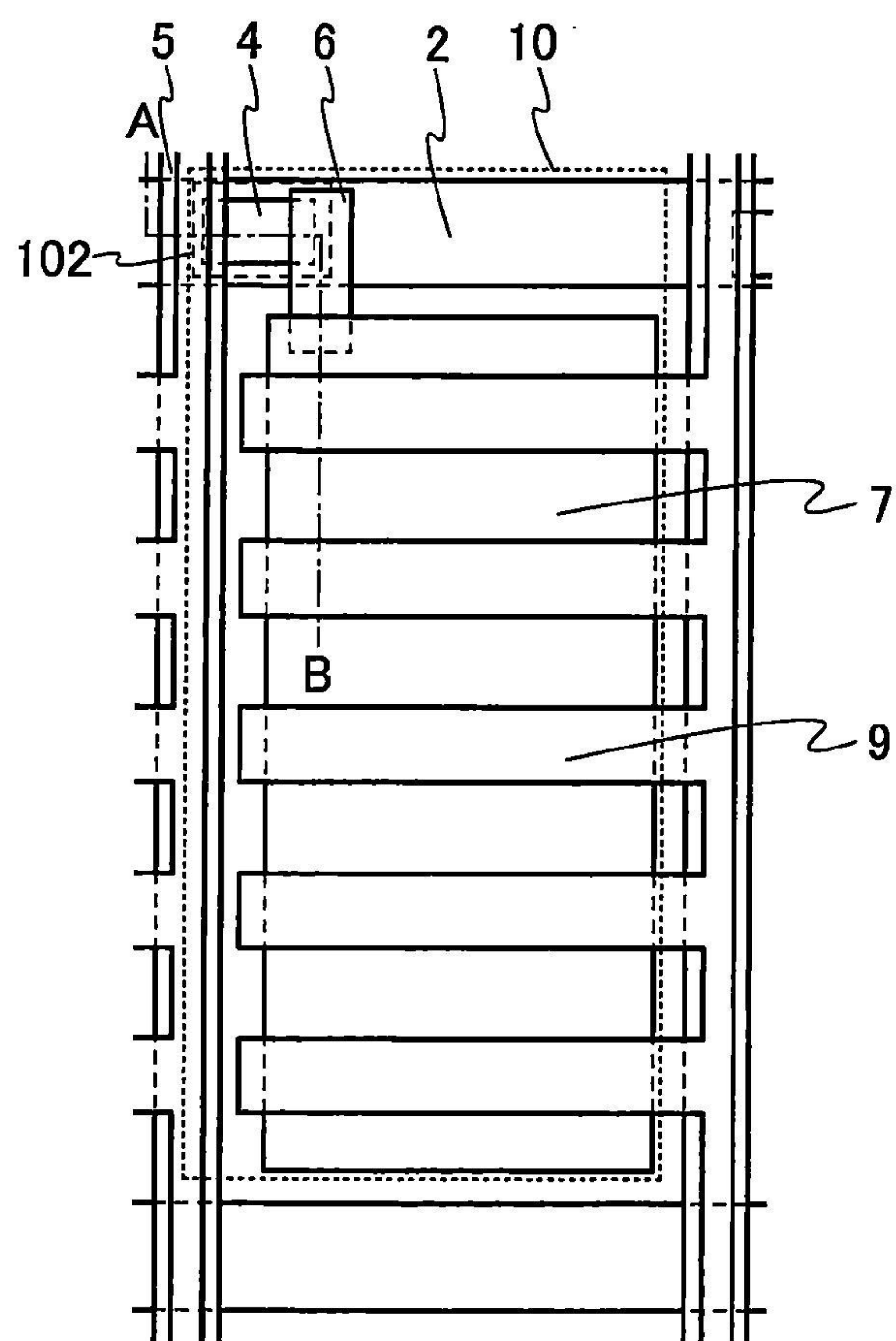
其中，該第一絕緣膜是與該第一像素電極及該第二像素電極接觸的氮化物絕緣膜，並且

其中，該第二絕緣膜是與該第一半導體膜及該第二半導體膜接觸的氧化物絕緣膜。

19. 根據申請專利範圍第 13 項之顯示裝置，

其中，該共用電極包括與該第一通道區域及該第二通道區域兩者重疊的開口，使得該共用電極不與該第一通道區域及該第二通道區域重疊。

圖 1A



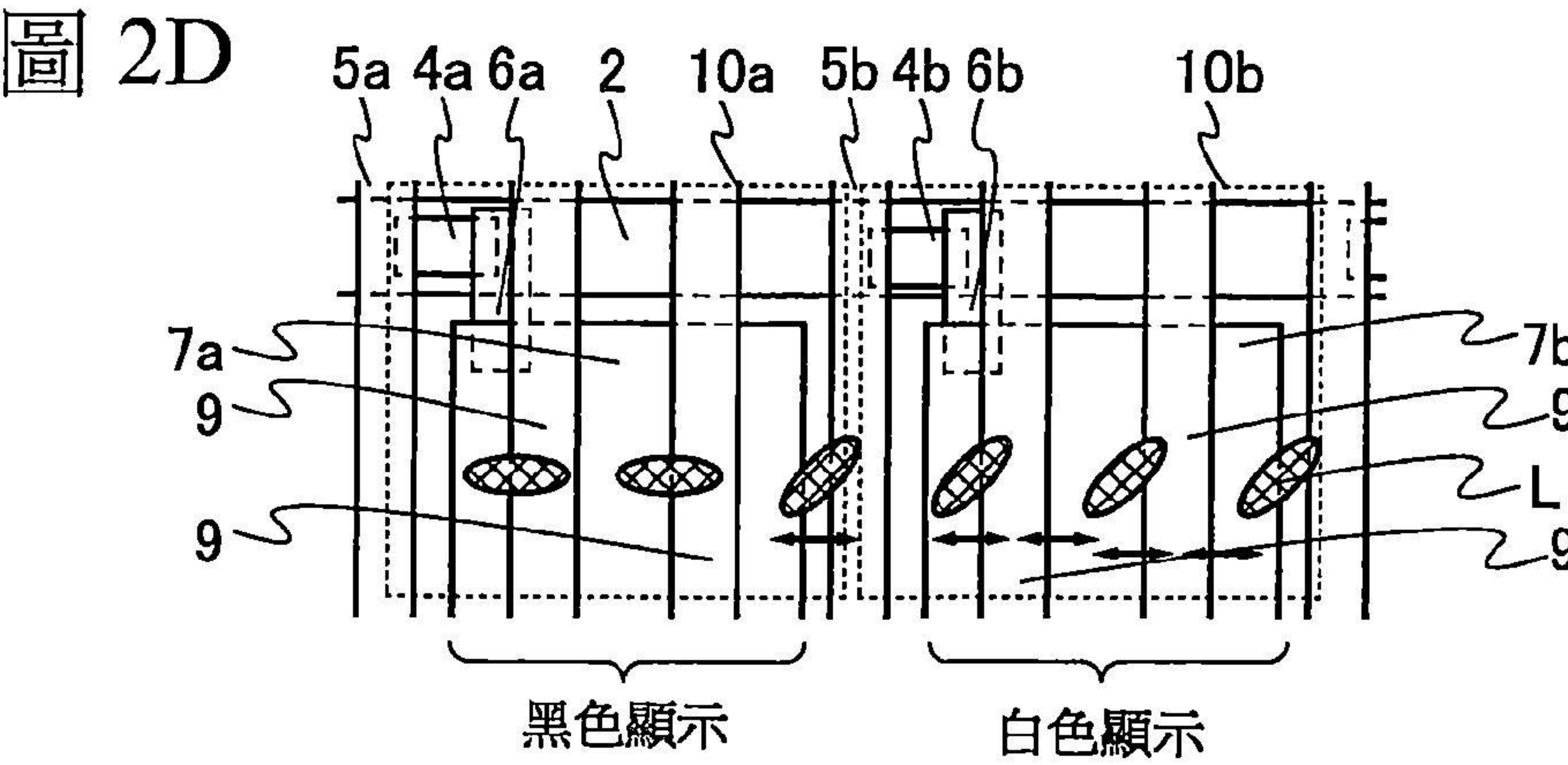
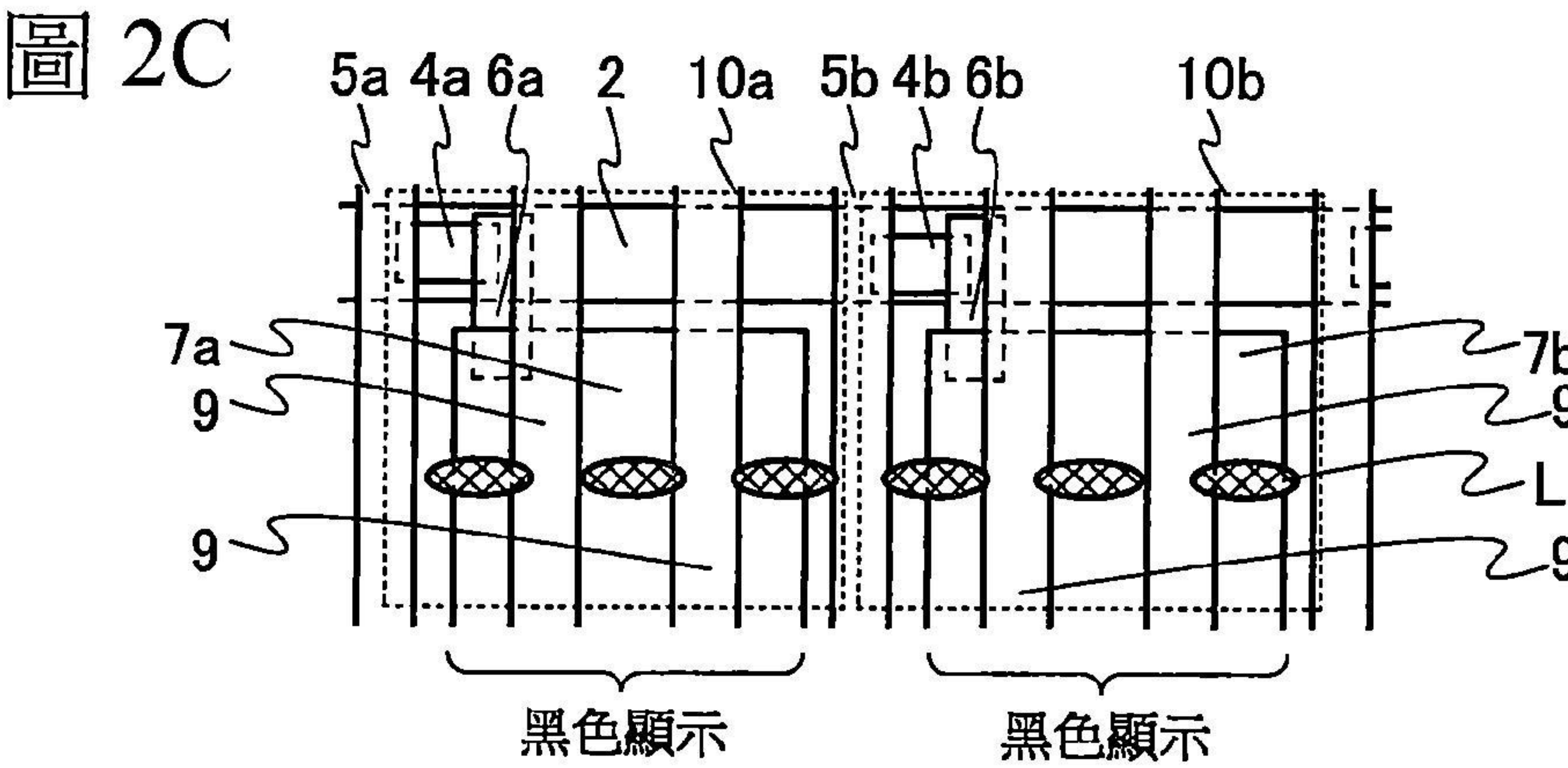
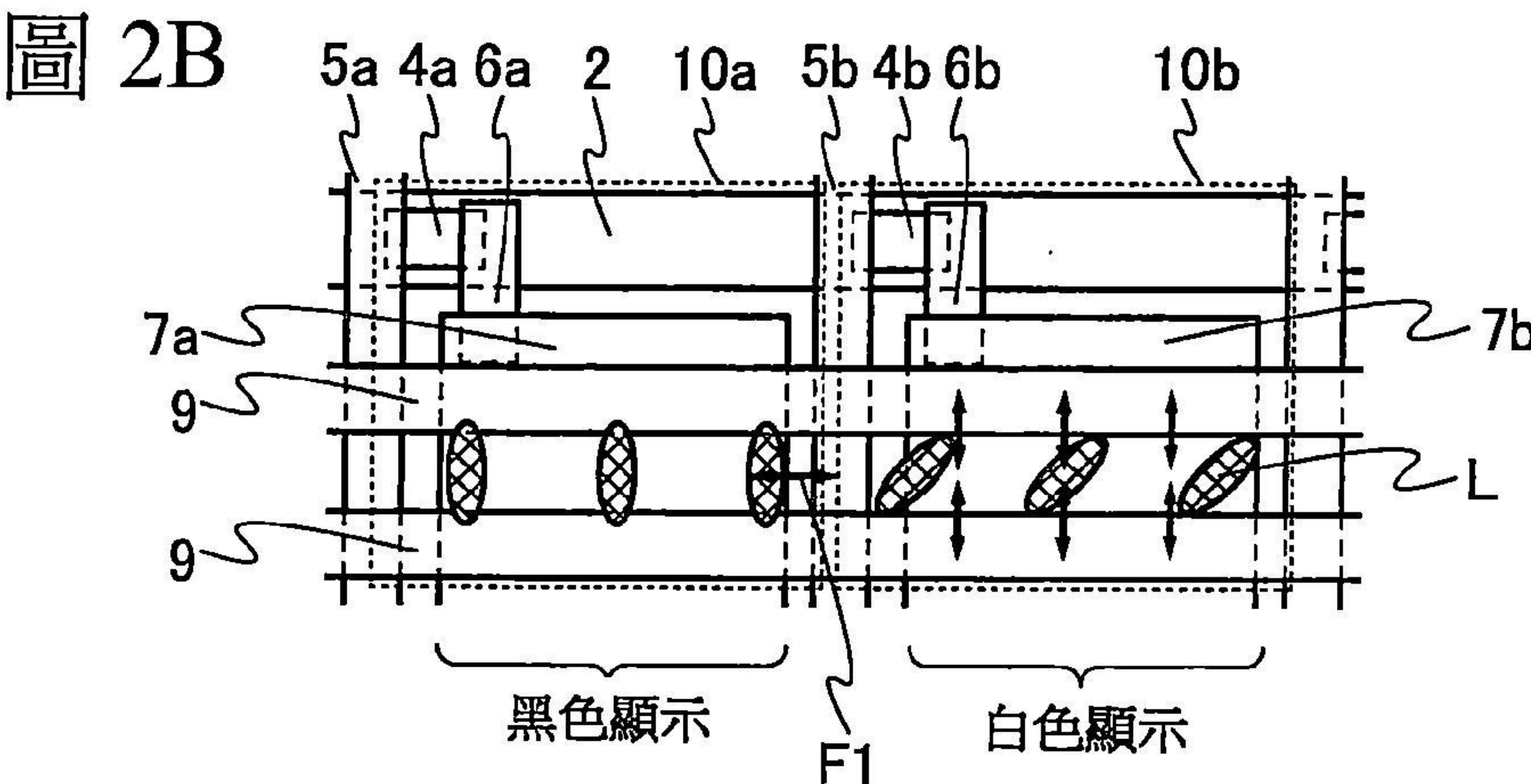
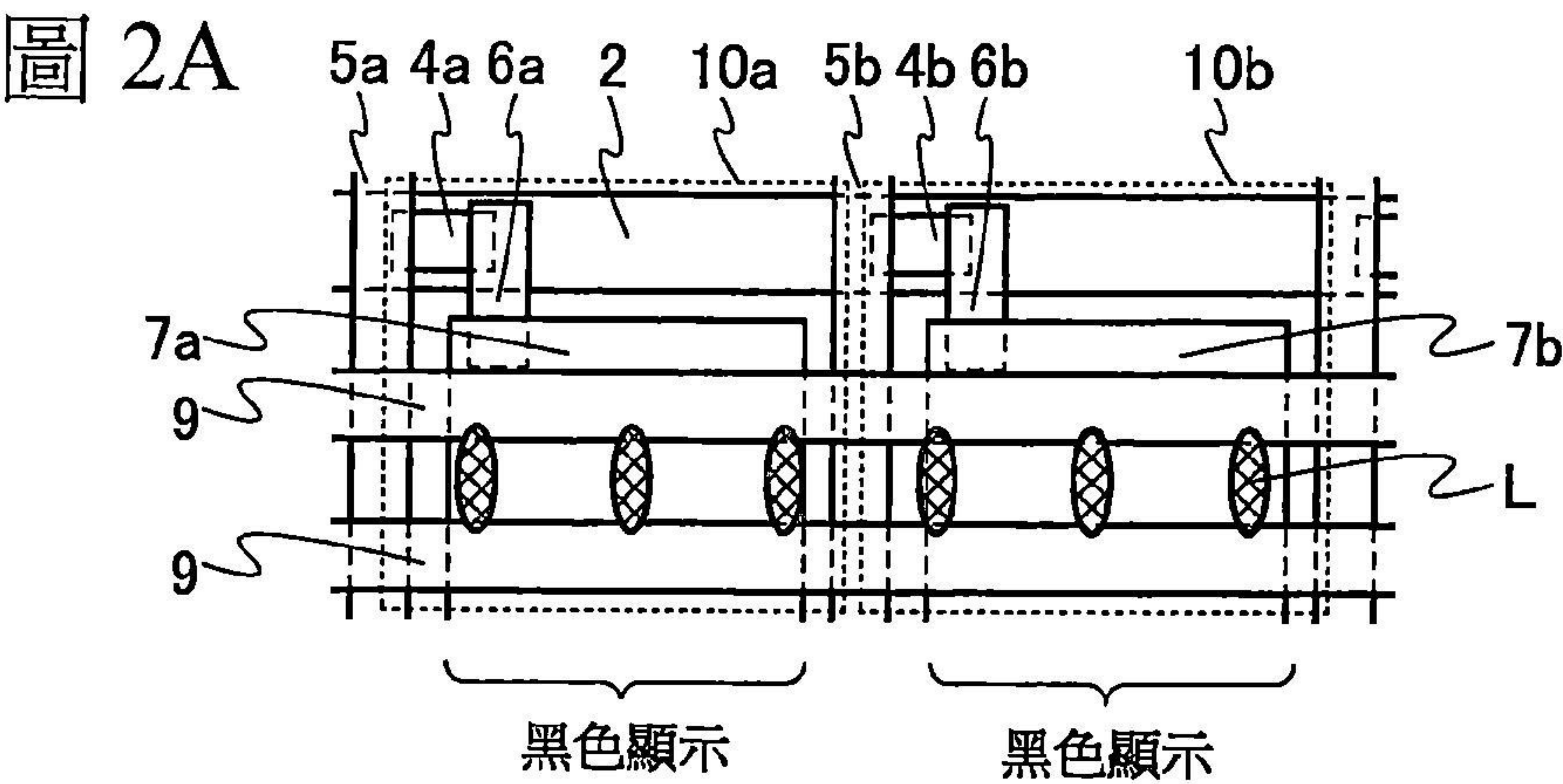


圖 3A

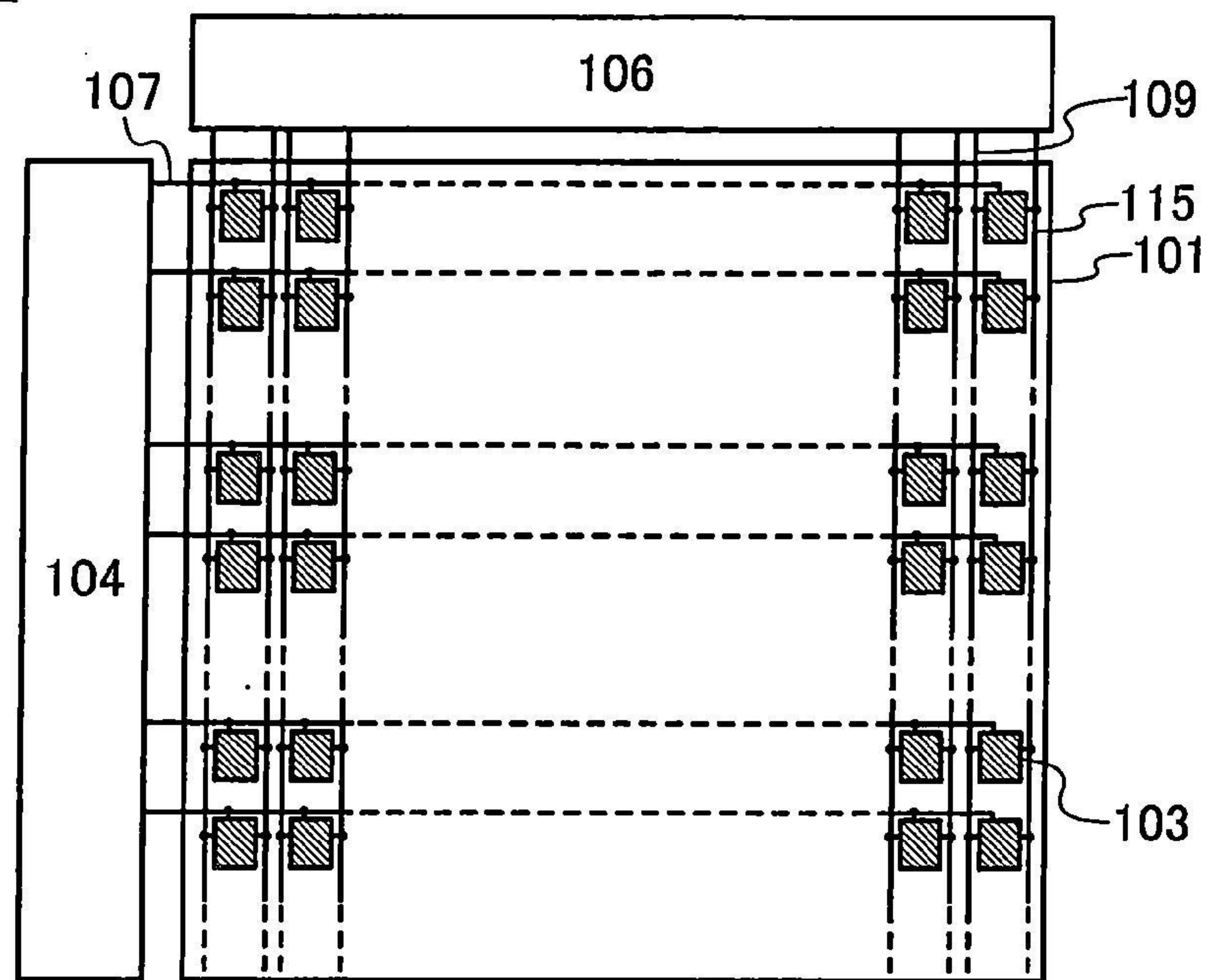


圖 3B

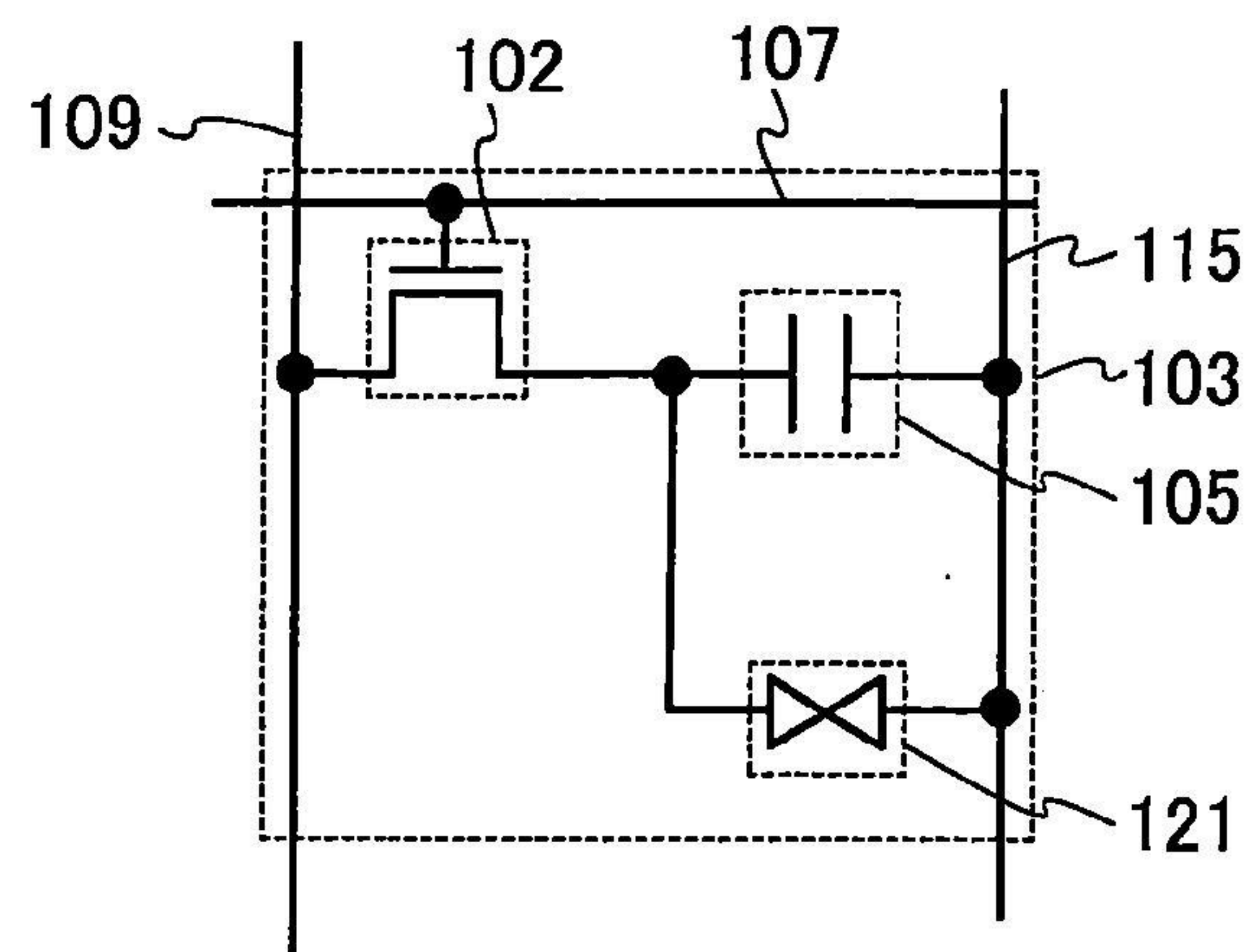


圖 4

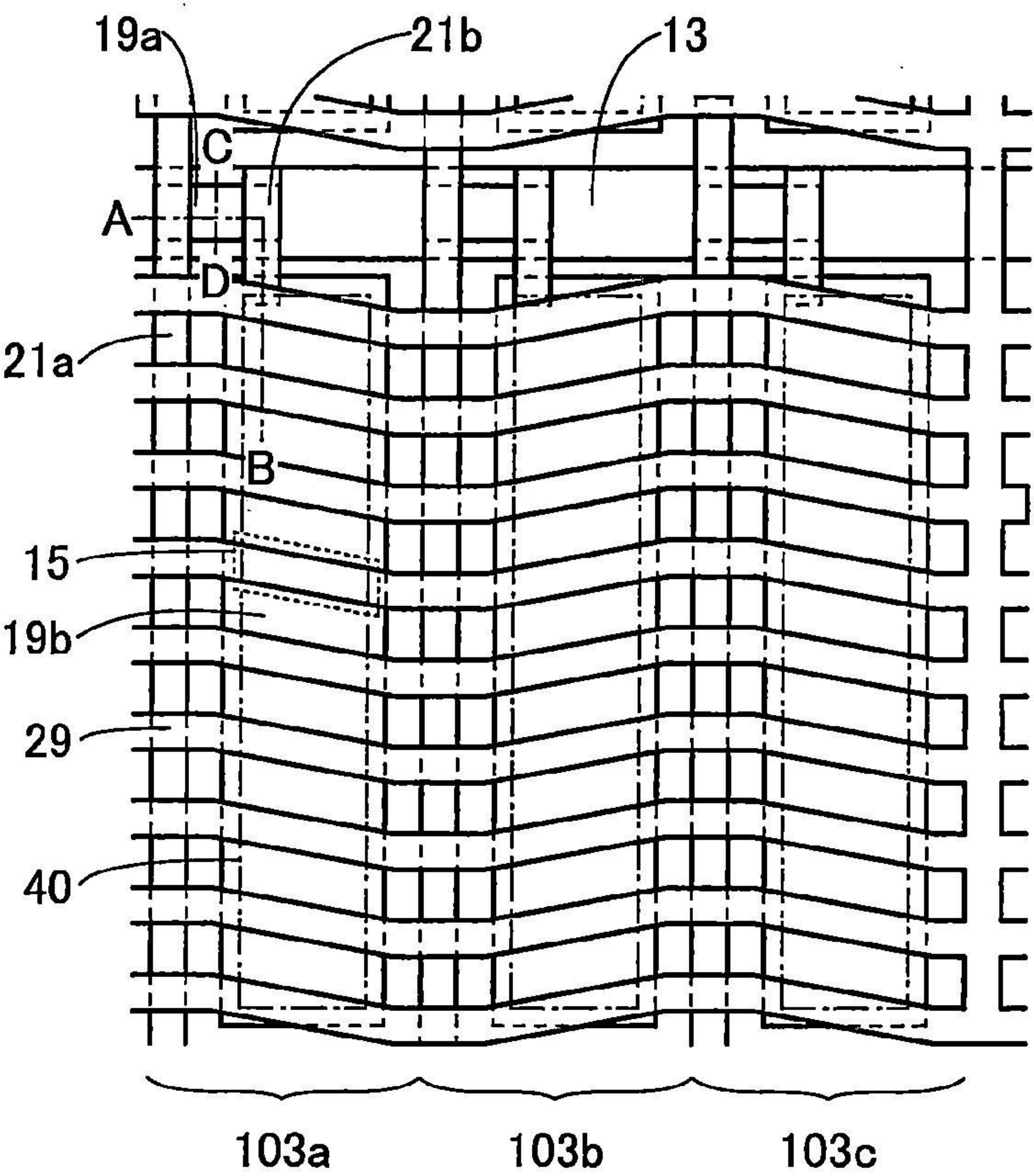


圖 5

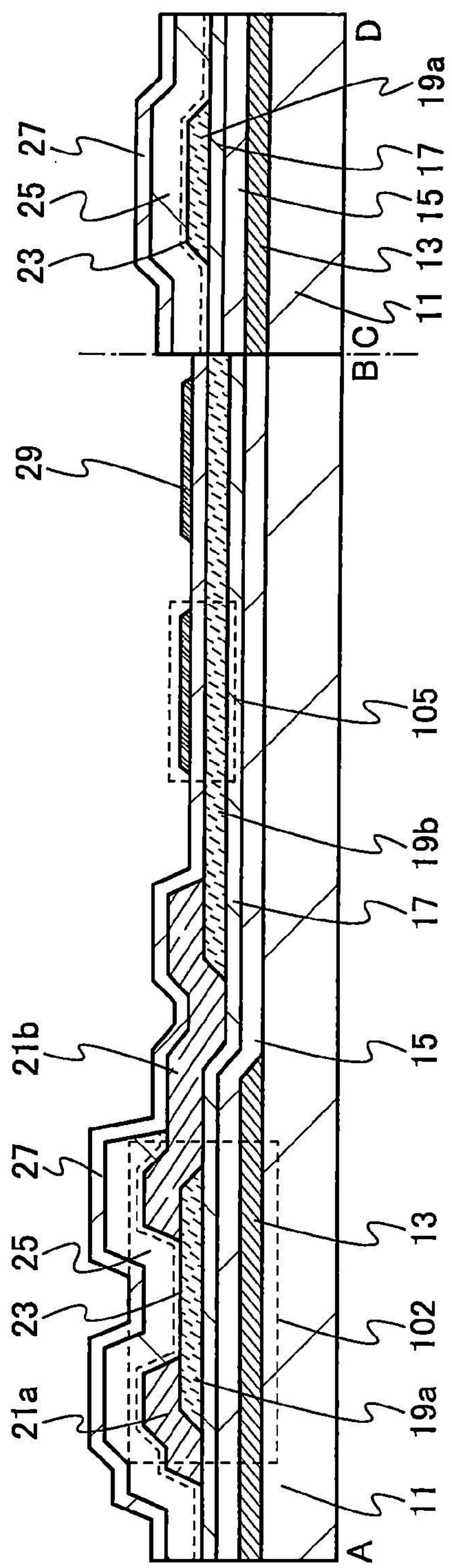


圖 6A

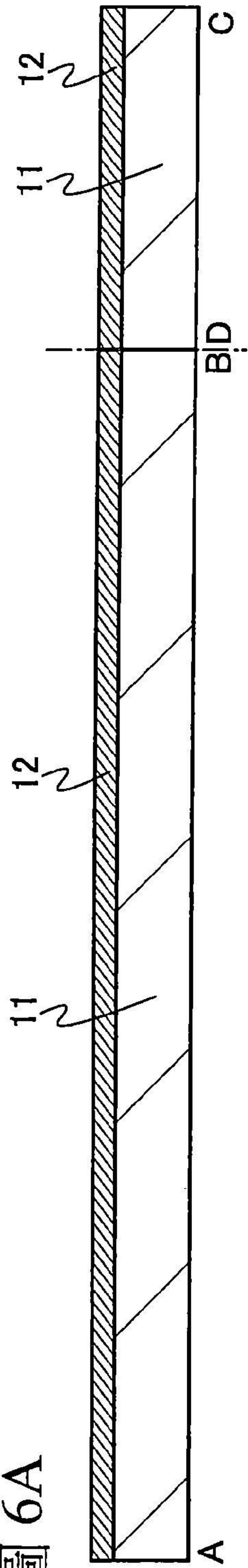


圖 6B

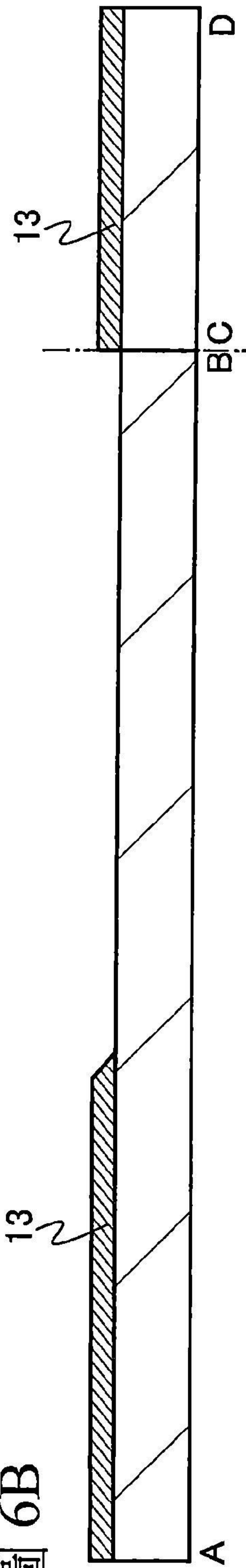


圖 6C

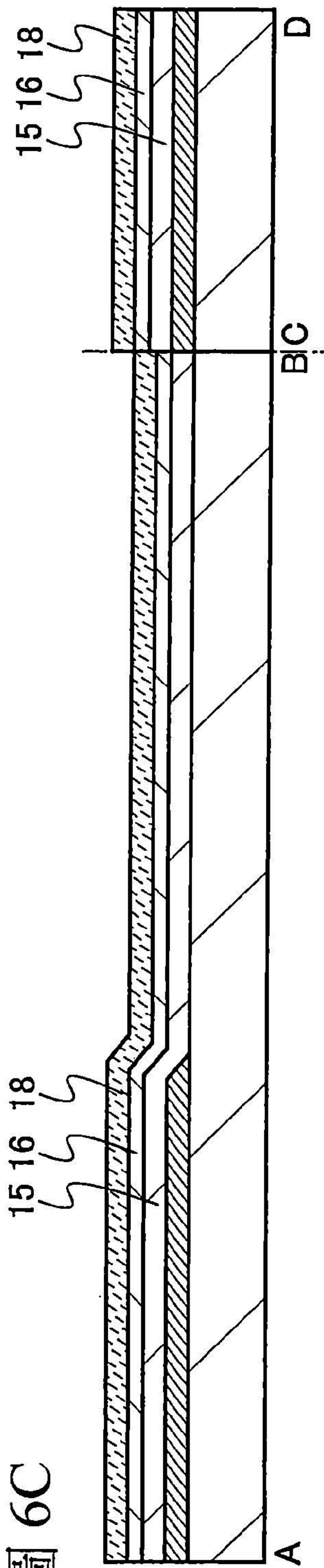
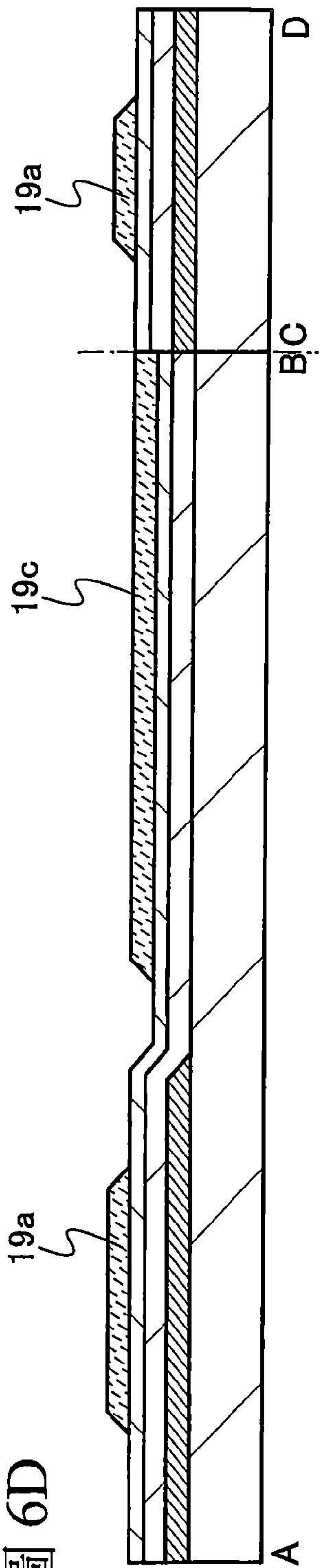
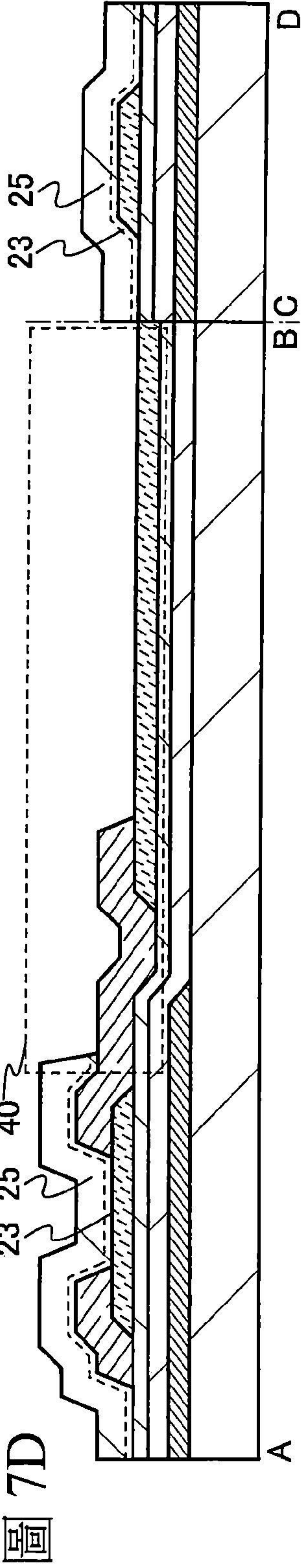
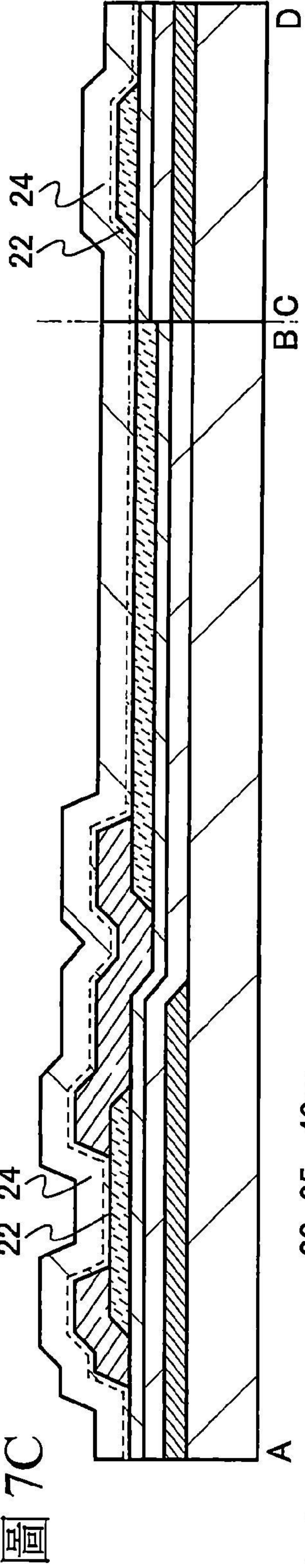
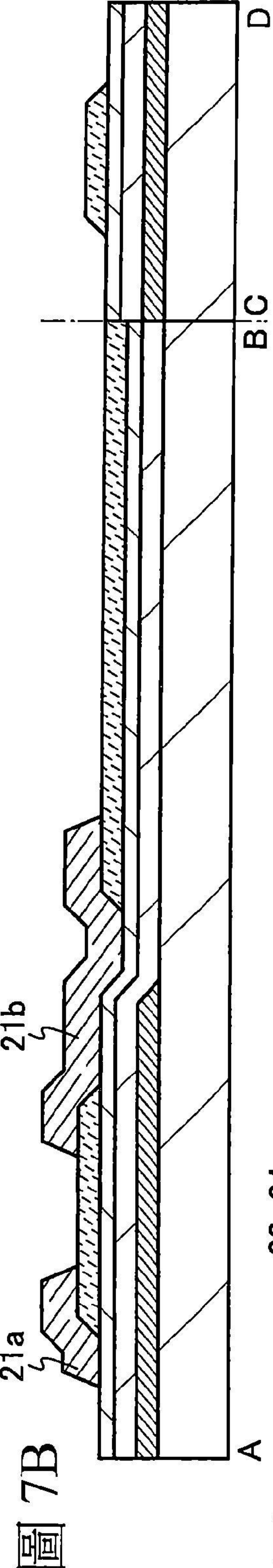
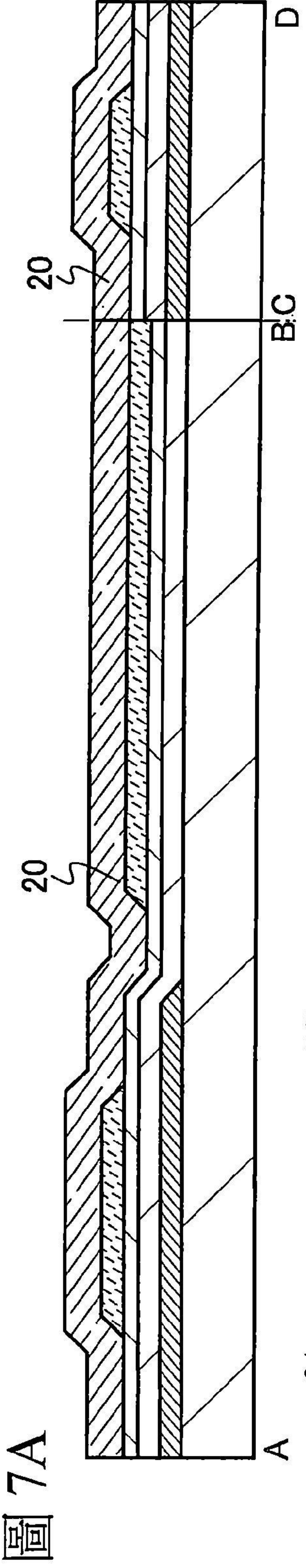


圖 6D





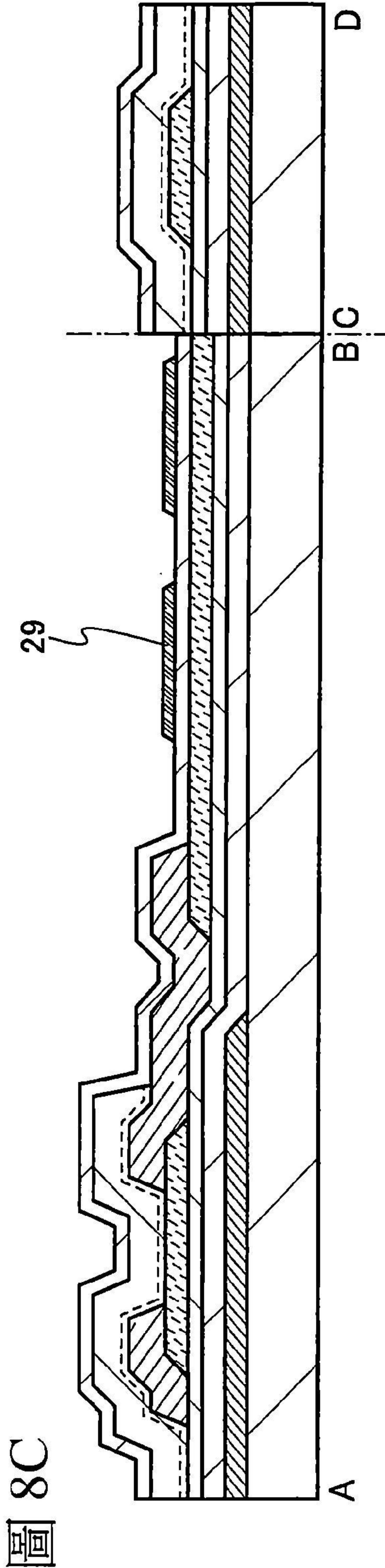
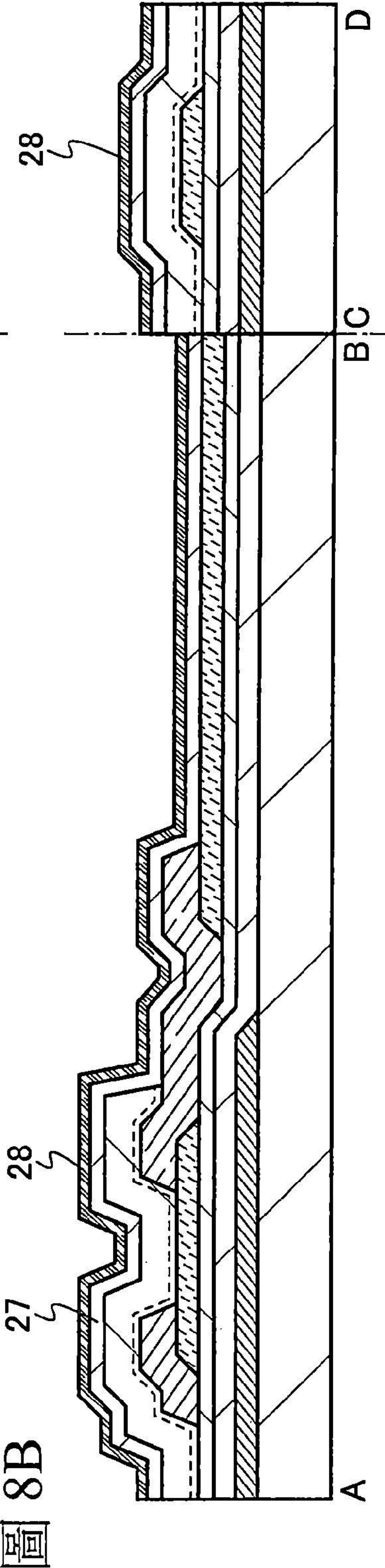
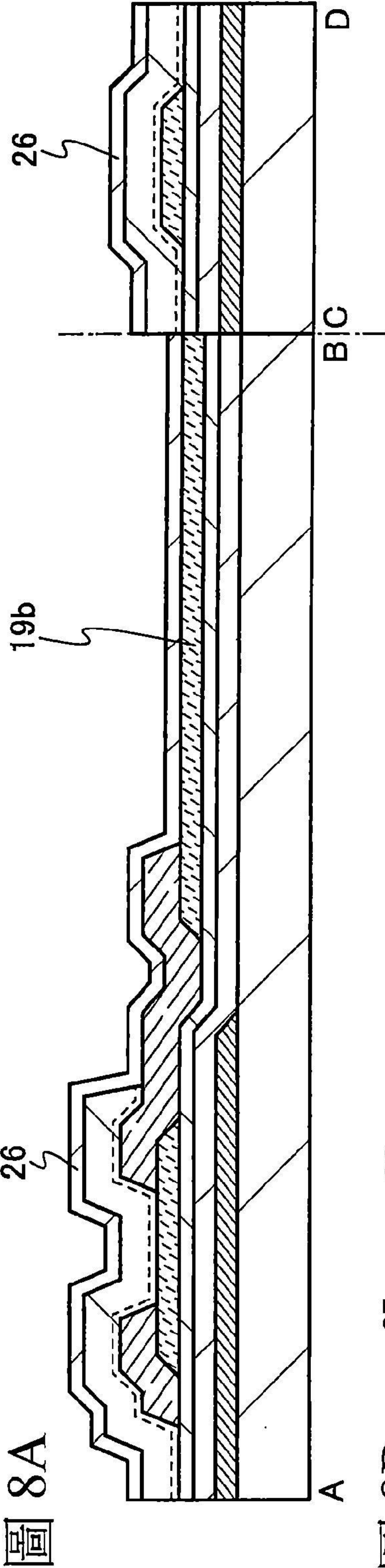


圖 10

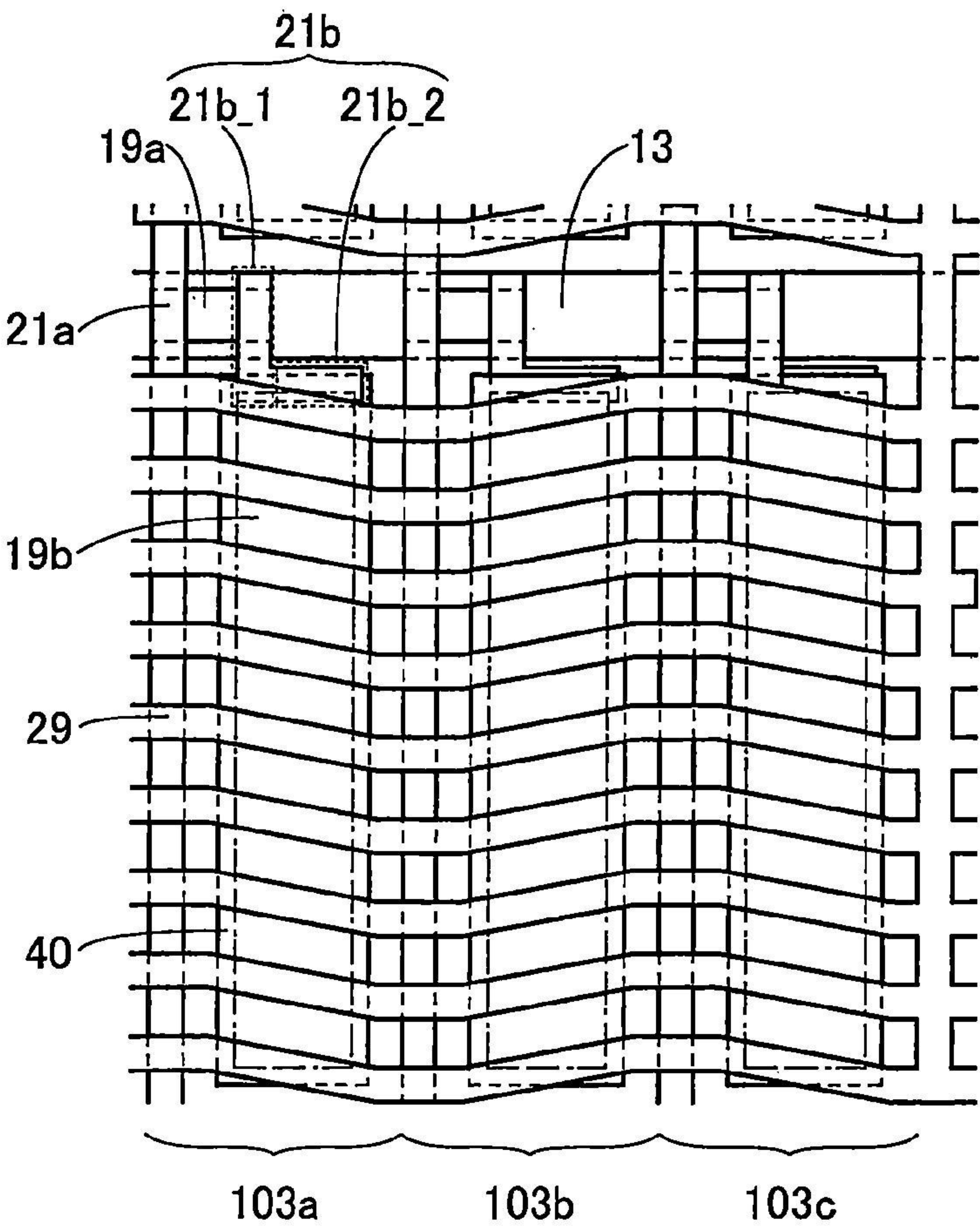


圖 11

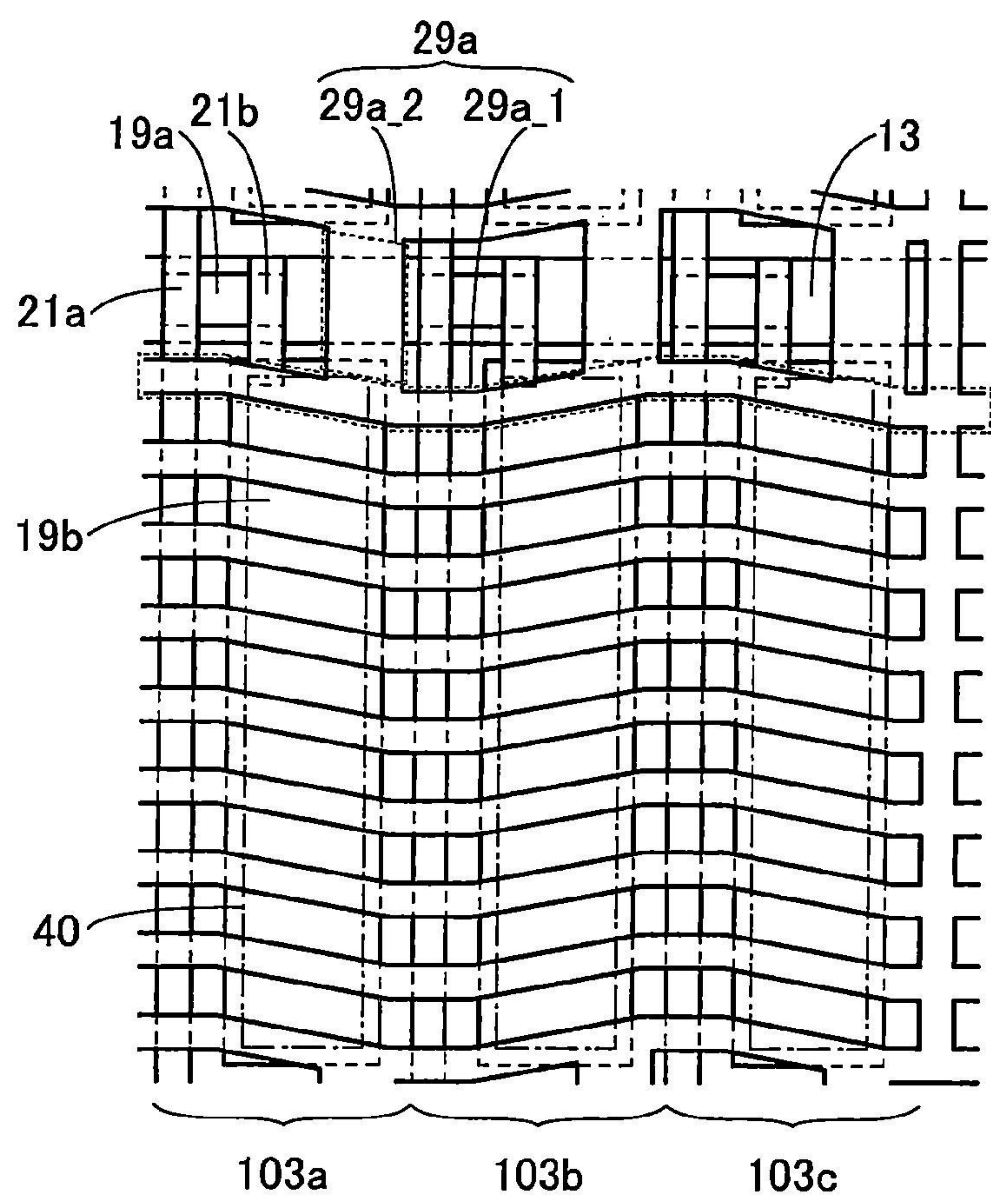


圖 12

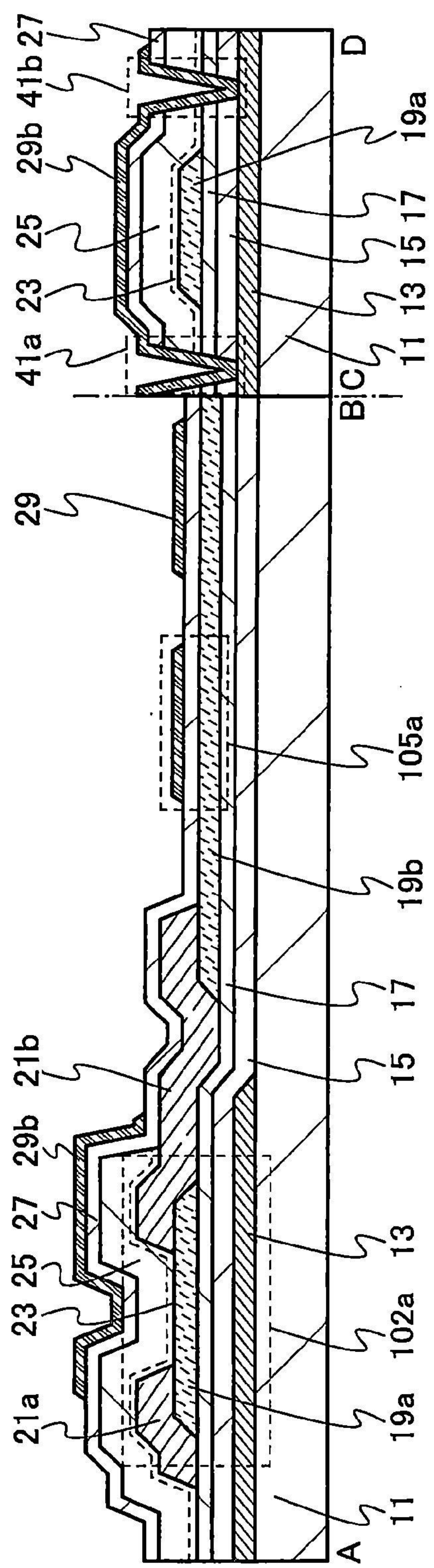


圖 13A

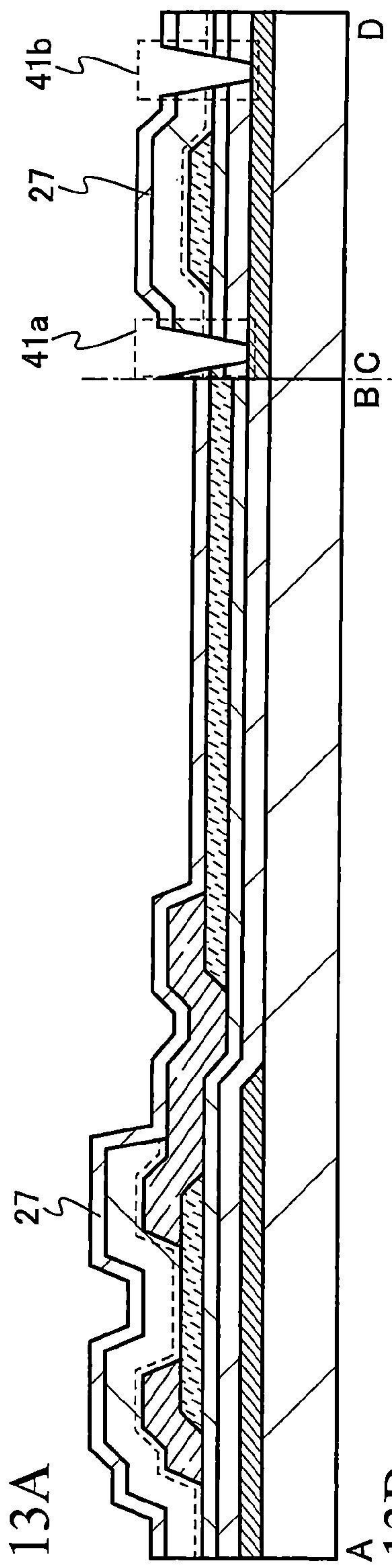


圖 13B

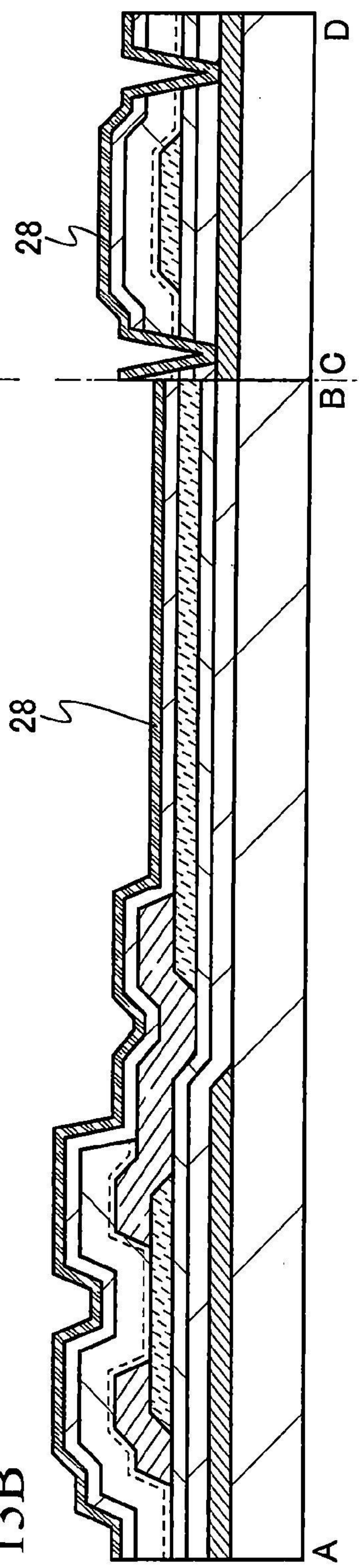


圖 13C

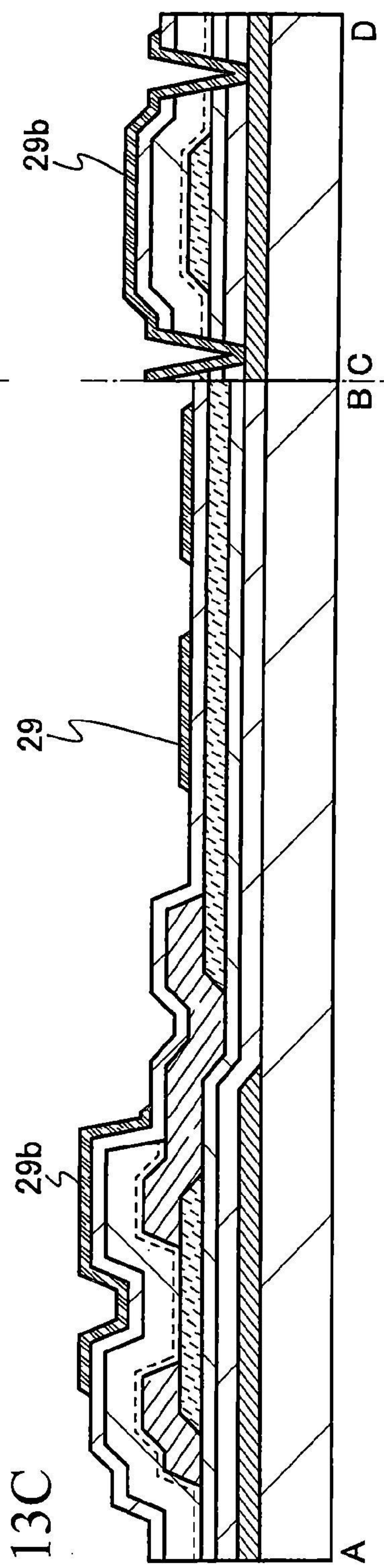


圖 14A

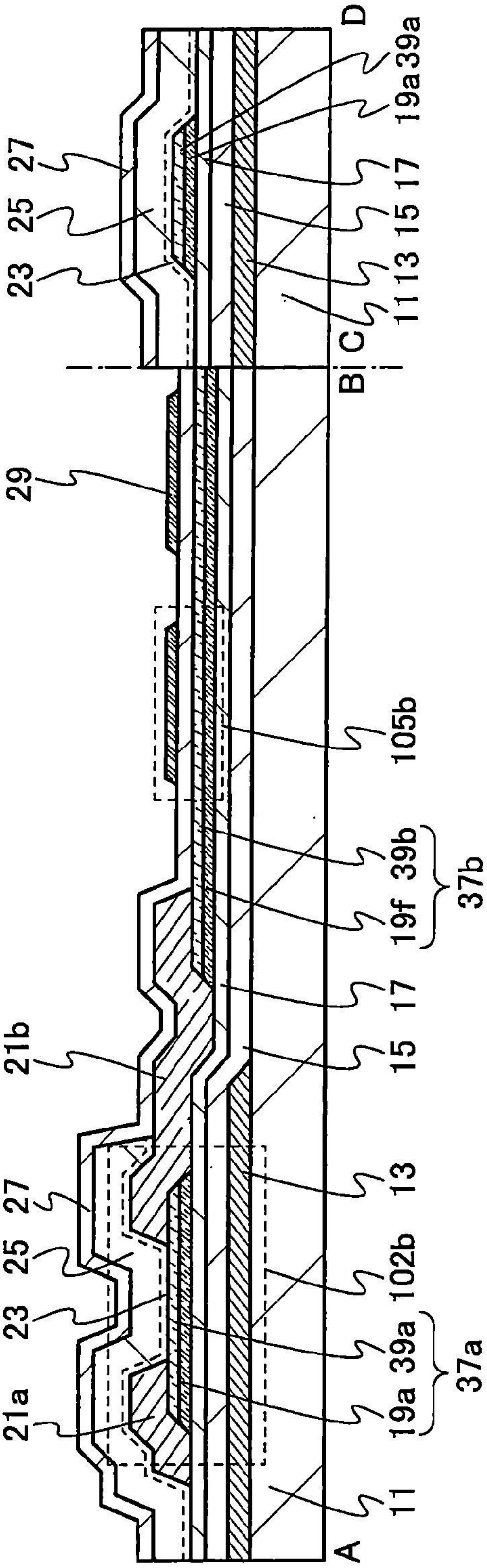


圖 14B

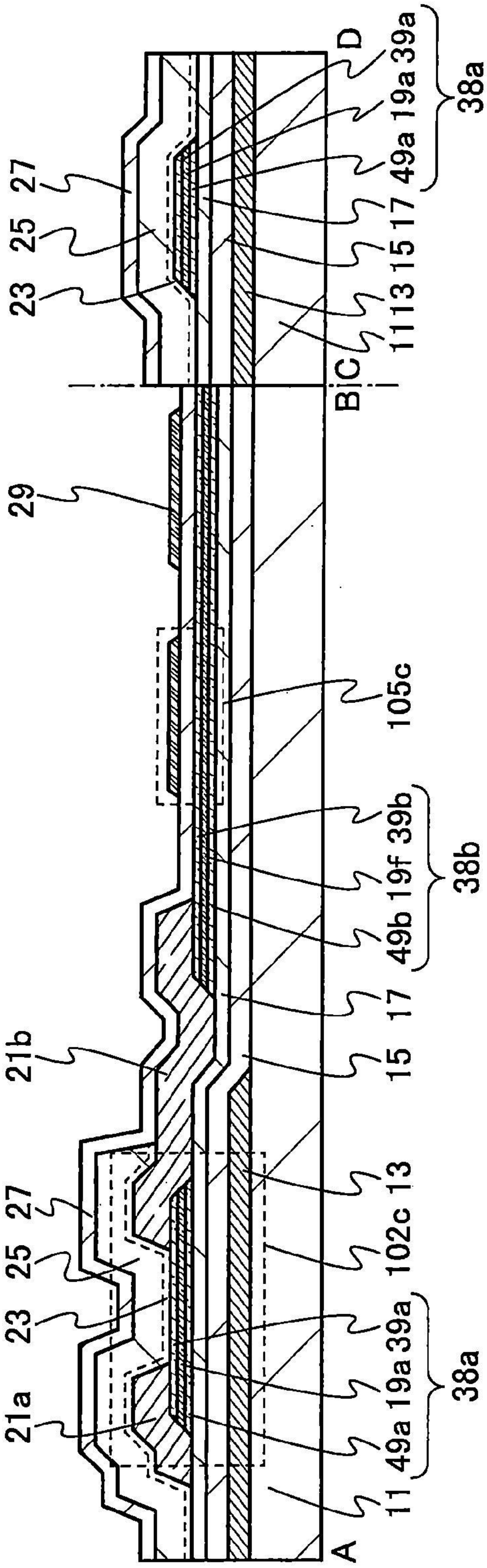


圖 15

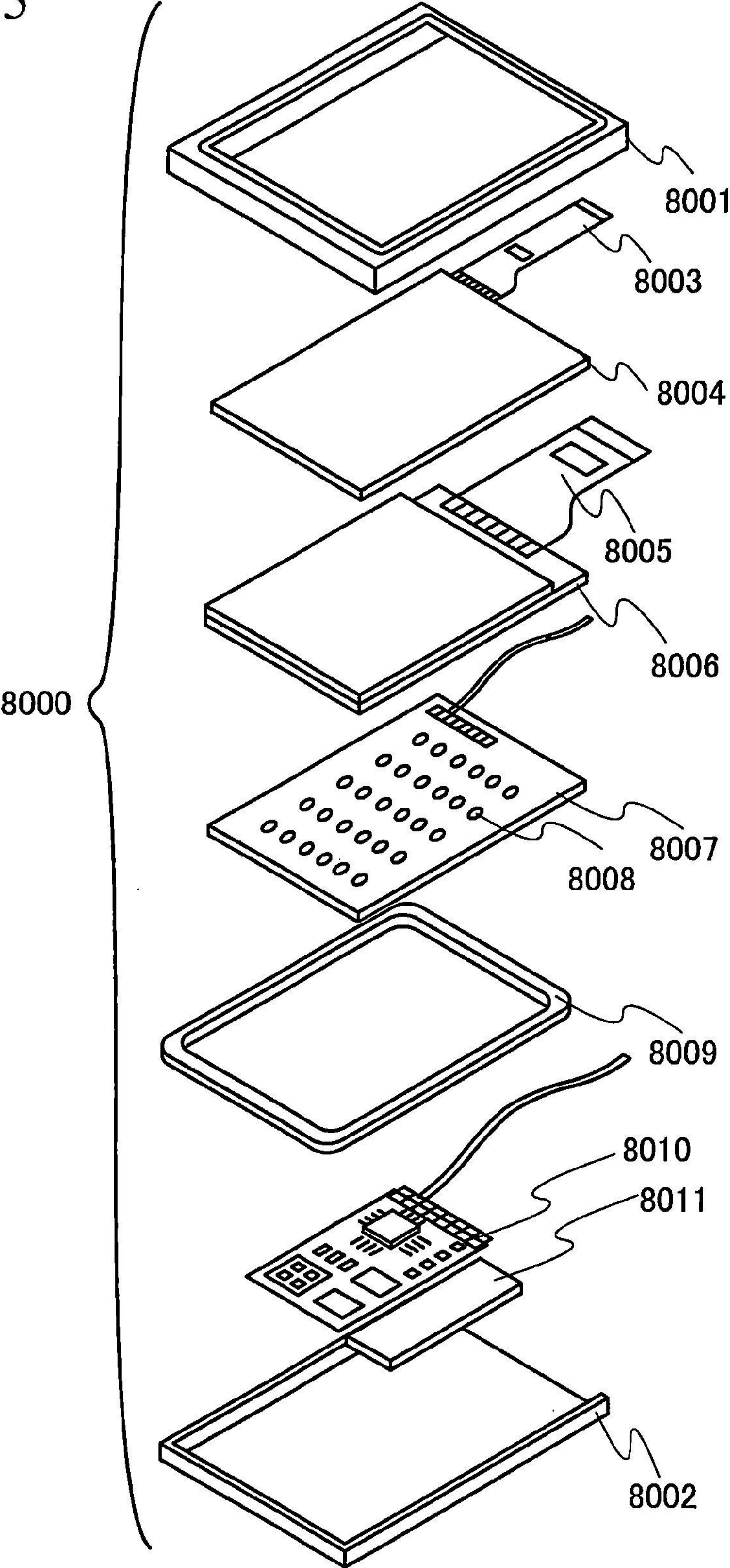


圖 16A

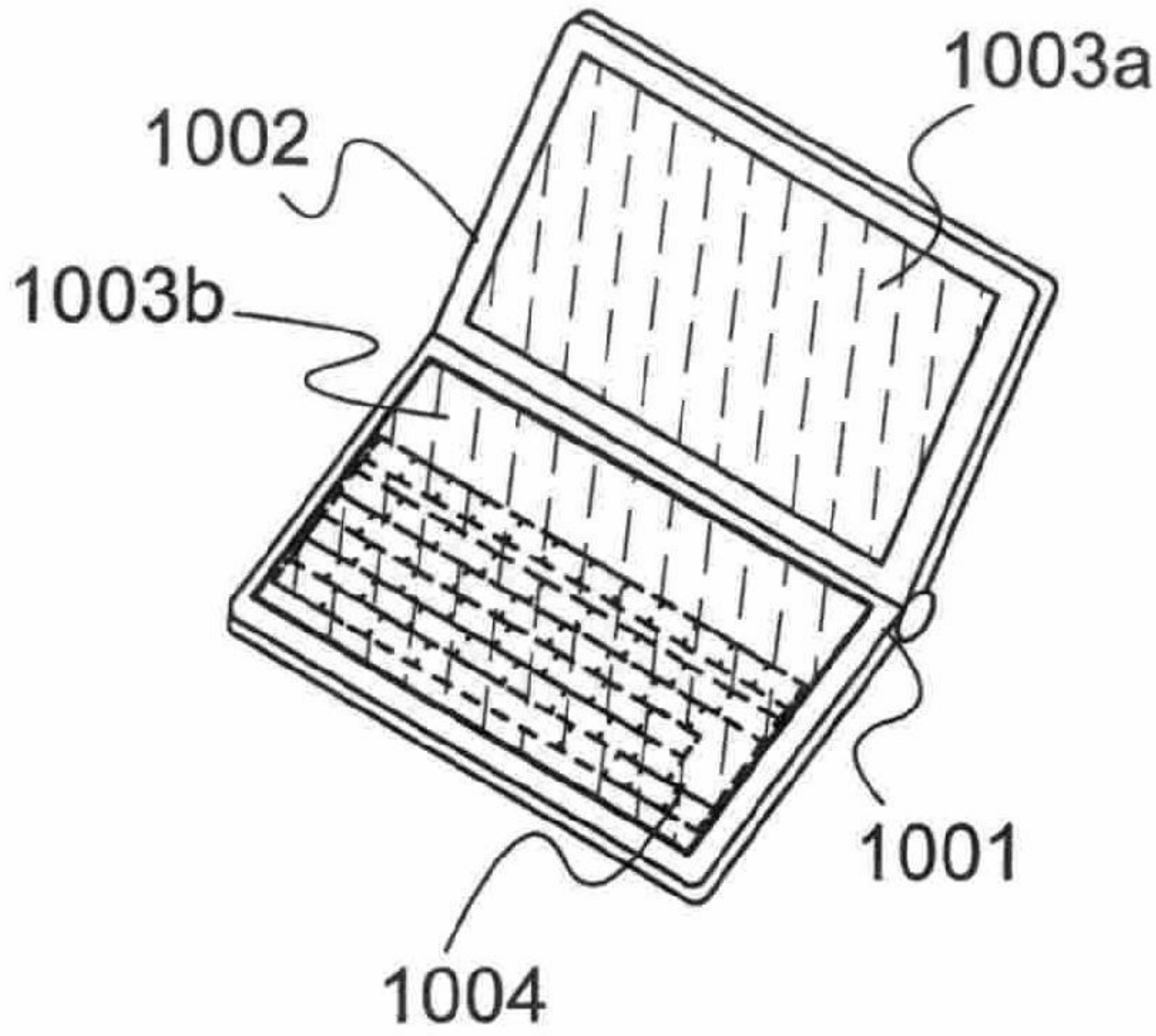


圖 16B

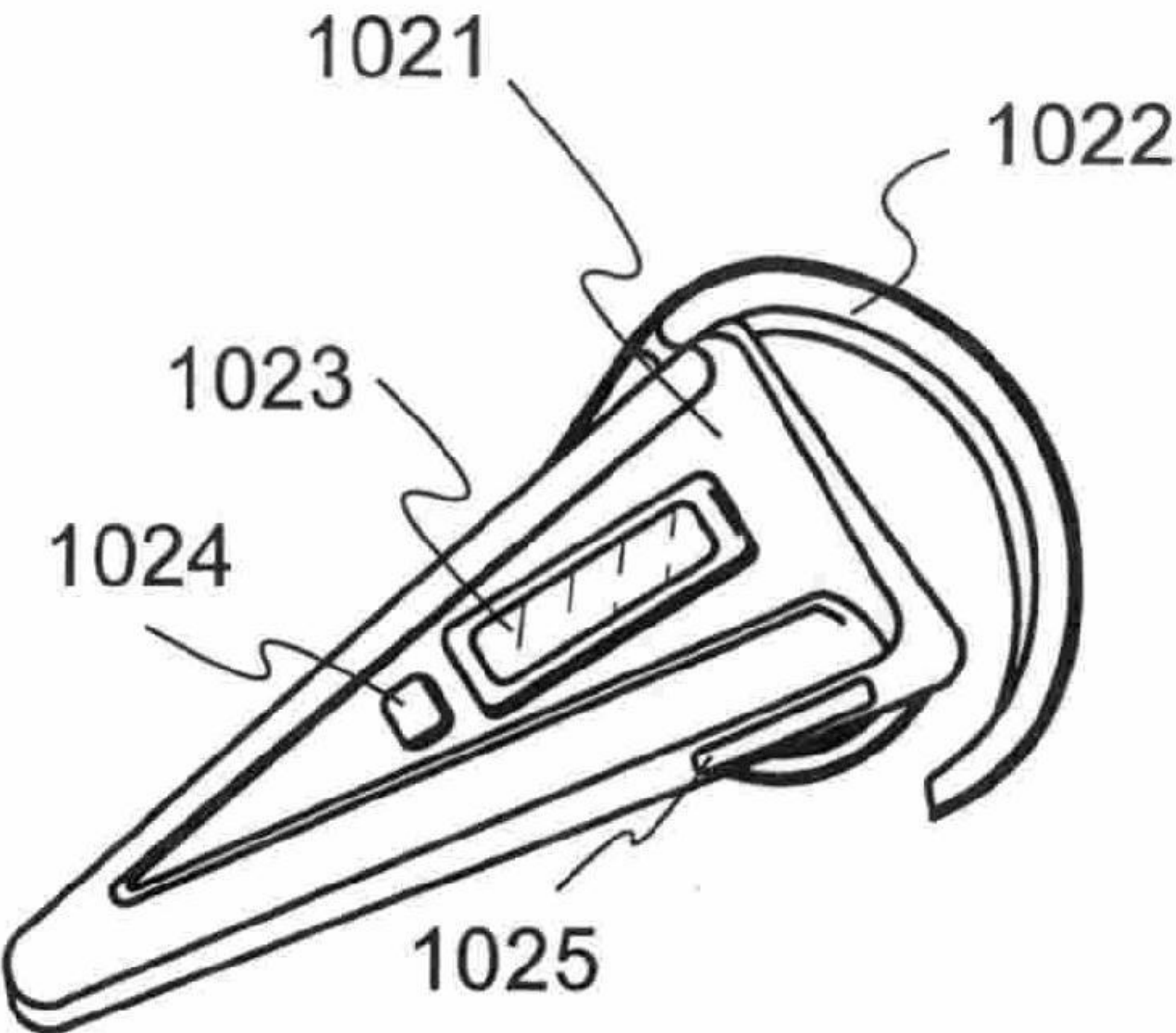


圖 16C

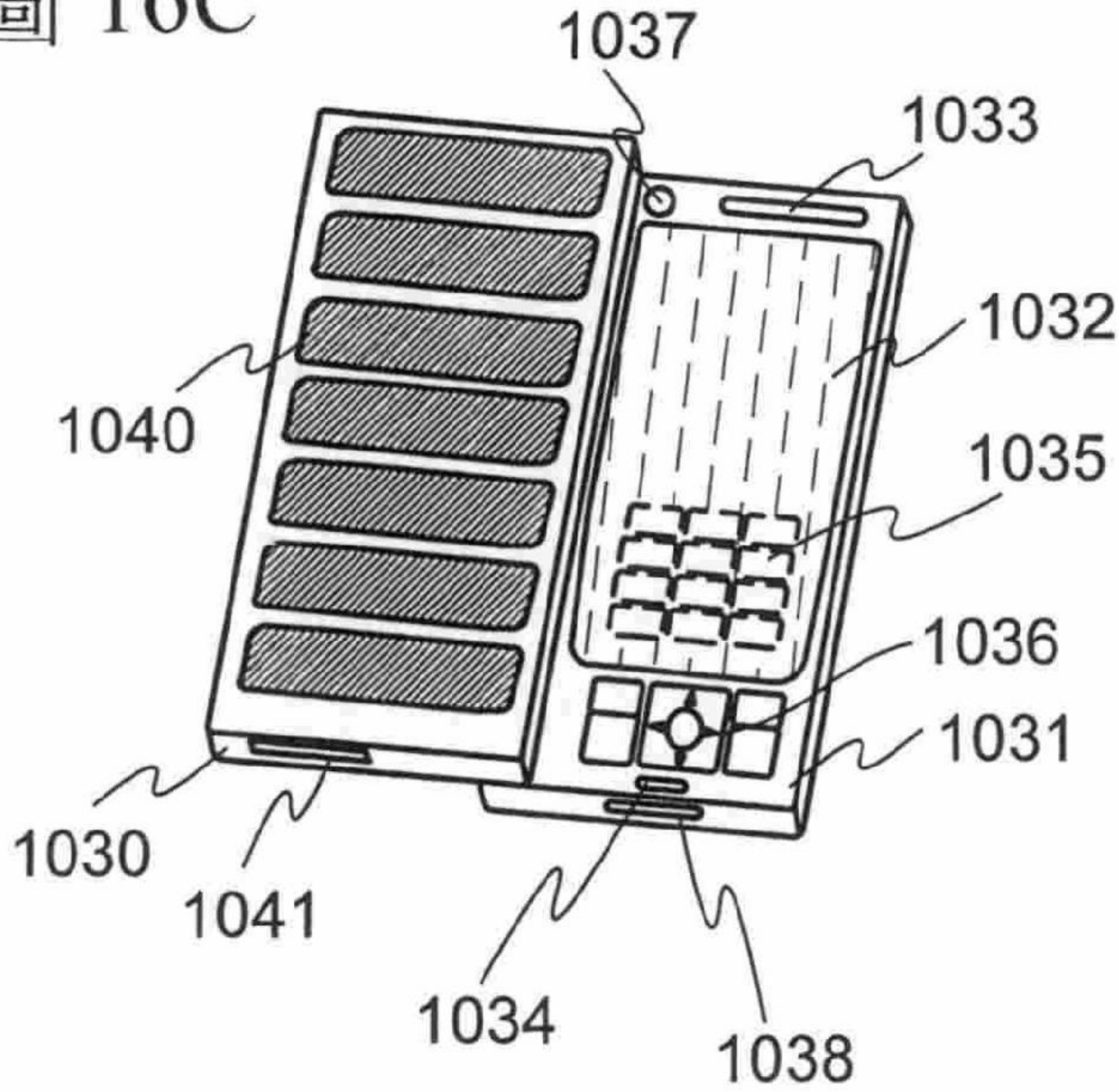


圖 16D

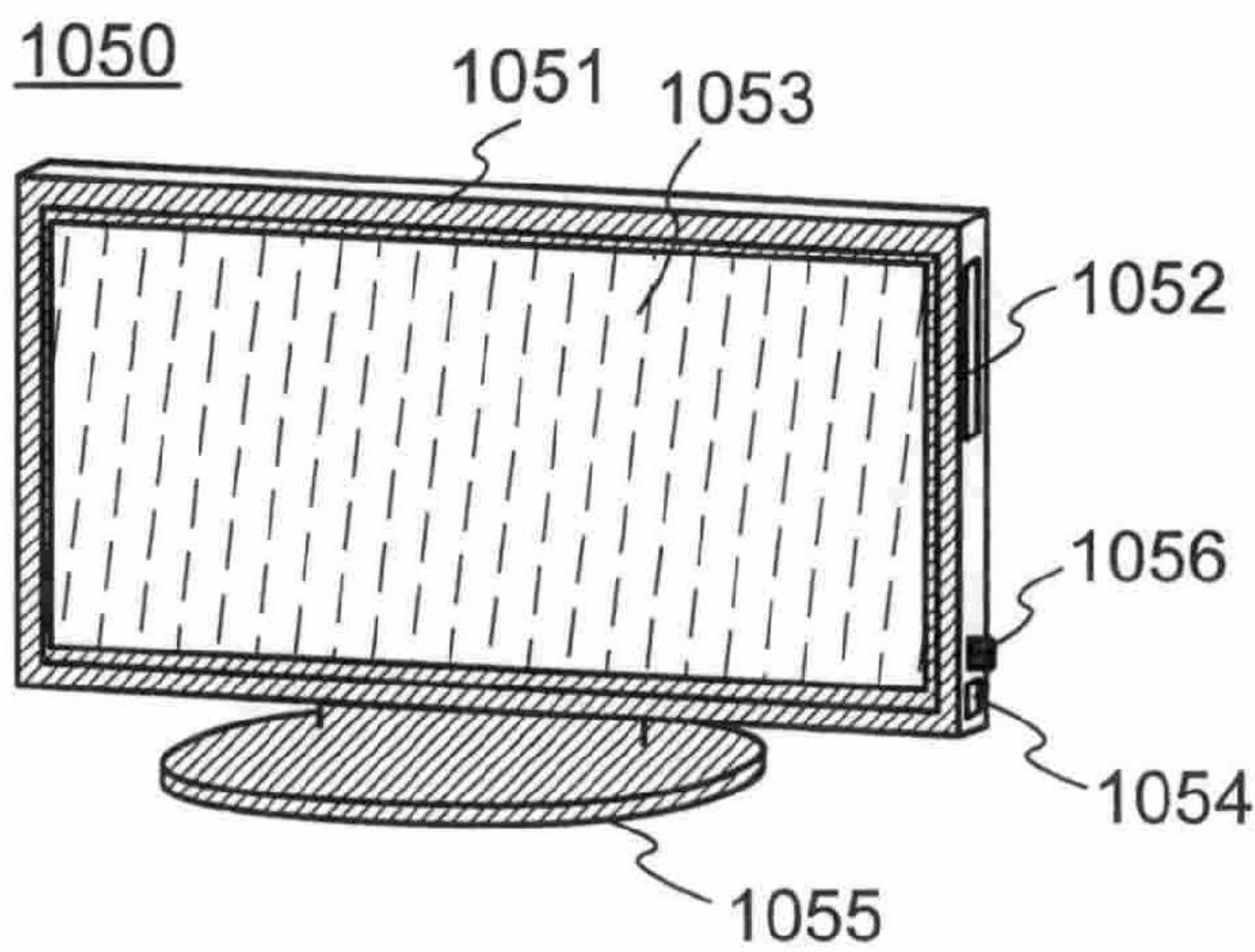


圖 17A

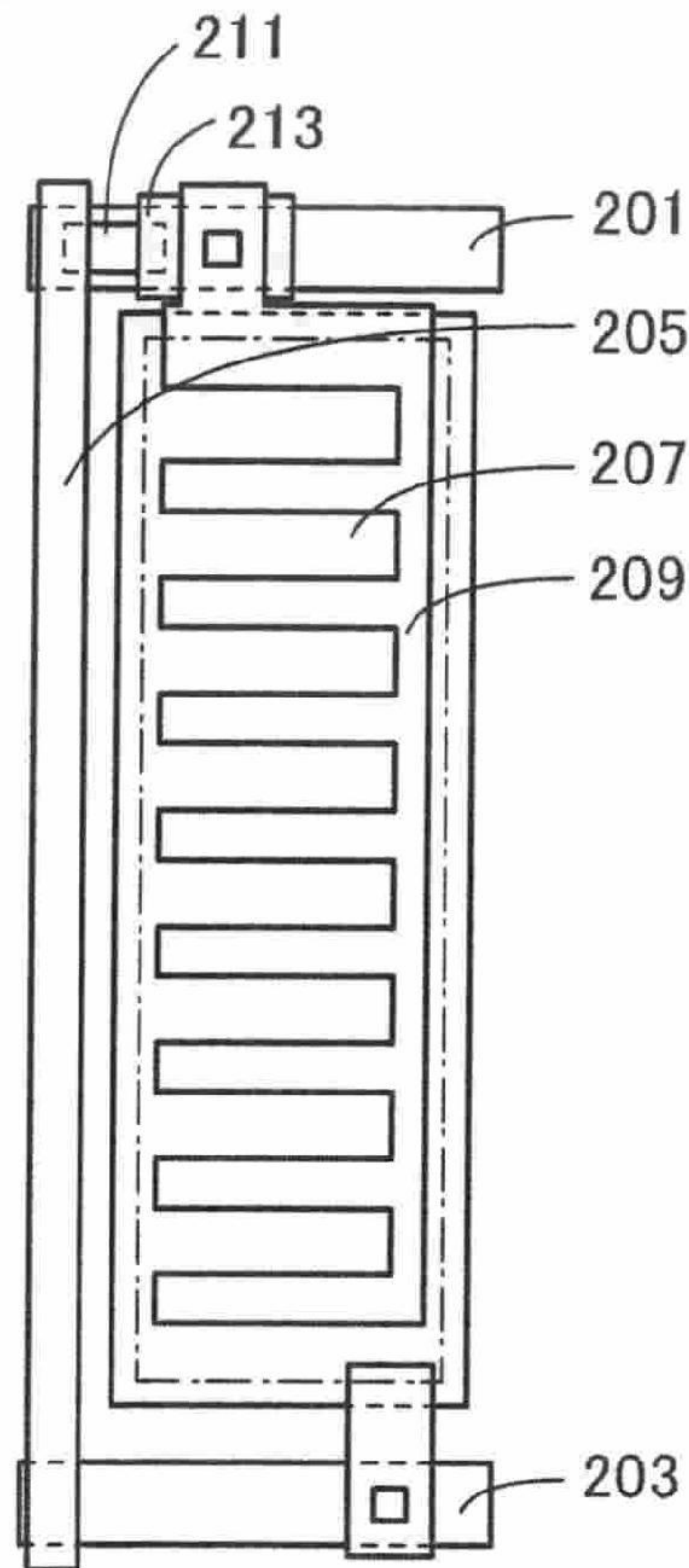


圖 17B

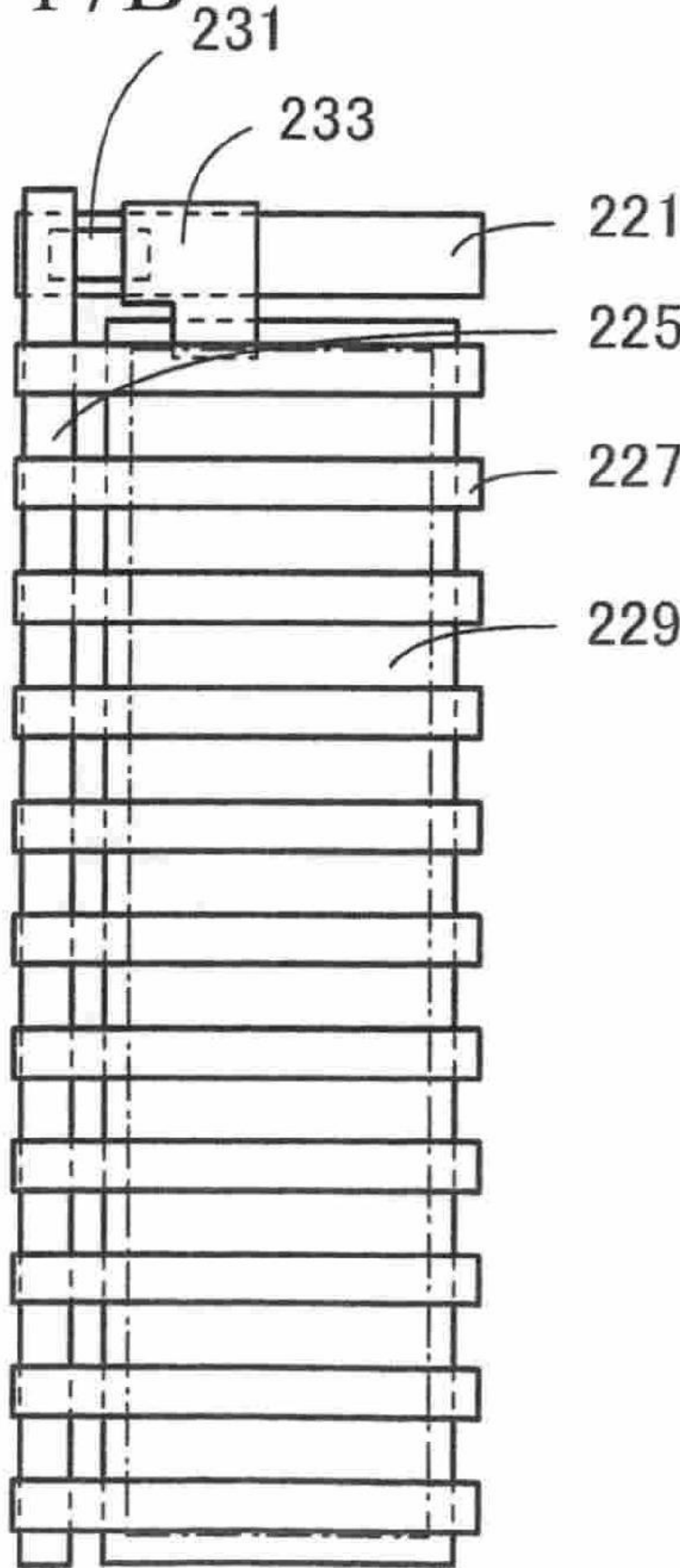


圖 17C

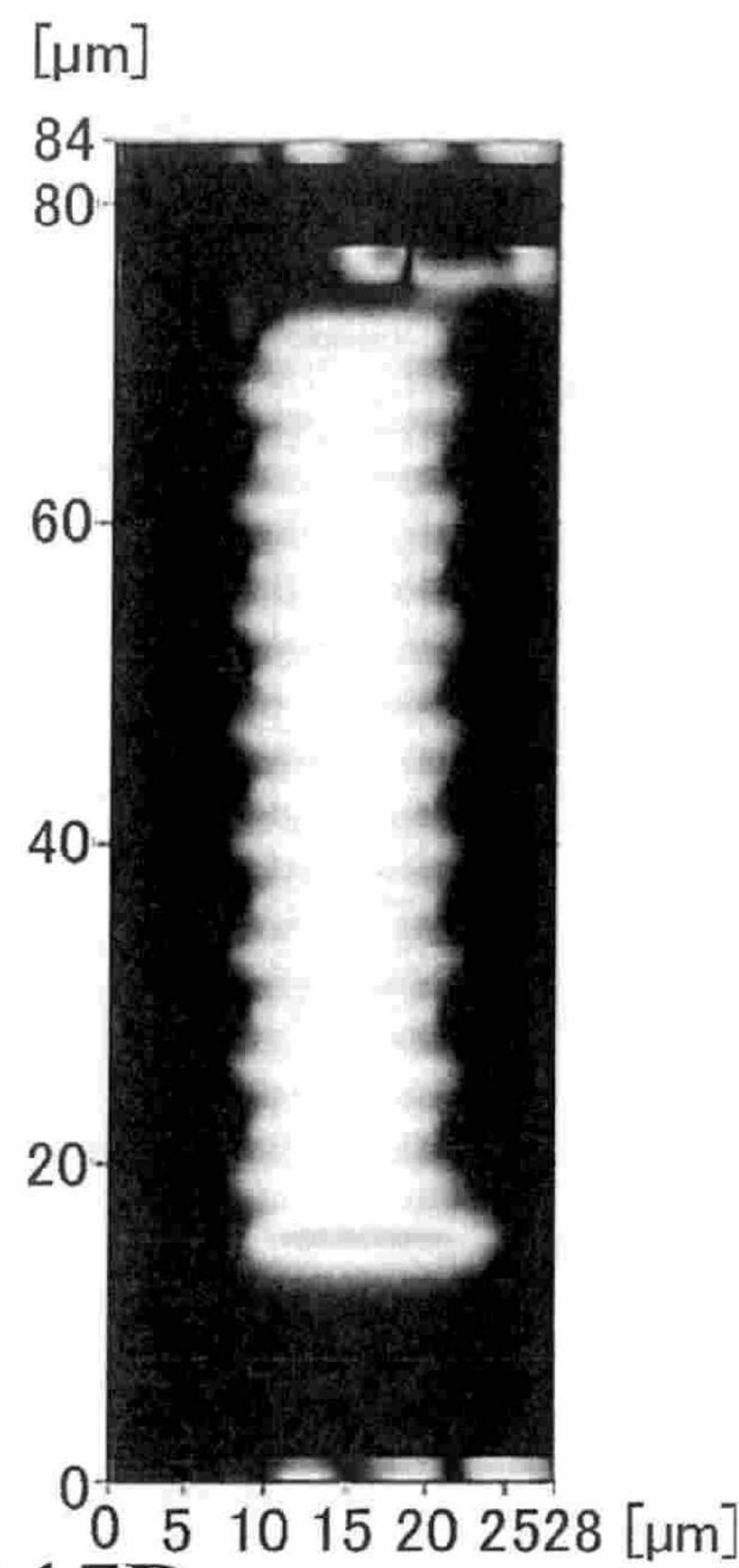


圖 17D

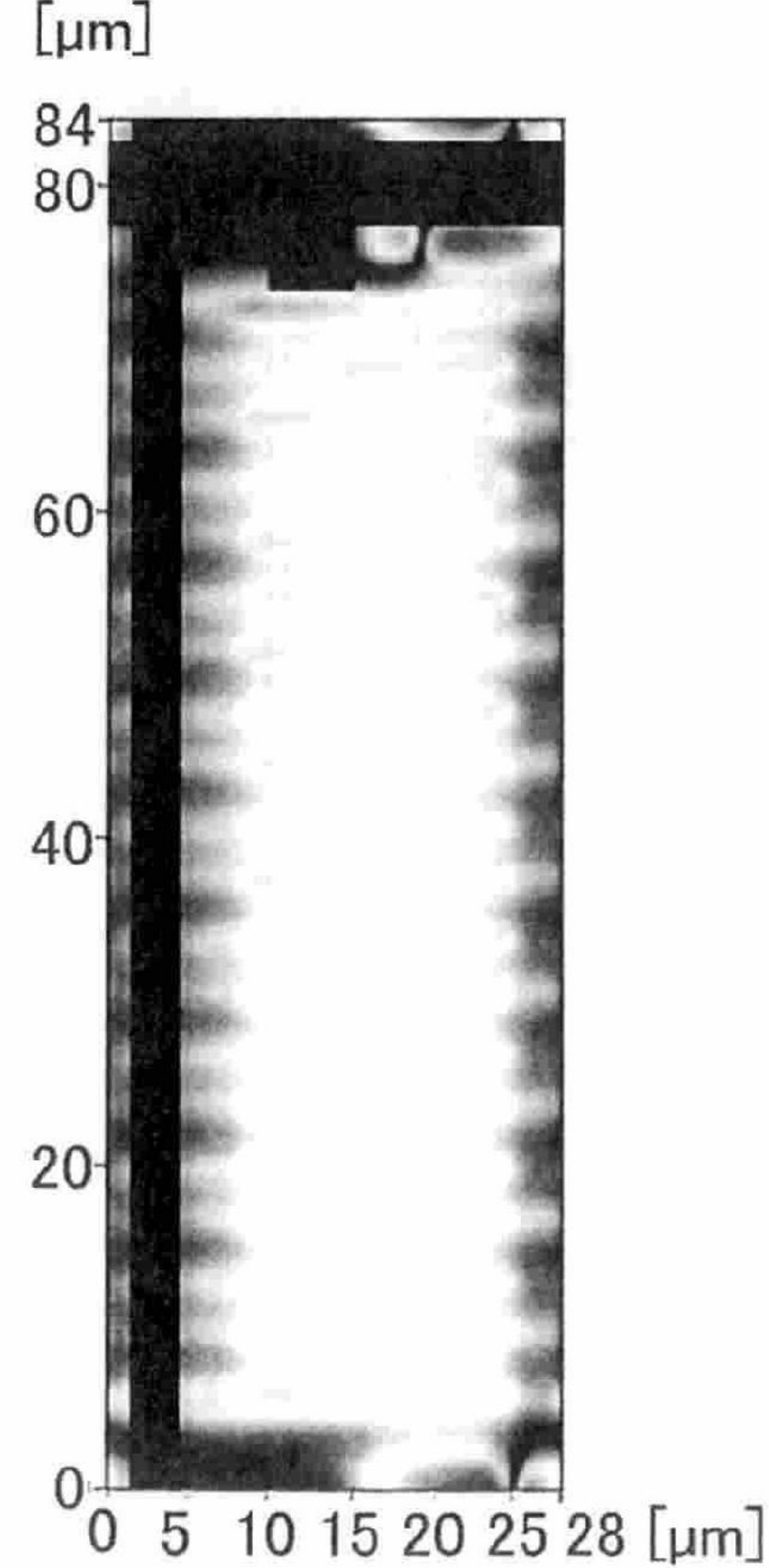


圖 18A

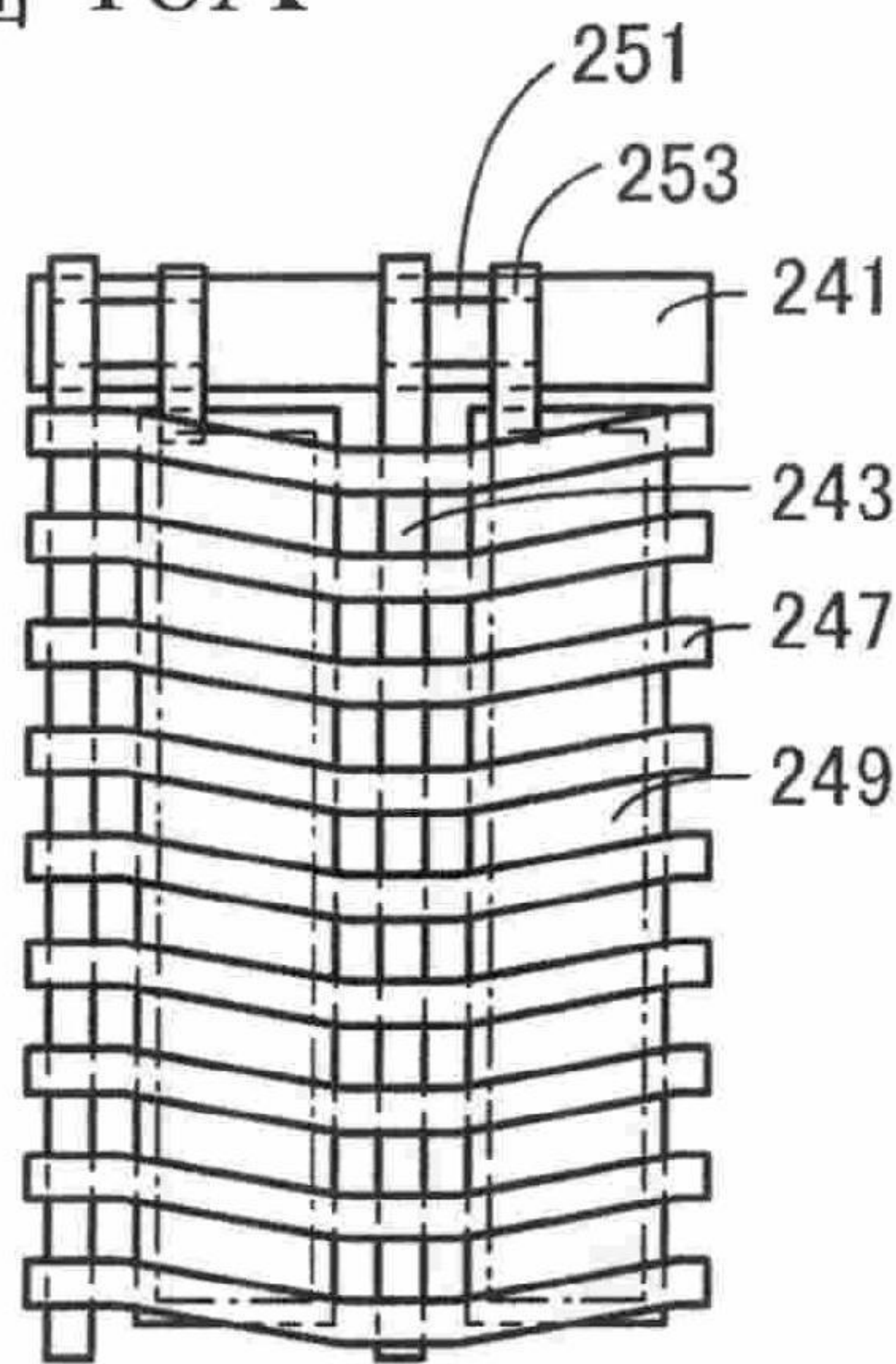


圖 18C

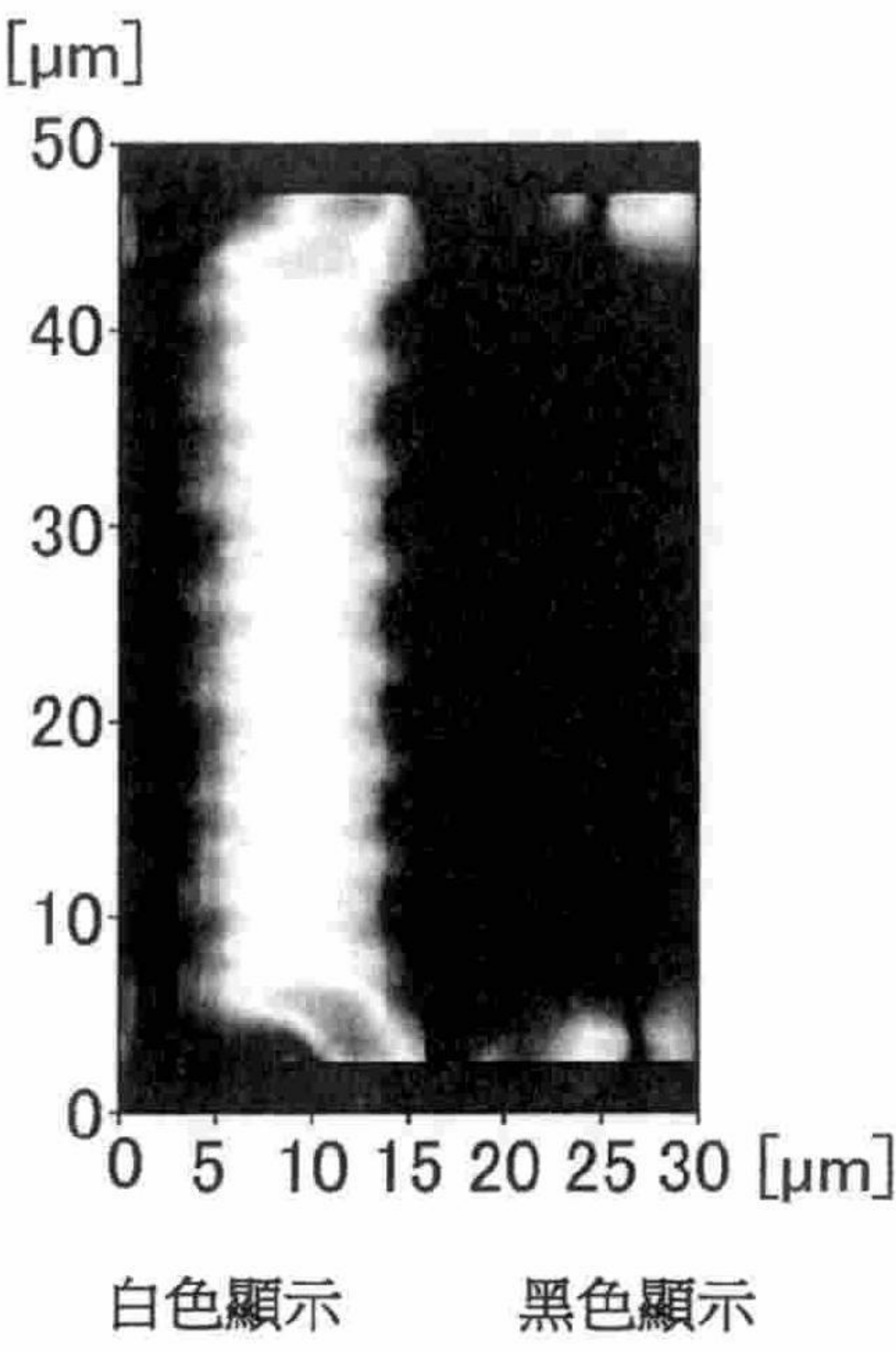


圖 18B

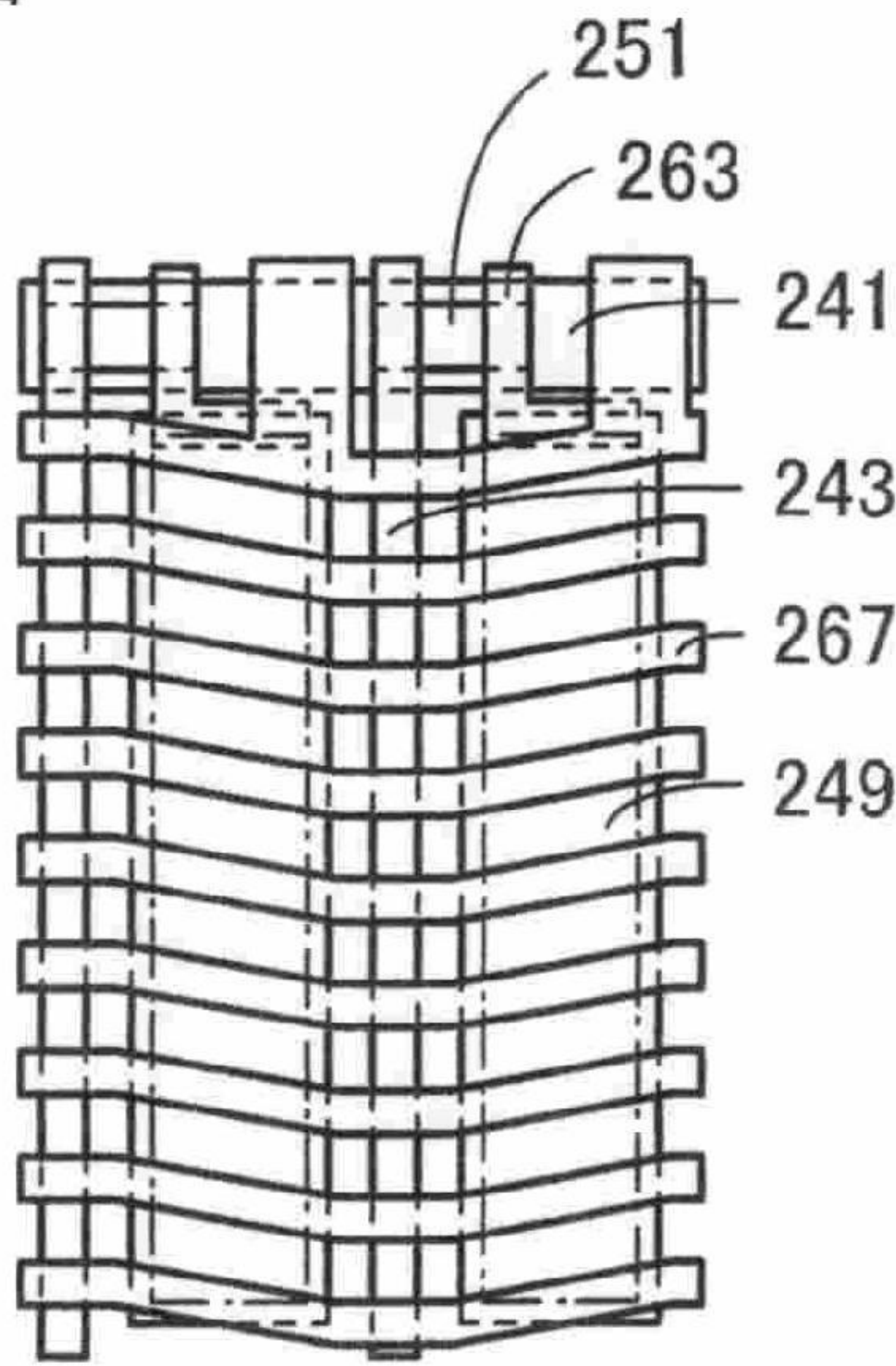


圖 18D

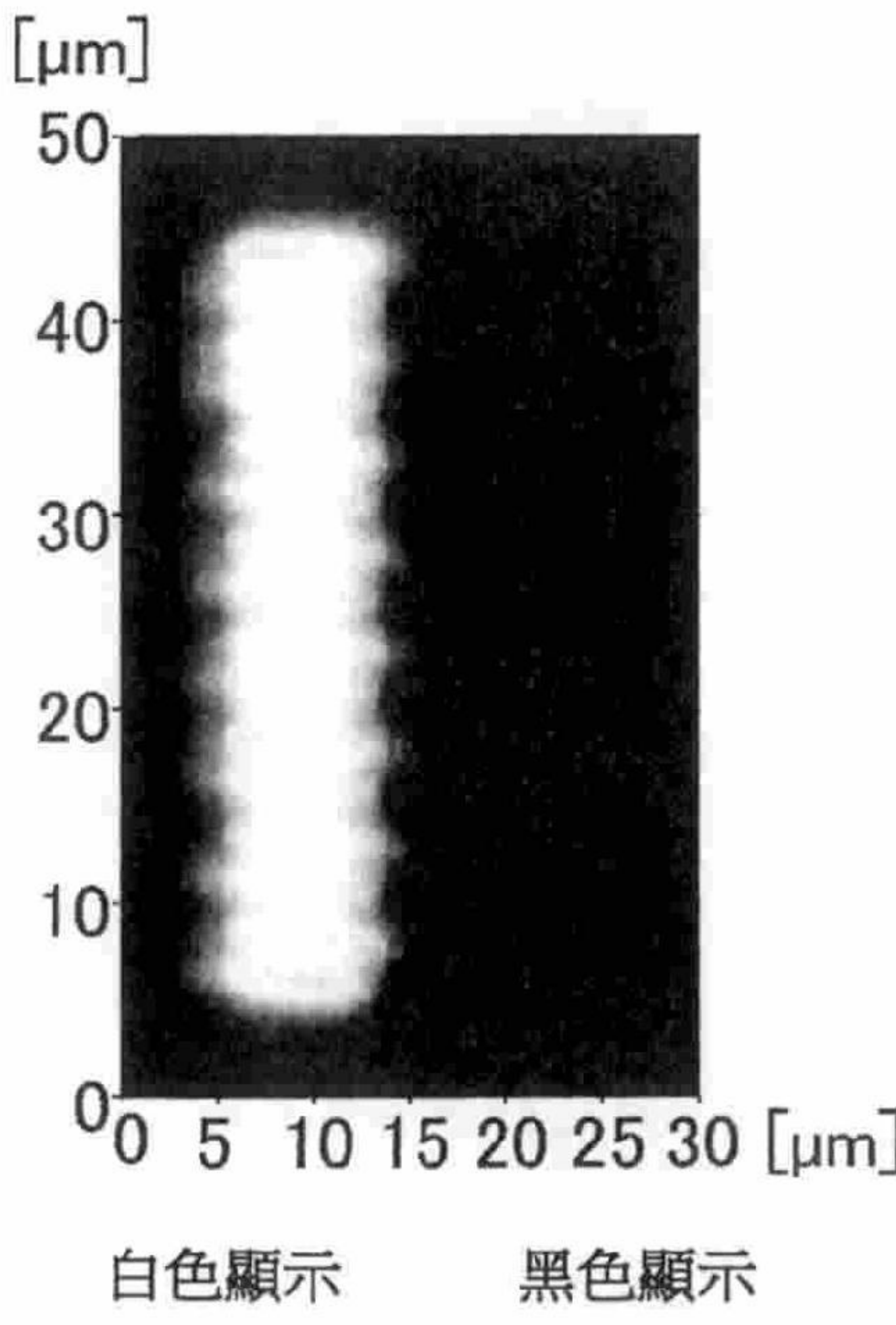


圖 19

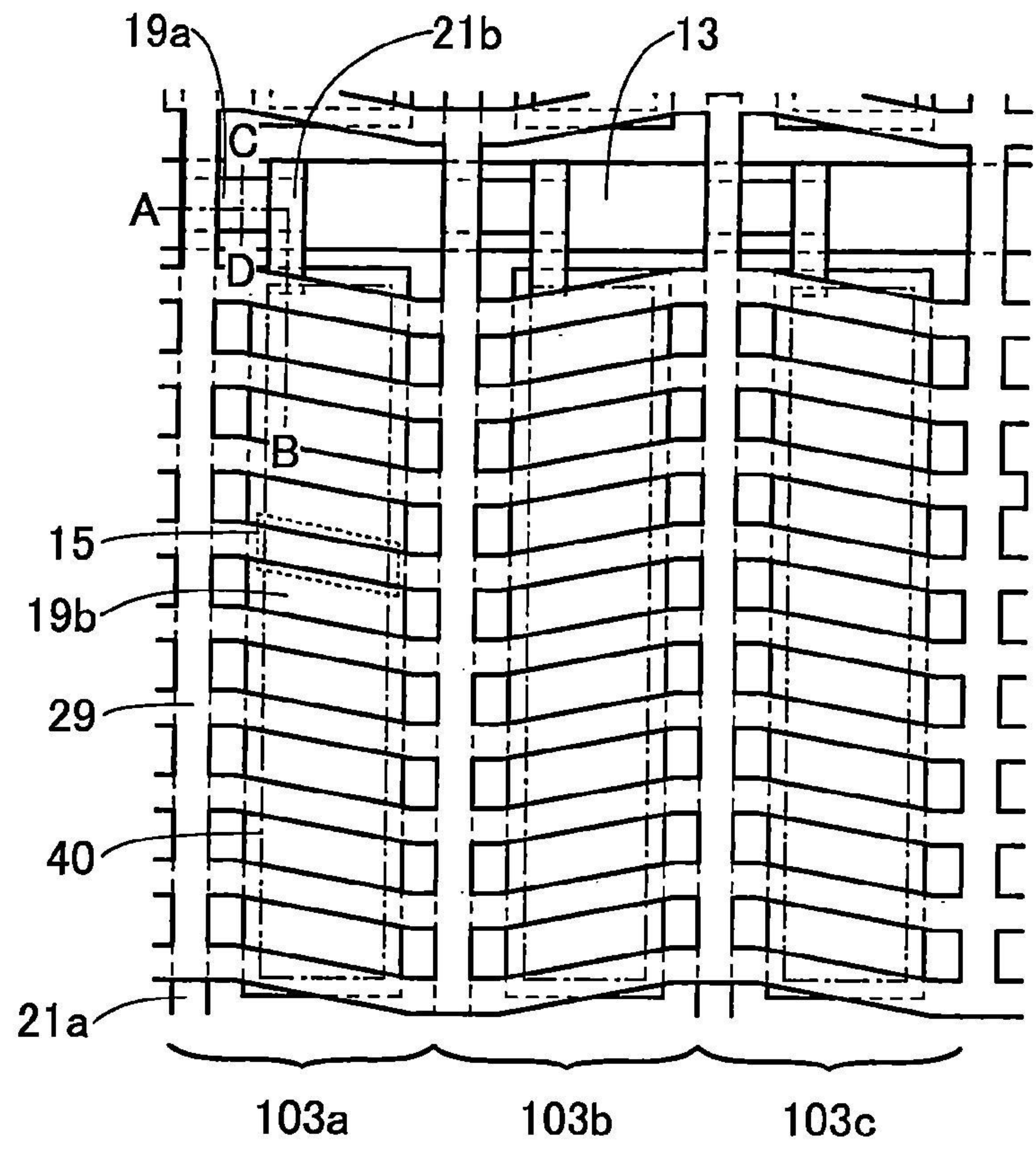


圖 20

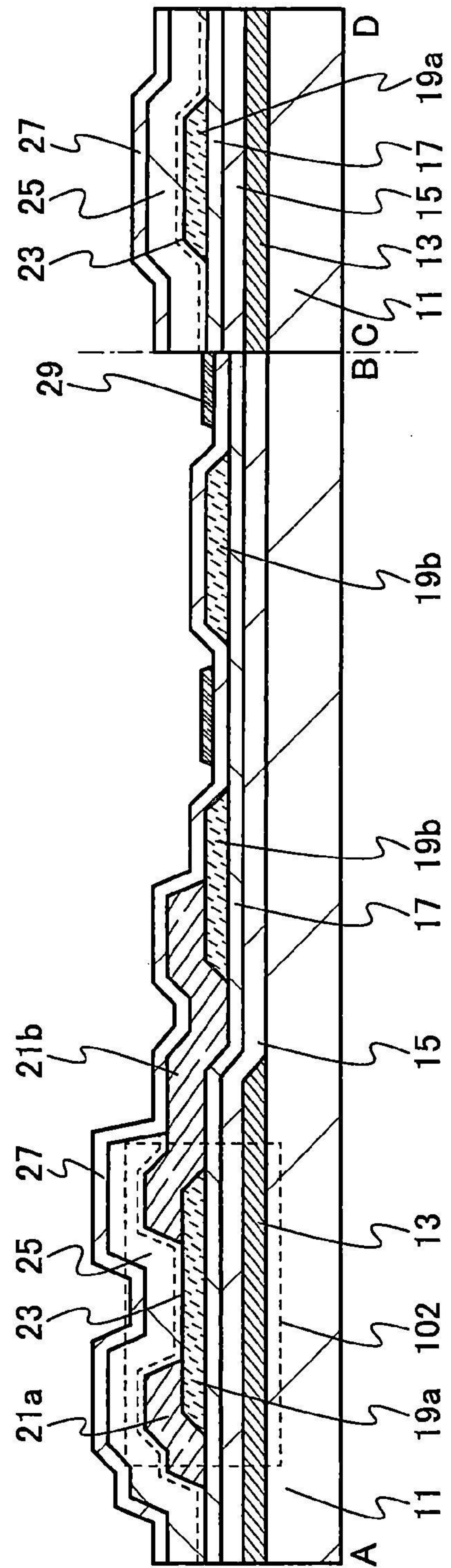


圖 21

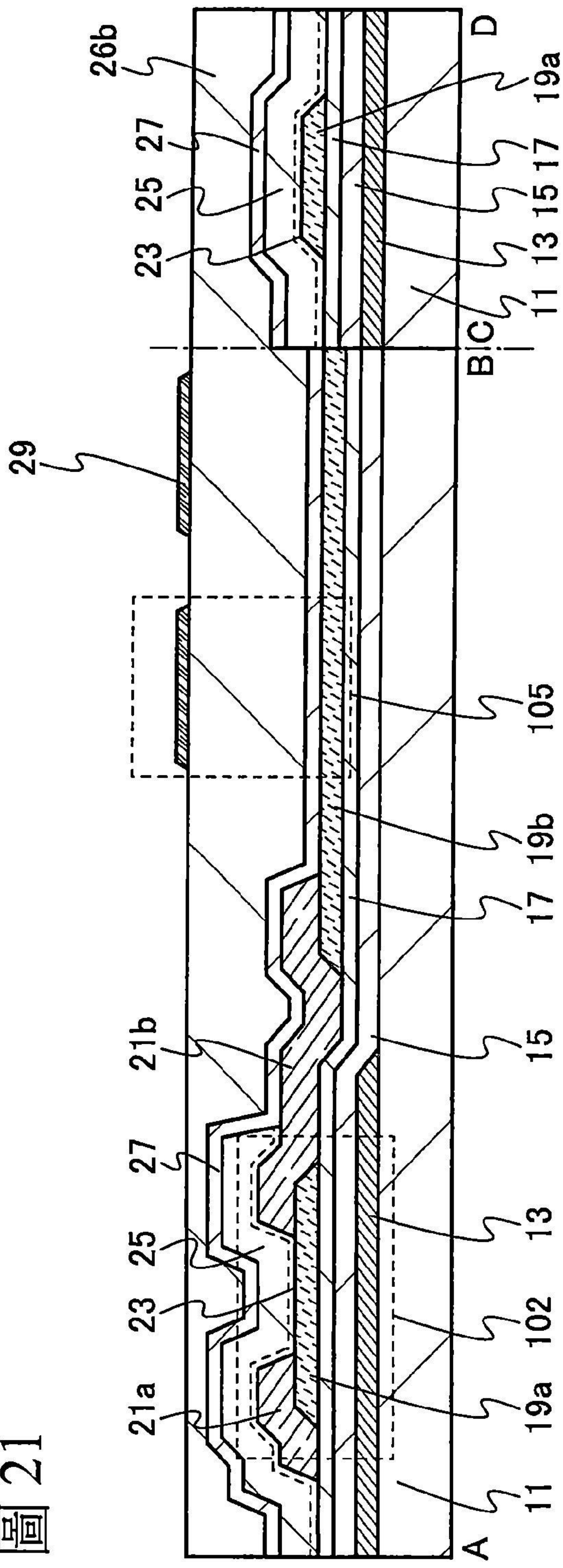


圖 23

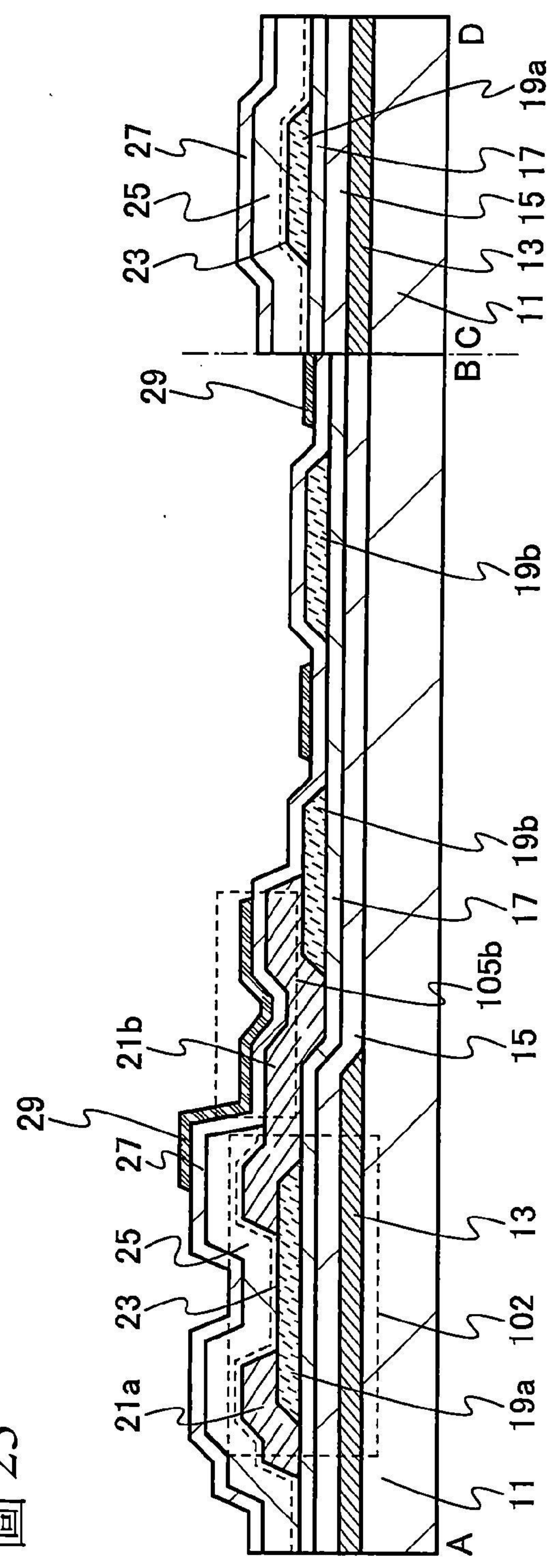


圖 24

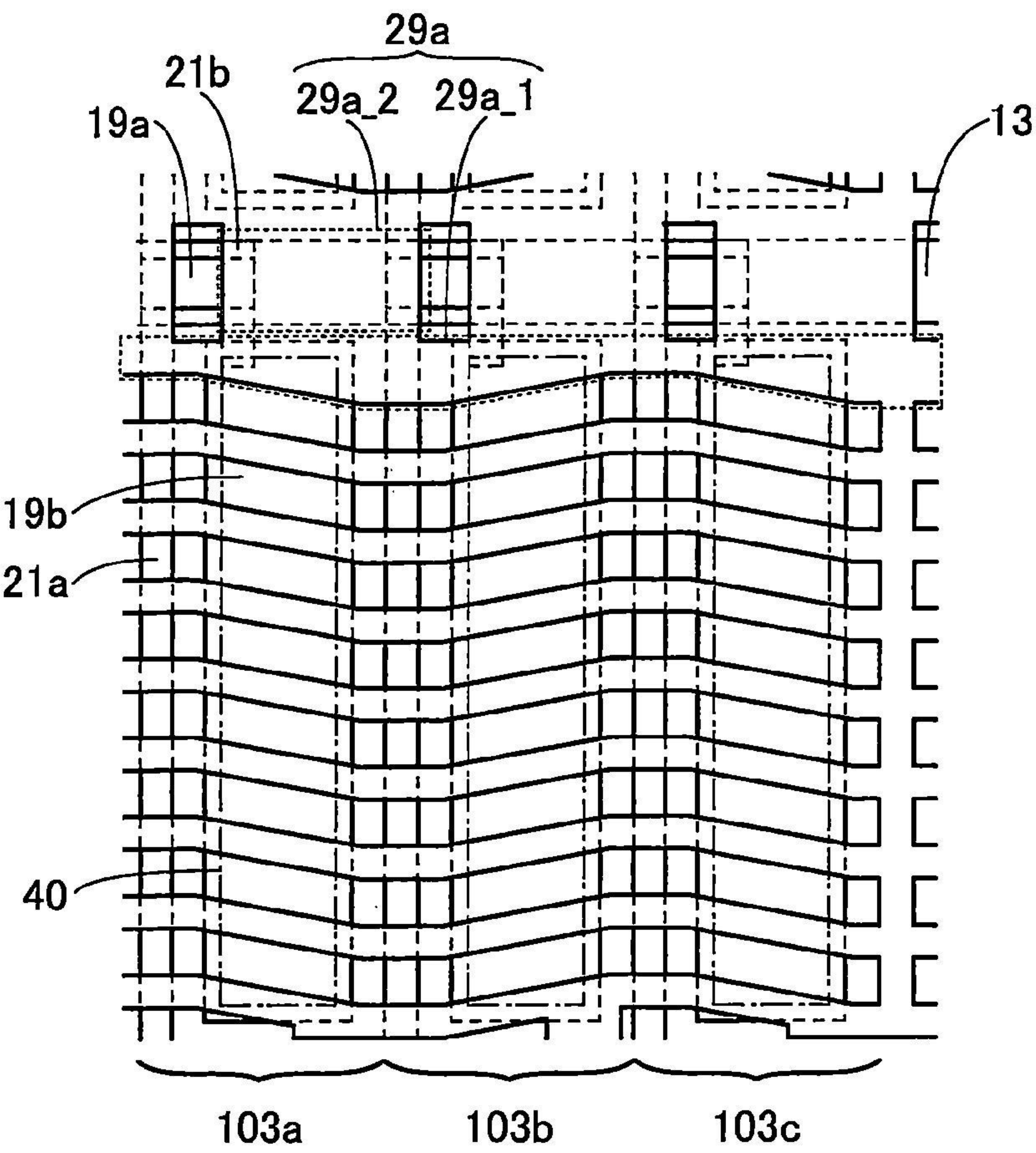


圖 25

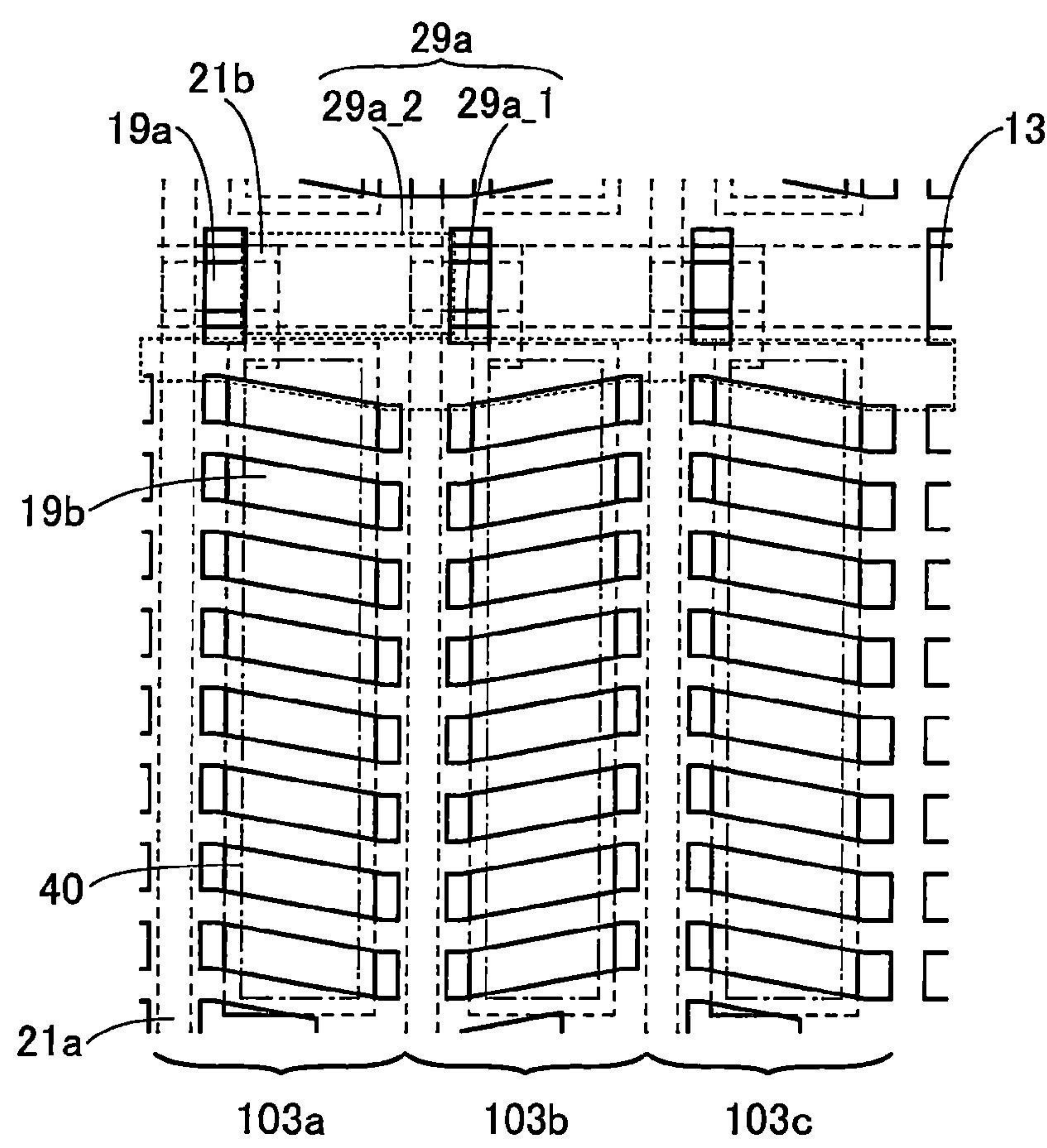


圖 26

