

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸ (11) 공개번호 10-2006-0017773
G05F 3/02 (2006.01) (43) 공개일자 2006년02월27일

(21) 출원번호 10-2005-7021157
(22) 출원일자 2005년11월07일
번역문 제출일자 2005년11월07일
(86) 국제출원번호 PCT/US2004/014205 (87) 국제공개번호 WO 2004/102623
국제출원일자 2004년05월07일 국제공개일자 2004년11월25일

(30) 우선권주장 60/468,742 2003년05월07일 미국(US)

(71) 출원인 모사이드 델라웨어, 인크.
미국 캘리포니아 94089, 썬니베일, 1322 올린스 드라이브

(72) 발명자 호버맨, 배리, 알렌
미국, 95014 캘리포니아 쿠퍼티노, 팔로 비스타 로드, 10290
힐맨, 다니엘, 엘.
미국, 95120 캘리포니아 산 조세, 윈터셋 웨이, 6607
시엘, 존
미국, 95136 캘리포니아 산 조세, 시버리 드라이브, 801

(74) 대리인 청운특허법인

심사청구 : 없음

(54) 전원 아일랜드를 사용한 집적 회로의 전원 관리

요약

본 발명은 전원 아일랜드를 사용한 집적 회로의 전원을 관리하는 시스템 및 방법에 관한 것이다. 집적 회로는 각 전원 아일랜드 내부에서 독립적으로 전원 소비를 제어할 수 있는 다수의 전원 아일랜드들을 포함한다. 전원 관리자는 전원 아일랜드들 중 하나에 대한 목표 전원 레벨을 결정한다. 그리고 나서 전원 관리자는 전원 아일랜드들 중 하나의 소비 전원 레벨을 목표 전원 레벨로 변경시키는 동작을 결정한다. 전원 관리자는 전원 아일랜드들 중 하나의 소비 전원 레벨을 목표 전원 레벨로 변경시키는 동작을 수행한다.

대표도

도 1

색인어

전원 아일랜드, 목표 전원 레벨, 소비 전원 레벨, 전원 관리자, 집적 회로

명세서

기술분야

본 출원은 이하에서 참조로써 결합되고, 2003년 5월 7일자로 출원된 "집적 회로의 전원 관리용 시스템 및 방법"을 발명의 명칭으로 하는 미국 가출원 제60/468,742호에 대한 이익을 주장한다.

본 발명은 일반적으로 집적 회로에 관한 것으로, 보다 상세하게는 전원 아일랜드를 사용한 집적 회로의 전원 관리에 관한 것이다.

배경기술

집적 회로에 대한 하나의 설계 목표는 전원 소비를 줄이는 것이다. 휴대폰 및 랩톱(laptops)과 같이 배터리를 갖는 장치들은 특히 배터리의 충전을 연장하기 위하여 집적 회로 내 전원 소비의 저하를 요구한다. 추가적으로, 전원 소비의 저하는 과열을 예방하고 집적 회로의 열 손실을 낮추며, 어떤 경우는 집적 회로용 히트싱크(heatsink) 및/또는 팬을 단순화하거나 또는 제거한다.

일부 집적 회로는 조립된 라이브러리 셀(library cells)의 블록(block)을 사용하여 설계된다. 이들 라이브러리 셀은 함수를 실행하는 회로의 블록이다. 라이브러리 셀의 일부 실시예는 NAND 게이트, 멀티플렉서(multiplexers), 디코더(decoders), 비교기(comparators) 및 메모리이다.

"완전 주문형"("full-custom") 흐름에서, 집적 회로는 개개의 트랜지스터, 커패시터, 및 저항 레벨과 같은 최저의 레벨에서 설계된다. "완전 주문형" 흐름은 내부적으로 개발된 라이브러리 셀을 사용할 수 있다. 집적 회로가 최저의 레벨에서 세세히 잘 설계되기 때문에, 집적 회로는 최적의 성능을 가질 수 있다. 그러나, "완전 주문형"이 갖는 문제점은 상세한 레벨에서의 설계와 관련하여 비싼 비용과 오랜 시간이다. 더구나, "완전 주문형" 흐름은 최저의 레벨에서 설계되기 때문에 부담이 된다.

"표준 셀"("standard-cell") 흐름에서, 집적 회로는 제3자(third party) 또는 다른 외부 소스로부터 얻어진 라이브러리 셀을 사용하여 설계된다. 이들 라이브러리 셀은 로직(logic) 또는 함수 레벨에서 표준화된다. 라이브러리 셀이 미리 설계되고 미리 테스트되기 때문에, 표준 셀 흐름에 대한 설계 시간은 감소한다.

집적 회로를 설계하기 위한 하나의 실시예로서, 라이브러리 셀이 선택되고, 주문형 로직이 특정되어 집적 회로를 형성한다. 그 다음에 집적 회로를 위한 레지스터 트랜스퍼 레벨(register transfer level, RTL)이 시뮬레이션 및 디버깅을 위해 기록된다. 시뮬레이션 및 디버깅 후에, 집적 회로에 대한 통합이 구성된다. 성능 측정 소프트웨어가 집적 회로의 성능을 결정하기 위해 수행된다. 그 다음 집적 회로의 최종 통합이 집적 회로의 최적화된 성능에 기초하여 구성될 수 있다.

많은 집적 회로가 갖는 문제점은 전원 소비가 효과적으로 이용될 수 없다는 점이다. 예를 들어, 전체 집적 회로는 단지 최대 주파수를 요구하는 응용프로그램을 지원하기 위하여 최대 주파수에서 작동할 수 있는데 반해, 집적 회로의 다른 부분은 보다 낮은 주파수에서 작동할 수 있다. 또 다른 예에서, 집적 회로 내부의 비활성 회로는 전원을 소비하고 누전의 가능성을 증대시킨다. 비효율적인 전원 소비는 또한 집적 회로의 성능에 나쁜 영향을 미칠 수 있다.

집적 회로의 복잡함이 증가함에 고려하면, 전원 소비의 저하는 집적 회로가 더 많은 기능을 이용할 때 더욱 중요하다. 집적 회로의 일 실시예는 단일 칩 내에 마이크로프로세서(microprocessor), 메모리, 입출력(I/O) 인터페이스, 및 아날로그-디지털 변환기(Analog-to-digital converter) 모두를 포함한 시스템 온 칩(system-on-a-chip)이다. 단일 칩 내부에 사용된 많은 다른 종류의 기능을 고려하면, 시스템 온 칩은 단일 기능 집적 회로보다 더 많은 전원을 사용한다.

일부 종래의 집적 회로는 전원 소비를 낮추기 위하여 전압 아일랜드(voltage islands) 또는 다중 클록(multiple clock)을 사용하고 있다. 이러한 집적 회로의 문제점은 전원 아일랜드 내의 전압 및 다중 클록의 주파수가 정적이라는 점이다. 전압 및 주파수는 집적 회로의 요구 및 동작에 기초하여 동적으로 변화하지 않는다.

발명의 상세한 설명

본 발명은 전원 아일랜드를 사용한 집적 회로의 전원 관리에 의한 기술적 문제점을 제기한다. 집적 회로는 전원 소비가 각각의 전원 아일랜드 내부를 독립적으로 제어하는 다수의 전원 아일랜드를 포함한다. 전원 관리자는 전원 아일랜드들 중 하나에 대한 목표 전원 레벨을 결정한다. 그리고 나서 전원 관리자는 전원 아일랜드들 중 하나의 소비 전원 레벨을 목표 전원 레벨로 변경시키는 동작을 결정한다. 전원 관리자는 전원 아일랜드들 중 하나의 소비 전원 레벨을 목표 전원 레벨로 변경하는 동작을 실행한다. 전원 제어 회로는 전원 아일랜드들 중 하나의 전원을 제어한다.

전원 아일랜드는 집적 회로의 기능 회로 또는 기하학적 요인에 기초하여 설계될 수 있다. 일부 실시형태에서, 동작은 전원 아일랜드들 중 하나에 대한 클록 주파수를 선택하거나 또는 전원 아일랜드들 중 하나에 대한 클록을 선택하는 것이다. 일부 실시형태에서, 동작은 전원 아일랜드들 중 하나에 대한 전압을 수정하는 것이다. 동작은 전원 아일랜드들 중 하나의 전원을 온/오프 할 수 있다.

일부 실시형태에서, 전원 관리자는 전원 아일랜드들 중 하나 전원 소비 레벨을 모니터하고, 한계 레벨이 전원 소비 레벨에 기초하여 교차하는지 여부를 결정하며, 그리고 한계 레벨의 교차에 기초하여 동작을 실행한다. 일부 실시형태에서, 전원 관리자는 전원 아일랜드들 중 하나의 내부 구성요소의 상태를 저장 및 복원한다.

도면의 간단한 설명

도 1은 본 발명의 전형적인 일 실시형태에 따른 집적 회로의 전원을 관리하기 위한 시스템의 블록도;

도 2는 본 발명의 전형적인 일 실시형태에 따른 집적 회로의 전원을 관리하기 위한 시스템 도;

도 3은 본 발명의 전형적인 일 실시형태에 따른 저전원 표준 셀 로직 블록을 위한 저누설 회로도;

도 4는 본 발명의 전형적인 일 실시형태에 따른 전원 아일랜드의 도;

도 5는 본 발명의 전형적인 일 실시형태에 따른 응용프로그램 요청으로부터 슬레이브(slave) 전원 관리자 작동을 위한 순서도;

도 6은 본 발명의 전형적인 일 실시형태에 따른 스마트 전원 유닛에 대한 내부 회로의 도;

도 7은 본 발명의 전형적인 일 실시형태에 따른 스마트 전원 유닛에 대한 외부 회로의 도;

도 8은 본 발명의 전형적인 일 실시형태에 따른 응용프로그램 요청으로부터 스마트 전원 유닛 작동을 위한 순서도;

도 9는 본 발명의 전형적인 일 실시형태에 따라 전원을 끄기 전에 IP 유닛의 상태를 저장하고 전원을 켜는 때에 IP 유닛의 상태를 회복시키는 순서도;

도 10은 본 발명의 전형적인 일 실시형태에 따른 시스템 온 칩 및 확장된 로컬 메모리의 도;

도 11은 본 발명의 전형적인 일 실시형태에 따라 중간 전원 관리자로부터 전원 관리 제어층으로 "핫 스팟" 보고서를 생성하는 순서도;

도 12는 본 발명의 전형적인 일 실시형태에 따른 시스템 온 칩의 도; 및

도 13은 본 발명의 전형적인 일 실시형태에 따른 전원 아일랜드를 갖는 칩을 구성하는 순서도이다.

실시예

전형적인 도면에서 보여지는 바와 같이, 여기서, 유사한 참조 번호들은 이하에서 상세히 설명되는 본 발명의 전형적인 실시형태에 따른 방법 및 시스템 및 도면 사이에서 유사하거나 대응하는 요소를 가리킨다. 그러나, 본 발명은 다양한 형태에서 실시될 수 있는 것으로 이해된다. 그러므로, 여기에서, 기술된 상세한 설명은 한정적이라기보다는, 관련기술에 종사하는 숙련된 자들에게 본 발명을 실질적으로 적절하게 기술된 시스템, 구조, 방법, 프로세스 또는 방식을 활용하여 알리기 위한 대표적인 원칙으로서 그리고 청구하고자 하는 원칙으로서 해석되어야 한다.

도 1은 본 발명의 전형적인 일 실시형태에 따른 집적 회로(110)의 전원을 관리하기 위한 시스템(100)의 블록도를 도시한다. 시스템(100)은 집적 회로(110) 및 전원 관리자(120; power manager)를 포함한다. 집적 회로(110)는 실리콘(silicon) 및/또는 관련 제조 물질로 실증되는 임의의 전자 장치이다. 집적 회로(110)의 일 실시예는 시스템 온 칩(system-on-a-chip)이다. 집적 회로(110)는 특정 기능을 실행하는 회로의 블록들인 다수의 IP 유닛들(units)을 포함한다.

집적 회로(110)는 네 개의 전원 아일랜드들(power islands; 112, 114, 116 및 118)을 포함한다. 도 1은 단순하게 하기 위하여 단지 네 개의 전원 아일랜드들(112, 114, 116 및 118)만을 도시한다. 집적 회로(110)의 다른 실시형태는 전원 아일랜드들(112, 114, 116 및 118)을 다수 포함한다. 전원 아일랜드들(112, 114, 116 및 118)은 버스(125)로 연결된다.

전원 아일랜드들(112, 114, 116 및 118)은 전원 소비량이 소정의 구획, 설계, 부분, 또는 분할 내에서 제어되는 집적 회로(110)의 소정의 구획, 설계, 부분, 또는 분할이다. 일부 실시형태에 있어서, 전원 아일랜드들(112, 114, 116 및 118)은 집적 회로(110)의 기하학적 요인에 기초하여 설계된다. 일부 실시형태에 있어서, 전원 아일랜드들(112, 114, 116 및 118)은 집적 회로(110)의 기능적 IP 유닛들에 기초하여 설계된다. 도 10에 도시된 일 실시예에서, 전원 아일랜드들은 메모리, 마이크로프로세서 및 분리된 IP 블록들에 의해 설계된다. 일부 실시형태에서, 전원 아일랜드들(112, 114, 116 및 118)은 각각 서로 비동기(asynchronous)이거나 동기(synchronous)이다. 일부 실시형태에서, 전원 아일랜드들(112, 114, 116 및 118)은 집적 회로(110) 내의 전원 제어에 더 많은 전문성을 제공하기 위하여 전원의 서브-아일랜드들(sub-islands)을 포함한다. 일부 실시형태에서, 전원 아일랜드들(112, 114, 116 및 118)의 각각은 그 자신을 제어하면서 다수의 클록 도메인들(clock domains)을 지지한다. 일부 실시형태에서, 전원 아일랜드들(112, 114, 116 및 118) 내의 클록은 가변가능하다.

일부 실시형태에서, 전원 아일랜드들(112, 114, 116 및 118)의 각각은 전원 제어 회로를 포함한다. 전원 제어 회로는 전원 아일랜드들(112, 114, 116 및 118) 중 하나 내부의 전원을 제어하도록 구성된 모든 회로이다. 전원 제어 회로의 일부 실시예들은 레벨 이동(level shifting), 신호 절연(signal isolation), Vdd 다중 송신(Vdd multiplexing), 클록 다중 송신(clock multiplexing), 및 동적 백 바이어스(dynamic back bias)를 위한 회로를 포함한다. 일부 실시형태에서, 전원 제어 회로는 집적 회로(110)의 표준 셀 설계용 표준 셀 라이브러리(standard cell library) 내에 포함된다.

전원 관리자(120)는 또한 버스(125)에 연결된다. 버스(125)의 일 실시예는 도 10에서 아래에 더 상세히 설명되는 전원 명령어 버스이다. 시스템(100)의 다른 실시형태는 전원 관리자(120) 및 전원 아일랜드들(112, 114, 116 및 118)이 서로 연결되어 있는 다수의 변형을 포함한다. 전원 관리자(120)는 (1) 전원 소비량이 각 전원 아일랜드들(112, 114, 116 및 118)의 이내에서 독립적으로 제어되는 전원 아일랜드들(112, 114, 116 및 118) 중 하나를 위한 목표 전원 레벨(target power level)을 결정하고, (2) 전원 아일랜드들(112, 114, 116 및 118) 중 하나의 소비 전원 레벨을 목표 전원 레벨로 변경하는 동작을 결정하고, 그리고 (3) 전원 아일랜드들(112, 114, 116 및 118) 중 하나의 소비 전원 레벨을 목표 전원 레벨로 변경하는 동작을 실행하도록 형성된 모든 회로, 장치, 또는 시스템이다. 전원 관리자(120)는 집적 회로(110)의 요구 및 동작에 기초하여 전원 아일랜드들(112, 114, 116 및 118)의 전원 소비를 동적으로 변화시킬 수 있다. 목표 전원 레벨은 전원 아일랜드들(112, 114, 116 및 118)의 바람직하고, 계산되고, 특정된 전원 소비량이다. 전원 관리자(120)의 일부 실시예는 이하에서 더 상세히 설명되는 슬레이브 전원 관리자(SPM; slave power manager), 중간 전원 관리자(IPM; intermediate power manager) 및 마스터 전원 관리자(MPM; master power manager)가 있다. 전원 관리자(120)는 전원 관리자(120)들의 계층 또는 집단일 수 있다. 비록 도 1은 집적 회로(110) 외부에 위치하는 전원 관리자(120)를 도시하고 있지만, 다른 실시형태들은 집적 회로(110) 내에 위치하는 전원 관리자(120)를 가질 수 있다. 다른 실시형태에서, 전원 관리자(120)는 집적 회로(110)를 켜고 끄는 다수의 전원 관리자들 사이에서 배치되거나 또는 CPU에 통합될 수 있다.

동작은 전원 아일랜드들(112, 114, 116 및 118)에서 전원 소비량을 제어하는 임의의 지시, 메시지, 프로세스, 함수, 신호 또는 변수이다. 동작의 일부 실시예는 클록 게이팅(clock gating) 및 동적 클록 선택(dynamic clock selection)이다. 동작의 다른 실시예는 전원 아일랜드들(112, 114, 116 및 118) 중 하나의 클록 주파수를 수정하는 것이다. 동작의 다른 실시예는 동적 전압 소스, Vdd, 선택(selection)과 같이 전원 아일랜드들(112, 114, 116 및 118) 중 하나의 전압을 수정하는 것이다. 동작의 다른 실시예는 가변 V_t 트랜지스터를 제어함으로써 동적 누설을 제어하는 것이다.

도 2는 본 발명의 전형적인 일 실시형태에 있어서 집적 회로(250)의 전원을 관리하기 위한 시스템(200)의 도해를 도시한다. 시스템(200)은 내장된 펌웨어 스택(210; embedded firmware stack) 및 집적 회로(250)를 포함한다. 내장된 펌웨어 스택(210)은 중앙처리장치(CPU; central processing unit)에서 구동하는 소프트웨어 층을 포함한다. 일부 실시형태에서, 내장된 펌웨어 스택(210)은 응용프로그램 층(212; application layer), 운영체제(operation system; OS) 서브-시스템(216), 전원 관리 제어 층(218; PMCL; power management control layer), 실시간 운영 체제(220; RTOS; real-time operating system), 입출력 드라이버(222; I/O drivers), 및 MPM, IPM 및/또는 SPM용 전원 관리자(PM) 펌웨어(224)를 포함할 수 있다.

집적 회로(250)는 전원 아일랜드(260), 전원 아일랜드(270), 및 MPM(280)을 포함한다. 전원 아일랜드(260)는 저전원 표준 셀 로직 블록(262) 및 SPM(264)을 포함한다. 전원 아일랜드(270)는 저전원 메모리 블록(272) 및 SPM(274)을 포함한다. 저전원 표준 셀 로직 블록(262) 및 저전원 메모리 블록은 인터페이스(265; interface)로 연결된다. MPM(280)은 PMCL(218), SPM(264), 및 SPM(274)으로 연결된다.

일부 실시형태에서, 응용프로그램 층(212)은 광역 전원 응용프로그램 층(214; GPAL; global power application layer)을 포함한다. 이러한 GPAL(214)은 좀 더 복잡한 응용프로그램에 사용될 수 있다. 만일 GPAL(214)이 존재한다면, PMCL(218)에 모두 부르고 나서 응용프로그램 프로그램 인터페이스(application program interface; API)가 먼저 GPAL(214)에 보내진다.

GLAL(214) 및 PMCL(218) 모두 집적 회로(250)에 대한 전원 관리를 제공한다. 일부 실시형태에서, GPAL(214) 및/또는 PMCL(218)은 전원 아일랜드들(260 및 270) 각각에 위치하는 부하(load)를 모니터한다. 또한, GPAL(214) 및/또는 PMCL(218)은 전원 아일랜드들(260 및 270)에 전원 레벨의 이력을 만들고 데이터베이스에 이력 데이터를 저장할 수 있다. GPAL(214) 및 PMCL(218)은 또한, 전원 아일랜드들(260 및 270)의 전원 레벨에서 관련 있는 주문 공급원에 대하여 데이터를 제공할 수 있다.

일부 실시형태에서, GPAL(214)이 존재하면, GPAL(214)은 집적 회로(250)의 전원 관리에 대하여 로컬 결정을 작성함에 있어 PMCL(218)에게 안내를 제공한다. 일부 실시형태에서, GPAL(214) 및 PMCL(218)은 정적 스케줄을 위하여 복잡한 알고리즘을 포함한다. GPAL(214) 및 PMCL(218)은 상호 작용을 하도록 사용 코드에 대하여 편의를 제공하고 제공한 데이터 베이스 및 통계 자료를 포함하는 파라미터 및 전원 가동을 제어한다.

PMCL(218)은 또한 MPM(280)으로부터 정보를 수집하고, MPM(280)으로 가능한 IPM들, SPM들(260 및 270), 및 전원 아일랜드들(264 및 274)에 대한 명령어를 제공한다. 명령어들의 일부는 전원 아일랜드들(260 및 270)의 전원 온/오프, 전원 레벨 변경, 또는 주파수 변경이다. 스마트 전원 유닛(290; SPU; smart power unit)을 구비한 일부 실시형태에서, GPAL(214) 및 PMCL(218)은 전원 정책을 수행하도록 SPU(290)와 통신하고 그리고 실제의 전원 공급원(power supply)에 관한 정보를 수집하는 책임을 진다. SPU(290)는 이하의 도 6 내지 도 8에서 더 상세히 설명되고 있다. 일부 실시형태에서, GPAL(214) 및 PMCL(218)은 존재하는 전원 관리 기술에 대하여 소켓(socket)을 제공한다.

전원 관리자 펌웨어(224)는 마스터 전원 관리자(280), 중간 전원 관리자, 및 슬레이브 전원 관리자(264 및 274)에 의해 실행되는 펌웨어이다.

MPM(280)은 전체 집적 회로(250)의 "광역" 전원 수행을 제어하도록 구성된 임의의 회로이다. 일부 실시형태에서, 전체의 집적 회로(250)의 전원 수행을 제어하는 다수의 MPM들(280)이 존재한다. 일부 실시형태에서, MPM(280)은 전원 아일랜드들(260 및 270) 내 전원을 제어하기 위하여 존재하는 IPM들 및 SPM들(264 및 274)과 통신한다. MPM(280)은 SPM들(264 및 274) 및 IPM들로부터 전원 아일랜드들(260 및 270)에 대한 상태 정보를 수신할 수도 있다. MPM(280)은 또한 IPM들 및 SPM들(264 및 274) 사이의 전원 트레이드-오프를 결정할 수 있다.

MPM(280)은 또한 PMCL(218) 펌웨어의 주요 인터페이스를 제공할 수 있다. 일부 실시형태에서, MPM(280)은 명령어 들(예컨대, 메모리 매핑 명령어)을 받아들이고 그리고 집적 회로(250) 내 전원에 대한 상태 정보를 제공하기 위하여 PMCL(218)과 통신한다. 일부 실시형태에서, MPM(280)은 집적 회로(250)용 메인 버스를 통하여 PMCL(218)과 통신한다. MPM(280)은 또한 SPM들(264 및 274) 및 IPM들 각각을 등록하고 그리고 PMCL(218)과 소통할 수 있다. MPM(280)의 일부 작동은 아래의 도 5, 도 8, 도 9 및 도 11에서 더욱 상세하게 기술된다. 일부 실시형태에서, MPM(280)은 지역 논리 분석기(local logic analyzer) 성능에 따른 상태 저장 및 복원을 위해 스캔 체인들을 읽고 기록한다.

일부 실시형태들은 MPM(280)을 대신하여 SPM들(264 및 274)과 공조하는 IPM(도시되지 않음)를 포함할 수 있다. 일부 실시형태에서, IPM은 MPM(280)에 의해 제어되는 영역의 부분에 대한 전원 수행을 제어하고 공조한다. 일부 실시형태에서, IPM은 MPM(280)으로부터 분리된 칩 위에 존재하는 SPM들(264 및 274)을 제어한다.

SPM(264)은 집적 회로(250) 내 전원 아일랜드(264) 내 전원을 제어하도록 구성된 임의의 회로이다. SPM(264)의 일 실시 예는 집적 회로(250) 내 전원 아일랜드(264) 내 전원을 제어하는 IP 블록이다. SPM(264)은 신호 버퍼링(signal buffering), 레벨 이동(level shifting), 그리고 신호 절연(signal isolation)을 포함할 수 있다. 일부 실시형태에서, SPM(264)은 보다 용이한 처리 및 통합을 제공하기 위하여 스캔 체인 안으로 통합된다. 또한, 일부 실시형태에서, SPM(264)은 낮은 게이트 카운트 및 저 전원을 구비한 매우 작은 "풋프린트"("footprint")를 갖는다. 일부 실시형태에서, SPM(264)은 상태 정보, 서비스 요청, 및 명령어들을 통신하기 위한 명령어 인터페이스를 포함한다. SPM(264)은 또한 멀티-드랍 버싱(multi-drop bussing)을 허용하기 위하여 그 자신의 주소를 인식할 수도 있다.

일부 실시형태에서, SPM(264)은 등록 성능을 갖는다. 전원을 켤 때 등록을 위하여, SPM(264)은 통상적으로 오프 칩(off chip) SPM들 및 IPM들로 이용되는 콜백 등록(callback registration)을 이용한다. 집적 회로가 칩 SPM들 위에서 생성될

때 동적 등록을 위하여, SPM(264)은 SPM(264)이 할 수 있는 것과, IPM이 할 수 있는 것과, 그리고 SPM(264) 또는 IPM이 제공할 수 있는 명령어의 종류를 등록한다. SPM(264)은 또한 전원이 꺼진 기간에 대한 기능을 저장하고 복원할 수 있다. SPM(264)은 감시용 타이머(들)(watch-dog(s))를 가질 수 있다. 일부 실시형태에서, SPM(264)은 전원 아일랜드(260)로 디버그 인터페이스 조정을 갖는다. SPM(264)은 또한 지역 상태를 모니터하고 그리고 전원 아일랜드(260) 내 구성요소에 대한 정보를 수집할 수 있다. SPM(264)은 또한 지역적으로 Vdd, 주파수 선택용 클럭, 및 동적 백 바이어스를 제어할 수 있다. SPM(264)의 기술은 또한 전원 아일랜드(270)에 대한 SPM(274)에 적용될 수 있다.

일부 실시형태에서, SPM(264)은 전원 아일랜드(260)로부터 수집된 정보가 한계를 통과하거나 또는 범위를 초과하는 때에 이벤트가 발생하는지 여부를 체크한다. 일부 실시형태에서, SPM(264), IPM들, 또는 MPM(280)은 전원 아일랜드(260)의 전원 소비 레벨을 모니터하여 전원 소비 레벨이 한계 레벨을 통과하거나 또는 범위를 초과하는지 여부를 체크한다. 전원 소비 레벨은 전원 아일랜드(260) 내에서 소비된 전원을 가리키는 모든 정보, 데이터 또는 통계 자료이다. 전원 소비 레벨의 몇몇 실시예는 온도 및 전원이자. 한계 또는 범위는 프로그램될 수 있다. SPM(264)은 비동기적으로 이벤트를 기록할 수 있고, 또는 MPM(280)과 같은 다른 구성요소가 이벤트가 발생하는지 여부를 확인한다. 이벤트는 또한 부여된, 프로그램가능한 주파수보다 큰 또는 부여된, 프로그램가능한 기간을 초과할 때 발생하는 조건과 같은 멀티-레벨 테스트가 될 수 있다.

일부 실시형태에서, 저 전원 표준 셀 로직 블록(262)은 전원 아일랜드(260) 내에 포함될 수 있는 표준 셀 라이브러리의 일 실시예이다. 일부 실시형태에서, 표준 셀 라이브러리는 낮은 전원에 대하여 최적화된다. 표준 셀 라이브러리는 구동 전압의 범위에 걸쳐서 특성화된다. 일부 실시형태에서, 표준 셀 라이브러리는 동기 회로 및/또는 비동기 회로를 포함한다. 일부 실시형태에서, 표준 셀 라이브러리는 또한 레벨 이동(level shift) 및 신호 절연(signal isolation) 회로와 같은 다수의 전압 도메인 인터페이스 회로를 포함할 수 있다. 표준 셀 라이브러리는 또한 표준 Vt, 높은 Vt, 낮은 Vt, 및 가변 Vt 회로들과 같은 다수-한계점 설계 및 특징을 가질 수 있다. 표준 셀 라이브러리는 또한 데이터 저장 (음영) 회로 및 고장-방지(anti-glitch) 회로를 포함할 수 있다. 표준 셀 라이브러리는 또한 낮은 누설 "슬립" 회로를 포함할 수 있다. 도 3은 본 발명의 전형적인 일 실시형태에서 저 전원 표준 셀 로직 블록(262)용 낮은 누설 회로(300)의 도해를 표시한다.

도 4는 본 발명의 전형적인 일 실시형태에서 전원 아일랜드(270)의 도해를 표시한다. 전원 아일랜드(270)는 저 전원 메모리 블록(272) 및 SPM(274)을 포함한다. 저 전원 메모리 블록(272)은 메모리, 슬립, 전원-다운 회로(450)용 뱅크 구조물(410, 420, 430 및 440)을 포함한다. 일부 실시형태에서, 전원 아일랜드(270) 내 메모리는 램(RAM) 및/또는 롬(ROM)이다. 램의 일부 실시예는 단일 포트, 2포트 및 이중 포트와 같은 에스램(SRAM) 컴파일러들이다. 롬의 일부 실시예는 롬 컴파일러들이다. 전원 아일랜드(270) 내 일부 메모리는 저 전원 메모리 블록(272)과 같은 저 전원으로 최적화된다. 일 실시형태에서, 저 전원 메모리 블록(272)은 뱅크 구조물들(410, 420, 430 및 440)과 같은 컴파일러를 통한 다수의 뱅크 구조물(bank architectures)을 포함한다. 전원 아일랜드(270) 내 메모리는 또한 슬립(sleep), 냅(nap), 및 풀 전원 다운과 같은 저 전원 모드용 슬립, 전원 다운 회로(450)를 포함할 수 있다. 전원 아일랜드(270) 내 메모리는 또한 프로그램가능한 읽기/쓰기 포트를 포함할 수 있다. 전원 아일랜드(270) 내 메모리는 또한 동기 및/또는 비동기 설계가 될 수 있다.

일부 실시형태에서, 시스템(200)은 또한 스마트 전원 유닛(290; SPU; smart power unit)을 포함한다. 일부 실시형태에서, SPU(290)는 집적 회로(250)에 오프-칩이다. SPU(290)는 집적 회로에 대한 전원 및 클럭 배분을 제어하기 위해 구성된 외부 유닛이다. SPU(290)의 회로는 이하 도 7 및 8에서 보다 상세하게 기술된다.

도 5는 본 발명의 전형적인 일 실시형태에서 응용프로그램 요청으로부터 SPM으로 동작의 순서도를 표시한다. 도 5는 단계 500에서 시작한다. 단계 502에서, 응용프로그램은 영화를 상영하도록 요청된다. 단계 504에서, 응용프로그램은 IP 유닛의 수행을 위해 요구되는 주파수를 결정한다. 예를 들면, 응용프로그램은 MPEG 디코더용 IP 유닛용으로 특정한 MHz 주파수를 결정한다. 일부 실시형태에서, IP 유닛이 전체적으로 비동기화되는 때에, 요구된 주파수는 수행의 인위적 한도가 될 것이다. 다중 클럭을 갖는 일부 실시형태에서, 각 클럭용 최소 성능이 특정된다.

단계 506에서, 응용프로그램은 PMCL(218) API 콜을 요청한다. 이러한 콜의 일 실시예는 "Set_Rate (unit Y, N MHz, degree of dynamic power management (DPM) allowed, DPM threshold, other information to allow DPM trade-offs, starting back bias for SPMs with dynamic bias, wait for power up flag)"이다. 이 실시예에서, 다른 정보(other information)는 "no power off, use high Vt and clocks off instead" 및 "major waits are about 10 us, with a 400 ns threshold"가 될 수 있다. 다중 클럭을 구비한 일부 실시형태에서, PMCL(218) API 콜은 응용프로그램이 모든 요구된 주파수를 특정하도록 허용한다.

만일 단계 508에서 주어진 요구와 최고로 부합하는 유닛용으로 응용가능하고 그리고 단계 510에서 응용가능한 SPM들(264 및 274)을 결정한다면, PMCL(218)은 유닛용으로 이용가능한 가능한 트레이드-오프를 결정하고 그리고 주파수 비

을, Vdd, 및 Vt를 선택한다. 일부 실시형태에서, MPM(280) 또는 IPM이 단계 508 및 510을 수행한다. 다중 클럭용 일부 실시형태에서, 특정된 Vdd 및 Vt는 모든 특정된 클럭이 그들의 요구된 주파수와 부합하거나 또는 초과하는 것을 허용한다.

단계 512에서, PMCL(218)은 그리고 나서 SPM들(264 및 274)용으로 요구된 세팅을 MPM(280)(또는 IPM)으로 기록한다. 단계 514에서, MPM(280)(또는 IPM)은 유닛과 관련하여 SPM들(264 및 274)(또는 IPM)용 추가의 명령어들 또는 그 하나로 요청을 변환한다.

단계 516에서, 만일 응용프로그램이 전원은 플래그용 대기를 설정한다면, PMCL(218)은 콜로부터 되돌아오기 전에 IP 유닛이 완전히 전원이 켜질 때까지 기다린다. 그렇지 않으면, 콜은 명령어가 OK용 0, 빠른 전원-컴용 1, 느린 전원-컴용 2, 또는 오류 조건용 3+ 의 상태로 인정되자마자 되돌아온다. 전원-컴 상태는 유닛이 요구된 주파수용 소망의 Vdd 이고, 그리고 유닛이 켜지지 않은 때이다.

단계 518에서, MPM(280)(또는 IPM)은 적절한 목표로 요구를 보낸다. 단계 520에서, MPM(280)은 메시지가 수신되고 그리고 실행되고 또는 실행이 시작되었음을 가리키는 확인서의 수신을 기다린다. SPM(264 및 274)으로부터 또한 Nack (NACK) 또는 부정의 확인서가 되돌아올 수 있다.

단계 522에서, SPM(264)은 명령어를 수신하고 그리고 동작을 수행한다. 단계 524 내지 528은 SPM(264)이 수행할 수 있는 가능한 동작들이다. 단계 524에서, SPM(264)은 Vdd 믹스(mux)를 스위칭한다. 단계 526에서, SPM(264)은 클럭 믹스(mux)를 스위칭한다. 일부 실시형태에서 전압이 내려갈 때, 단계 524 전에 단계 526이 수행된다. 단계 528에서, SPM(264)은 관련 트랜지스터들의 Vt를 변경한다. SPM(264)이 그 동작을 수행한 이후에, SPM(264)은 단계 530에서 확인서 또는 부정의 확인서를 가리키는 상태 메시지 업스트림(upstream)을 되돌린다.

도 6은 본 발명의 전형적인 일 실시형태에서 SPU(290)용 내부 회로(600)의 도해를 묘사한다. 이 실시형태에서, SPU(290)용 내부 회로(600)는 도 2의 집적 회로(250)의 내부이다. 내부 회로(600)는 외부 전압(610), 드랍아웃 전압 조정기(620; dropout voltage regulator), 드랍아웃 전압 조정기(630), 로직 블록(640), 및 로직 블록(650)을 포함한다.

도 7은 본 발명의 전형적인 일 실시형태에서 SPU(290)용 외부 회로(700)의 도해를 묘사한다. 이 실시형태에서, SPU(290)용 외부 회로(700)는 도 2의 집적 회로(250)의 외부이다. 외부 회로(700)는 외부 전압(710), 전원 공급 핀(720; power supply pin), 전원 공급 핀(730), 전원 공급 핀(740), 로직 블록(750), 로직 블록(760), 및 로직 블록(770)을 포함한다. SPU(290)용 외부 회로(700)는 직류/직류(DC/DC) 변환을 제공한다. DC/DC 변환은 다수의 독립 전원 공급 핀들(720, 730 및 740)을 제공한다. 전원 공급 핀들(720, 730 및 740)은 각기 구별되는 전원 핀 위로 가변 전압 공급원을 갖는다. 또한, 일부 실시형태에서, 가변 전압은 단계 및 범위 이내이다. 일부 실시형태에서, PMCL(218)은 전원 공급 핀들(720, 730 및 740)로의 전압을 제어한다.

도 8은 본 발명의 전형적인 일 실시형태에서 응용프로그램 요구로부터 SPU로의 동작의 순서도를 표시한다. 도 8은 단계 800에서 시작한다. 단계 802에서, 응용프로그램이 요청된다. 단계 804에서, 응용프로그램은 IP 유닛의 수행을 위하여 요구되는 주파수를 결정한다. 예를 들면, 응용프로그램은 MPEG 디코더용 IP 유닛을 위한 특정한 MHz 주파수를 결정한다.

단계 806에서, 응용프로그램은 PMCL(218) API 콜을 요청한다. 이 콜의 한 실시예는 "Set_Rate (unit Y, N MHz, degree of dynamic power management (DPM) allowed, DPM threshold, other information to allow DPM trade-offs, starting back bias for SPMs with dynamic bias, wait for power up flag)"이다. 이 실시예에서, 다른 정보(other information)는 "no power off, use high Vt and clocks off instead" 및 "major waits are about 10 us, with a 400 ns threshold"가 될 수 있다.

PMCL(218)은 유닛용으로 이용가능한 가능한 트레이드-오프를 결정하고 그리고 단계 808에서 요청되는 주파수를 지지할 수 있는 최저의 가능한 Vdd를 선택하고, 그리고 단계 810에서 전원 핀들에 변경하고 영향을 주고자 하는 SPM들(264 및 274)을 결정한다.

단계 812에서, PMCL(218)은 SPM들(264 및 274)(및 IPM)이 Vdd 변경을 준비하도록 하는 명령어를 MPM(280)로 보낸다. 단계 814에서, PMCL(218)은 MPM(280)으로부터 확인을 기다린다. 단계 816에서, PMCL(218)은 선택된 전원 핀들의 Vdd를 변경시키는 명령어를 SPU(290)로 보내고 그리고 "세틀 다운(settle down)"에 대한 유효 영역에 대기한다. 단계 818에서, PMCL(218)은 MPM(280)으로 "특정 주파수에서의 동작 요약"("resume operation at a specified frequency") 명령어를 보낸다. 단계 820에서, MPM(280)은 요약 명령어를 모든 영향받는 SPM들(264 및 274)(및 IPM)로 전파한다.

단계 822에서, 전원 관리자들(예컨대, MPM(280), IPM, 또는 SPM들(264 및 274)) 중 하나는 특정 주파수를 설정한다. 단계 824에서, IP 유닛은 클럭이 세팅된 이후에 요약을 동작한다. 도 8은 단계 826에서 종료한다. 일부 실시형태에서, 사용자 응용프로그램은 동작의 진행 또는 "종료됨"의 대기과 같도록 전체 쿼리(query) PMCL(218)이 전체 동작이 끝나거나 또는 계속되기를 대기하는 옵션을 갖는다.

도 9는 본 발명의 전형적인 일 실시형태에서 전원을 끄기 이전에 IP 유닛의 상태를 저장하고 전원을 켜는 경우에 IP 유닛의 상태를 복원하는 순서도이다. 도 9는 단계 900에서 시작한다. 단계 902에서, 사용자 응용프로그램은 PMCL(218)이 IP 유닛을 전원 오프시키도록 요청하고 그리고 IP 유닛의 상태를 저장하기를 원한다. 일부 실시형태에서, IP 유닛의 교체(재구성)는 오랜 시간이 걸린다. 단계 902의 요청은 상태가 저장된 영역의 주소에 의해 수행될 수도 있다.

단계 904에서, PMCL(218)은 MPM(280)으로 "클럭을 멈추고 IP 유닛의 상태 읽기"("stop clock and read IP unit state") 명령어를 보낸다. MPM(280)은 그 후에 "stop clock and read IP unit state" 명령어를 단계 906에서 영향받는 유닛의 SPM들(264 및 274)로 전파한다. 단계 908에서, MPM(280)은 IP 유닛용 스캔 체인을 이용하여 PMCL(218)에 대한 제어용 레지스터 또는 버퍼 안으로 상태를 읽어들인다. 단계 910에서, 만일 PMCL(218)이 MPM(280)으로 저장 영역의 주소를 제공한다면, MPM(280)은 특정 영역으로 직접 상태 정보를 저장한다. 단계 912에서, 모든 IP 유닛들의 상태가 저장된 이후에, PMCL(218)은 "IP 유닛 전원 오프"("power off IP unit") 명령어를 MPM(280)으로 보낸다. 단계 914에서, MPM(280)은 "power off IP unit" 명령어를 전파한다. 단계 916에서, PMCL(218)은 저장 상태 영역을 사용자 응용프로그램으로 되돌린다. 상태 저장 영역은 유닛의 상태를 포함한다.

나중에, 단계 918에서, 사용자 응용프로그램은 IP 유닛의 전원을 다시 켜고 그리고 IP 유닛의 상태를 복원하도록 요청한다. 일부 실시형태에서, 사용자 응용프로그램 요청은 상태가 저장된 영역의 주소를 포함한다. 단계 920에서, PMCL(218)은 MPM(280)으로 "클럭이 오프된 IP 유닛을 켜고 상태 복원"("power up IP unit with clocks off and restore state") 명령어를 보낸다. 단계 922에서, MPM(280)은 "power up IP unit with clocks off and restore state" 명령어를 영향받는 IP 유닛의 SPM들(264 및 274)로 전파한다. 단계 924에서, IP 유닛이 켜진 이후에, MPM(280)은 스캔 체인을 이용하여 유닛의 상태를 다시 로드한다. 일부 실시형태에서, 유닛 상태의 재 로딩은 저장 영역 또는 MPM(280)으로 통과하는 정보로부터 직접 PMCL(218)로부터 발생된다. 단계 926에서, PMCL(218)은 MPM(280)으로 클럭을 다시 켜도록 하는 메시지를 보내고 그리고 IP 유닛이 이미 계속적으로 동작하는 사용자 응용프로그램에 보고한다. 도 9는 단계 928에서 종료한다.

일부 실시형태에서, 도 9의 동일한 기능이 현재의 IP 유닛이 읽혀진 후 전원 다운되지 않도록 하는 내부 "로직 분석기"("logic analyzer") 기능을 실시하기 위하여 사용될 수 있다. 만일 IP 유닛의 관련 SPM들(264 및 274)이 단일 또는 다중 단계적 클럭을 갖는다면, SPM들(264 및 274)이 IP 유닛을 "신호 절연"함에 의해 지역 스캔 테스트가 수행된다. 그리고 나서, 단일- 또는 다중 단계적 클럭 기능 및 스캔 체인을 이용하는 기능의 조합을 이용하는 것은 IP 유닛의 내부 상태를 읽고/쓰기를 할 수 있다.

도 10은 본 발명의 전형적인 일 실시형태에서 시스템 온 칩(SOC; system-on-chip; 1000) 및 확장 로컬 메모리(1004)의 도해를 표시한다. SOC(1000)는 집적 회로(250)의 일 실시예이고 그리고 상술한 바와 같은 도 2의 내장된 펌웨어 스택(210)과 통신한다. SOC(1000)는 CPU(1010), 로컬 메모리(1020), 메모리 제어기(1030), 혼합된 신호 회로(1040), 응용프로그램 특정 회로(1050), 피시아이-엑스(PCI-X) 회로(1060), MPM(1070), 실시간 클럭(RTC; real-time clock; 1075), 이더넷(Ethernet) 회로(1080), 및 유에스비(USB) 회로(1090)를 포함한다. CPU(1010), 로컬 메모리(1020), 메모리 제어기(1030), 혼합된 신호 회로(1040), 응용프로그램 특정 회로(1050), PCI-X 회로(1060), 이더넷 회로(1080), 및 USB 회로(1090)는 모두 전원 관리자들에 의해 전원 아일랜드 내에서 전원이 제어되는 전원 아일랜드들이다. 이 실시형태에서, 전원 아일랜드는 SOC(1000)의 일부의 기능에 의해 설명된다.

확장 로컬 메모리(1004)는 버스(1071)에 결합된 IPM(1006)을 포함한다. CPU(1010)는 버스(1071)에 결합된 SPM(1015)을 포함한다. 로컬 메모리(1020)는 버스(1071)에 결합된 SPM(1025)을 포함한다. 메모리 제어기(1030)는 버스(1071)에 결합된 SPM(1035)을 포함한다. 혼합된 신호 회로(1040)는 버스(1071)에 결합된 SPM(1045)을 포함한다. 응용프로그램 특정 회로(1050)는 모두 버스(1072)에 결합된 IPM(1055) 및 SPM(1058)을 포함한다. PCI-X 회로(1060)는 버스(1072)에 결합된 SPM(1065)을 포함한다. MPM(1070)은 버스(1071) 및 버스(1072)에 결합된다. MPM(1070)은 상술한 MPM(280)의 일 실시예이다. 이더넷 회로(1080)는 버스(1072)에 결합된 SPM(1085)을 포함한다. USB 회로(1090)는 버스(1072)에 결합된 SPM(1095)을 포함한다.

이 실시형태에서, 전원 명령어 버스는 버스(1071) 및 버스(1072)를 포함한다. 버스들(1071 및 1072)은 칩 경계를 통과하고 그리고 전원 관리자들과 연결되는 단일 멀티-드래프 직렬 버스들이다. 전원 명령어 버스는 칩의 영역 당 하나씩 구비되고 영역 내에서 멀티 드래프되는 버스(1071) 및 버스(1072)와 같은 직렬 버스들의 조합이 될 수 있다. 다른 실시형태에서, 전원

명령어 버스는 병렬 버스 또는 직렬 및 병렬 버스들의 조합을 포함한다. 일부 실시형태에서, 전원 명령어 버스는 시스템 버스이다. 전원 명령어 버스는 적어도 하나의 유효 하중 관련 유닛 ID(unit ID)를 구비한 메시지를 포함할 수 있다. 정적의 지점 대 지점 버스에 있어서, 메시지는 유효 하중만을 위한 유닛 ID를 필요로 하지 않는다.

일부 실시형태에서, 전원 명령어 버스는 패리티(parity), 이씨씨(ECC), 또는 예비 코드와 같은 에러 검출 구성을 이용한다. 일부 실시형태에서, 전원 명령어 버스는 집적 회로와 간섭하지 않고 그리고 사용자에게 보이지 않는 낮은 성능의 버스이다. 일부 실시형태에서, PMCL(218) 및 MPM(280) 사이의 통신은 SOC(1000)용 AHB와 같은 메인 버스상에서 메모리 매핑되고 설계된다.

일부 실시형태들은 전원 관리자 사이의 상태 정보를 기록하기 위한 별개의 버스를 포함할 수 있다. 일 실시예에서, 이러한 별개의 버스는 SPM들로부터 MPM으로 비동기 "경고"("Alert") 방식 메시지를 제공한다.

전원 명령어 버스용으로 다양한 메시지 형태가 존재할 수 있다. 기본적 형태의 일 실시예에서, 메시지 형태는 메시지 지시자의 시작, 전원 관리자 주소, 종류 코드, 기본 명령어, 및 메시지 지시자의 종료를 포함한다. 확장된 형태의 일 실시예에서, 메시지 형태는 기본 형태, 부가의 길이, 및 부가의 정보를 포함한다. 반응 메시지 형태의 일 실시예에서, 메시지 형태는 메시지 회신 지시자의 시작, 전원 관리자 주소, 3b ACK 또는 NAK 또는 리턴 상태(ACK를 수신하는), 회신 상태 메시지의 유효 하중 길이, 회신 상태 메시지의 유효 하중, NAK용 이유 코드, 및 메시지 지시자의 종료를 포함한다.

일부 실시형태에서, SPM(1050) 또는 IPM(1006)은 명령어를 회신하는 데 시간이 걸리고, 그리고 MPM(1070)은 명령어에 프로그램가능한 시간의 개수를 재등록한다. 만일 SPM(1015) 또는 IPM(1006)이 실패한다면, MPM(1070)은 SPM(1015) 또는 IPM(1006)을 사용불가함으로 마크하고 그리고 PMCL(218)로 그 실패를 되돌려 보고한다. 일 실시형태에서, PMCL(218)은 스캔 시스템을 통하여 실패한 SPM(1015) 또는 IPM(1006)를 재 초기화하고 그리고 메시지의 전송을 재시도하는 MPM(1070)을 갖는다. 명령어에 대한 유효하지 않은 반응 또는 무효한 상태 보고와 같은 다른 조건들은 또한 재 초기화에 의해 핸들링된다. 일부 실시형태에서, 실패한 SPM(1015) 또는 IPM(1006)의 상태는 이후 분석을 위하여 관독되고 그리고 저장된다.

도 11은 본 발명의 전형적인 일 실시형태에 따라 IPM(1055)로부터 PMCL(218)로 "핫 스팟"("hot spot") 보고를 생성하는 순서도를 도시한다. 도 11은 단계 1100에서 시작한다. 단계 1102에서, IPM(1055)은 SPM들의 온도 통계를 모니터한다. 단계 1104에서, IPM(1055)은 평균 온도가 소정의 그리고 프로그램된 한계점을 초과하는지 여부를 체크한다. 만일 평균 온도가 한계점을 초과하지 않는다면, IPM(1055)은 단계 1102로 되돌아가 모니터링을 계속한다. 만일 평균 온도가 한계점을 초과한다면, IPM(1055)은 그 후에 단계 1106의 문제("핫 스팟") 보고 메시지를 생성한다. 단계 1108에서, IPM(1055)은 MPM(1070)으로부터 다음 상태 쿼리를 기다린다. 일부 실시형태에서, 논리적으로 구분되는 버스가 MPM(280)으로 비동기 상태 보고를 위하여 제공된다.

단계 1110에서, MPM(1070)은 핫 스팟 보고 메시지를 수신한다. 단계 1112에서, MPM(1070)은 추가의 확인(예컨대, 소정의 한계점을 과거에 지난 "핫 스팟"을 참조한다)을 기다리거나 또는 MPM(1070)의 내부 논리회로에 기초하여 그 문제를 픽스시키는 동작을 즉시 수행한다. 일부 실시형태에서, 단계 1114에서, MPM(1070)은 주의가 필요하다는 인터럽트를 PMCL(218)로 전송하는 동작을 취한다. 일부 실시형태에서, 만일 PMCL(218)이 MPM(1070)으로 충분히 자주 문의를 한다면, 인터럽트는 필요로 하지 않는다. 단계 1116에서, MPM(또는 IPM)은 로컬 트레이드-오프를 만들고, 동작을 수행하고, 또는 수행하고자 하는 동작에 대한 명령을 내림으로써 그 문제점을 픽스한다. 문제점을 픽스하는 일 실시예는 핫 스팟 영역의 동작 주파수를 낮추는 것이다. 단계 1118에서, MPM(1070)은 문제점 및 문제점 업스트림의 픽스 모두를 보고한다.

단계 1120에서, PMCL(218)은 MPM(1070)으로부터 수정된 핫 스팟 보고서를 관독한다. 단계 1122에서, PMCL(218)은 그 문제점을 픽스하거나 또는 그 문제점을 GPAL(214)로 통지하는 동작을 결정한다. 단계 1124에서, PMCL(218)은 그 문제점을 픽스하기 위하여 MPM(1070)으로 적절한 명령어를 발행한다. 이 단계에서, 소프트웨어는 그 문제점을 픽스하기 위해 요구되는 트레이드-오프를 작성할 것이다. 일부 실시형태에서, 만일 GPAL(214)이 높은 순위의 픽스를 결정한다면, 그 후에 GPAL(214)은 MPM 명령어로 변환시키기 위하여 PMCL(218)로 그것을 보낸다. 단계 1126에서, PMCL(218)은 그 문제점이 픽스되었는지 여부를 체크하기 위하여 특정한 시간동안 문제 영역을 모니터한다. 도 11은 단계 1128에서 종료한다.

일부 실시형태에서, 도 11의 기능성 종류는 PMCL(218)과 같은 다른 레벨에서 수행될 수 있다. 일 실시예에서, PMCL(218)은 (MPM(1070)을 통하여) 소망의 측정 능력을 갖는 SPM들 (및 IPM들)에 대하여 그들의 로컬 조건들을 문의하고 그리고 나서, 예컨대, 동작할 수 있는 전원 이용도의 "맵"을 작성할 수 있다.

도 12는 본 발명의 다른 전형적인 실시형태에 따른 시스템 온 칩(SOC; system-on-a-chip; 1200)의 도해를 묘사한다. SOC(1200)는 센서 링크(1212; sensor link), RF 링크(1214; RF link), 제어 링크(1216; control link), 비디오 링크(1294; video link), 오디오 링크(1295; audio link), 인터페이스 링크(1296; interface link), 제어 링크(1297), 및 전원 링크(1298)에 부착된다. SOC(1200)는 클록 및 배포 관리자(1210; clock and distribution management), IP 블록 전원 아일랜드(1220), 메모리 전원 아일랜드(1230), 마이크로프로세서 전원 아일랜드(1240), IP 블록 전원 아일랜드(1250), 배포 전원 아일랜드(1260), IP 블록 전원 아일랜드(1270), IP 블록 전원 아일랜드(1280), 및 전원 및 배포 관리자(1290)를 포함한다.

IP 블록 전원 아일랜드(1220)는 아날로그-디지털 변환기(ADC; analog-to-digital converter)를 포함하고, SPM(1224)을 포함하는 제품 표준 인터페이스 IP 블록(1222)을 포함한다. IP 블록 전원 아일랜드(1230)는 SPM(1234)을 포함하는 메모리(1232)를 포함한다. 마이크로프로세서 전원 아일랜드(1240)는 SPM(1244)을 포함하는 마이크로프로세서(1242)를 포함한다. IP 블록 전원 아일랜드(1250)는 SPM(1254)을 포함하는, ADC(1252)를 포함하는 제품 표준 인터페이스 IP 블록(1252)을 포함한다. 배포 전원 아일랜드(1260)는 SPM(1264)을 포함하는 데이터 및 신호 배포(1262)를 포함한다. IP 블록 전원 아일랜드(1270)는 SPM(1274)을 포함하고, 디지털 신호 처리기(DSP; digital signal processor)를 포함하는 범용 IP 블록(1272; general purpose IP block)을 포함한다. IP 블록 전원 아일랜드(1280)는 SPM(1284)을 포함하는 제품-특정 IP 블록(1282)을 포함한다. 전원 및 배포 관리자(1290)는 MPM(1292)을 포함한다.

도 13은 본 발명의 전형적인 실시형태에 따른 전원 아일랜드를 구비한 칩을 제작하는 순서도를 묘사한다. 도 13은 단계 1300에서 시작한다. 단계 1302에서, IP들 또는 라이브러리 셀이 선택되고, 칩을 제작하기 위해 이용하고자 하는 주문자 로직이 가능하다면 특정된다. 일부 실시형태에서, 최대 및 서브 클록 비, % 유희기간, 및 최소 및 최대 Vdd가 특정된다. 단계 1304에서, 레지스터 트랜스퍼 레벨(RTL)이 기록된다. 단계 1306에서, RTL이 시뮬레이트 되고 디버깅 된다.

RTL의 기록 중 또는 기록 이후에, 단계 1308에서 소프트웨어 툴이 MPM, IPM, 및/또는 SPM 블록들에 대한 주석을 추가하기 위해 이용될 수도 있다. 일부 실시형태에서, 주석 내에 소망의 기능 옵션들이 특정된다. 일부 실시형태에서, 선택적 기능이 SPM 블록마다 특정된다. 일부 실시형태에서, RTL은 퍼-모듈 베이스(per-module basis)마다 SPM 구성 정보와 함께 주석이 추가된다. 일부 실시형태에서, RTL의 기록 중 또는 기록 이후에 퍼-모듈 베이스마다 적절한 주석이 삽입될 수 있다. 다른 실시형태에서, 모듈 명칭 및 개개의 주석이 구비된 적절한 형태의 별개의 테이블이 생성된다. 일부 실시형태에서, 개별 소프트웨어 툴은 개별 테이블을 협력하여 제작하는 성능을 제공한다. 일부 실시형태에서, 소프트웨어 툴은 테이블로부터의 정보를 이용하여 RTL의 비-주석 모듈에 적절한 주석을 추가할 수 있다.

단계 1310에서, 전원 아일랜드들이 혼합되지 않은 전원 아일랜드 베이스에서 통합이 실시된다. 단계 1312에서, 성능 측정 소프트웨어가 각 Vdd 및 Vt 옵션에 대한 개개의 모듈에서 실시되고, 그리고 나서 MPM에 대한 주석이 RTL로 추가된다. 일부 실시형태에서, 설계 성능이 소망하는 모든 전압 및 Vt 조합에서 측정된다. 그리고 나서, 소프트웨어 툴은 각 SPM에 대한 실제 주파수, Vdd 및 Vt 테이블을 유도하고 그리고 SPM 특성을 MPM (또는 IPM) RTL에 주석을 부가한다.

단계 1314에서, 최종 통합이 전원 아일랜드 베이스에서 실시된다. 일부 실시형태에서, 모듈들은 SPM에 의해 또는 개별적으로 구동된다. 단계 1316에서, 소프트웨어 툴은 각 SPM으로 전원 및 클록을 연결하도록 실시된다. 단계 1318은 설계 종료(tape-out)까지의 잔여 단계이다. 일부 실시형태에서, 소프트웨어 툴은 모든 정보를 구비한 완성된 순수-리스트를 생성한다. 도 13은 단계 1320에서 종료한다.

상술한 요소들은 저장 매체상에 저장되는 지시들로 포함될 수 있다. 지시는 프로세서에 의해 재생되고 실행될 수 있다. 지시의 일부 실시예는 소프트웨어, 프로그램 코드, 및 펌웨어이다. 저장 매체의 일부 실시예는 메모리 소자, 테이프, 디스크, 집적 회로, 및 서버이다. 본 발명에 따라 직접 프로세서로부터 작업자에게로 프로세서에 의해 실행될 때 지시는 선택적이다. 관련기술에 숙련된 자에게 지시, 프로세서, 및 저장 매체는 잘 알려져 있다.

상술한 기술은 예시적이며 제한적인 것은 아니다. 이러한 기술을 검토를 통하여 관련 기술에 숙련된 자에게 본 발명의 많은 변형은 명백할 것이다. 그러므로, 본 발명의 범위는 상술한 기술을 참조하여 결정되지 않으며, 첨부되는 특허청구범위 및 그에 준하는 등가의 모든 범위를 참조하여 결정될 것이다.

산업상 이용 가능성

전압 및 주파수가 집적 회로의 요구 및 동작에 기초하여 동적으로 변화하는 전원 아일랜드를 이용한 집적 회로의 전원 관리 시스템 및 방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1.

전원 소비량이 전원 아일랜드의 각각 내에서 독립적으로 제어되는 상기 전원 아일랜드들 중 하나에 대한 목표 전원 레벨을 결정하는 단계;

상기 목표 전원 레벨에 대하여 상기 전원 아일랜드들 중 하나의 소비 전원 레벨을 변경하기 위한 동작을 결정하는 단계; 및

상기 목표 전원 레벨에 대하여 상기 전원 아일랜드들 중 하나의 소비 전원 레벨을 변경하기 위한 동작을 실행하는 단계;

를 포함하는 것을 특징으로 하는 복수의 전원 아일랜드들을 포함하는 집적 회로에서 전원을 관리하는 방법.

청구항 2.

제 1 항에 있어서, 상기 전원 아일랜드들은 상기 집적 회로의 기하학적 요인에 기초하여 설계되는 것을 특징으로 하는 방법.

청구항 3.

제 1 항에 있어서, 상기 전원 아일랜드들은 상기 집적 회로의 기능적 회로에 기초하여 설계되는 것을 특징으로 하는 방법.

청구항 4.

제 1 항에 있어서, 상기 전원 아일랜드들은 전원 서브-아일랜드를 포함하는 것을 특징으로 하는 방법.

청구항 5.

제 1 항에 있어서, 상기 전원 아일랜드들은 다중 클록 도메인을 포함하는 것을 특징으로 하는 방법.

청구항 6.

제 1 항에 있어서, 상기 동작은 상기 전원 아일랜드들 중 하나를 위한 클록 주파수 선택을 포함하는 것을 특징으로 하는 방법.

청구항 7.

제 1 항에 있어서, 상기 동작은 상기 전원 아일랜드들 중 하나를 위한 클록 선택을 포함하는 것을 특징으로 하는 방법.

청구항 8.

제 1 항에 있어서, 상기 동작은 상기 전원 아일랜드들 중 하나를 위한 제1 전압의 수정을 포함하는 것을 특징으로 하는 방법.

청구항 9.

제 8 항에 있어서, 상기 제1 전압은 소스 전압을 포함하는 것을 특징으로 하는 방법.

청구항 10.

제 8 항에 있어서, 상기 제1 전압은 한계 전압을 포함하는 것을 특징으로 하는 방법.

청구항 11.

제 1 항에 있어서, 상기 동작은 상기 전원 아일랜드들 중 하나에 대한 전원 공급을 포함하는 것을 특징으로 하는 방법.

청구항 12.

제 1 항에 있어서, 상기 동작은 상기 전원 아일랜드들 중 하나에 대한 전원 중단을 포함하는 것을 특징으로 하는 방법.

청구항 13.

제 1 항에 있어서, 상기 동작은 상기 전원 아일랜드들 중 하나를 슬립 모드로 변경시키는 것을 포함하는 것을 특징으로 하는 방법.

청구항 14.

제 1 항에 있어서,

상기 전원 아일랜드들 중 하나의 전원 소비 레벨을 모니터링하는 단계;

상기 전원 소비 레벨에 기초하여 한계 레벨이 교차되는지 여부를 결정하는 단계; 및

상기 한계 레벨의 교차에 기초하여 상기 동작을 실행하는 단계;

를 더 포함하는 것을 특징으로 하는 방법.

청구항 15.

제 1 항에 있어서, 상기 전원 아일랜드들 중 하나 내의 구성요소의 상태를 저장하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 16.

제 1 항에 있어서, 상기 전원 아일랜드들 중 하나 내의 구성요소의 상태를 복원하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 17.

전원 아일랜드의 한 곳을 위하여 전원을 제어하도록 형성된 전원 제어 회로설계; 및

상기 전원 아일랜드의 한 곳을 위하여 목표 전원 레벨을 결정하고, 상기 목표 전원 레벨에 대하여 상기 전원 아일랜드의 한 곳의 소비 전원 레벨을 변경하기 위하여 동작을 결정하며, 상기 목표 전원 레벨에 대하여 상기 전원 아일랜드의 한 곳의 상기 소비 전원 레벨을 변경하기 위하여 상기 동작을 실행하도록 형성된 전원 관리자;

를 포함하는 것을 특징으로 하는 전원 소비량이 복수의 전원 아일랜드의 각각 내에서 독립적으로 제어되는 상기 복수의 전원 아일랜드를 포함하는 집적 회로용 시스템.

청구항 18.

제 17 항에 있어서, 상기 전원 아일랜드는 상기 집적 회로의 기하학적 요인에 기초하여 설계되는 것을 특징으로 하는 시스템.

청구항 19.

제 17 항에 있어서, 상기 전원 아일랜드는 상기 집적 회로의 기능적 회로설계에 기초하여 설계되는 것을 특징으로 하는 시스템.

청구항 20.

제 17 항에 있어서, 상기 전원 아일랜드는 전원 서브-아일랜드를 포함하는 것을 특징으로 하는 시스템.

청구항 21.

제 17 항에 있어서, 상기 전원 아일랜드는 다중 클록 도메인을 포함하는 것을 특징으로 하는 시스템.

청구항 22.

제 17 항에 있어서, 상기 동작은 상기 전원 아일랜드의 한 곳을 위하여 클록 주파수를 선택하는 공정을 포함하는 것을 특징으로 하는 시스템.

청구항 23.

제 17 항에 있어서, 상기 동작은 상기 전원 아일랜드의 한 곳을 위하여 클록을 선택하는 공정을 포함하는 것을 특징으로 하는 시스템.

청구항 24.

제 17 항에 있어서, 상기 동작은 상기 전원 아일랜드의 한 곳에 대하여 제1 전압을 변경하는 공정을 포함하는 것을 특징으로 하는 시스템.

청구항 25.

제 24 항에 있어서, 상기 제1 전압은 소스 전압을 포함하는 것을 특징으로 하는 시스템.

청구항 26.

제 24 항에 있어서, 상기 제1 전압은 한계 전압을 포함하는 것을 특징으로 하는 시스템.

청구항 27.

제 17 항에 있어서, 상기 동작은 상기 전원 아일랜드의 한 곳에서 전원을 공급하는 공정을 포함하는 것을 특징으로 하는 시스템.

청구항 28.

제 17 항에 있어서, 상기 동작은 상기 전원 아일랜드의 한 곳에서 전원을 중단하는 공정을 포함하는 것을 특징으로 하는 시스템.

청구항 29.

제 17 항에 있어서, 상기 동작은 수면 상태까지 상기 전원 아일랜드의 한 곳을 변화시키는 공정을 포함하는 것을 특징으로 하는 시스템.

청구항 30.

제 17 항에 있어서, 상기 전원 관리자는 상기 전원 아일랜드의 한 곳의 전원 소비 레벨을 모니터하고, 한계 레벨이 상기 전원 소비 레벨에 기초하여 교차되는지 여부를 결정하며, 상기 한계 레벨의 교차에 기초하여 상기 동작을 실행하도록 형성되는 것을 특징으로 하는 시스템.

청구항 31.

제 17 항에 있어서, 상기 전원 관리자는 상기 전원 아일랜드의 한 곳 내에서 구성요소의 상태를 저장하도록 형성되는 것을 특징으로 하는 시스템.

청구항 32.

제 17 항에 있어서, 상기 전원 관리자는 상기 전원 아일랜드의 한 곳 내에서 구성요소의 상태를 복원하도록 형성되는 것을 특징으로 하는 시스템.

청구항 33.

제 17 항에 있어서, 상기 전원 관리자 및 상기 전원 아일랜드를 연결해주는 버스를 더 포함하는 것을 특징으로 하는 시스템.

청구항 34.

제 17 항에 있어서, 상기 전원 관리자는 상기 집적 회로의 전원을 제어하기 위하여 형성된 마스터 관리자를 포함하는 것을 특징으로 하는 시스템.

청구항 35.

제 17 항에 있어서, 상기 전원 관리자는 상기 전원 아일랜드의 한 곳의 전원을 제어하기 위하여 형성된 슬레이브 관리자를 포함하는 것을 특징으로 하는 시스템.

청구항 36.

제 17 항에 있어서, 상기 전원 제어 회로설계는 설계회로가 다중 송신하도록 클록을 포함하는 것을 특징으로 하는 시스템.

청구항 37.

제 17 항에 있어서, 상기 전원 제어 회로설계는 회로설계가 다중 송신하도록 전압을 포함하는 것을 특징으로 하는 시스템.

청구항 38.

제 17 항에 있어서, 상기 전원 제어 회로설계는 회로설계가 이동하도록 레벨을 포함하는 것을 특징으로 하는 시스템.

청구항 39.

전원 소비량이 전원 아일랜드의 각각 내에서 독립적으로 제어되는 상기 전원 아일랜드의 한 곳을 위하여 목표 전원 레벨을 결정하고, 상기 목표 전원 레벨에 대하여 상기 전원 아일랜드의 한 곳의 소비 전원 레벨을 변경하도록 동작을 결정하며, 상기 목표 전원 레벨에 대하여 상기 전원 아일랜드의 한 곳의 상기 소비 전원 레벨을 변경하도록 동작을 실행하기 위하여 프로세서에 지시하도록 상기 프로세서에 의해 수행될 때 사용되는 전원 처리 소프트웨어; 및

상기 전원 처리 소프트웨어를 저장하기 위하여 사용되는 소프트웨어 저장 매체;

를 포함하는 것을 특징으로 하는 복수의 전원 아일랜드를 포함하는 집적 회로에서 전원을 처리하기 위한 소프트웨어 제품.

청구항 40.

제 39 항에 있어서, 상기 전원 아일랜드는 상기 집적 회로의 기하학적 요인에 기초하여 설계되는 것을 특징으로 하는 소프트웨어 제품.

청구항 41.

제 39 항에 있어서, 상기 전원 아일랜드는 상기 집적 회로의 기능적 회로설계에 기초하여 설계되는 것을 특징으로 하는 소프트웨어 제품.

청구항 42.

제 39 항에 있어서, 상기 전원 아일랜드는 전원 서브-아일랜드를 포함하는 것을 특징으로 하는 소프트웨어 제품.

청구항 43.

제 39 항에 있어서, 상기 전원 아일랜드는 다중 클록 도메인을 포함하는 것을 특징으로 하는 소프트웨어 제품.

청구항 44.

제 39 항에 있어서, 상기 동작은 상기 전원 아일랜드의 한 곳을 위하여 클록 주파수를 선택하는 공정을 포함하는 것을 특징으로 하는 소프트웨어 제품.

청구항 45.

제 39 항에 있어서, 상기 동작은 상기 전원 아일랜드의 한 곳을 위하여 클록을 선택하는 공정을 포함하는 것을 특징으로 하는 소프트웨어 제품.

청구항 46.

제 39 항에 있어서, 상기 동작은 상기 전원 아일랜드의 한 곳을 위하여 제1 전압을 변경하는 공정을 포함하는 것을 특징으로 하는 소프트웨어 제품.

청구항 47.

제 46 항에 있어서, 상기 제1 전압은 소스 전압을 포함하는 것을 특징으로 하는 소프트웨어 제품.

청구항 48.

제 46 항에 있어서, 상기 제1 전압은 한계 전압을 포함하는 것을 특징으로 하는 소프트웨어 제품.

청구항 49.

제 39 항에 있어서, 상기 동작은 상기 전원 아일랜드의 한 곳에 전원을 공급하는 공정을 포함하는 것을 특징으로 하는 소프트웨어 제품.

청구항 50.

제 39 항에 있어서, 상기 동작은 상기 전원 아일랜드의 한 곳에 전원을 중단하는 공정을 포함하는 것을 특징으로 하는 소프트웨어 제품.

청구항 51.

제 39 항에 있어서, 상기 동작은 슬립 모드로 상기 전원 아일랜드의 한 곳을 변화시키는 공정을 포함하는 것을 특징으로 하는 소프트웨어 제품.

청구항 52.

제 39 항에 있어서, 상기 전원 처리 소프트웨어는 상기 전원 아일랜드의 한 곳의 전원 소비 레벨을 모니터하고, 한계 레벨이 상기 전원 소비 레벨에 기초하여 교차되는지 여부를 결정하며, 상기 한계 레벨의 교차에 기초하여 상기 동작을 실행하도록 상기 프로세서에 의해 수행될 때 사용되는 것을 특징으로 하는 소프트웨어 제품.

청구항 53.

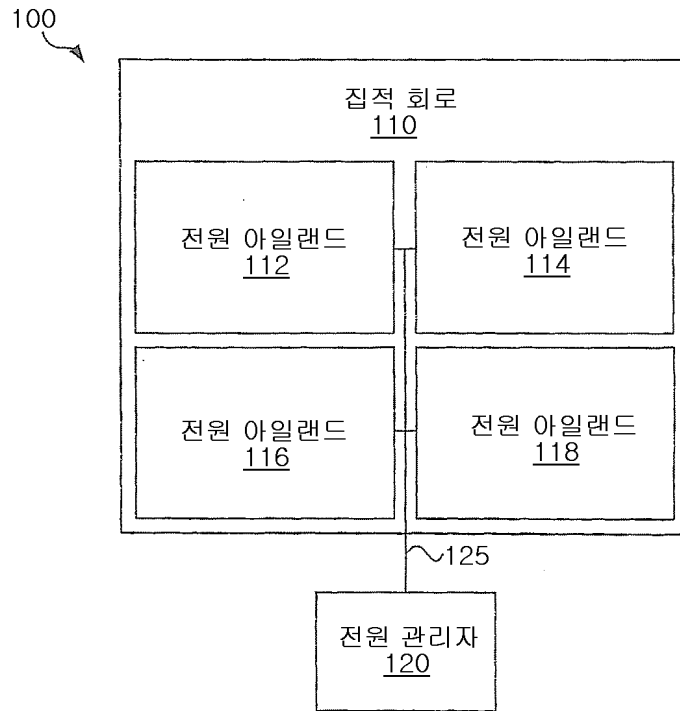
제 39 항에 있어서, 상기 전원 처리 소프트웨어는 상기 전원 아일랜드의 한 곳 내에서 구성요소의 상태를 저장하도록 상기 프로세서에 지시하기 위하여 상기 프로세서에 의해 수행될 때 사용되는 것을 특징으로 하는 소프트웨어 제품.

청구항 54.

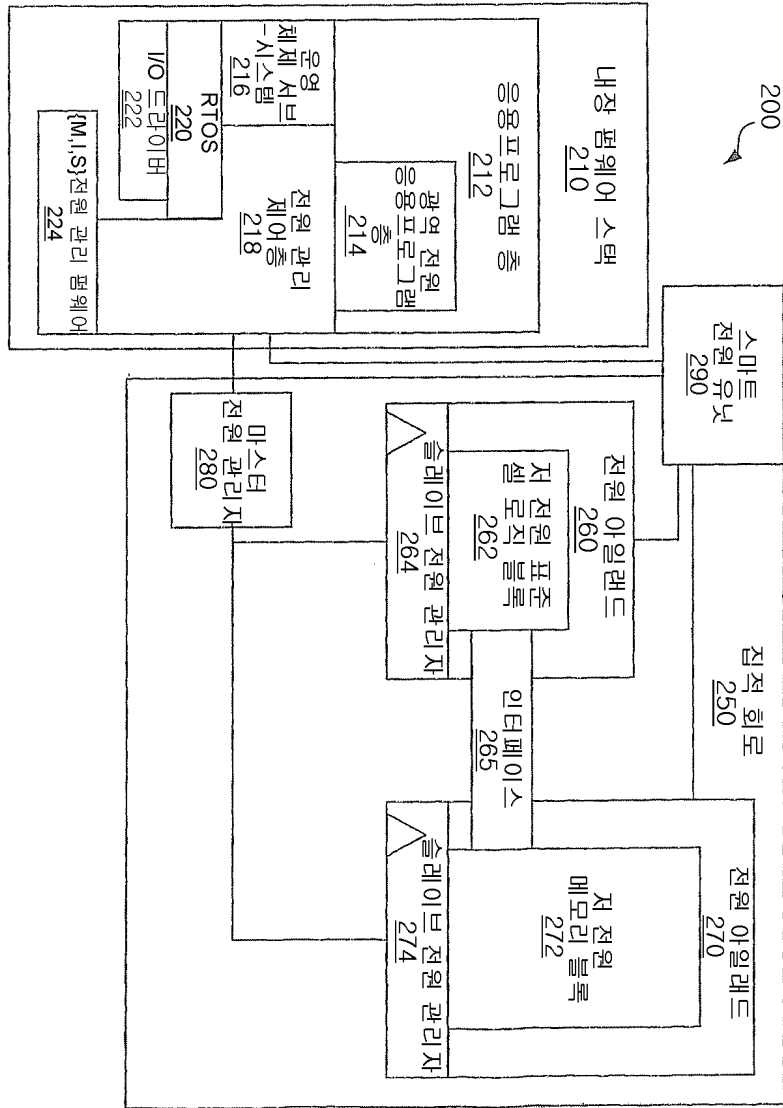
제 39 항에 있어서, 상기 전원 처리 소프트웨어는 상기 전원 아일랜드의 한 곳 내에서 구성요소의 상태를 복원하도록 상기 프로세서에 지시하기 위하여 상기 프로세서에 의해 수행될 때 사용되는 것을 특징으로 하는 소프트웨어 제품.

도면

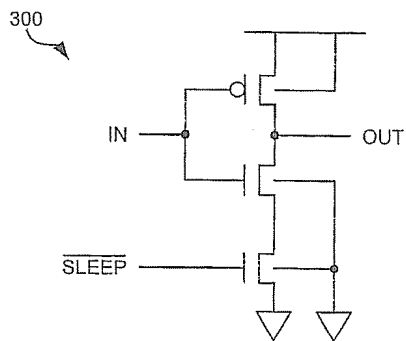
도면1



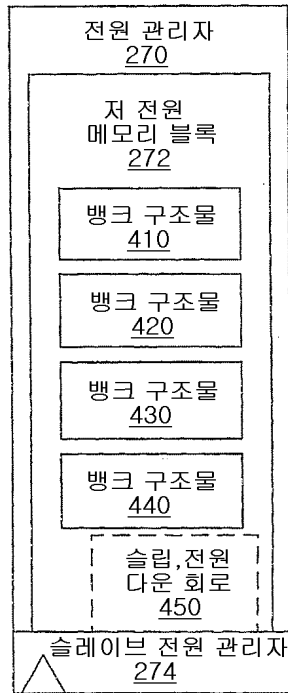
도면2



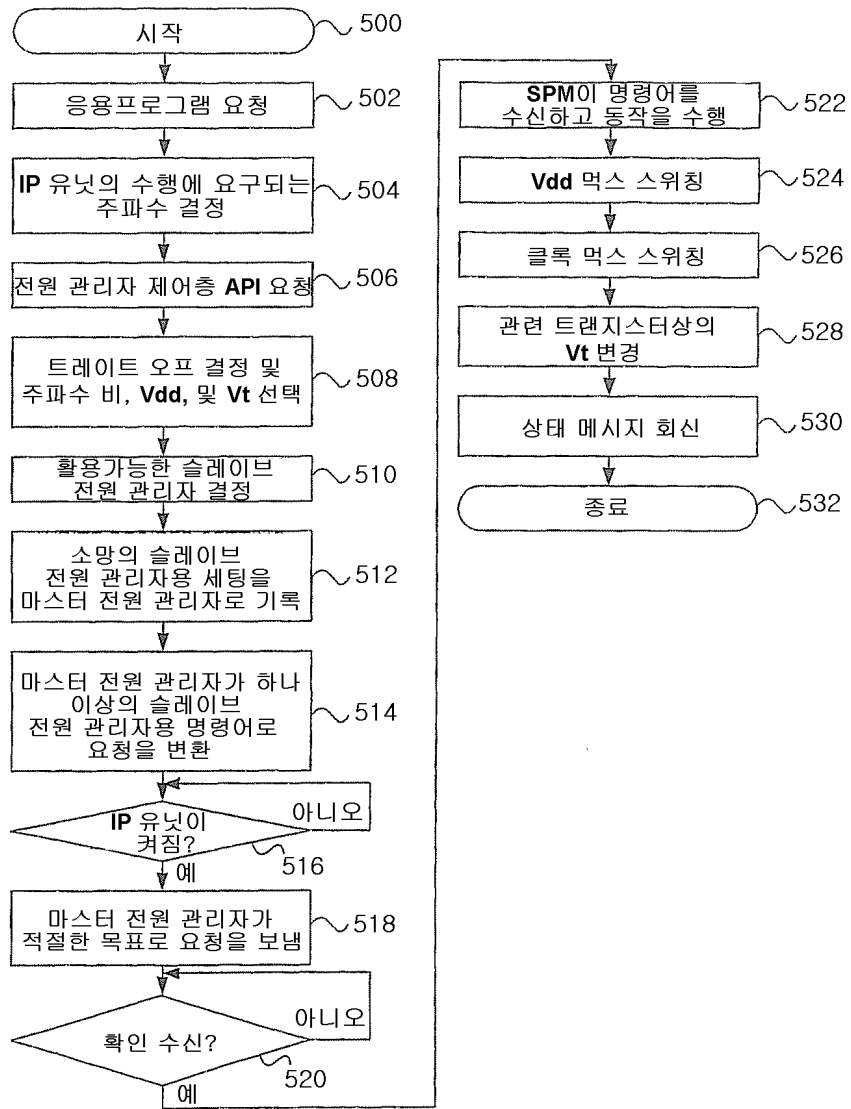
도면3



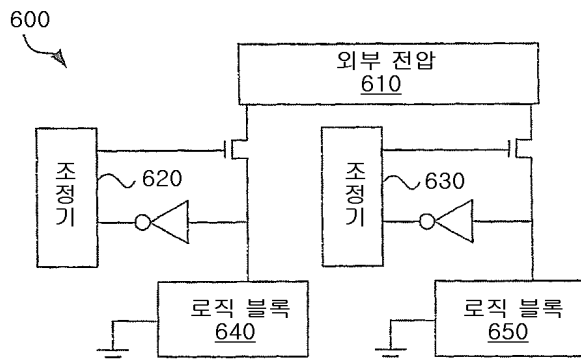
도면4



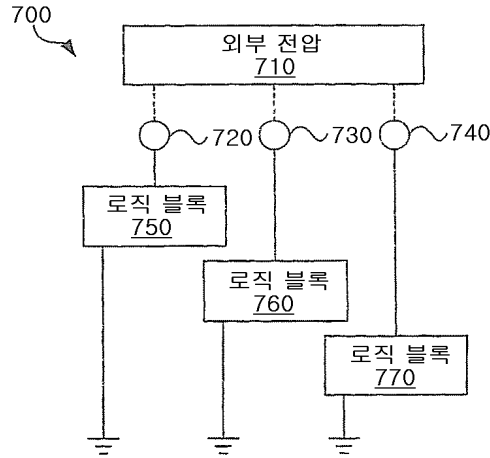
도면5



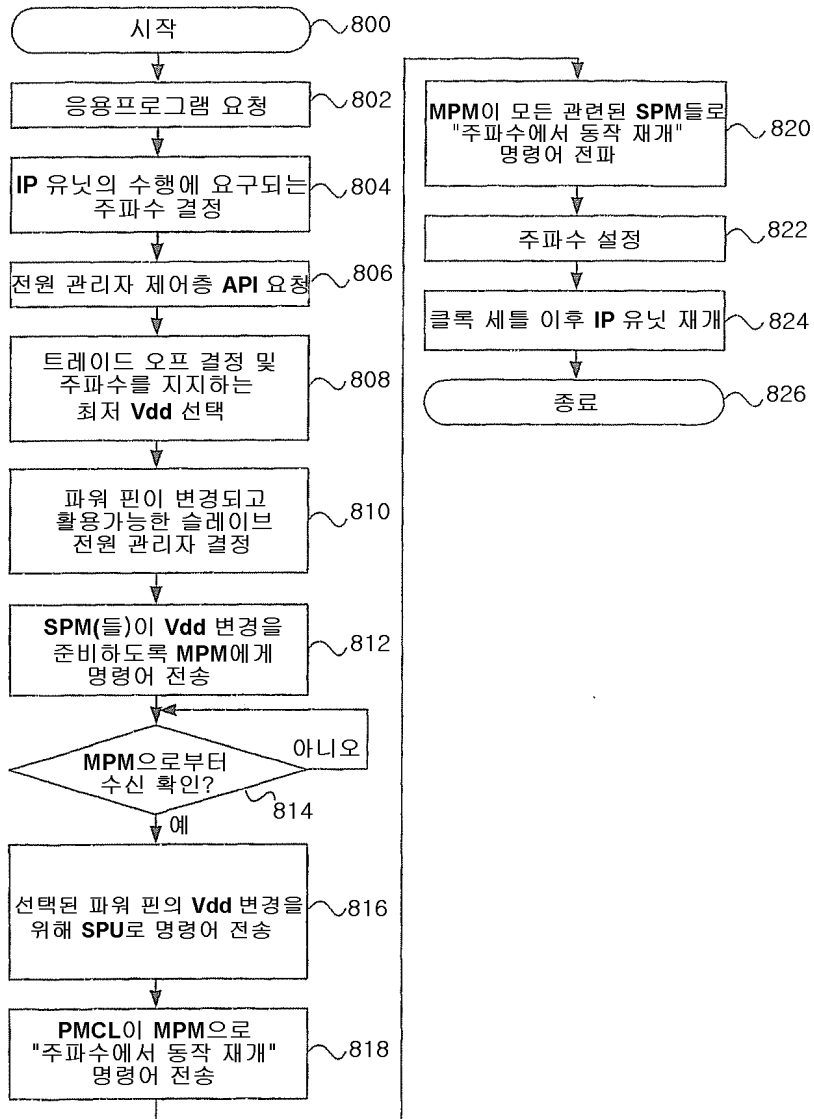
도면6



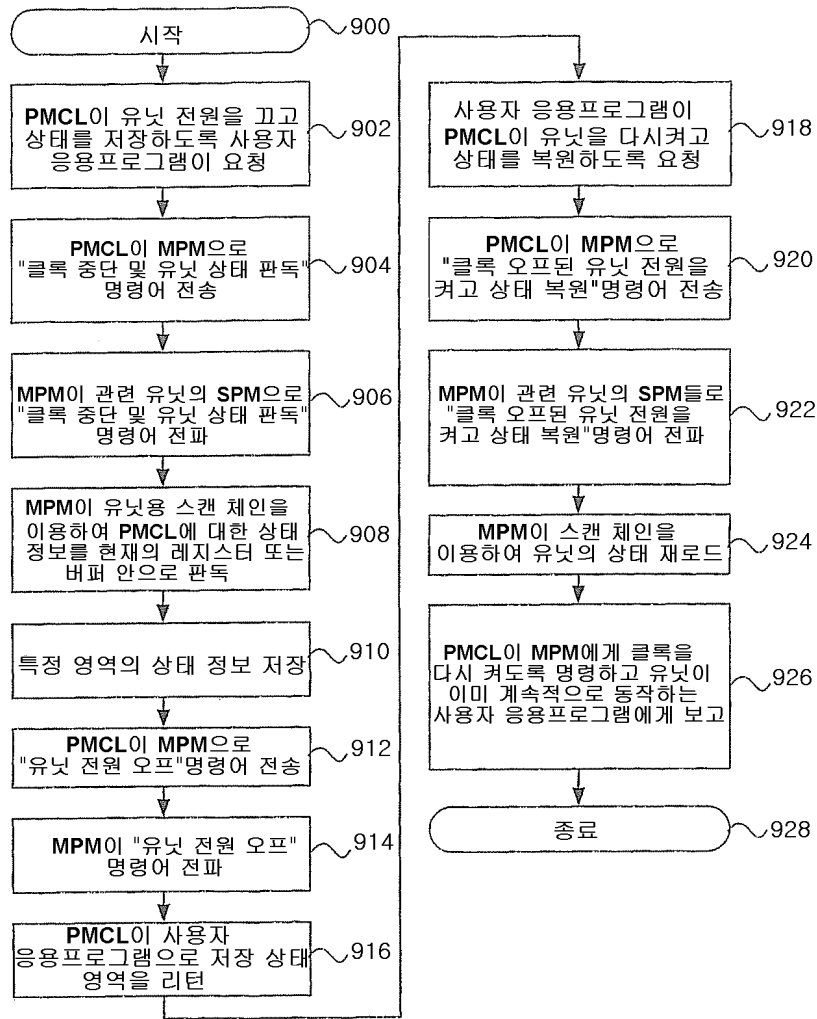
도면7



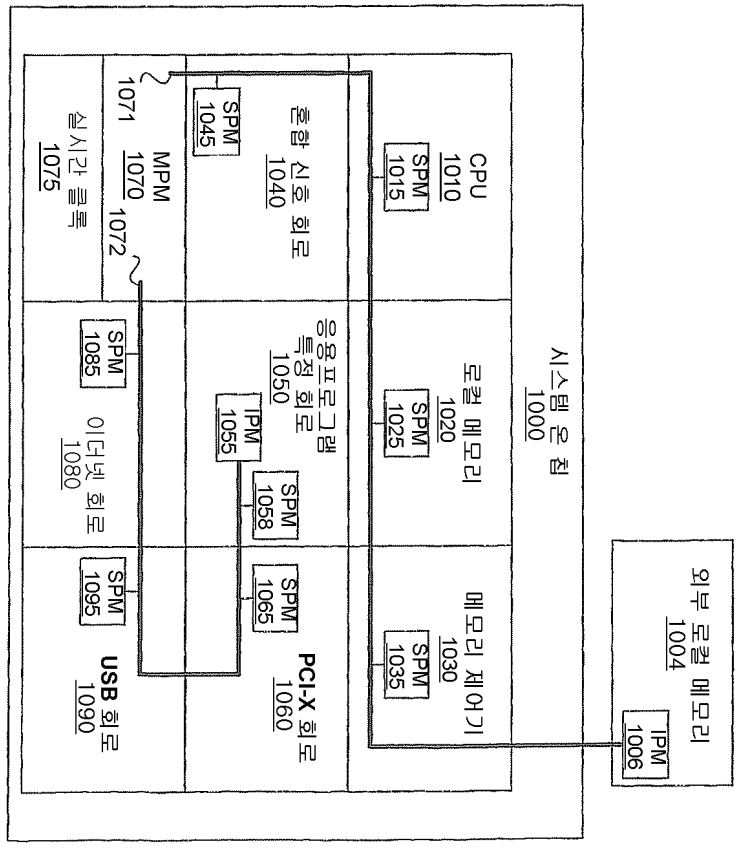
도면8



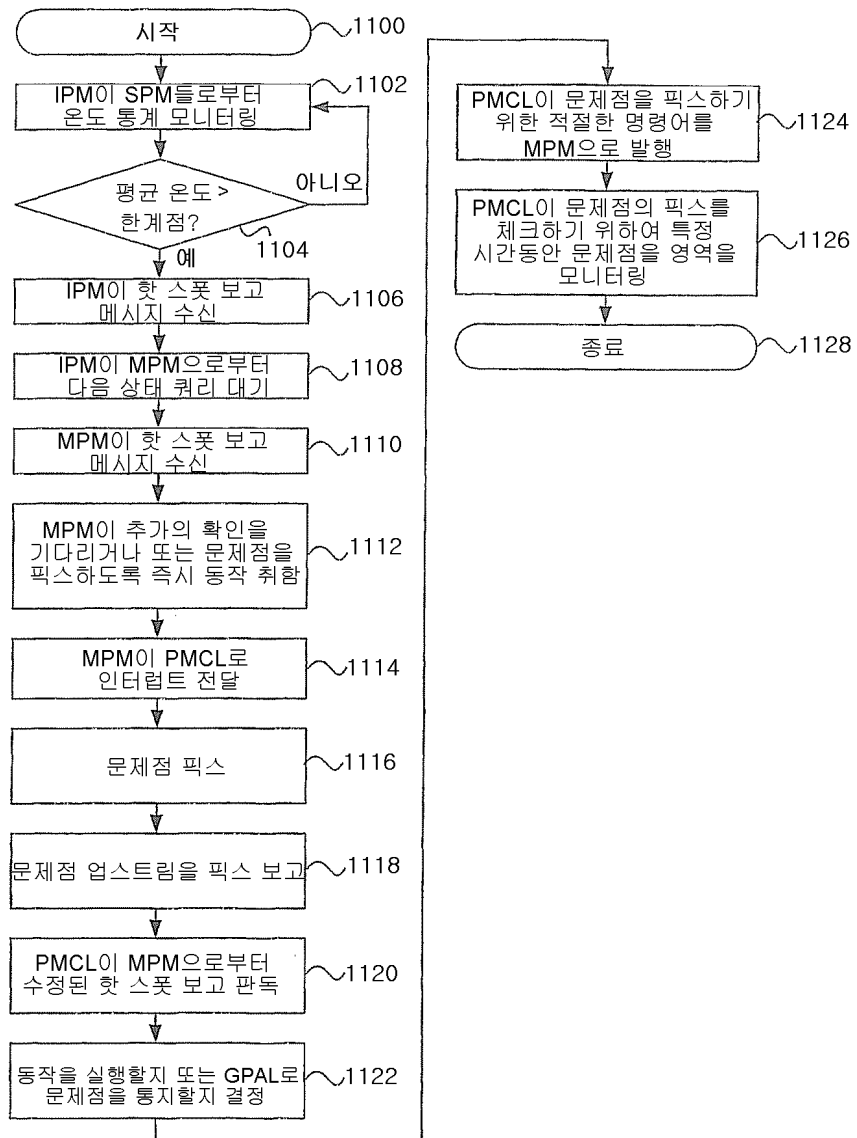
도면9



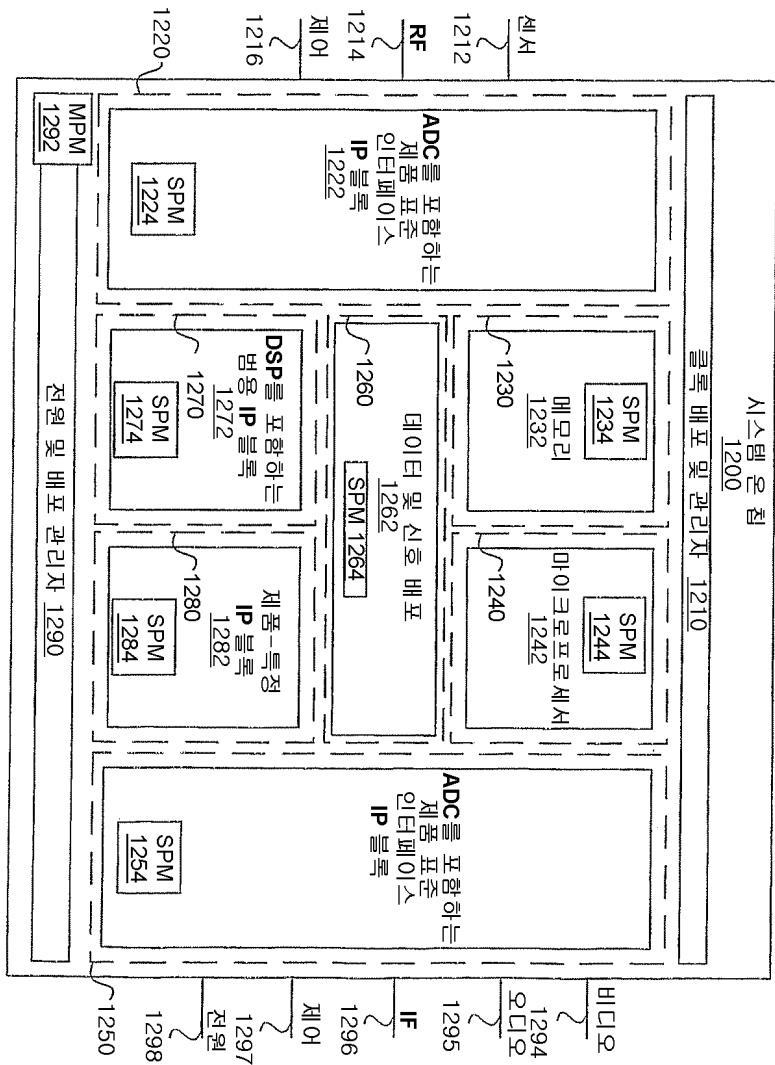
도면10



도면11



도면12



도면13

