



(12)发明专利

(10)授权公告号 CN 103761944 B

(45)授权公告日 2017. 01. 25

(21)申请号 201310726355.4

审查员 蒋永志

(22)申请日 2013.12.25

(65)同一申请的已公布的文献号

申请公布号 CN 103761944 A

(43)申请公布日 2014.04.30

(73)专利权人 合肥京东方光电科技有限公司

地址 230012 安徽省合肥市新站区铜陵北路2177号

专利权人 京东方科技集团股份有限公司

(72)发明人 李红敏 李小和 张晓洁 邵贤杰

(74)专利代理机构 中科专利商标代理有限责任公司 11021

代理人 宋焰琴

(51)Int. Cl.

G09G 3/36(2006.01)

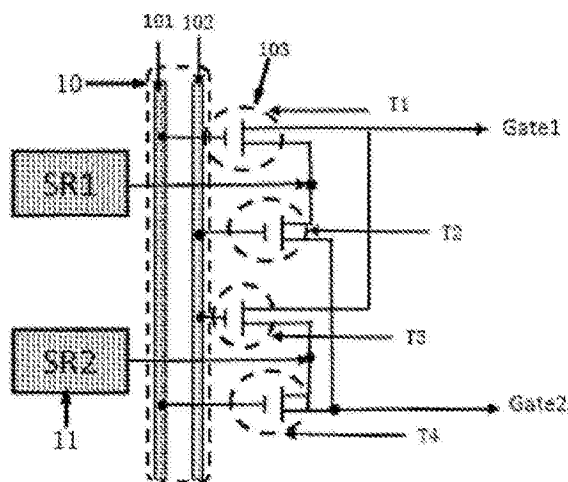
权利要求书2页 说明书8页 附图3页

(54)发明名称

一种栅极驱动电路、显示装置及驱动方法

(57)摘要

本发明公开了一种栅极驱动电路、显示装置及驱动方法。所述栅极驱动电路包括级联的多个移位寄存器单元和控制单元，两个相邻的移位寄存器单元为一移位寄存器组，通过所述控制单元连接至两条栅极线；所述控制单元控制所述移位寄存器组中的移位寄存器单元分别向所述两条栅极线提供驱动信号。本发明在原有移位寄存器的基础上对电路结构进行了改进，实现了不同帧之间的充电率补偿，有效改善了现有产品的V-line等明显的亮/暗条纹现象。



1. 一种栅极驱动电路,包括控制单元(10)和级联的多个移位寄存器单元(SR1~SR2),两个相邻的移位寄存器单元为一移位寄存器组,通过所述控制单元分别连接至两条相邻的奇数栅极线和偶数栅极线(Gate1~Gate2),配置为分别依次向所述两条相邻栅极线提供栅极驱动信号;所述控制单元配置为提供控制信号,以便在所述控制信号和栅极驱动信号的控制下,在相邻两帧中,对于所述奇数栅极线的奇数列像素单元和所述偶数栅极线的偶数列像素单元的扫描顺序相反。

2. 如权利要求1所述的栅极驱动电路,其中,所述控制单元包括第一控制线、第二控制线以及与所述移位寄存器单元相连的薄膜晶体管。

3. 如权利要求2所述的栅极驱动电路,其中,所述移位寄存器组中的每个移位寄存器单元通过两个薄膜晶体管分别与所述第一控制线和第二控制线连接,所述两个薄膜晶体管的栅极分别连接至所述第一控制线和第二控制线,漏极分别连接至所述两条相邻栅极线,源极分别连接所述移位寄存器单元的输出端。

4. 如权利要求1所述的栅极驱动电路,其中,所述第一控制线和第二控制线交替输出高电位驱动信号。

5. 如权利要求4所述的栅极驱动电路,其中,所述栅极线与像素单元之间通过像素单元薄膜晶体管相连;所述像素单元薄膜晶体管的栅极连接至所述栅极线,漏极连接至像素单元的像素电极,源极连接至数据线。

6. 一种显示装置,其特征在于,包括如权利要求1-5任一项所述的栅极驱动电路。

7. 如权利要求6所述的显示装置,其特征在于,所述显示装置包括N行×M列像素单元,2N条栅极线和M/2条数据线,所述2N条栅极线与所述M/2条数据线交叉限定出所述像素单元,奇数栅极线连接奇数列像素单元,偶数栅极线连接偶数列像素单元,相邻奇数像素单元与偶数像素单元连接同一数据线。

8. 一种如权利要求7所述的显示装置的驱动方法,其特征在于,

当前帧扫描,依次开启和关断级联的移位寄存器单元,通过所述控制单元控制开启的移位寄存器单元向所述两条相邻栅极线中的奇数栅极线或偶数栅极线提供驱动信号;

下一帧扫描,依次开启和关断级联的移位寄存器单元,通过所述控制单元控制所述开启的移位寄存器单元向所述两条相邻栅极线中偶数栅极线或奇数栅极线提供驱动信号。

9. 如权利要求8所述的驱动方法,其特征在于,

所述当前帧扫描包括:

开启第n个移位寄存器组中的第一移位寄存器单元,通过控制单元控制所开启的第一移位寄存器单元向与其相连的所述两条相邻栅极线中的奇数栅极线提供驱动信号,通过数据线向第n行奇数列像素单元充电;

开启第n个移位寄存器组中的第二移位寄存器单元,通过控制单元控制所开启的第二移位寄存器单元向所述两条相邻栅极线中的偶数栅极线提供驱动信号,通过数据线向第n行偶数列像素单元充电;

所述下一帧扫描包括:

开启第n个移位寄存器组中的第一移位寄存器单元,通过控制单元控制所开启的第一移位寄存器单元向与其相连的所述两条相邻栅极线中的偶数栅极线提供驱动信号,通过数据线向第n行偶数列像素单元充电;

开启第 n 个移位寄存器组中的第二移位寄存器单元,通过控制单元控制所开启的第二移位寄存器单元向所述两条相邻栅极线中的奇数栅极线提供驱动信号,通过数据线向第 n 行奇数列像素单元充电;

其中,相邻两行像素单元的充电极性相反,连接至同一数据线的相邻两列像素单元充电极性相反,连接至不同数据线的相邻两列像素单元充电极性相同, n 为小于等于 N 的自然数。

一种栅极驱动电路、显示装置及驱动方法

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种栅极驱动电路、显示装置及驱动方法。

背景技术

[0002] 目前,薄膜晶体管液晶显示器(TFT-LCD)已成为主流显示器。阵列基板上栅极驱动技术(Gate-driver On Array,GOA)在液晶显示器的应用让液晶显示器有了一个质的飞跃。GOA技术直接将栅极驱动电路(Gate driver ICs)制作在液晶显示面板中的阵列基板(Array)上,来代替由外接芯片制作的驱动芯片,可以减少制作工序,降低成本。但是现有的应用GOA技术的液晶显示面板的双栅(dual gate)设计中,栅极驱动只能实现正“Z”型的扫描,这样会导致液晶显示面板中某一列像素单元充电较为充分,而另一列像素单元充电不充分,容易出现竖向条纹不良(V-line)等现象。在此以双栅结构的液晶显示面板采用1+2点像素极性反转方式为例进行说明,详见图1。

[0003] 图1所示为现有技术中液晶显示面板阵列基板的电路图。如图1所示,阵列基板包括多条数据线(1)、多条栅极线Gate1~Gate8(2),及其由多条数据线和多条栅极线限定出的多个像素单元,所述多个像素单元形成像素单元阵列;每个像素单元通过一个薄膜晶体管(Thin Film Transistor,TFT)与一条栅极线和一条数据线连接,栅极线连接至薄膜晶体管的栅极,数据线连接至薄膜晶体管的源极,其中每一行像素单元中奇数列连接至同一条栅极线,偶数列连接至另一条栅极线,而相邻两列像素单元连接至同一条数据线。多条数据线(1)由数据驱动电路驱动,接收数据驱动电路输出的数据信号;多条栅极线(2)连接至栅极驱动电路,栅极驱动电路包括多个移位寄存器单元SR1~SR8,其在一帧扫描期间顺序地开启和关闭,其开启后所产生的脉冲信号分别输出至所述多条栅极线(2)。帧扫描开始后,第一扫描周期,第一移位寄存器单元SR1开启并输出脉冲信号至第一栅极线Gate1,使第一行奇数列的像素单元的薄膜晶体管开启,对应的数据线接收数据信号对第一行奇数列的像素单元充电,并存储相应数据;在第二扫描周期,第一移位寄存器单元SR1关闭,第二移位寄存器单元SR2开启并输出脉冲信号至第二栅极线Gate2,此时,第一行偶数列像素单元的薄膜晶体管开启,对应的数据线对第一行偶数列像素单元充电。然后第三移位寄存器单元、第四移位寄存器单元等依次开启输出脉冲信号,配合对应的数据线为对应的像素单元充电。由于每一扫描周期输出至数据线上的数据极性相反,且每个扫描周期内相邻两条数据线上的数据极性也相反。因此,在第一扫描周期,如果第一行奇数列像素单元接收到的数据信号极性为正,而在第二扫描周期第一行偶数列像素单元接收到的数据信号就会由正性变为负性,考虑数据线负载,第一行偶数列像素单元的充电时间和充电率受到影响。相对第一行奇数列像素单元来说,第一行偶数列像素单元充电不足。在第三扫描周期,第三移位寄存器SR3输出脉冲信号至第三栅极线Gate3,第二行奇数列像素单元开始充电,此时由于数据线上数据信号一直为负极性,所以第二行奇数列像素单元充电时间和充电率较为充足。但第二行偶数列像素单元也会出现充电不足。综合以上,在1+2点反转时,基于以上结构和反转方式的液晶显示面板会出现奇数列像素单元充电总是较偶数列像素单元充电充分的情况,

当二者充电率差异较大时,就会影响显示效果,即产生竖向条纹(V-line)不良现象。

[0004] 因此,在产品的设计时,有必要对阵列基板结构和驱动方式进行变更,避免奇数列像素单元和偶数列像素单元的充电率差异,改善V-line不良现象。

发明内容

[0005] 为解决上述现有技术中存在的一个或多个问题,本发明在原有移位寄存器的基础上对栅极驱动电路结构进行了改进,实现了不同帧之间的充电率补偿,改善现有产品的竖向条纹(V-line)等相关不良现象。

[0006] 根据本发明一方面,其提供了一种栅极驱动电路,包括级联的多个移位寄存器单元和控制单元,两个相邻的移位寄存器单元为一移位寄存器组,通过所述控制单元连接至两条栅极线;所述控制单元控制所述移位寄存器组中的移位寄存器单元分别向所述两条栅极线提供驱动信号。

[0007] 可选地,所述控制单元包括第一控制线、第二控制线以及与所述移位寄存器单元相连的薄膜晶体管。

[0008] 可选地,所述移位寄存器组中的每个移位寄存器单元通过两个薄膜晶体管分别与所述第一控制线和第二控制线连接,所述两个薄膜晶体管的栅极分别连接至所述第一控制线和第二控制线,漏极分别连接至所述两条栅极线,源极分别连接所述移位寄存器单元的输出端。

[0009] 可选地,控制单元控制移位寄存器组中的移位寄存器单元向所述两条栅极线中的不同栅极线提供驱动信号。

[0010] 可选地,所述第一控制线和第二控制线交替输出高电位驱动信号。

[0011] 可选地,所述两条栅极线分别与像素单元阵列中的奇数列和偶数列像素单元相连。

[0012] 可选地,所述栅极线与像素单元之间通过像素单元薄膜晶体管相连;所述像素单元薄膜晶体管的栅极连接至所述栅极线,漏极连接至像素单元的像素电极,源极连接至数据线。

[0013] 根据本发明另一方面,其提供了一种显示装置,包括如上所述的栅极驱动电路。

[0014] 可选地,所述显示装置包括N行×M列像素单元,2N条栅极线和M/2条数据线,所述2N条栅极线与所述M/2条数据线交叉限定出所述像素单元,奇数栅极线连接奇数列像素单元,偶数栅极线连接偶数列像素单元,相邻奇数像素单元与偶数像素单元连接同一数据线所述两条栅极线为相邻的奇数栅极线和偶数栅极线。

[0015] 根据本发明了另一方面,其提供了一种如上所述的显示装置的驱动方法,其包括:

[0016] 当前帧扫描,依次开启和关断级联的移位寄存器单元,通过所述控制单元控制开启的移位寄存器单元向所述两条栅极线中的奇数栅极线或偶数栅极线提供驱动信号;

[0017] 下一帧扫描,依次开启和关断级联的移位寄存器单元,通过所述控制单元控制所述开启的移位寄存器单元向所述两条栅极线中偶数栅极线或奇数栅极线提供驱动信号。

[0018] 可选地,所述当前帧扫描包括:

[0019] 开启第n个移位寄存器组中的第一移位寄存器单元,通过控制单元控制所开启的

第一移位寄存器单元向与其相连的所述两条栅极线中的奇数栅极线提供驱动信号,通过数据线向第n行奇数列像素单元充电;

[0020] 开启第n个移位寄存器组中的第二移位寄存器单元,通过控制单元控制所开启的第二移位寄存器单元向所述两条栅极线中的偶数栅极线提供驱动信号,通过数据线向第n行偶数列像素单元充电;

[0021] 所述下一帧扫描包括:

[0022] 开启第n个移位寄存器组中的第一移位寄存器单元,通过控制单元控制所开启的第一移位寄存器单元向与其相连的所述两条栅极线中的偶数栅极线提供驱动信号,通过数据线向第n行偶数列像素单元充电;

[0023] 开启第n个移位寄存器组中的第二移位寄存器单元,通过控制单元控制所开启的第二移位寄存器单元向所述两条栅极线中的奇数栅极线提供驱动信号,通过数据线向第n行奇数列像素单元充电;

[0024] 其中,相邻两行像素单元的充电极性相反,连接至同一数据线的相邻两列像素单元充电极性相反,连接至不同数据线的相邻两列像素单元充电极性相同,n为小于等于N的自然数。

[0025] 本发明通过在栅极驱动电路中设置控制单元,改进栅极驱动电路的结构,使得控制单元控制相邻两个移位寄存器单元分别向相邻两条栅极线提供驱动信号,相邻两帧扫描中所述两个移位寄存器单元提供驱动信号的栅极线不同。本发明提出的上述方案在显示装置采用点反转驱动方式时,使得相邻两帧扫描中奇偶数列像素单元的充电顺序不同,使得奇数列或偶数列像素单元在当前帧充电充分,而下一帧充电不充分,进而改善了竖向条纹不良(V-line)等现象。

附图说明

[0026] 图1为现有技术中液晶显示面板阵列基板的电路图;

[0027] 图2是本发明可选实施例中栅极驱动电路的局部结构示意图;

[0028] 图3是本发明可选实施例中栅极驱动电路与像素单元阵列的连接示意图。

具体实施方式

[0029] 为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明作进一步的详细说明。

[0030] 本发明提出了一种栅极驱动电路,包括级联的多个移位寄存器单元和控制单元,两个相邻的移位寄存器单元为一移位寄存器组,通过所述控制单元连接至两条栅极线;所述控制单元控制所述移位寄存器组中的移位寄存器单元分别向所述两条栅极线提供驱动信号。

[0031] 图2示出了本发明提出的栅极驱动电路的局部结构示意图。如图2所示,该栅极驱动电路包括控制单元10和多个级联的移位寄存器单元11,其中两个相邻的移位寄存器单元为一移位寄存器组,本实施例中示意性的示出了2个移位寄存器单元SR1~SR2构成的第一移位寄存器组,本领域技术人员应当知道,其数量根据显示装置的像素阵列大小决定。每一移位寄存器组对应两条相邻栅极线Gate1~Gate2,所述控制单元10控制所述移位寄存器组

中的两个移位寄存器单元SR1~SR2分别向所述两条相邻栅极线Gate1~Gate2提供驱动信号。

[0032] 其中,控制单元10包括第一控制线101、第二控制线102和多个与所述移位寄存器单元相连的薄膜晶体管103。每两个相邻移位寄存器单元11为一移位寄存器组,且每个移位寄存器组中的每个移位寄存器单元通过两个薄膜晶体管分别与第一控制线101和第二控制线102连接。其中,所述一移位寄存器组中的第一移位寄存器单元SR1通过相邻的第一薄膜晶体管T1和第二薄膜晶体管T2分别与所述第一控制线101和第二控制线102连接,所述第一薄膜晶体管T1的栅极与第一控制线101连接,而第二薄膜晶体管T2的栅极与第二控制线102连接,所述第一薄膜晶体管T1和第二薄膜晶体管T2的漏极分别连接至相邻的两条栅极线Gate1~Gate2,所述第一薄膜晶体管T1和第二薄膜晶体管T2的源极连接至所述第一移位寄存器SR1的输出端;同样地,所述第一移位寄存器组中的第二移位寄存器单元SR2通过相邻的第三薄膜晶体管T3和第四薄膜晶体管T4分别与所述第一控制线101和第二控制线102连接,所述第三薄膜晶体管T3的栅极连接至第二控制线102,第四薄膜晶体管T4的栅极连接至第一控制线101,所述第三薄膜晶体管T3和第四薄膜晶体管T4的漏极分别连接至两条相邻的栅极线Gate1~Gate2,所述第三薄膜晶体管T3和第四薄膜晶体管T4的源极连接至所述第二移位寄存器单元SR2的输出端。依次类推,每相邻两个移位寄存器单元为一移位寄存器组,每个移位寄存器组对应四个薄膜晶体管,且每个移位寄存器组中的每个移位寄存器单元分别通过两个薄膜晶体管连接至第一控制线101和第二控制线102。

[0033] 所述控制单元10控制移位寄存器组中的移位寄存器单元向所述两条相邻栅极线中的不同栅极线提供驱动信号。根据本发明的上述实施例,第一控制线101和第二控制线102交替输出高电位驱动信号。可选地,在当前帧扫描中,第一控制线101输出高电位驱动信号,第二控制线102输出低电位驱动信号,而在下一帧扫描中,第一控制线101输出低电位驱动信号,第二控制线102输出高电位驱动信号。

[0034] 所述两条相邻的栅极线Gate1~Gate2分别与像素单元阵列中的奇数列和偶数列像素单元连接。图3示出了本发明可选实施例中栅极驱动电路与像素单元阵列的连接示意图。图3示出了四个移位寄存器组,共8个级联的移位寄存器单元SR1~SR8,虚框内示出的部分与图2示出的栅极驱动电路的部分结构一致。如图3所示,与第一移位寄存器组中的第一移位寄存器SR1和第二移位寄存器SR2连接的相邻两条栅极线Gate1~Gate2分别与像素单元阵列中的奇数列像素单元和偶数列像素单元连接。其中,第一栅极线Gate1与像素单元阵列中第一行奇数列像素单元之间通过第一像素单元薄膜晶体管相连;第二栅极线Gate2与第一行偶数列像素单元之间通过第二像素单元薄膜晶体管相连,所述像素单元薄膜晶体管的栅极连接至相应栅极线,漏极连接至相应像素单元的像素电极,源极连接至数据线。本实施例中,每两列像素单元为一组连接至同一条数据线,即像素单元的列数是数据线的两倍;其中,第一奇数列像素单元和第一偶数列像素单元通过像素单元薄膜晶体管连接至第一数据线,第二奇数列像素单元和第二偶数列像素单元通过像素单元薄膜晶体管连接至第二数据线。其它栅极线与移位寄存器组中的移位寄存器单元和像素单元阵列中的像素单元的连接方式、像素单元通过所述像素单元薄膜晶体管与其它数据线的连接方式类同,在此就不再赘述。

[0035] 下面结合图2和图3说明本发明提出的栅极驱动电路的工作原理:

[0036] 当前帧扫描,第一控制线101输出高电位,第二控制线102输出低电位,由于第一薄膜晶体管T1和第四薄膜晶体管T4的栅极与第一控制线101相连,而第二薄膜晶体管T2和第三薄膜晶体管T3与第二控制线102相连,因此第一薄膜晶体管T1和第四薄膜晶体管T4被打开。帧扫描开始,级联的移位寄存器单元逐个开启和关闭。当前帧的第一扫描周期,第一移位寄存器SR1开启并输出脉冲信号,其输出的脉冲信号经过第一薄膜晶体管T1输出至第一栅极线Gate1,使得第一栅极线Gate1与第一行奇数列像素单元之间的第一像素单元薄膜晶体管开启,对应的数据线对第一行奇数列像素单元进行充电;当前帧的第二扫描周期,第一移位寄存器SR1关闭,而第二移位寄存器SR2开启并输出脉冲信号,其输出的脉冲信号经过第四薄膜晶体管T4输出至第二栅极线Gate2,使得第二栅极线Gate2与第一行偶数列像素单元之间的第二像素单元薄膜晶体管开启,对应的数据线对第一行偶数列像素单元进行充电。依次类推,第三扫描周期,第二移位寄存器SR2关闭,第三移位寄存器单元SR3开启并输出脉冲信号,输出的脉冲信号输出至第三栅极线Gate3,使得第三栅极线Gate3与第二行奇数列像素单元之间的像素单元薄膜晶体管开启,对应的数据线对第二行奇数列像素单元进行充电;第四扫描周期,第三移位寄存器SR3关闭,而第四移位寄存器SR4开启并输出脉冲信号,其输出的脉冲信号输出至第四栅极线Gate4,使得第四栅极线Gate4与第二行偶数列像素单元之间的像素单元薄膜晶体管开启,对应的数据线对第二行偶数列像素单元进行充电。之后,第五扫描周期,第六扫描周期……,第五移位寄存器单元SR5、第六移位寄存器单元SR6……,依次开启并输出脉冲信号,配合对应的数据线为对应的像素单元充电,直至当前帧扫描完成。该帧扫描过程中,以第一列和第二列像素单元为例说明,其扫描顺序为奇,偶,奇,偶,奇,偶……,形同正“Z”字型扫描。其它相邻列具有同样的扫描顺序。

[0037] 下一帧扫描,第一控制线101和第二控制线102输出的驱动信号电位与前一帧的相反,第一控制线101输出低电位驱动信号,第二控制线102输出高电位驱动信号,由于第一薄膜晶体管T1和第四薄膜晶体管T4的栅极与第一控制线101相连,而第二薄膜晶体管T2和第三薄膜晶体管T3与第二控制线102相连,因此第二薄膜晶体管T2和第三薄膜晶体管T3被打开。帧扫描开始,级联的移位寄存器单元逐个开启和关闭。第一扫描周期,第一移位寄存器SR1开启并输出脉冲信号,其输出的脉冲信号经过第二薄膜晶体管T2输出至第二栅极线Gate2,使得第二栅极线Gate2与第一行偶数列像素单元之间的第二像素单元薄膜晶体管开启,对应的数据线对第一行偶数列像素单元进行充电;第二扫描周期,第一移位寄存器SR1关闭,而第二移位寄存器SR2开启并输出脉冲信号,其输出的脉冲信号经过第三薄膜晶体管T3输出至第一栅极线Gate1,使得第一栅极线Gate1与第一行奇数列像素单元之间的第一像素单元薄膜晶体管开启,对应的数据线对第一行奇数列像素单元进行充电。依次类推,第三扫描周期,第二移位寄存器SR2关闭,第三移位寄存器单元SR3开启并输出脉冲信号,输出的脉冲信号输出至第四栅极线Gate4,使得第四栅极线Gate4与第二行偶数列像素单元之间的像素单元薄膜晶体管开启,对应的数据线对第二行偶数列像素单元进行充电;第四扫描周期,第三移位寄存器SR3关闭,而第四移位寄存器SR4开启并输出脉冲信号,其输出的脉冲信号输出至第三栅极线Gate3,使得第三栅极线Gate3与第二行奇数列像素单元之间的像素单元薄膜晶体管开启,对应的数据线对第二行奇数列像素单元进行充电。之后,第五扫描周期,第六扫描周期……,第五移位寄存器单元SR5、第六移位寄存器单元SR6……,依次开启并输出脉冲信号,配合对应的数据线为对应的像素单元充电,直至当前帧扫描完成。该帧扫

描过程中,以第一列和第二列像素单元为例说明,其扫描顺序为偶,奇,偶,奇,偶,奇……,形同反“Z”字型扫描。其它相邻列具有同样的扫描顺序。

[0038] 可见,本发明提出的上述栅极驱动电路,其通过控制单元可以改变相邻两列像素单元的充电顺序,以此达到均匀充电的目的。下面依然结合图2和图3说明利用本发明提出的栅极驱动电路如何达到均匀充电的目的。像素的极性反转方式为1+2点反转为例如加以说明。

[0039] 1+2点反转中,数据线输出不同极性的数据信号,以公共电压作为参考,电压高于公共电压的数据信号为正极性数据信号,而电压低于公共电压的数据信号为负极性数据信号。第一扫描周期数据线输出负极性/正极性数据信号,接收其数据信号的像素单元充电后的极性为负/正,而第二扫描周期数据线输出的数据信号极性反转,接收其数据信号的像素单元充电后的极性发生反转,为正/负;第三扫描周期数据线输出的数据信号极性不变,接收其数据信号的像素单元充电后的极性也不变,为正/负,第四扫描周期数据线输出的数据信号极性发生反转,接收其数据信号的像素单元充电后的极性也发生反转,为负/正。依次类推,除了第一扫描周期外,数据线每两个扫描周期输出的数据信号极性反转一次,第二扫描周期数据线输出的数据信号的极性与第一扫描周期的不同。另外,相邻两条数据线在同一扫描周期输出的数据信号的极性不同,例如第一数据线输出正极性数据信号,则相邻的第二数据线输出负极性数据信号。

[0040] 将本发明提出的上述栅极驱动电路应用在1+2点反转驱动方式中,且第一控制线101输出高电位驱动信号,第二控制线102输出低电位驱动信号的情况下,一帧扫描完成后,像素单元阵列中像素单元的极性如图3所示。其中,“+”号表示该像素单元的像素电极极性为正,“-”表示该像素单元的像素电极极性为负。以第一奇数列像素单元和第一偶数列像素单元为例,这种情况下可以看出,第一行偶数列像素单元的极性与第一行奇数列像素单元的极性相反,由于对第一行偶数列像素单元充电时,其极性发生了反转,而这种反转过程中必然会造成部分电子的丢失,使得第一行偶数列像素单元充电不充分;第二行奇数列像素单元的极性和第一行偶数列像素单元的极性相同,其充电较为充分,而第二行偶数列像素单元的极性与第二行奇数列像素单元的极性相反,其充电较为不充分。依次类推,本帧扫描完成后,所有奇数列像素单元的充电较为充分,而偶数列像素单元的充电不充分。

[0041] 而在下一帧扫描中,由于第一控制线101和第二控制线102的电位驱动信号发生变化,即第一控制线101输出低电位驱动信号,而第二控制线102输出高电位驱动信号,这种情况下,先对偶数列进行充电,之后再对奇数列进行充电,数据线输出数据信号极性与前一帧扫描中的输出相同的情况下,第一扫描周期第一行偶数列像素单元进行充电,且其极性为正,而第二扫描周期第一行奇数列像素单元进行充电,其极性为负,第三扫描周期第二行偶数列像素单元进行充电,极性为负,第四扫描周期第二行奇数列像素单元进行充电,极性为正,……。显然,本帧扫描中所有奇数列像素单元充电不充分,而偶数列像素单元的充电较为充分。可见,在相邻两帧扫描后,可以均衡像素单元的充电程度,进而克服V-line等显示不良现象。

[0042] 上面仅仅是示例性说明,本发明的栅极驱动电路还可以通过控制第一控制线和第二控制线交替输出高低电位驱动信号,使得每列中奇偶像素单元的扫描顺序不同,只要能够达到充电均衡的目的即可。例如,以第一奇数列和第一偶数列像素单元为例,第一奇数列

中的每个像素单元从上到下编号为1,3,5,7,……,第一偶数列中每个像素单元从上到下编号为2,4,6,8,……,则上述介绍的第一种扫描方式中,前一帧的扫描顺序为1,2,3,4,5,6,7,8,……,即正“Z”字型扫描,而后一帧的扫描顺序为2,1,4,3,6,5,8,7,……,即反“Z”字型扫描。但是上述扫描方式也可以变形为第二种扫描方式:前一帧扫描顺序为1,2,4,3,5,6,8,7,……,即正“弓”字型扫描,后一帧扫描顺序为:2,1,3,4,6,5,7,8,……,即反“弓”字型扫描。本发明还可以采用其他的扫描顺序,或者是不同扫描方式的组合,如第一、二帧采用第一种扫描方式,而第三、四帧采用第二种扫描方式等,只要是采用本发明提出的上述栅极电路实现充电均衡目的的技术方案都涵盖在本发明的保护范围之内。

[0043] 本发明还提出了一种显示装置,其包括如上所述的栅极驱动电路。所述显示装置还包括 N 行 $\times$ M 列像素单元, $2N$ 条栅极线和 $M/2$ 条数据线,所述 $2N$ 条栅极线与所述 $M/2$ 条数据线交叉限定出所述像素单元,奇数栅极线连接奇数列像素单元,偶数栅极线连接偶数列像素单元,相邻奇数像素单元与偶数像素单元连接同一数据线所述两条栅极线为相邻的奇数栅极线和偶数栅极线。

[0044] 依然以图3为例进行说明。本发明提出的显示装置包括栅极驱动电路、 $N \times M$ 个像素单元构成的像素单元阵列、 $2N$ 条栅极线和 $M/2$ 条数据线,图3示意性地示出了 4×8 ($N=4, M=8$)个像素单元,4条数据线,8条栅极线Gate1~Gate8。其中,奇数栅极线(Gate1、Gate3、Gate5、Gate7)连接奇数列像素单元,偶数栅极线(Gate2、Gate4、Gate6、Gate8)连接至偶数列像素单元,每条数据线连接相邻两列像素单元,如第一数据线连接第一奇数列像素单元和第一偶数列像素单元,第二数据线连接第二奇数列像素单元和第二偶数列像素单元等。所述栅极驱动电路中每个移位寄存器组中的移位寄存器单元通过控制单元连接相邻的奇数栅极线和偶数栅极线,如第一移位寄存器单元SR1和第二移位寄存器单元SR2通过控制单元连接至第一栅极线Gate1和第二栅极线Gate2。

[0045] 由于该显示装置在栅极驱动电路下的工作原理在上面已经介绍,此处不再赘述。

[0046] 本发明还提出了一种上述显示装置的驱动方法,其包括:

[0047] 当前帧扫描,依次开启和关断级联的移位寄存器单元,通过所述控制控制单元控制开启的移位寄存器单元向所述两条栅极线中的奇数栅极线或偶数栅极线提供驱动信号;

[0048] 下一帧扫描,依次开启和关断级联的移位寄存器单元,通过所述控制控制单元控制所述开启的移位寄存器单元向所述两条栅极线中偶数栅极线或奇数栅极线提供驱动信号。

[0049] 其中,所述当前帧扫描包括:

[0050] 开启第 n 个移位寄存器组中的第一移位寄存器单元,通过控制单元控制所开启的第一移位寄存器单元向与其相连的所述两条栅极线中的奇数栅极线提供驱动信号,通过数据线向第 n 行奇数列像素单元充电;

[0051] 开启第 n 个移位寄存器组中的第二移位寄存器单元,通过控制单元控制所开启的第二移位寄存器单元向所述两条栅极线中的偶数栅极线提供驱动信号,通过数据线向第 n 行偶数列像素单元充电;

[0052] 所述下一帧扫描包括:

[0053] 开启第 n 个移位寄存器组中的第一移位寄存器单元,通过控制单元控制所开启的第一移位寄存器单元向与其相连的所述两条栅极线中的偶数栅极线提供驱动信号,通过数

据线向第n行偶数列像素单元充电；

[0054] 开启第n个移位寄存器组中的第二移位寄存器单元,通过控制单元控制所开启的第二移位寄存器单元向所述两条栅极线中的奇数栅极线提供驱动信号,通过数据线向第n行奇数列像素单元充电；

[0055] 其中,相邻两行像素单元的充电极性相反,连接至同一数据线的相邻两列像素单元充电极性相反,连接至不同数据线的相邻两列像素单元充电极性相同,n为小于等于N的自然数。

[0056] 由于前面介绍栅极驱动电路时详细介绍了利用栅极驱动电路驱动显示装置的工作原理,具体细节请参阅上文,此处不再详细展开说明。

[0057] 综合所述,利用本发明公开的上述栅极驱动电路、显示装置和驱动方法中,在前一帧扫描时,奇数列像素单元的充电率较偶数列像素单元充分,而在下一帧扫描时,偶数列像素单元较奇数列像素单元充电充分,考虑视觉效果,二者可在一定程度上进行弥补,从而能够改善V-line等产生明暗条纹的不良现象。

[0058] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详细说明,应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

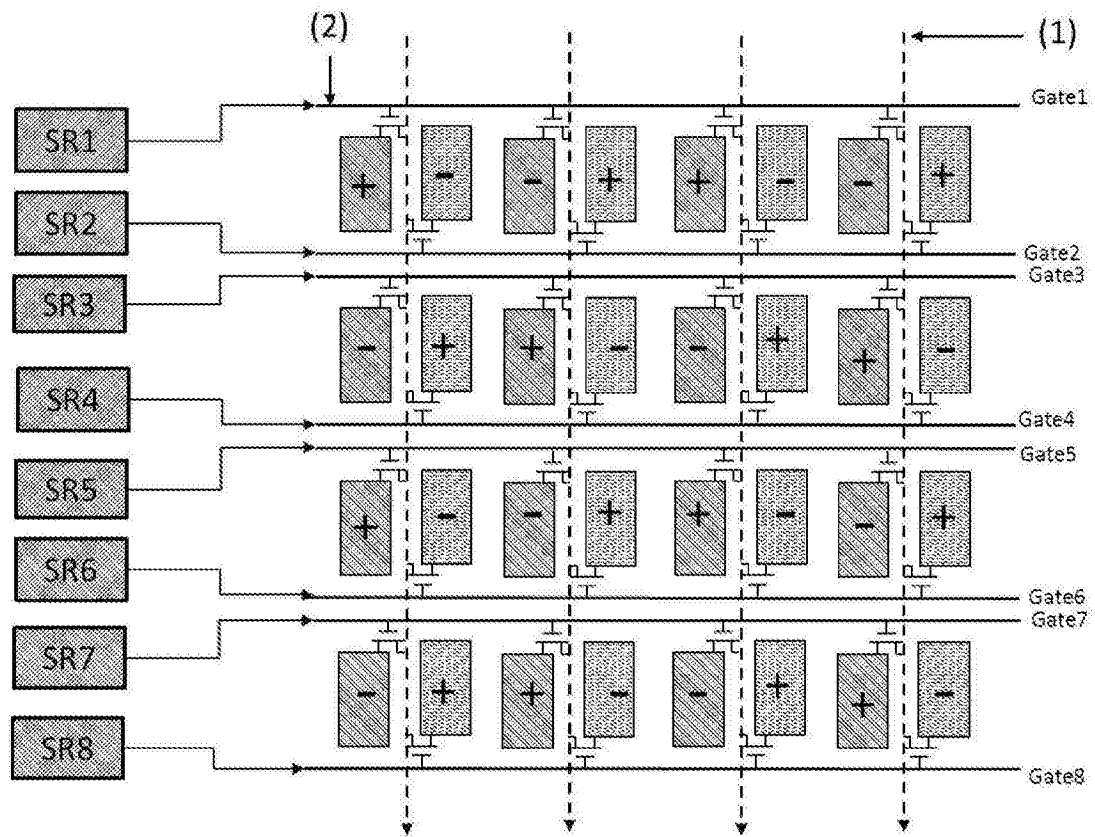


图1

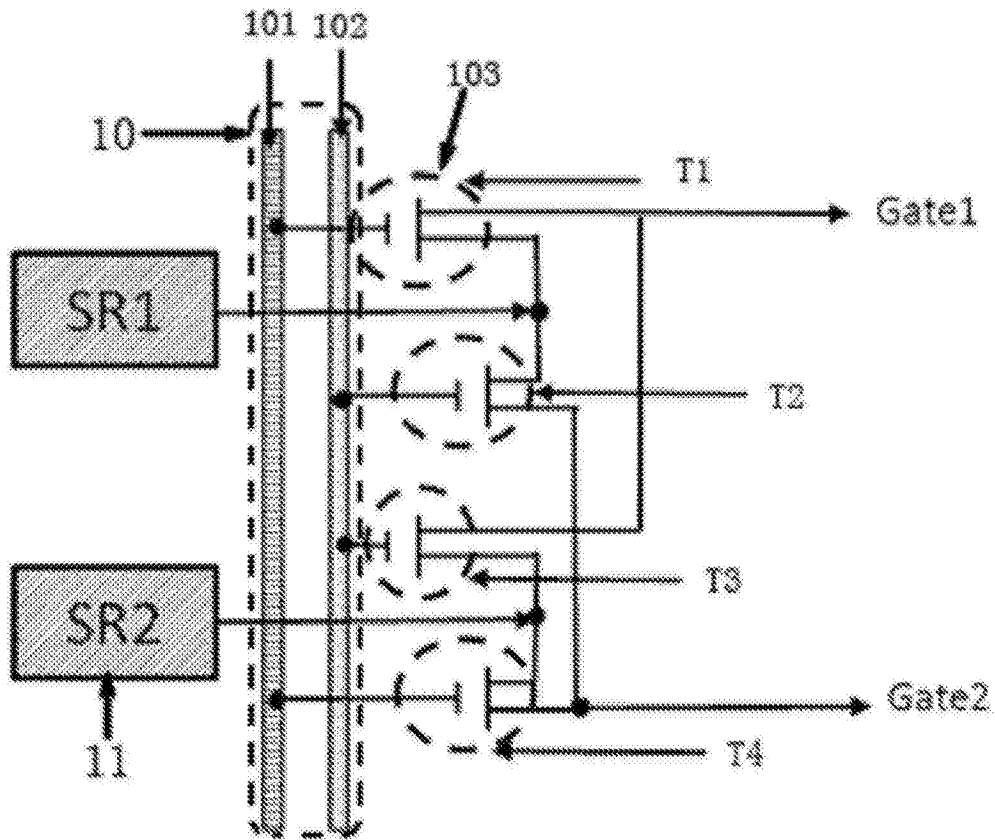


图2

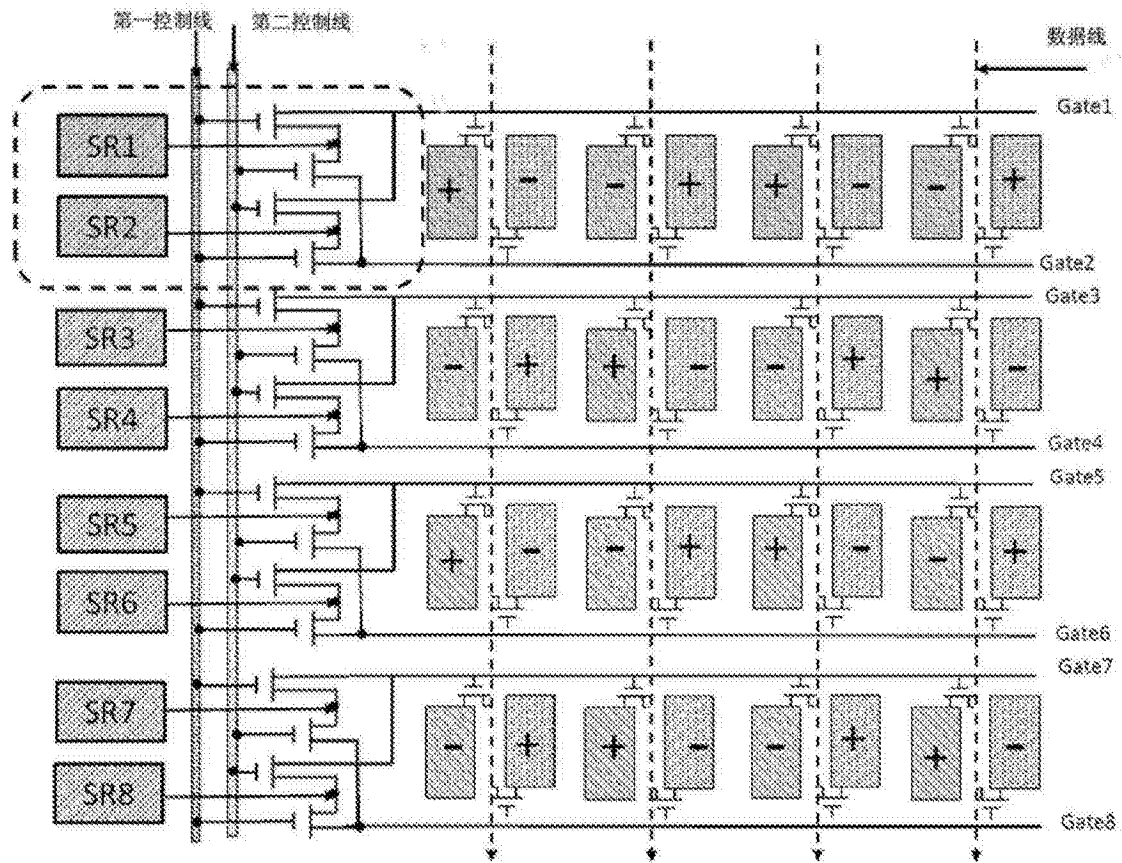


图3