



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0040746
(43) 공개일자 2023년03월23일

(51) 국제특허분류(Int. Cl.)
H01L 29/739 (2006.01) H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/7391 (2013.01)
H01L 29/66356 (2013.01)
(21) 출원번호 10-2021-0124242
(22) 출원일자 2021년09월16일
심사청구일자 2021년09월16일

(71) 출원인
부경대학교 산학협력단
부산광역시 남구 용소로 45, 부경대학교내 (대연동)
(72) 발명자
김장현
부산광역시 남구 용소로46번길 15, 307호(대연동, 웰가)
전민규
부산광역시 기장군 정관읍 정관5로 75, 108동 905호(정관 신동아파밀리에)
(74) 대리인
오위환, 나성곤, 정기택

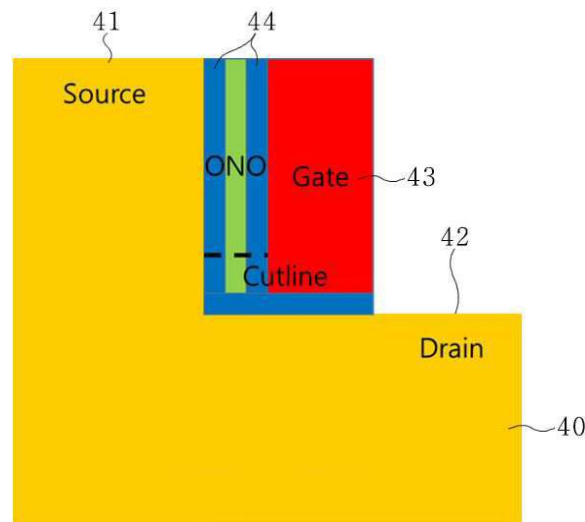
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터 및 이의 제조 방법

(57) 요약

본 발명은 게이트 측벽 절연막에 3층의 유전막을 형성하여, 차지 트랩(charge trap)을 통하여 전류를 형성하여 문턱전압 변화 문제를 해결할 수 있도록 한 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터 및 이의 제조 방법에 관한 것으로, 수직 방향의 제 1 면과 제 1 면에 접하는 수평 방향의 제 2 면을 갖는 기판; 기판에 형성되어 L형 터널 전계 효과 트랜지스터를 구성하는 소스 영역; 드레인 영역; 게이트; 를 포함하고, 소스 영역과 게이트 사이에 ONO(oxide-nitride-oxide) 구조의 게이트 측벽 절연막이 형성되어 소자 동작시에 게이트 측벽 절연막의 ONO(oxide-nitride-oxide)층의 nitride 영역의 전자 트래핑(electron trapping)으로 에너지 밴드를 형성하는 것이다.

대표도 - 도4



(72) 발명자

이강

부산광역시 남구 용소로34번길 14, 506호(대연동,
가람하우스)

윤태영

부산광역시 사하구 다대로 473, 109동 1806호(다대
동, 다대포현대아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711139623

과제번호 2020R1G1A1101263

부처명 과학기술정보통신부

과제관리(전문)기관명 한국연구재단

연구사업명 개인기초연구(과기정통부)(R&D)

연구과제명 Charge Trap 기술을 이용한 Dopingless Tunnel Field Transistor 개발

기 여 율 1/1

과제수행기관명 부경대학교

연구기간 2020.09.01 ~ 2022.08.31

명세서

청구범위

청구항 1

수직 방향의 제 1 면과 제 1 면에 접하는 수평 방향의 제 2 면을 갖는 기판;

기판에 형성되어 L형 터널 전계 효과 트랜지스터를 구성하는 소스 영역; 드레인 영역; 게이트;를 포함하고,

소스 영역과 게이트 사이에 ONO(oxide-nitride-oxide) 구조의 게이트 측벽 절연막이 형성되어 소자 동작시에 게이트 측벽 절연막의 ONO(oxide-nitride-oxide)층의 nitride 영역의 전자 트래핑(electron trapping)으로 에너지 밴드를 형성하는 것을 특징으로 하는 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터.

청구항 2

제 1 항에 있어서, 기판의 제 1 면과 제 2 면이 접하는 영역은 소자 동작시에 전류 발생 영역이 되고,

게이트 측벽 절연막은 게이트와 기판의 제 1 면 사이에 형성되는 것을 특징으로 하는 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터.

청구항 3

제 1 항에 있어서, 기판의 제 1 면 아래 영역이 소스 영역이고, 제 2 면 아래 영역이 드레인 영역인 것을 특징으로 하는 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터.

청구항 4

제 3 항에 있어서, 소스 영역을 형성하기 위한 소스 도핑은 없고, 드레인 영역은 저항 개선 및 ONO(oxide-nitride-oxide)층의 nitride 영역에 전자를 공급하기 위하여 도핑을 하는 것을 특징으로 하는 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터.

청구항 5

제 1 항에 있어서, ONO(oxide-nitride-oxide) 구조의 게이트 측벽 절연막의 질화막(Si_3N_4)에 charging되는 electron의 양을 조절하여 밴드를 형성하여 소자 동작시의 전기적 특성을 제어하는 것을 특징으로 하는 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터.

청구항 6

제 1 항에 있어서, 게이트에 전압을 인가하면 드레인 영역의 전자가 게이트 측벽 절연막의 질화막(Si_3N_4)으로 트랩(trap) 이동하면서 소스 영역쪽의 에너지 밴드가 상승하여 터널 베리어(tunnel barrier)를 형성하는 것을 특징으로 하는 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터.

청구항 7

제 6 항에 있어서, 게이트 바이어스 전압 크기 및 바이어스를 인가하는 펄스 시간을 제어하여 터널 베리어(tunnel barrier)의 크기 및 산포 조절을 하는 것을 특징으로 하는 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터.

청구항 8

제 6 항에 있어서, 게이트에 전압을 인가하면 게이트 측벽 절연막의 ONO 영역의 아래 기판(Si)에서 밸런스 밴드(valence band)에 존재하는 전자가 채널(channel)로 터널링(tunneling)하며 전류가 흐르게 되는 것을 특징으로 하는 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터.

청구항 9

기판에 포토리소그래피(photolithography)로 공정으로 게이트 영역을 정의하고 건식 식각(dry etch) 공정을 진행하는 단계;

수직 방향의 제 1 면과 제 1 면에 접하는 수평 방향의 제 2 면을 갖는 게이트 영역이 정의된 기판의 제 1 면에 게이트 측벽 절연막을 형성하는 단계;

게이트 측벽 절연막이 형성된 전면에 게이트 형성용 물질층을 증착하고 선택적으로 패터닝하여 게이트를 형성하는 단계;

상기 게이트 양단 기판에 소스 영역 및 드레인 영역을 형성하는 단계;를 포함하고,

소스 영역과 게이트 사이에 ONO(oxide-nitride-oxide) 구조의 게이트 측벽 절연막이 형성되어 소자 동작시에 게이트 측벽 절연막의 ONO(oxide-nitride-oxide)층의 nitride 영역의 전자 트래핑(electron trapping)으로 에너지 밴드를 형성하는 것을 특징으로 하는 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터의 제조 방법.

청구항 10

제 9 항에 있어서, 게이트 측벽 절연막을 형성하는 단계는,

제 1 면 및 제 2 면을 포함하는 기판 표면에 하부 게이트 산화막(bottom gate oxide)을 형성하는 단계와,

하부 게이트 산화막(bottom gate oxide)이 형성된 기판상에 질화막(Si_3N_4)을 증착(deposition)하고, 식각(etch) 과정을 통해 측벽 스페이서(Side wall spacer) 공정으로 측벽 질화막층을 형성하는 단계와,

측벽 질화막층이 형성된 전면에 산화막(SiO_2)을 증착(deposition)하고, 식각 공정으로 상부 게이트 산화막(top gate oxide)층을 형성하는 단계를 포함하는 것을 특징으로 하는 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터의 제조 방법.

청구항 11

제 9 항에 있어서, 게이트 측벽 절연막을,

$\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$ 또는 $\text{Al}_2\text{O}_3\text{-HfO}_2\text{-Al}_2\text{O}_3$ 또는 $\text{Al}_2\text{O}_3\text{-Si}_3\text{N}_4\text{-Al}_2\text{O}_3$, 또는 $\text{SiO}_2\text{-HfO}_2\text{-SiO}_2$ 의 어느 하나의 구조로 형성하는 것을 특징으로 하는 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 터널 전계 효과 트랜지스터(TFET)에 관한 것으로, 구체적으로 게이트 측벽 절연막을 3층의 유전막 구조로 형성하여, 차지 트랩(charge trap)을 통한 전류 형성으로 문턱전압 변화 문제를 해결할 수 있도록 한 차지 트랩 기술을 이용하는 터널 전계효과 트랜지스터 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 터널 전계 효과 트랜지스터(TFET: tunnel field-effect transistor)는 전통적인 CMOS(complementary metaloxide-semiconductor)기술의 잠재적인 대체품으로 활발히 연구되고 있다.

[0003] TFET은 문턱 전압 이하 기율기(SS:Subthreshold Slope)를 제공하지만 온 전류(ION) 성능이 제한적이다. 이러한 한계를 극복하기 위해 L형 TFET(LTFET), U형(UTFET) 및 Z형 TFET(ZTFET)를 비롯하여 최근 다양한 유형의 라인 터널링 TFET가 도입되었으나, LTFET가 가장 효율적인 성능을 나타내고 있다.

[0004] 그러나 이러한 LTFET는 소스의 모서리에서 발생하는 2 차원(2D) 코너 효과로 인해 상기 SS 성능을 저하시키는 문제가 있으며, 이로 인해 소스와 드레인 사이의 신속한 전류 흐름이 필요한 LTFET의 동작 성능이 떨어지는 문제가 발생한다.

[0005] 이러한 LTFET에 구성되는 소스의 모서리에 의해 유발된 코너 효과로 인한 SS 열화를 제거하기 위해 점차적인 도핑 프로파일을 갖는 완전히 공핍된 둥근 모서리를 사용하여 해결하고자 하나, 이러한 방식 역시 SS의 성능 저하

의 개선 효과가 미미한 문제가 있다.

[0006] 구체적으로 종래 기술의 TFET에 관하여 설명하면 다음과 같다.

[0007] 도 1은 TFET과 MOSFET의 $\text{Log}(I_D)-V_{GS}$ 그래프이고, 도 2는 MOSFET과 TFET의 동작원리 차이를 나타낸 구성도이다.

[0008] 그리고 도 3은 높은 도핑 농도에 의한 MOSFET의 RDF 특성을 나타낸 구성도이다.

[0009] MOSFET(MOS field-effect transistor)는 silicon으로 된 반도체 기판 위에 SiO_2 로 된 공핍층과 금속층을 쌓은 구조에 gate에 전압이 걸리면 채널이 형성되면서 전류가 흐르게 된다.

[0010] MOSFET은 thermionic emission 기반의 프로세서로 동작하기 때문에 subthreshold swing(SS)을 상온기준 60mV/decade보다 작게 하는 것이 물리적으로 불가능하다(MOSFET은 많은 전력을 소비한다).

[0011] 반면, TFET은 MOSFET과는 달리 터널링 방식으로 전자나 홀의 흐름을 제어하므로 60mV/dec 이하의 SS값을 가질 수 있어 저전력 구동이 가능하다.

[0012] 하지만 현대 반도체 기술이 발전하면서 집적도를 향상시키기 위해 트랜지스터의 크기를 줄여감에 따라, 채널에 대한 게이트의 제어 정도를 높이기 위해 채널 영역의 불순물 농도를 높이면서 RDF(random dopant fluctuation)에 의한 '고유한 문턱 전압의 변화 문제'가 발생하고 있다.

[0013] 따라서, 반도체 소자의 저전력 구동 문제 및 불순물에 의한 RDF 문제를 해결하기 위해 불순물을 사용하지 않고 제작할 수 있는 TFET의 개발이 필요하다.

선행기술문헌

특허문헌

[0014] (특허문헌 0001) 대한민국 공개특허 제10-2011-0021042호

(특허문헌 0002) 대한민국 등록특허 제10-1272155호

(특허문헌 0003) 대한민국 등록특허 제10-2093894호

발명의 내용

해결하려는 과제

[0015] 본 발명은 종래 기술의 터널 전계 효과 트랜지스터(TFET)의 문제점을 해결하기 위한 것으로, 게이트 측벽 절연막을 3층의 유전막 구조로 형성하여, 차지 트랩(charge trap)을 통한 전류 형성으로 문턱전압 변화 문제를 해결할 수 있도록 한 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터 및 이의 제조 방법을 제공하는데 그 목적이 있다.

[0016] 본 발명은 TFET 소자의 게이트 측벽 절연막으로 3층의 ONO(oxide-nitride-oxide) 유전막을 형성하여 차지 트랩(charge trap)을 통해 밴드 벤딩(band bending)을 이용하여 구동하도록 하여 소자의 성능 저하없이 RDF(random dopant fluctuation)에 의한 고유한 문턱 전압의 변화 문제를 해결할 수 있도록 한 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터 및 이의 제조 방법을 제공하는데 그 목적이 있다.

[0017] 본 발명은 게이트 측벽 절연막의 nitride 영역의 전자 트래핑(electron trapping)으로 에너지 밴드를 형성하기 때문에 전기적 특성을 세밀하게 조정할 수 있고, 불순물을 활용하지 않고 차지 트랩(charge trap)으로 밴드 벤딩(band bending)을 이용하여 동작하기 때문에 채널 길이를 줄이더라도 고유한 문턱 전압변화가 발생하지 않아 RDF 문제를 해결할 수 있도록 한 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터 및 이의 제조 방법을 제공하는데 그 목적이 있다.

[0018] 본 발명의 다른 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0019] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터는 수직 방향의 제 1 면과 제 1 면에 접하는 수평 방향의 제 2 면을 갖는 기판;기판에 형성되어 L형 터널 전계 효과 트랜지스터를 구성하는 소스 영역; 드레인 영역; 게이트;를 포함하고, 소스 영역과 게이트 사이에 ONO(oxide-nitride-oxide) 구조의 게이트 측벽 절연막이 형성되어 소자 동작시에 게이트 측벽 절연막의 ONO(oxide-nitride-oxide)층의 nitride 영역의 전자 트래핑(electron trapping)으로 에너지 밴드를 형성하는 것을 특징으로 한다.
- [0020] 여기서, 기판의 제 1 면과 제 2 면이 접하는 영역은 소자 동작시에 전류 발생 영역이 되고, 게이트 측벽 절연막은 게이트와 기판의 제 1 면 사이에 형성되는 것을 특징으로 한다.
- [0021] 그리고 기판의 제 1 면 아래 영역이 소스 영역이고, 제 2 면 아래 영역이 드레인 영역인 것을 특징으로 한다.
- [0022] 그리고 소스 영역을 형성하기 위한 소스 도핑은 없고, 드레인 영역은 저항 개선 및 ONO(oxide-nitride-oxide)층의 nitride 영역에 전자를 공급하기 위하여 도핑을 하는 것을 특징으로 한다.
- [0023] 그리고 ONO(oxide-nitride-oxide) 구조의 게이트 측벽 절연막의 질화막(Si_3N_4)에 charging되는 electron의 양을 조절하여 밴드를 형성하여 소자 동작시의 전기적 특성을 제어하는 것을 특징으로 한다.
- [0024] 그리고 게이트에 전압을 인가하면 드레인 영역의 전자가 게이트 측벽 절연막의 질화막(Si_3N_4)으로 트랩(trap)이 동하면서 소스 영역쪽의 에너지 밴드가 상승하여 터널 베리어(tunnel barrier)를 형성하는 것을 특징으로 한다.
- [0025] 그리고 게이트 바이어스 전압 크기 및 바이어스를 인가하는 펄스 시간을 제어하여 터널 베리어(tunnel barrier)의 크기 및 산포 조절을 하는 것을 특징으로 한다.
- [0026] 그리고 게이트에 전압을 인가하면 게이트 측벽 절연막의 ONO 영역의 아래 기판(Si)에서 밸런스 밴드(valence band)에 존재하는 전자가 채널(channel)로 터널링(tunneling)하며 전류가 흐르게 되는 것을 특징으로 한다.
- [0027] 다른 목적을 달성하기 위한 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터의 제조 방법은 기판에 포토리소그래피(photolithography)로 공정으로 게이트 영역을 정의하고 건식 식각(dry etch) 공정을 진행하는 단계;수직 방향의 제 1 면과 제 1 면에 접하는 수평 방향의 제 2 면을 갖는 게이트 영역이 정의된 기판의 제 1 면에 게이트 측벽 절연막을 형성하는 단계;게이트 측벽 절연막이 형성된 전면에 게이트 형성용 물질층을 증착하고 선택적으로 패터닝하여 게이트를 형성하는 단계;상기 게이트 양단 기판에 소스 영역 및 드레인 영역을 형성하는 단계;를 포함하고, 소스 영역과 게이트 사이에 ONO(oxide-nitride-oxide) 구조의 게이트 측벽 절연막이 형성되어 소자 동작시에 게이트 측벽 절연막의 ONO(oxide-nitride-oxide)층의 nitride 영역의 전자 트래핑(electron trapping)으로 에너지 밴드를 형성하는 것을 특징으로 한다.
- [0028] 여기서, 게이트 측벽 절연막을 형성하는 단계는, 제 1 면 및 제 2 면을 포함하는 기판 표면에 하부 게이트 산화막(bottom gate oxide)을 형성하는 단계와, 하부 게이트 산화막(bottom gate oxide)이 형성된 기판상에 질화막(Si_3N_4)을 증착(deposition)하고, 식각(etch) 과정을 통해 측벽 스페이서(Side wall spacer) 공정으로 측벽 질화막층을 형성하는 단계와, 측벽 질화막층이 형성된 전면에 산화막(SiO_2)을 증착(deposition)하고, 식각 공정으로 상부 게이트 산화막(top gate oxide)층을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0029] 그리고 게이트 측벽 절연막을, $\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$ 또는 $\text{Al}_2\text{O}_3\text{-HfO}_2\text{-Al}_2\text{O}_3$ 또는 $\text{Al}_2\text{O}_3\text{-Si}_3\text{N}_4\text{-Al}_2\text{O}_3$, 또는 $\text{SiO}_2\text{-HfO}_2\text{-SiO}_2$ 의 어느 하나의 구조로 형성하는 것을 특징으로 한다.

발명의 효과

- [0030] 이상에서 설명한 바와 같은 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터 및 이의 제조 방법은 다음과 같은 효과가 있다.
- [0031] 첫째, 게이트 측벽 절연막을 3층의 유전막 구조로 형성하여, 차지 트랩(charge trap)을 통한 전류 형성으로 문턱전압 변화 문제를 해결할 수 있도록 한다.
- [0032] 둘째, TFET 소자의 게이트 측벽 절연막으로 3층의 ONO(oxide-nitride-oxide) 유전막을 형성하여 차지 트랩(charge trap)을 통해 밴드 벤딩(band bending)을 이용하여 구동하도록 하여 소자의 성능 저하없이 RDF(random dopant fluctuation)에 의한 고유한 문턱 전압의 변화 문제를 해결할 수 있도록 한다.
- [0033] 셋째, 게이트 측벽 절연막의 nitride 영역의 전자 트래핑(electron trapping)으로 에너지 밴드를 형성하기 때문

에 전기적 특성을 세밀하게 조정할 수 있다.

[0034] 넷째, 불순물을 활용하지 않고 차지 트랩(charge trap)으로 밴드 벤딩(band bending)을 이용하여 동작하기 때문에 채널 길이를 줄이더라도 고유한 문턱 전압변화가 발생하지 않아 RDF 문제를 해결할 수 있다.

도면의 간단한 설명

[0035] 도 1은 TFET과 MOSFET의 $\text{Log}(I_D)-V_{GS}$ 그래프

도 2는 MOSFET과 TFET의 동작원리 차이를 나타낸 구성도

도 3은 높은 도핑 농도에 의한 MOSFET의 RDF 특성을 나타낸 구성도

도 4는 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터 구조를 나타낸 단면도

도 5a와 도 5b는 3층 절연막 ONO의 band 특성 그래프 및 I_D-V_G curve를 통한 특징 그래프

도 6은 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터의 전류 발생 영역을 나타낸 구성도

도 7a 내지 도 7j는 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터의 제조 공정 단면도

발명을 실시하기 위한 구체적인 내용

[0036] 이하, 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터 및 이의 제조 방법의 바람직한 실시 예에 관하여 상세히 설명하면 다음과 같다.

[0037] 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터 및 이의 제조 방법의 특징 및 이점들은 이하에서의 각 실시 예에 대한 상세한 설명을 통해 명백해질 것이다.

[0038] 도 4는 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터 구조를 나타낸 단면도이다.

[0039] 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터는 게이트 측벽 절연막을 3층의 유전막 구조로 형성하여, 차지 트랩(charge trap)을 통한 전류 형성으로 문턱전압 변화 문제를 해결할 수 있도록 한 것이다.

[0040] 이를 위하여 본 발명은 TFET 소자의 게이트 측벽 절연막으로 3층의 ONO(oxide-nitride-oxide) 유전막을 형성하여 차지 트랩(charge trap)을 통해 밴드 벤딩(band bending)을 이용하여 구동하도록 하여 소자의 성능 저하없이 RDF(random dopant fluctuation)에 의한 고유한 문턱 전압의 변화 문제를 해결할 수 있도록 하는 구성을 포함할 수 있다.

[0041] 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터는 도 4에서와 같이, 수직 방향의 제 1 면과 제 1 면에 접하는 수평 방향의 제 2 면을 갖는 기판(40)과, 기판(40)에 형성되어 L형 터널 전계 효과 트랜지스터를 구성하는 소스 영역(41)과, 드레인 영역(42)과, 게이트(43)를 포함하고, 소스 영역(41)과 게이트(43) 사이에 ONO(oxide-nitride-oxide) 구조의 게이트 측벽 절연막(44)이 형성되어 소자 동작시에 게이트 측벽 절연막(44)의 ONO(oxide-nitride-oxide)층의 nitride 영역의 electron trapping으로 에너지 밴드를 형성하는 것이다.

[0042] 여기서, 기판(40)의 제 1 면과 제 2 면이 접하는 영역은 소자 동작시에 전류 발생 영역이 되고, 게이트 측벽 절연막(44)은 게이트(43)와 기판(40)의 제 1 면 사이에 형성되는 것이다.

[0043] 그리고 기판(40)의 제 1 면 아래 영역이 소스 영역(41)이고, 제 2 면 아래 영역이 드레인 영역(42)이다.

[0044] 일반적인 TFET의 경우 doping으로 source, channel, drain을 형성하여 영구적으로 에너지 밴드를 조절한 뒤 tunnel barrier를 생성하고, 이후에 동작 시 gate 바이어스를 인가하여 전하의 tunneling 현상을 발생하여 전류를 형성한다.

[0045] 이러한 방식은 제작이 간단하고 영구적이지만 doping의 variation에 따라 전류의 산포가 큰 단점이 있다.

[0046] 이를 해결하기 위해서 doping-less 기술이 나타나는데 주로 source-drain 영역에 서로 다른 metal을 형성하여 Work Function(WF)의 차이로 tunnel barrier 형성하여 소자를 동작 시키게 된다.

[0047] 하지만 metal을 사용하게 되면 WF의 차이를 두기 위해서 기존 CMOS 공정과 호환이 되지 않는 metal을 사용해야 하는 경우가 많으며, metal마다 특정한 WF값을 가지게 되므로 tunnel barrier의 세밀한 조정이 불가능하다.

- [0048] 또한, metal grain에 따른 WF variation 효과를 고려하면 doping으로 형성한 tunnel barrier 대비 효과가 크지 않다.
- [0049] 이에 비하여, 본 발명에서와 같이 charge trap을 이용한 경우에는 ONO(oxide-nitride-oxide) 구조의 게이트 측벽 절연막(44)의 질화막(Si_3N_4)에 charging되는 electron의 양을 조절하여 밴드를 형성하므로 보다 세밀하게 전기적 특성을 조정할 수 있다.
- [0050] 이와 같은 구조 및 특성을 갖는 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터는 게이트 (43)에 높은 전압(ex $V_g=15\text{V}$)을 인가하면 드레인 영역(42)의 전자가 게이트 측벽 절연막(44)의 질화막(Si_3N_4)으로 trap 이동하면서 소스 영역(41)쪽의 에너지 밴드가 상승하여 터널 배리어(tunnel barrier)를 형성한다.
- [0051] 여기서, 게이트 바이어스 전압 크기 및 바이어스를 인가하는 펄스 시간을 변형하면 tunnel barrier의 크기 및 산포 조절이 자유롭다.
- [0052] 그리고 소자 동작 전압을 게이트(43)에 인가 시(ex $V_g<1.5\text{V}$) ONO 영역의 아래 기판(Si)에서 밸런스 밴드(valence band)에 존재하는 전자가 채널(channel)로 터널링(tunneling)하며 전류가 흐르게 된다.
- [0053] 이와 같은 구조는 갖는 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터는 게이트 측벽 절연막의 nitride 영역의 전자 트래핑(electron trapping)으로 에너지 밴드를 형성하기 때문에 전기적 특성을 세밀하게 조정할 수 있고, 불순물을 활용하지 않고 차지 트랩(charge trap)으로 밴드 밴딩(band bending)을 이용하여 동작하기 때문에 채널 길이를 줄이더라도 고유한 문턱 전압변화가 발생하지 않아 RDF 문제를 해결할 수 있도록 한 것이다.
- [0054] 도 5a와 도 5b는 3층 절연막 ONO의 band 특성 그래프 및 I_D-V_G curve를 통한 특징 그래프이다.
- [0055] Charge trap을 이용한 TFET의 특징을 TCAD 시뮬레이션을 통해 확인했다.
- [0056] 도 5a에서와 같이, 0V와 0.5V의 gate 전압을 인가하여 ONO 절연막 band 구조로 charge trap을 통해 source와 channel을 형성하여 동작한다는 것을 확인했다.
- [0057] 또한, 도 5b에서와 같이, 시뮬레이션을 통해 소자의 I_D-V_G curve를 확인한 결과 SS값의 최솟값은 38mv/decade, 평균값은 62mv/decade으로 ON/OFF 상태 변화가 매우 급격하게 일어나기 때문에 0.5V 이하의 매우 낮은 구동 전압 조건에서 동작 가능하다는 것을 확인했다.
- [0058] 도 6은 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터의 전류 발생 영역을 나타낸 구성도이다.
- [0059] 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터는 source 영역의 doping-less를 기본으로 하여 동작하고, Drain 영역의 경우 저항개선을 및 Si_3N_4 영역에 전자를 공급하기 위해서 doping을 통해 제작한다.
- [0060] 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터의 제조 공정을 구체적으로 설명하면 다음과 같다.
- [0061] 도 7a 내지 도 7k는 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터의 제조 공정 단면도이다.
- [0062] 먼저, 도 7a에서와 같이, 실리콘 기판(70)상에 포토레지스트(71)를 도포하고, 포토리소그래피(photolithography)로 공정으로 패터닝(patterning)하여 게이트 영역을 정의하고 건식 식각(dry etch) 공정을 진행한다.
- [0063] 도 7b에서와 같이, 건식 식각(dry etch) 공정으로 기판(70)에 수직 방향의 제 1 면과 제 1 면에 접하는 수평 방향의 제 2 면을 갖는 게이트 영역이 정의되면, 도 7c에서와 같이, 건식 산화(Dry oxidation) 과정을 통해 제 1 면 및 제 2 면을 포함하는 기판(70) 표면에 하부 게이트 산화막(bottom gate oxide)(72)을 형성한다.
- [0064] 이어, 도 7d에서와 같이, 하부 게이트 산화막(bottom gate oxide)(72a)이 형성된 기판(70)상에 질화막(Si_3N_4)(73)을 증착(deposition)하고, 도 7e에서와 같이 식각(etch) 과정을 통해 측벽 스페이서(Side wall spacer) 공정으로 측벽 질화막층(73a)을 형성한다.

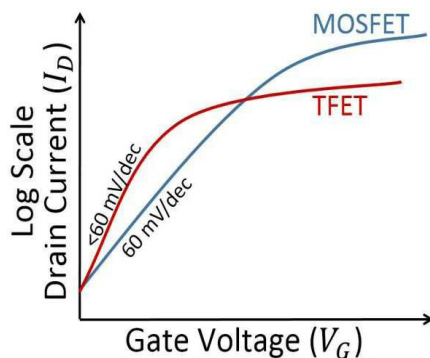
- [0065] 그리고 도 7f에서와 같이, 측벽 질화막층(73a)이 형성된 전면에 산화막(SiO_2)(74)을 증착(deposition)하고, 도 7g에서와 같이, 식각 공정으로 상부 게이트 산화막(top gate oxide)층을 형성한다.
- [0066] 이어, 도 7h에서와 같이, 측벽에 게이트 측벽 절연막으로 $\text{ONO}(\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2)$ (76)이 형성된 소자 위에 폴리실리콘 또는 금속 물질을 포함하는 게이트 형성용 물질층(77)을 증착하고, 도 7i에서와 같이 식각 공정으로 게이트(77a)를 형성한다.
- [0067] 그리고 도 7j에서와 같이, Source 전극(78) contact 영역에 p-type, Drain 영역(79)에 n-type dopant를 하여 implantation하여 소자를 완성한다.
- [0068] 이와 같은 제조 공정에서 $\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$ (ONO층)을 실시 예로 하였지만 bandgap engineering을 통해서 다른 물질을 활용해도 동일한 발명 효과를 이용할 수 있다.
- [0069] 예를 들어, $\text{Al}_2\text{O}_3\text{-HfO}_2\text{-Al}_2\text{O}_3$, $\text{Al}_2\text{O}_3\text{-Si}_3\text{N}_4\text{-Al}_2\text{O}_3$, $\text{SiO}_2\text{-HfO}_2\text{-SiO}_2$ 등의 어느 하나의 구조로 게이트 측벽 절연막을 형성할 수 있다.
- [0070] 이상에서 설명한 본 발명에 따른 차지트랩 기술을 이용하는 터널 전계효과 트랜지스터 및 이의 제조 방법은 게이트 측벽 절연막의 nitride 영역의 전자 트래핑(electron trapping)으로 에너지 밴드를 형성하기 때문에 전기적 특성을 세밀하게 조정할 수 있고, 불순물을 활용하지 않고 차지 트랩(charge trap)으로 밴드 벤딩(band bending)을 이용하여 동작하기 때문에 채널 길이를 줄이더라도 고유한 문턱 전압변화가 발생하지 않아 RDF 문제를 해결할 수 있도록 한 것이다.
- [0071] 이상에서의 설명에서와 같이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 본 발명이 구현되어 있음을 이해할 수 있을 것이다.
- [0072] 그러므로 명시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 하고, 본 발명의 범위는 전술한 설명이 아니라 특허청구 범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

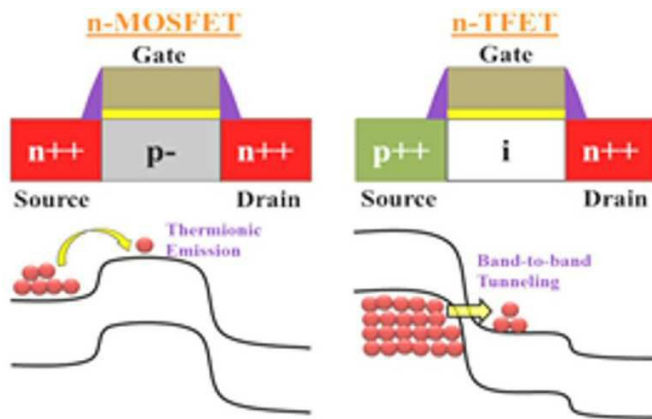
- [0073] 40. 기관
41. 소스 영역
42. 드레인 영역
43. 게이트
44. 게이트 측벽 절연막

도면

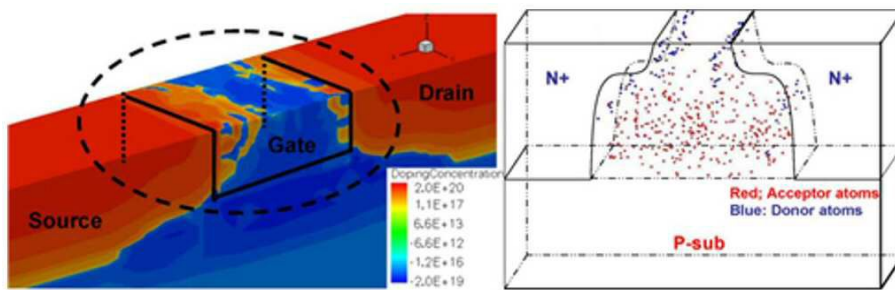
도면1



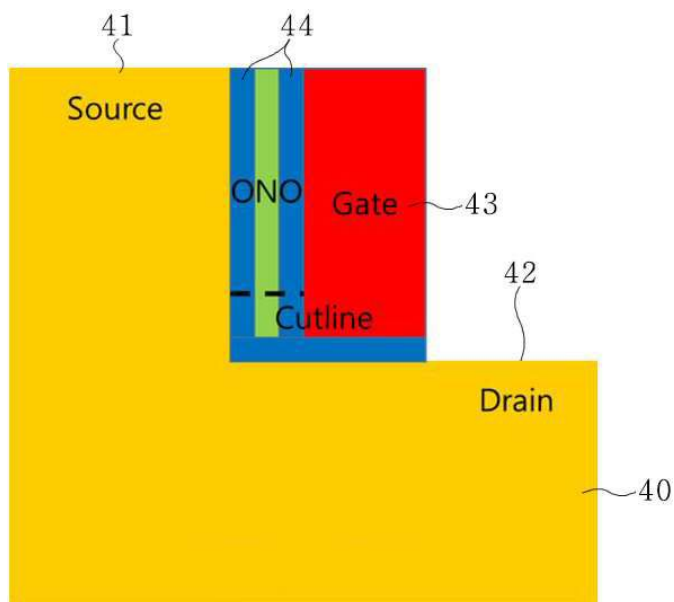
도면2



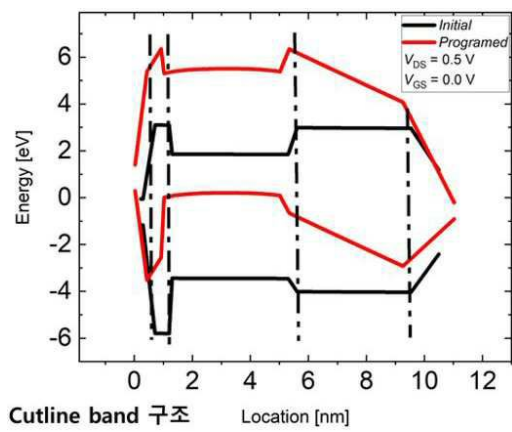
도면3



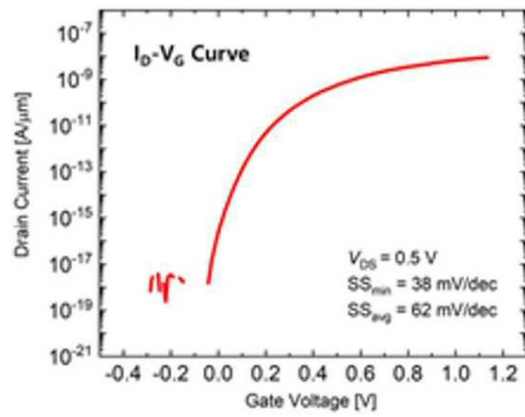
도면4



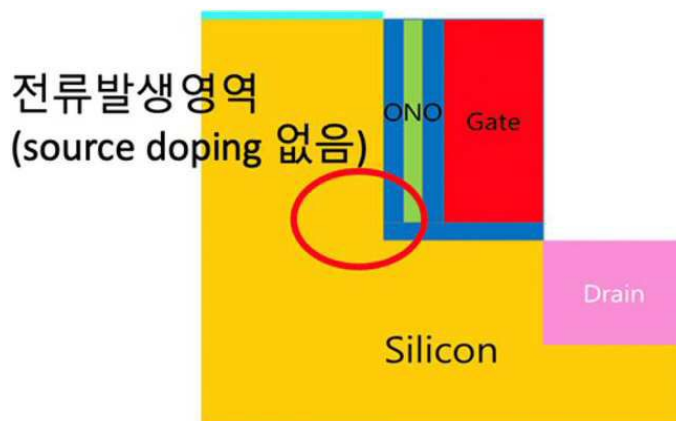
도면5a



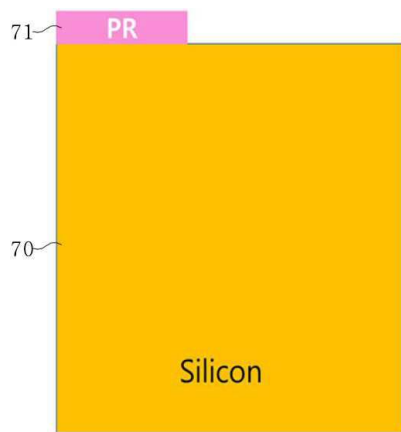
도면5b



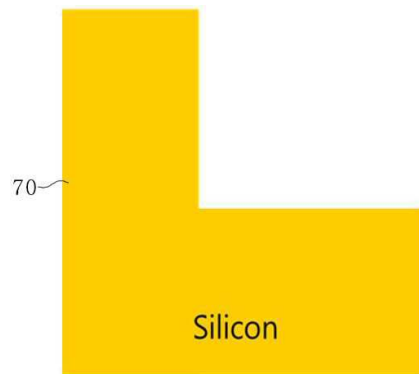
도면6



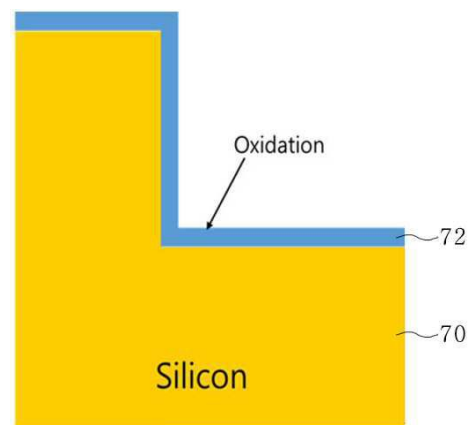
도면7a



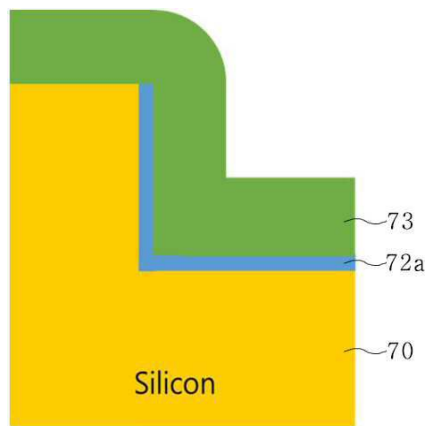
도면7b



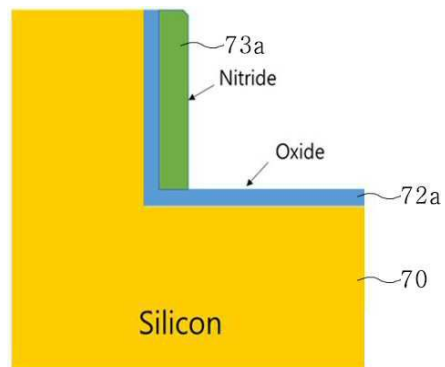
도면7c



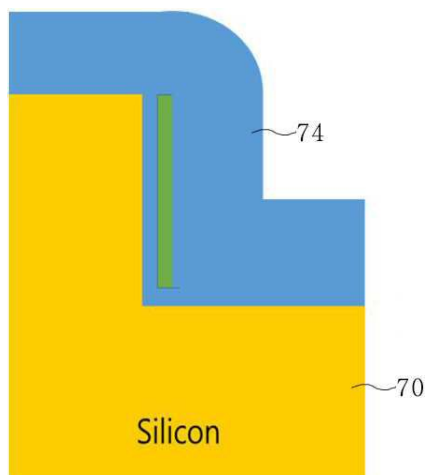
도면7d



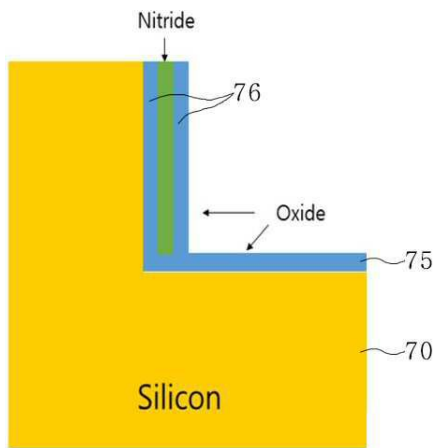
도면7e



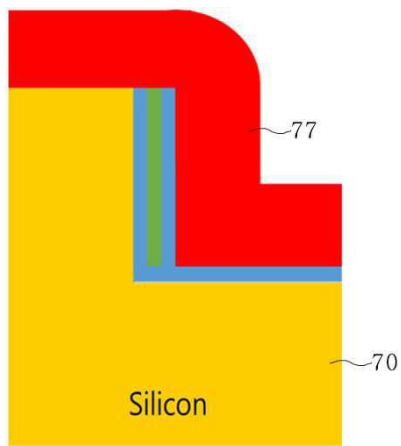
도면7f



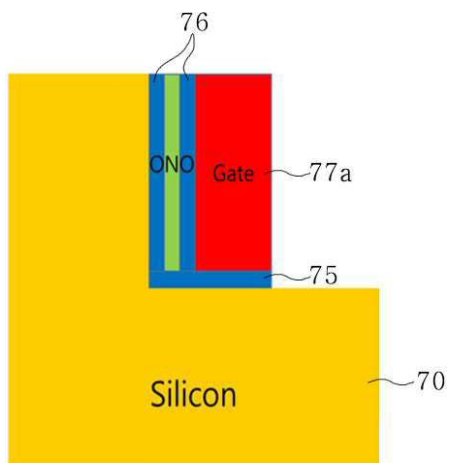
도면7g



도면7h



도면7i



도면7j

