

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
29. Januar 2004 (29.01.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/010507 A1

(51) Internationale Patentklassifikation⁷: **H01L 29/423**,
21/28, 21/336

Joachim [DE/DE]; Lützowstr. 19 A, 81245 München
(DE). TEWS, Helmut [DE/DE]; Frankenwaldstr. 36,
81549 München (DE).

(21) Internationales Aktenzeichen: PCT/DE2003/002350

(22) Internationales Anmeldedatum:
11. Juli 2003 (11.07.2003)

(74) Anwalt: **KARL, Frank**; Patentanwälte Kindermann,
Postfach 1330, 85627 Grasbrunn (DE).

(25) Einreichungssprache: Deutsch

(81) Bestimmungsstaaten (*national*): CN, JP, KR, SG, US.

(26) Veröffentlichungssprache: Deutsch

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(30) Angaben zur Priorität:
102 31 965.0 15. Juli 2002 (15.07.2002) DE

Veröffentlicht:

— mit internationalem Recherchenbericht

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.
Martin-Strasse 53, 81669 München (DE).

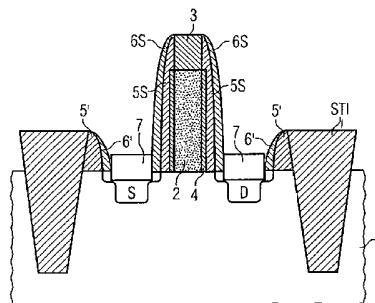
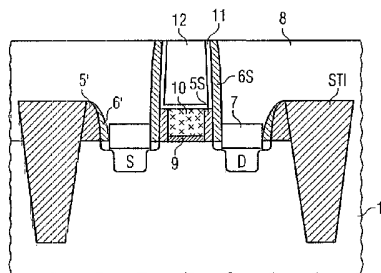
Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **BARTH, Hans-**

(54) Title: METHOD FOR PRODUCING A T-GATE STRUCTURE AND AN ASSOCIATED FIELD EFFECT TRANSISTOR

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINER T-GATE-STRUKTUR SOWIE EINES ZUGEHÖRIGEN FELD-
EFFEKTTRANSISTORS



(57) Abstract: The invention relates to a method for producing a T-gate structure and an associated field effect transistor. A side wall insulation structure (5S, 6S) is formed on the side walls of a sacrificial gate stack (2, 3, 4) and at least one upper area (I) of the sacrificial gate stack is removed in order to form a gate recess. Afterwards, a portion (5S) of the side wall insulation structure is removed in the upper area (I), and a gate recess widened thereby is filled with a highly conductive material (12).

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur Herstellung einer T-Gate-Struktur sowie eines zugehörigen Feld-effekttransistors, wobei an den Seitenwänden eines Opfer-Gatestapels (2, 3, 4) eine Seitenwand-Isolationsstruktur (5S, 6S) ausgebildet und zumindest ein oberer Bereich (I) des Opfer-Gatestapels zum Ausbilden einer Gate-Aussparung entfernt wird. Anschließend wird ein Teil (5S) der Seitenwand-Isolationsstruktur im oberen Bereich (I) entfernt und eine somit verbreiterte Gate-Aussparung mit einem hochleitfähigen Material (12) aufgefüllt.

WO 2004/010507 A1

Beschreibung

Verfahren zur Herstellung einer T-Gate-Struktur sowie eines zugehörigen Feldeffekttransistors

5

Die vorliegende Erfindung bezieht sich auf ein Verfahren zur Herstellung einer T-Gate-Struktur sowie eines zugehörigen Feldeffekttransistors und insbesondere auf ein Verfahren zur Herstellung einer selbstjustierenden T-Gate-Struktur sowie
10 eines zugehörigen Feldeffekttransistors in einem Sub-100 Nanometer-Bereich.

Mit der fortschreitenden Integrationsdichte von Halbleiterschaltungen verringern sich zunehmend auch die kritischen Abmessungen bzw. kleinsten Strukturgrößen von Halbleiterbauelementen. Ein Transistortyp der in derartigen Halbleiterschaltungen weit verbreitet ist, ist der sogenannte Feldeffekttransistor, bei dem ein Strom zwischen einem Sourcegebiet und einem Draingebiet über eine sogenannte Steuer-Elektrode bzw.
15 ein Gate angesteuert wird.

Die Leistungsfähigkeit und insbesondere die elektrischen Eigenschaften dieses Transistortyps sind jedoch wesentlich von seiner Größe bestimmt, wobei insbesondere für Strukturgrößen unterhalb von 100 Nanometer wesentliche Probleme auftreten.
25 Insbesondere sind für Feldeffekttransistoren hierbei der elektrische Widerstand der Steuerschicht bzw. des Gates sowie eine Gate-Kapazität zu nennen. Die mit der fortschreitenden Miniaturisierung sich verkleinernden Strukturgrößen führen
30 jedoch zu erhöhten Gate-Kapazitäten und erhöhten Gate-Widerständen, die die elektrischen Eigenschaften wie z.B. eine Geschwindigkeit und einen Leistungsverbrauch der Schaltung beeinflussen.

35 Genauer gesagt wird auf Grund der sich verkürzenden Gate-Längen bzw. Kanallängen der Gate-Widerstand größer, wodurch insbesondere die Taktraten begrenzt werden.

Zur Beseitigung derartiger negativer Effekte wurde daher eine sogenannte T-Gate-Struktur eingeführt, bei der die Steuerschicht bzw. das Gate eine T-Form aufweist. Durch diese T-Form können im unteren Bereich weiterhin die erwünschten geringen Kanallängen realisiert werden, während auf Grund der Verbreiterung im oberen Bereich ausreichend kleine Gate-Widerstände ermöglicht werden.

10 Zur Realisierung derartiger T-Gate-Strukturen werden üblicherweise in einem dielektrischen Material zunächst ein breiter aber flacher erster Graben und anschließend im ersten Graben ein schmaler aber tiefer zweiter Graben ausgebildet und mit einem leitenden Halbleitermaterial aufgefüllt, wo-
15 durch man die gewünschte T-Gate-Struktur erhält. Derartige herkömmliche Verfahren zur Herstellung von T-Gate-Strukturen sind jedoch insbesondere für Strukturbreiten unterhalb von 100 Nanometer schwierig herzustellen. Ferner können bei derartigen geringen Strukturbreiten die benötigten geringen Gate-Widerstände nicht länger mit dem üblicherweise verwendeten Polysilizium als Füllmaterial realisiert werden.
20

Der Erfindung liegt daher die Aufgabe zu Grunde, ein Verfahren zur Herstellung einer T-Gate-Struktur sowie eines zugehörigen Feldeffekttransistors zu schaffen, das auch für sub-100 Nanometer-Strukturen geeignet ist.
25

Erfindungsgemäß wird diese Aufgabe hinsichtlich der T-Gate-Struktur durch die Maßnahmen des Patentanspruchs 1 und hinsichtlich des Feldeffekttransistors durch die Maßnahmen des Patentanspruchs 15 gelöst.
30

Insbesondere durch das Ausbilden einer Seitenwand-Isolationsstruktur an den Seitenwänden eines Opfer-Gatestapels, dem nachfolgenden Entfernen von zumindest einem oberen Bereich des Opfer-Gatestapels zum Ausbilden einer Gate-Aussparung, dem Entfernen eines Teils der Seitenwand-Isolationsschicht im
35

oberen Bereich zum Ausbilden einer verbreiterten Gate-Aussparung und dem Auffüllen der verbreiterten Gate-Aussparung mit einem hochleitfähigen Material können T-Gate-Strukturen selbstjustierend und mit einem sehr geringen Widerstand auf
5 einfache Weise auch für sehr kleine Abmessungen hergestellt werden.

Vorzugsweise wird als Opfer-Gatestapel ein Opfer-Gate und eine Abdeckschicht ausgebildet und strukturiert weshalb man
10 nach Entfernen der Abdeckschicht eine ausreichende Isolation der oberen Kante des Opfer-Gates und somit des späteren Gates erhält.

Bei Verwendung eines ersten Spacers und eines zweiten
15 Spacers, die beispielsweise mit einer ersten Ätzstoppschicht voneinander getrennt sind, erhält man eine besonders einfach zu realisierende Seitenwand-Isolationsstruktur, wobei zur Verbreiterung der Gate-Aussparung im oberen Bereich der erste Spacer unter Verwendung der ersten Ätzstoppschicht und des
20 verbliebenen Opfer-Gates besonders einfach ausgebildet werden kann.

Zum Realisieren der Gate-Aussparung kann vorzugsweise das Opfer-Gate vollständig entfernt, ein Gate-Dielektrikum ausgebildet, auf dem Gate-Dielektrikum eine Gateschicht ausgebildet und anschließend die Gateschicht wieder im oberen Bereich entfernt werden, wodurch man qualitativ sehr hochwertige und an ein jeweiliges Halbleitermaterial angepasste Steuerschichten erzeugen kann.

30 Alternativ kann jedoch das Opfer-Gate bereits ein Gate-Dielektrikum an der Oberfläche des Halbleitersubstrats aufweisen und ansonsten aus einem elektrisch leitenden Gate-Material wie z.B. Polysilizium bestehen, wobei lediglich ein
35 oberer Bereich des Opfer-Gates entfernt wird. Das Verfahren lässt sich dadurch vereinfachen.

Vorzugsweise kann für das Auffüllen der verbreiterten Gate-Aussparung ein sogenanntes Damascene-Verfahren durchgeführt werden, wobei eine Diffusionsbarrierenschicht und/oder eine Keim- bzw. Aufwachsschicht zur Vermeidung einer unerwünschten Eindiffusion von Dotierstoffen und zur Verbesserung eines Aufwachs Vorgangs in der verbreiterten Aussparung ausgebildet werden.

Vorzugsweise wird bei diesem Auffüllen der verbreiterten Gate-Aussparung Kupfer als hochleitfähiges Material abgeschieden und planarisiert, wobei eine weitere Schutzschicht zur Vermeidung einer Ausdiffusion von unerwünschten Dotierstoffen ausgebildet wird.

Alternativ kann als hochleitfähiges Material jedoch auch sogenanntes dotiertes Metall abgeschieden und planarisiert werden (z.B. CuIn, CuAl, CuMg, CuSn, CuAg, CuZr), wobei anschließend durch eine thermische Behandlung die Diffusionsbarrierenschicht selbstjustierend an der Oberfläche durch Ausdiffusion der Dotierstoffe ausgebildet wird.

Ferner kann eine weitere thermische Behandlung zum Erzeugen eines Körnerwachstums im hochleitfähigen Material durchgeführt werden, wodurch insbesondere eine Leitfähigkeit weiter verbessert werden kann und die Elektromigrationseigenschaften verbessert werden.

Alternativ kann der im unteren Teil der T-Gate-Struktur verbliebene Opfer-Gatestapel auch vollständig entfernt werden und vor dem Auffüllen mit dem hochleitfähigen Material eine Gate-Metallschicht ausgebildet werden, wodurch sich die elektrischen Eigenschaften eines auszubildenden Feldeffekttransistors weiter verbessern lassen. Insbesondere bei Verwendung von Ta oder TaN als Gate-Metallschicht kann eine notwendige Anpassung einer Austrittsarbeit der Gate-Metallschicht an eine jeweilige Dotierung des Halbleitersubstrats durch eine Stickstoff-Implantation angepasst werden.

Hinsichtlich des Verfahrens zur Herstellung eines Feldeffekttransistors können beim Ausbilden der Seitenwand-Isolationsstruktur eine oder mehrere Implantationen zum Ausbilden von Anschlussgebieten und/oder Source-/Drainagebieten im Halbleitersubstrat durchgeführt werden, wodurch man besonders einfach und auf selbstjustierende Art und Weise diese Gebiete herstellen kann. Ferner können nach dem Ausbilden der Seitenwand-Isolationsstruktur hochleitfähige Anschlussbereiche für die Source-/Drainagebiete mittels eines Silizid-Verfahrens wiederum selbstjustierend ausgebildet werden, weshalb dieses Verfahren insbesondere für Feldeffekttransistoren im Sub-100 Nanometer-Bereich geeignet ist.

In den weiteren Unteransprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen:

Figuren 1A bis 1H vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte gemäß einem ersten Ausführungsbeispiel;

Figur 2 eine vereinfachte Schnittansicht zur Veranschaulichung eines wesentlichen Verfahrensschritts gemäß einem zweiten Ausführungsbeispiel; und

Figuren 3A bis 3C vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte gemäß einem dritten Ausführungsbeispiel.

Die Figuren 1A bis 1H zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Herstellungsschritte einer

T-Gate-Struktur, wie sie vorzugsweise bei Feldeffekttransistoren in einem Sub-100 Nanometer-Bereich Verwendung findet. Grundsätzlich kann jedoch die T-Gate-Struktur auch für andere Halbleiter-Bauelemente wie z.B. nichtflüchtige Halbleiterspeicherelemente verwendet werden.

Gemäß Figur 1A wird zunächst in einem Standardprozess auf einem Halbleitersubstrat 1 (z.B. monokristalines Si) beispielsweise ein nicht dargestelltes Pad-Oxid und Pad-Nitrid abgeschieden und zum Ausbilden von aktiven Gebieten im Halbleitersubstrat 1 eine flache Grabenisolierungen STI (Shallow Trench Isolation) ausgebildet. Anschließend können ebenfalls nicht dargestellte Wannen-Implantationen durchgeführt werden und an der Oberfläche des Halbleitersubstrats 1 eine nicht dargestellte Opferoxidschicht (Sacrificial Oxide) ausgebildet werden.

Nachfolgend wird eine Opfer-Gateschicht 2 ganzflächig abgeschieden, wobei vorzugsweise amorphes oder polykristallines Halbleitermaterial wie z.B. Silizium abgeschieden wird. An der Oberfläche der Opfer-Gateschicht 2 wird eine Hartmaske-schicht 3 als Abdeckschicht ausgebildet, wobei beispielsweise eine TEOS-Hartmaske abgeschieden wird. Anschließend erfolgt mit einem herkömmlichen fotolithographischen Verfahren eine Strukturierung der Abdeckschicht 3 und mittels der strukturierten Abdeckschicht 3 eine Strukturierung der Opfer-Gateschicht 2 vorzugsweise selektiv zu dem auf der Halbleitersubstrat-Oberfläche vorhandenen Oxidschicht.

Insbesondere bei der Realisierung von T-Gate-Strukturen für Feldeffekttransistoren sollte die Abdeckschicht 3 auf der Opfer-Gateschicht 2 vorerst verbleiben und nicht entfernt werden, wodurch sich zu einem späteren Zeitpunkt verbesserte Isolationseigenschaften ergeben. Durch eine optionale zusätzliche Seitenwand-Oxidation der Opfer-Gateschicht 2 zur Ausbildung einer Seitenwand-Isolationsschicht 4 von z.B. 3 bis 6

Nanometer thermischen Oxids erhält man den in Figur 1A dargestellten Opfer-Gatestapel.

Nachfolgend werden an den Seitenwänden des Opfer-Gatestapels
5 Seitenwand-Isolationsstrukturen ausgebildet. Beispielsweise
wird mittels eines herkömmlichen Spacer-Verfahrens z.B. eine
Siliziumnitridschicht ganzflächig abgeschieden und anschlie-
ßend anisotrop geätzt, wodurch man die in Figur 1a darge-
stellten ersten Spacer 5S und ersten Restschichten 5' an den
10 Flanken der Grabenisolierung STI erhält. Auf Grund der ver-
bliebenen Abdeckschicht 3 reicht der erste Spacer 5S bis zur
Oberkante der Hartmaske bzw. Abdeckschicht 3, weshalb man für
den letztendlich zu realisierenden Gatestapel eine ausrei-
chende Isolierung zu benachbarten Elementen wie z.B. Kontakt-
15 anschlüssen erhält. Als anisotropes Ätzverfahren wird bei-
spielsweise reaktives Ionenätzen (RIE) angewendet.

Optional kann nach Ausbildung des Opfer-Gatestapels und
Spacers 5S eine erste Implantation I_1 durchgeführt werden,
20 wodurch im Halbleitersubstrat Anschlussgebiete LDD für ein
jeweiliges Kanalgebiet selbstjustierend ausgebildet werden.

Nach diesem Herstellungsschritt zur Realisierung des ersten
Spacers 5S kann optional ferner eine (nicht dargestellte)
25 Ätzstoppschicht in Form eines dünnen Oxids an den Seitenflan-
ken des ersten Spacers 5S ausgebildet werden. Beispielsweise
wird hierbei eine ca. 2 Nanometer dicke CVD-Siliziumdioxid-
schicht abgeschieden oder diese Ätzstoppschicht thermisch
beispielsweise durch Umwandlung eines Teils der Si_3N_4 -Schicht
30 mittels eines Oxidations-Verfahrens realisiert.

Zur Herstellung von T-Gate-Strukturen im Sub-100 Nanometer-
Bereich wird der Opfer-Gatestapel vorzugsweise sublithogra-
phisch ausgebildet und kann demzufolge eine Breite von typi-
35 schen 30 bis 50 Nanometer aufweisen. Die Höhe der Opfer-
Gateschicht 2 beträgt beispielsweise 100 bis 200 Nanometer
und die Dicke der ersten Spacer 5S 10 bis 20 Nanometer.

Selbstverständlich können auch andere Abmessungen in Abhängigkeit von einem jeweiligen Anwendungsfall und jeweils verwendeten Materialien eingestellt werden.

5 Gemäß Figur 1B wird in einem nachfolgenden Schritt zur Vervollständigung der Seitenwand-Isolationsstruktur ein zweiter Spacer 6S analog zum ersten Spacer 5S wiederum mittels eines herkömmlichen Spacer-Verfahrens ausgebildet, wobei beispielsweise eine zweite Siliziumnitridschicht abgeschieden und anisotrop geätzt wird. Die Dicke dieses zweiten Spacers 6S beträgt beispielsweise 50 bis 70 Nanometer, während sich seine Höhe vorzugsweise wiederum bis zur Oberkante der Hartmaske bzw. Abdeckschicht 3 erstreckt und dadurch eine Isolation in diesem Bereich verbessert.

15 Gemäß Figur 1B kann unter Verwendung des ersten und zweiten Spacers 5S und 6S sowie des Opfer-Gatestapels eine zweite Implantation I_2 durchgeführt werden, wodurch im Halbleitersubstrat die eigentlichen Source-/Draingebiete S, D ausgebildet werden. Wiederum erhält man hierbei einen selbstjustierenden Prozess, der insbesondere für sehr kleine Strukturen geeignet ist.

25 Insbesondere bei der Herstellung eines Feldeffekttransistors mit T-Gate-Struktur können bereits zu diesem Zeitpunkt hochleitfähige Anschlussbereiche 7 für die Source-/Draingebiete S und D beispielsweise mittels eines selbstjustierenden Silizid-Verfahrens (Salicide Process) ausgebildet werden. Zur Realisierung derartiger hochleitfähiger Anschlussbereiche 7 wird gemäß Figur 1C beispielsweise zunächst silizierfähiges Material bzw. eine silizierfähige Metallschicht wie z.B. Kobalt, Nickel oder Platin ganzflächig abgeschieden. Anschließend wird eine Umwandlung der kristallinen Oberflächenschicht des Halbleitersubstrats 1 unter Verwendung des silizierfähigen Materials zum Ausbilden von hochleitfähigen Anschlussbereichen 7 durchgeführt, wobei an den nicht mit Halbleitermaterial (Silizium) in Berührung stehenden Oberflächen kein Si-

lizard ausgebildet wird, sondern das abgeschiedene Material (Metall) bestehen bleibt, weshalb wiederum mittels eines vorzugsweise nasschemischen Ätzverfahrens eine selektive Rückätzung der abgeschiedenen Metallschicht erfolgen kann. Auf diese Weise kann unter Verwendung von lediglich einer Ätzkammer eine Vielzahl von Strukturierungsschritten zum Ausbilden der Spacerstrukturen sowie der Anschlussbereiche selbstjustierend durchgeführt werden, weshalb sich die Herstellungskosten weiter verringern.

10

Bei der Verwendung von Kobalt, Nickel, Titan oder Platin ergeben sich als hochleitfähige Anschlussbereiche 7 Kobalt-, Nickel-, Titan oder Platin-Silizidschichten, die selbstjustierend ausgebildet werden können. Die vorstehend beschriebene Ausbildung der Anschlussbereiche 7 kann jedoch auch zu einem späteren Zeitpunkt, beispielsweise nach Fertigstellung des Feldeffekttransistors und Ausbildung von Kontaktöffnungen, durchgeführt werden.

15

20 Gemäß Figur 1D wird in einem nachfolgenden Schritt eine Schutzschicht 8 ausgebildet und gemeinsam mit der Seitenwand-Isolationsstruktur bzw. der beiden Spacer 5S und 6S bis zur Opfer-Gateschicht 2 planarisiert. Genauer gesagt wird beispielsweise eine HDP-Oxidschicht (High Density Plasma) eine
25 BPSG-Schicht (Bor-Phosphor-Silikatglas) oder eine TEOS-Schicht ganzflächig abgeschieden und mittels eines CMP-Verfahrens (Chemical Mechanical Polishing) planarisiert, wobei als Stoppschicht das Polysilizium der Opfer-Gateschicht 2 dient.

30

Gemäß Figur 1E kann nachfolgend im Wesentlichen ein spezieller Gate-Replacement-Prozess durchgeführt werden, wobei zumindest ein oberer Bereich I des verbliebenen Opfer-Gatestapels zum Ausbilden einer Gate-Aussparung A entfernt
35 wird. Beispielsweise wird zunächst die Opfer-Gateschicht 2 mit einer nasschemischen Polysilizium-Ätzung vollständig entfernt und anschließend mit einer Oxidätzung die an der Halb-

leistersubstrat-Oberfläche ausgebildete Opfer-Oxidschicht sowie die an den Seitenwänden bzw. dem ersten Spacer 5S verbleibende Seitenwand-Isolationsschicht 4 vollständig entfernt. Anschließend wird zumindest im Bodenbereich der Aussparung bzw. an der freigelegten Oberfläche des Halbleitersubstrats 1 ein Gate-Dielektrikum 9 ausgebildet, wobei beispielsweise Siliziumoxid, Siliziumnitrid, Oxinitrid oder ein sogenanntes High-k-Dielektrikum abgeschieden wird. Derartige Gate-Dielektrika besitzen eine ausreichend hohe dielektrische Konstante und können demzufolge eine ausreichend hohe Gate-Kapazität realisieren. Anschließend wird die Gate-Aussparung A mit der eigentlichen Gateschicht 10 aufgefüllt, wobei beispielsweise undotiertes Polysilizium verwendet werden kann. Nach einer Poly-CMP-Planarisierung kann zur Dotierung der Gateschicht 10 bzw. zur Realisierung einer ausreichenden Leitfähigkeit der Gateschicht 10 eine nicht dargestellte Gate-Implantation durchgeführt werden.

Alternativ zu der vorstehend beschriebenen Prozessfolge können jedoch auch in-situ dotierte Materialien wie z.B. Polysilizium oder Poly-SiGe für NFET und PFET verwendet werden oder aber Gate-Metallschichten mit geeigneten Austrittsarbeiten.

Falls die hochleitenden Silizidschichten 7 noch nicht ausgebildet worden sind, werden sie zu diesem Zeitpunkt hergestellt. Dazu wird die Isolationsschicht 8 entfernt, z.B. mittels eines naßchemischen Ätzverfahrens. Anschließend wird die gewünschte Metallschicht wie z.B. Co, Ni, Ti, oder Pt abgeschieden und silizidiert. Dann wird die Isolationsschicht 8 wieder aufgebracht und planarisiert.

Abschließend wird die eingebrachte Gateschicht 10 im oberen Bereich I wieder entfernt, wobei beispielsweise bis auf eine Tiefe von 50 Nanometer über dem Gate-Dielektrikum 9 ein sogenanntes CDE-Verfahren (Chemical Dry Etching) durchgeführt wird.

Gemäß Figur 1F wird zur Ausbildung einer verbreiterten Gate-Aussparung AA nunmehr die im oberen Bereich I freiliegende Seitenwand-Isolationsstruktur bzw. der erste Spacer 5S entfernt. Dieses Entfernen kann entweder nach einer Zeitdauer
5 oder bis zu der optional eingefügten Ätzstoppschicht erfolgen. Hierbei dient die zwischen dem ersten Spacer 5S und zweiten Spacer 6S ausgebildete dünne Oxidschicht als Ätzstoppschicht.

10 Bei typischen Dicken des ersten Spacers 5S von 10 Nanometer erreicht man somit eine Verbreiterung des Gatestapels in seinem oberen Bereich I um 20 Nanometer, was insbesondere bei Strukturgrößen unterhalb von 100 Nanometer eine wesentliche
15 Verbreiterung des Gates darstellt. Bei zukünftig zu realisierenden Feldeffekttransistoren mit kleiner Gatelänge von z.B. kleiner 40 Nanometer erhält man somit eine Verbreiterung des Gates in seinem oberen Bereich I um 50% oder mehr.

Da ferner der erste Spacer 5S und der zweite Spacer 6S zu einem Zeitpunkt ausgebildet wurden, als der Opfer-Gatestapel mit seinem aus der Seitenwand-Oxidschicht 4 und der Opfer-Gateschicht 2 bestehenden Opfergates noch die Abdeckschicht 3 hatte, ist sichergestellt, dass vom zweiten Spacer 6S eine
20 ausreichend dicke Isolationsschicht bzw. Nitridschicht bis an die Oberkante der verbreiterten Gate-Aussparung AA reicht. Diese Isolationsschicht bzw. der zweite Spacer 6S verhindert somit einen möglichen Kurzschluss bei einem späteren Prozessschritt zur Realisierung von Kontaktlöchern für Gate- und
25 Source-/Draingebiete.

30 Gemäß Figur 1g kann bei der weiteren Prozessführung an dieser Stelle das gewünschte Material für den oberen Bereich I des Gates ausgebildet werden. Dieses kann beispielsweise Polysilizium sein, wobei jedoch eine verbesserte Prozessführung an
35 dieser Stelle hochleitfähiges Material 12 wie z.B. Cu verwendet. Insbesondere wird an dieser Stelle auf ein sogenanntes Damascene-Verfahren hingewiesen, wie es beispielsweise von T.

Matsuki et. al. „Cu/Poly Si Damascene gate structured MOSFET with Ta and TaN stacked barrier“, IEDM 1999, Seiten 261 bis 264 bekannt ist.

5 Gemäß Figur 1G kann demzufolge in der verbreiterten Gate-Aussparung AA zunächst eine Schicht 11 (z.B. TiN, Ta, TaN, TaC, WN, WC, WCN) ausgebildet werden, die als Diffusionsbarrierenschicht und/oder als Keim- bzw. Aufwuchsschicht einer-
10 seits ein unerwünschtes Eindiffundieren von störenden Verunreinigungen aus dem hochleitfähigen Material 12 verhindert und andererseits ein verbessertes Wachstum in dem sehr schmalen Graben ermöglicht. Als hochleitfähiges Material 12 wird anschließend beispielsweise Cu (oder Al, W, Ag, Au) abgeschieden und mittels eines CMP-Verfahrens planarisiert.

15 Gemäß Figur 1H wird zur Realisierung einer weiteren Schutzschicht eine sogenannte Cap-Schicht 13 und eine relativ dicke Isolationsschicht 14 ganzflächig ausgebildet. Die Cap-Schicht 13 dient hierbei wiederum als Diffusionsbarrierenschicht zur
20 Vermeidung einer Ausdiffusion von beispielsweise Cu-Atomen und besteht beispielsweise aus Siliziumnitrid, SiC oder SiCN. Als Isolationsschicht 14 für die Kontaktlochebene wird beispielsweise BPSG, TEOS oder ein Low-k-Material mit geringer dielektrischer Konstante verwendet. Abschließend werden Kon-
25 taktlöcher V an den Stellen der Source-/Draingebiete und des Gates ausgebildet.

Auf diese Weise erhält man eine T-Gate-Struktur mit hervorragenden elektrischen Leitfähigkeiten, welche auch in einem
30 Sub-100 Nanometer-Bereich einfach und hoch genau ausgebildet werden kann.

Figur 2 zeigt eine vereinfachte Schnittansicht eines abschließenden Herstellungsschritts gemäß einem zweiten Ausführungsbeispiel, wobei gleiche Bezugszeichen gleiche oder entsprechende Schichten bzw. Elemente darstellen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 2 kann alternativ zur vorstehend beschriebenen Cap-Schicht 13 auch eine selektive Abscheidung eines Metalls als metallische Diffusionsbarriere durchgeführt werden. Als
5 derartige Metalle kommen im Wesentlichen CoP, CoWP, (stromlos abgeschiedenes) CoWB, oder (CVD-abgeschiedenes) W oder WN in Frage. In diesem Fall befindet sich eine dadurch ausgebildete weitere Diffusionsbarrierenschicht 130 nur auf dem hochleitfähigen Material 12 und nicht auf der Schutzschicht 8.

10

Wenn als Material zur Füllung der verbreiterten Gate-Aussparung AA dotierte Metallschichten und insbesondere dotierte Cu-Schichten wie CuAl, CuMg, CuIn, CuSn, CuZr usw. verwendet werden, ist die Abscheidung einer derartigen Cap-Schicht
15 nicht erforderlich, da diese Schichten nach einer thermischen Behandlung bei einer Temperatur kleiner 400 Grad Celsius die Dotierstoffe an die Oberfläche diffundieren und eine selbstpassivierende Schicht als weitere Diffusionsbarrierenschicht 130 erzeugen.

20

Zur Reduzierung des Widerstands des hochleitfähigen Materials 12 in den geometrisch sehr kleinen Aussparungen A und AA kann ferner ein weiteres thermisches Ausheilen lokal oder global in einem Ofenprozess durchgeführt werden, wobei ein Körner-
25 wachstum im hochleitfähigen Material 12 optimiert wird und eine Anzahl von Korngrenzen minimiert wird. Neben der verbesserten Leitfähigkeit lassen sich hierdurch auch die Elektromigrationseigenschaften der Steuerschicht wesentlich verbessern.

30

Erfindungsgemäß wird somit unter Verwendung eines speziellen Gate-Replacement-Prozesses ohne Durchführung eines zusätzlichen kritischen Lithographieschritts eine T-Gate-Struktur hergestellt, wobei sowohl der Gate-Widerstand verringert ist
35 und Gate-Kapazitäten verbessert sind. Insbesondere bei Verwendung von hochleitfähigen Materialien wie Cu erhält man besonders geringe Gate-Widerstände.

Alternativ zu den vorstehend beschriebenen Ausführungsbeispielen kann die T-Gate-Struktur mit verbesserter Leitfähigkeit auch ohne einen vollständigen Replacement-Gate-Prozess durchgeführt werden, wobei in diesem nicht dargestellten Fall das Opfer-Gate bereits ein Gate-Dielektrikum und ein elektrisch leitfähiges Gate-Material aufweist und nur ein oberer Bereich des Opfer-Gates entfernt wird. Bei einem derartigen Ausführungsbeispiel kann auf Kosten der elektrischen Eigenschaften die Herstellung wesentlich vereinfacht werden.

Figuren 3A bis 3C zeigen wiederum vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Herstellungsschritte gemäß einem dritten Ausführungsbeispiel, wobei gleiche Bezugszeichen gleiche oder entsprechende Schichten wie in den Ausführungsbeispielen 1 und 2 beschreiben und daher auf eine detaillierte Beschreibung nachfolgend verzichtet wird.

Bei dem dritten Ausführungsbeispiel wird wiederum der Opfer-Gatestapel, bzw. das aus der Gateschicht 2 und der Seitenwand-Isolationsschicht 4 bestehende Opfer-Gate, vollständig entfernt, wodurch man verbesserte elektrische Eigenschaften für einen jeweiligen Feldeffekttransistor erhält.

Gemäß dem nachfolgend beschriebenen dritten Ausführungsbeispiel werden in gleicher Weise wie im ersten Ausführungsbeispiel zunächst die Herstellungsschritte gemäß Figuren 1A bis 1D durchgeführt, wobei jedoch nunmehr nach dem Planarisieren gemäß Figur 1D der Verfahrensschritt gemäß Figur 3A durchgeführt wird.

Genauer gesagt wird im dritten Ausführungsbeispiel die Opfer-Gateschicht 2 nicht vollständig, d.h. bis zum Halbleitersubstrat 1, sondern lediglich im oberen Bereich I entfernt und anschließend unter Verwendung dieser Aussparung A die ersten Spacer 5S in gleicher Weise wie beim ersten Ausführungsbeispiel gemäß Figur 1F zum Ausbilden der verbreiterten Gate-

Aussparung AA entfernt. Zur Vermeidung von Wiederholungen wird daher an dieser Stelle auf die Beschreibung im ersten Ausführungsbeispiel verwiesen.

- 5 Somit erhält man die in Figur 3A dargestellte verbreiterte Gate-Aussparung AA, die zunächst in ihrem unteren Bereich II noch mit dem Opfer-Gate bzw. der Opfer-Gateschicht 2 und der Seitenwand-Isolationsschicht 4 ausgefüllt ist.
- 10 Gemäß Figur 3B wird in einem nachfolgenden Schritt das Opfer-Gate zum Freilegen des Halbleitersubstrats 1 vollständig entfernt und das eigentliche Gate-Dielektrikum 9 zumindest am freigelegten Halbleitersubstrat 1 ausgebildet. Vorzugsweise wird hierbei eine thermische Oxidation des Halbleitersub-
- 15 strats 1 durchgeführt oder ein High-k-Material abgeschieden.

Die Materialien entsprechen hierbei den vorstehend beschriebenen Materialien für das Gate-Dielektrikum 9. Anschließend wird noch vor dem Auffüllen mit dem eigentlichen hochleitfähigen Material 12 eine sogenannte Gate-Metallschicht 100

20 ganzflächig ausgebildet, wobei beispielsweise Ta oder TaN abgeschieden wird. Diese Gate-Metallschicht 100 wirkt hierbei sowohl als Diffusionsbarrierenschicht wie auch als angepasstes Metallgate, wodurch die elektrischen Eigenschaften eines

25 jeweiligen Feldeffekttransistors wesentlich verbessert werden können. Die Gate-Metallschicht 100 wird beispielsweise mit einem CVD-Verfahren (Chemical Vapour Deposition) oder einem PVD-Sputterverfahren (Physical Vapour Deposition) abgeschieden, wobei im Fall des CVD-Verfahrens ein sogenannter Precursor für Ta benutzt wird. Das Wachstum bzw. die Abscheidung

30 findet beispielsweise unter NH₃-Atmosphäre statt. Im Falle des PVD-Verfahrens wird entweder ein TaN-Target verwendet, oder Ta gesputtert, welches anschließend zu TaN reagiert.

- 35 Zur Optimierung der Austrittsarbeiten der Gate-Metallschicht 100 kann optional beispielsweise eine Stickstoff-Implantation I_N durchgeführt werden. Die Auswirkungen einer derartigen An-

passung der Austrittsarbeiten der Gate-Metallschicht 100 wird später anhand der zugehörigen Bänder-Schemata kurz erläutert.

5 Gemäß Figur 3C wird wiederum die verbreiterte Gate-Aussparung AA mit hochleitfähigem Material 12 wie beispielweise Cu aufgefüllt und mittels eines CMP-Verfahrens planarisiert. Eine als Diffusionsbarrierenschicht 130 wirkende Cap-Schicht kann hierbei in gleicher Weise ausgebildet werden wie in den vorherstehend beschriebenen Ausführungsbeispielen. Abschließend
10 können wiederum eine dicke Oxidschicht als Isolationsschicht für die Kontaktlochebene ausgebildet und die Kontaktlöcher in gleicher Weise wie in Figur 1H realisiert werden.

15 Durch die Verwendung der Gate-Metallschicht 100 und das Auffüllen auch des unteren Bereichs II mit hochleitfähigem Material erhält man wesentlich schnellere Taktzeiten bei sich gleichzeitig verringernden Spannungen und einem verringerten Platzbedarf. Dieses Ausführungsbeispiel ist daher für Sub-100 Nanometer-Feldeffekttransistoren besonders geeignet.

20 Die Erfindung wurde vorstehend anhand eines Silizium-Halbleitersubstrats und entsprechend angepasster Materialien beschrieben. Sie ist jedoch nicht darauf beschränkt und umfasst in gleicher Weise alternative Materialien mit entsprechenden
25 Auswirkungen. In gleicher Weise ist die Erfindung nicht auf Feldeffekttransistoren mit T-Gate-Struktur beschränkt, sondern umfasst in gleicher Weise weitere Halbleiterbauelemente mit derartigen T-Gate-Strukturen.

Patentansprüche

1. Verfahren zur Herstellung einer T-Gate-Struktur mit den Schritten:
 - 5 a) Ausbilden eines Opfer-Gatestapels (2, 3) auf einem Halbleitersubstrat (1);
 - b) Ausbilden einer Seitenwand-Isolationsstruktur (5S, 6S) an den Seitenwänden des Opfer-Gatestapels (2, 3, 4);
 - c) Entfernen von zumindest einem oberen Bereich (I) des Opfer-Gatestapels (2, 3, 4) zum Ausbilden einer Gate-Aussparung
10 (A);
 - d) Entfernen eines Teils (5S) der Seitenwand-Isolationsstruktur (5S, 6S) im oberen Bereich (I) zum Ausbilden einer verbreiterten Gate-Aussparung (AA); und
 - 15 e) Auffüllen der verbreiterten Gate-Aussparung (AA) mit einem hochleitfähigen Material (12).
2. Verfahren nach Patentanspruch 1,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
20 a) als Opfer-Gatestapel ein Opfer-Gate (2, 4) und eine Abdeckschicht (3) zum Abdecken des Opfer-Gates (2, 4) ausgebildet und strukturiert wird.
3. Verfahren nach Patentanspruch 1 oder 2,
25 d a d u r c h g e k e n n z e i c h n e t, dass in Schritt b) als Seitenwand-Isolationsstruktur ein erster Spacer (5S) und ein zweiter Spacer (6S) ausgebildet wird.
4. Verfahren nach Patentanspruch 3,
30 d a d u r c h g e k e n n z e i c h n e t, dass in Schritt d) zwischen dem ersten Spacer (5S) und dem zweiten Spacer (6S) eine erste Ätzstoppschicht ausgebildet wird.
5. Verfahren nach einem der Patentansprüche 2 bis 4,
35 d a d u r c h g e k e n n z e i c h n e t, dass in Schritt b) eine Schutzschicht (8) ausgebildet und gemeinsam mit der

Seitenwand-Isolationsstruktur (5S, 6S) bis zum Opfer-Gate (2, 4) zum Entfernen der Abdeckschicht (3) planarisiert wird.

6. Verfahren nach einem der Patentansprüche 2 bis 5,
5 d a d u r c h g e k e n n z e i c h n e t, dass in Schritt c) das Opfer-Gate zum Freilegen des Halbleitersubstrats (1) vollständig entfernt wird;
ein Gate-Dielektrikum (9) zumindest am freigelegten Halbleitersubstrat (1) ausgebildet wird;
10 eine Gateschicht (10) auf dem Gate-Dielektrikum (9) ausgebildet wird; und
die Gateschicht (10) im oberen Bereich (I) wieder entfernt wird.

15 7. Verfahren nach einem der Patentansprüche 2 bis 5,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt c) das Opfer-Gate ein Gate-Dielektrikum sowie ein elektrisch leitendes Gate-Material aufweist; und
nur das Opfer-Gate im oberen Bereich (I) entfernt wird.

20 8. Verfahren nach einem der Patentansprüche 3 bis 7,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt d) der erste Spacer (5S) im oberen Bereich (I) vollständig entfernt wird.

25 9. Verfahren nach einem der Patentansprüche 1 bis 8,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt e) eine Diffusionsbarrierenschicht (11) und/oder eine Keimschicht ausgebildet wird.

30 10. Verfahren nach einem der Patentansprüche 1 bis 9,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt e) als hochleitfähiges Material (12) Cu abgeschieden sowie planarisiert wird und abschließend eine weitere Schutzschicht
35 (13, 14) ausgebildet wird.

11. Verfahren nach einem der Patentansprüche 1 bis 9,

d a d u r c h g e k e n n z e i c h n e t, dass in Schritt e) als hochleitfähiges Material (12) dotierte Metallschichten abgeschieden sowie planarisiert werden und anschließend eine thermische Behandlung zum Erzeugen einer weiteren Diffusions-
5 barrierenschicht (130) durchgeführt wird.

12. Verfahren nach einem der Patentansprüche 1 bis 11,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt e) eine thermische Behandlung zum Erzeugen eines Körnerwachstums im hochleitfähigen Material (12) durchgeführt wird.
10

13. Verfahren nach einem der Patentansprüche 1 bis 12,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt d) ferner der verbliebene Teil des Opfer-Gatestapels (2, 4)
15 entfernt wird; und
in Schritt e) vor dem Auffüllen mit dem hochleitfähigen Material (12) eine Gate-Metallschicht (100) ausgebildet wird.

14. Verfahren nach Patentanspruch 13,
20 d a d u r c h g e k e n n z e i c h n e t, dass die Gate-Metallschicht (100) Ta oder TaN aufweist und zur Anpassung einer Austrittsarbeit der Gate-Metallschicht (100) eine Stickstoff-Implantation (I_N) durchgeführt wird.

25 15. Verfahren zur Herstellung eines Feldeffekttransistors mit T-Gate-Struktur gemäß den vorstehenden Patentansprüchen
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt b) zumindest eine Implantation (I_1 , I_2) zum Ausbilden von Anschlussgebieten (LDD) und/oder Source-/Draingebieten (S, D)
30 im Halbleitersubstrat (1) durchgeführt wird.

16. Verfahren nach Patentanspruch 15,
d a d u r c h g e k e n n z e i c h n e t, dass nach Schritt b) Anschlussbereiche (7) für die Source-/Draingebiete
35 (S, D) mittels eines Silizid-Verfahrens ausgebildet werden.

1/6

FIG 1A

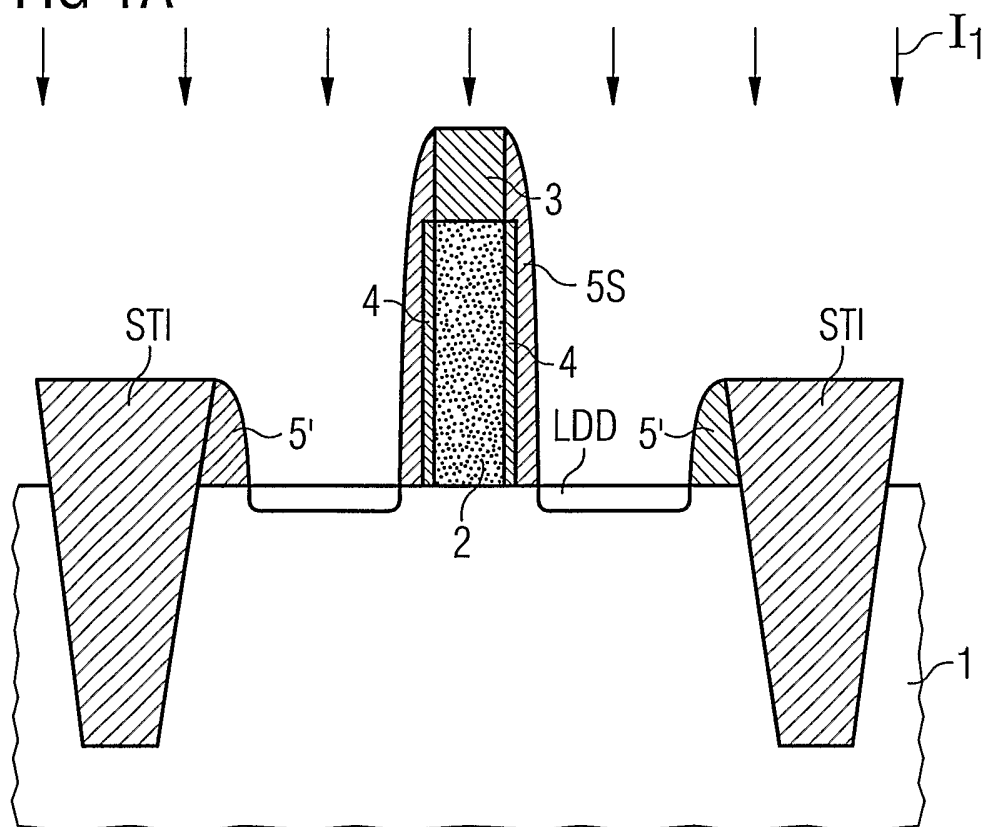


FIG 1B

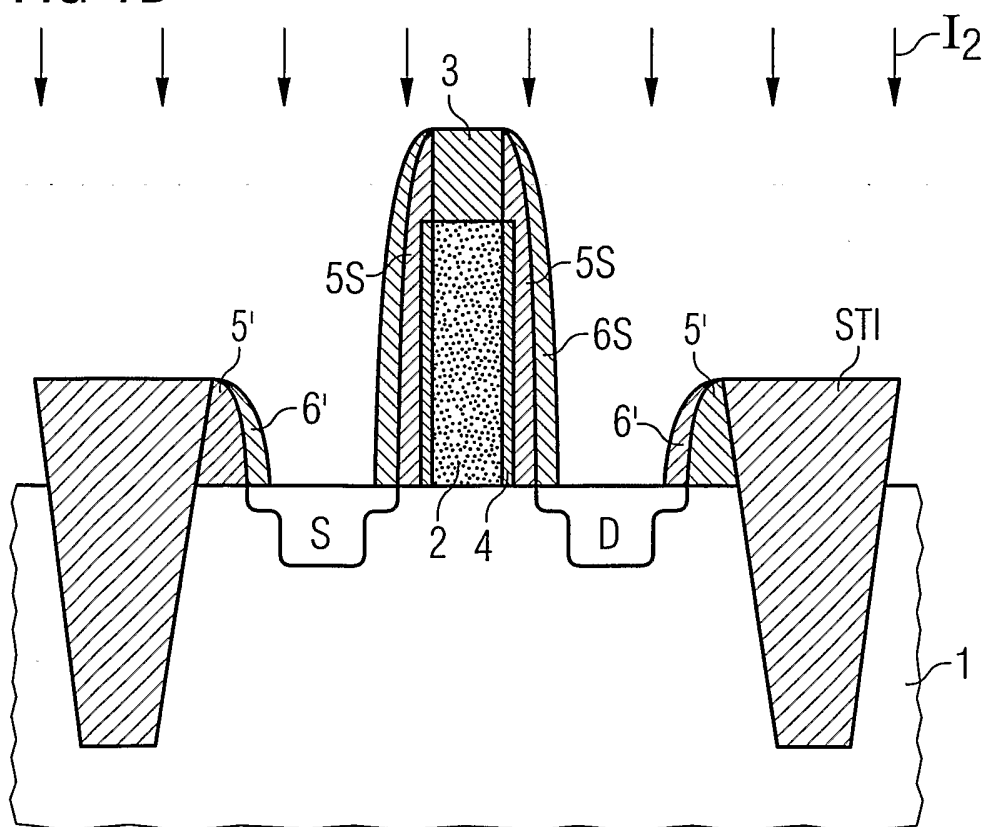


FIG 1C

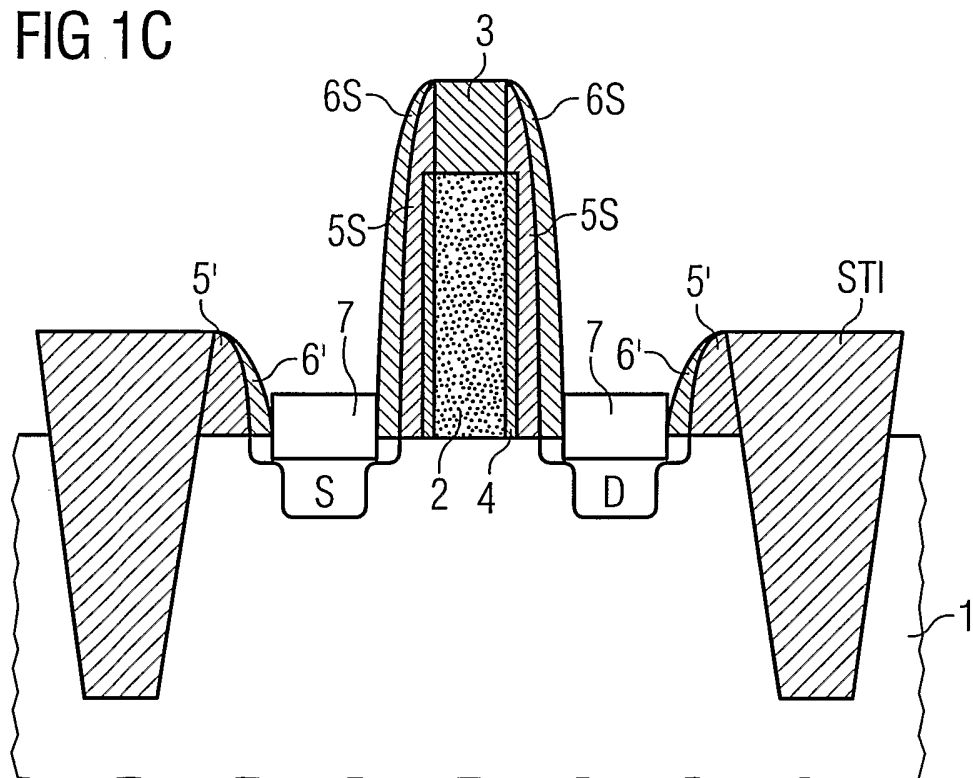
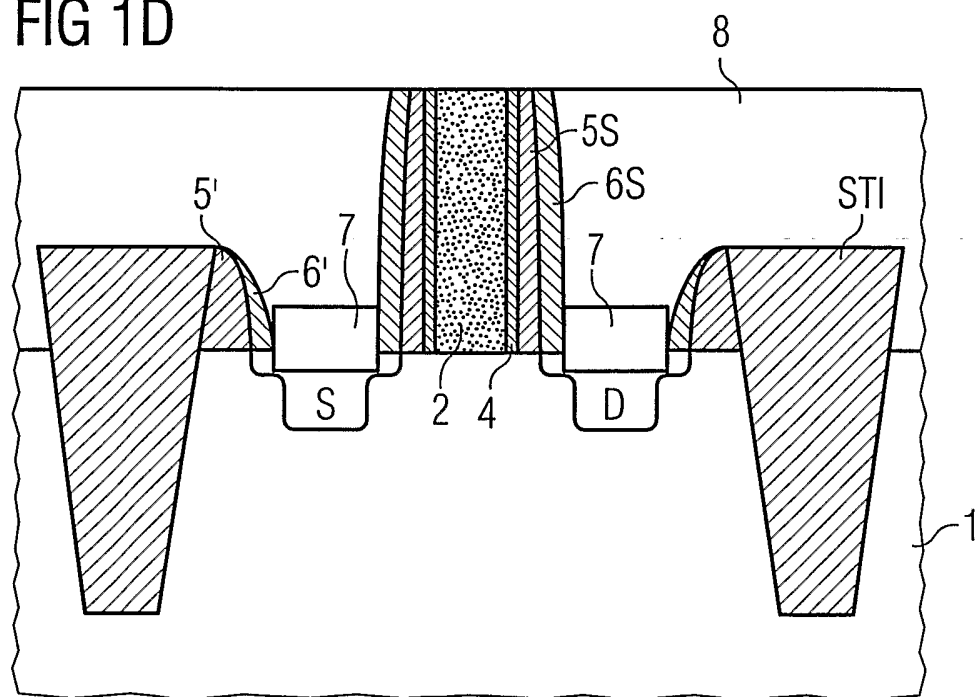


FIG 1D



3/6

FIG 1E

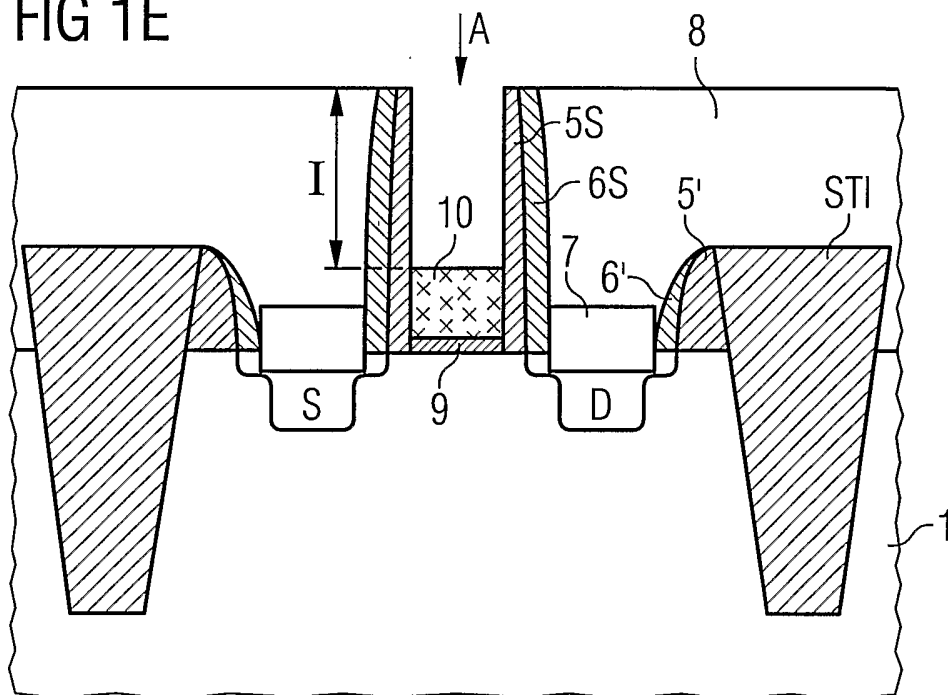
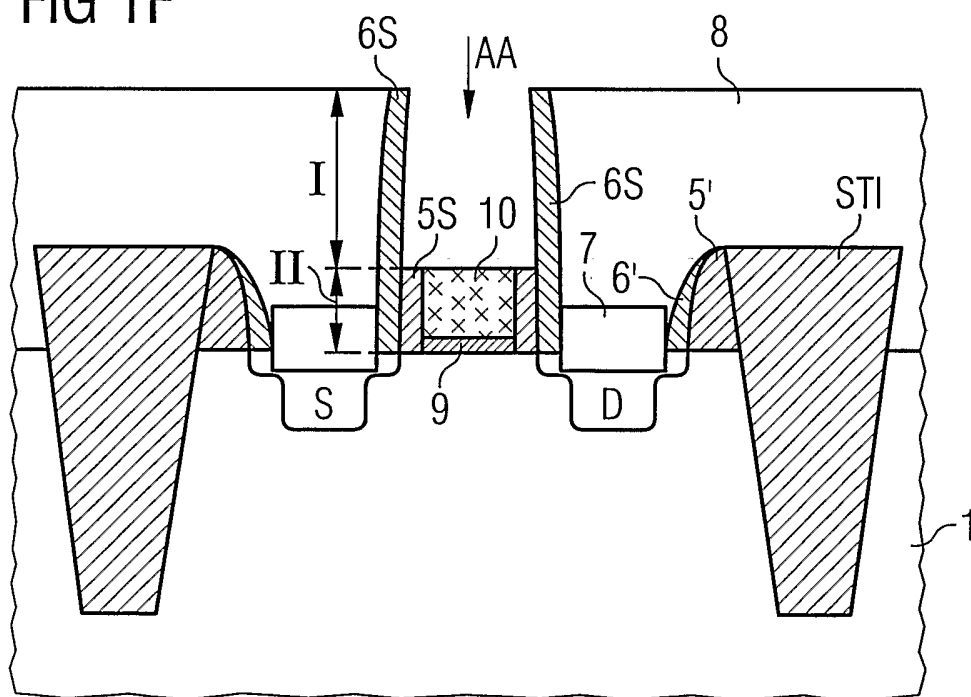


FIG 1F



4/6

FIG 1G

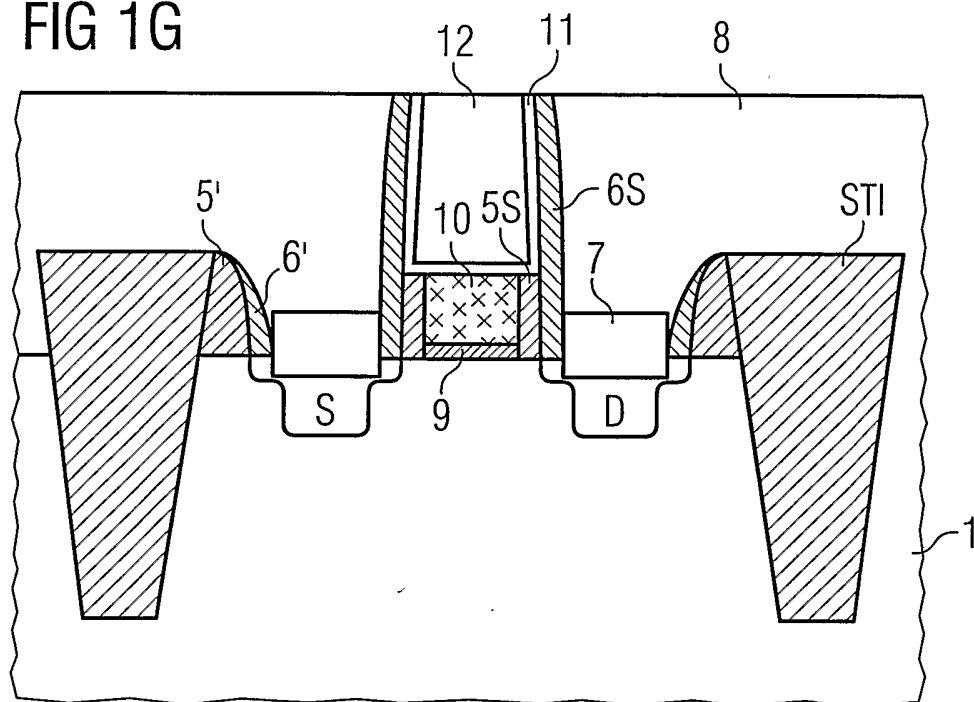
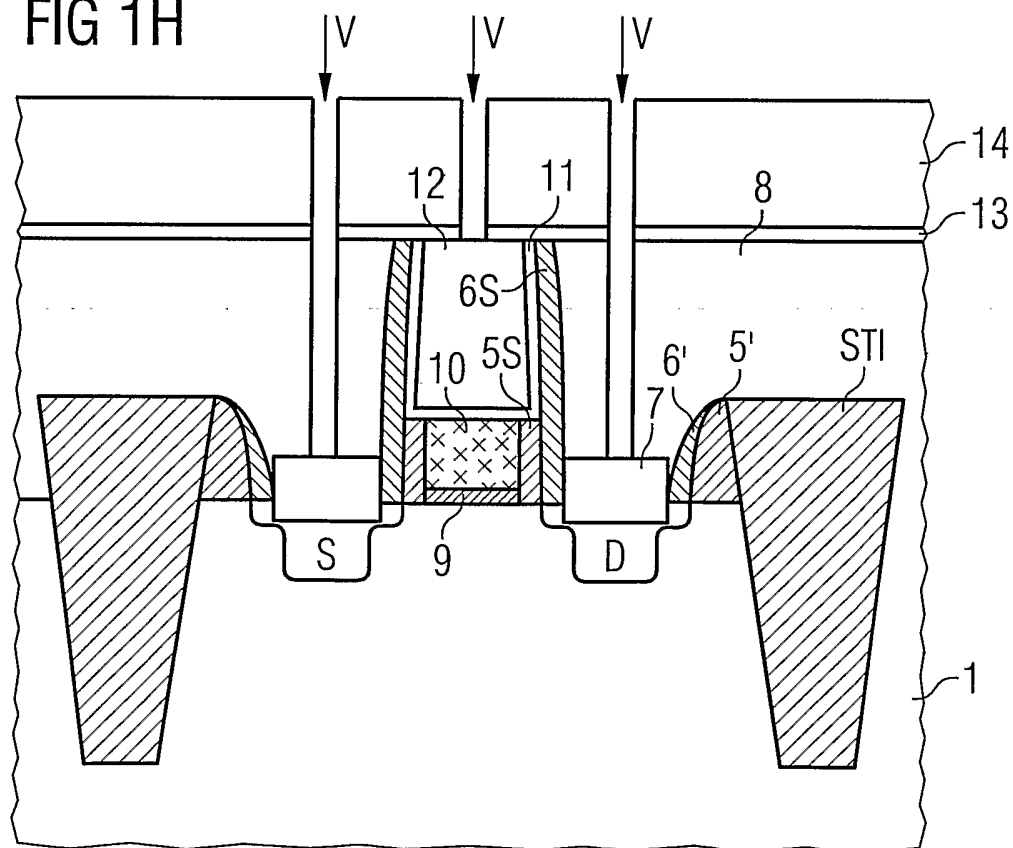


FIG 1H



5/6

FIG 2

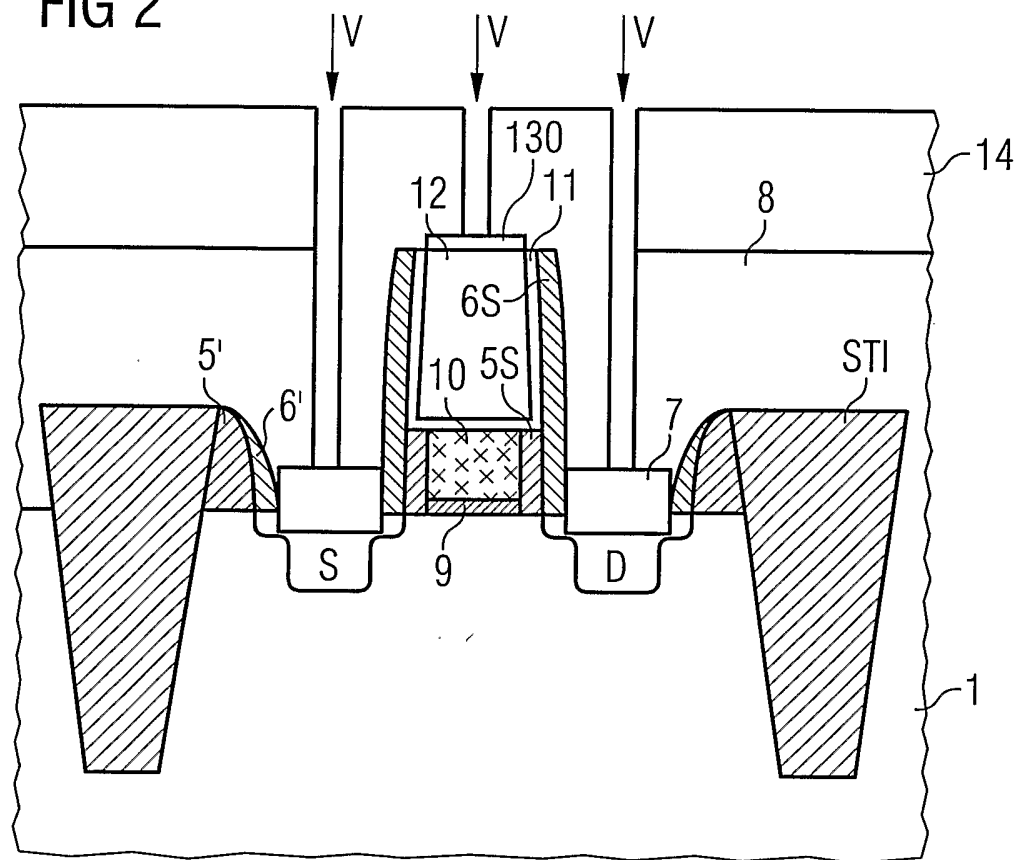


FIG 3A

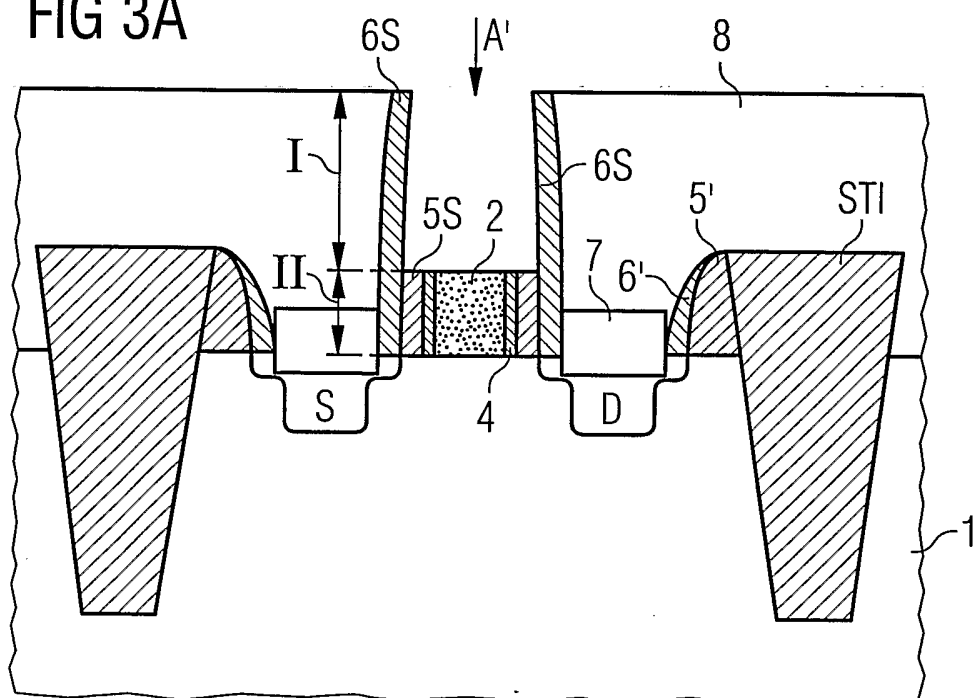


FIG 3B

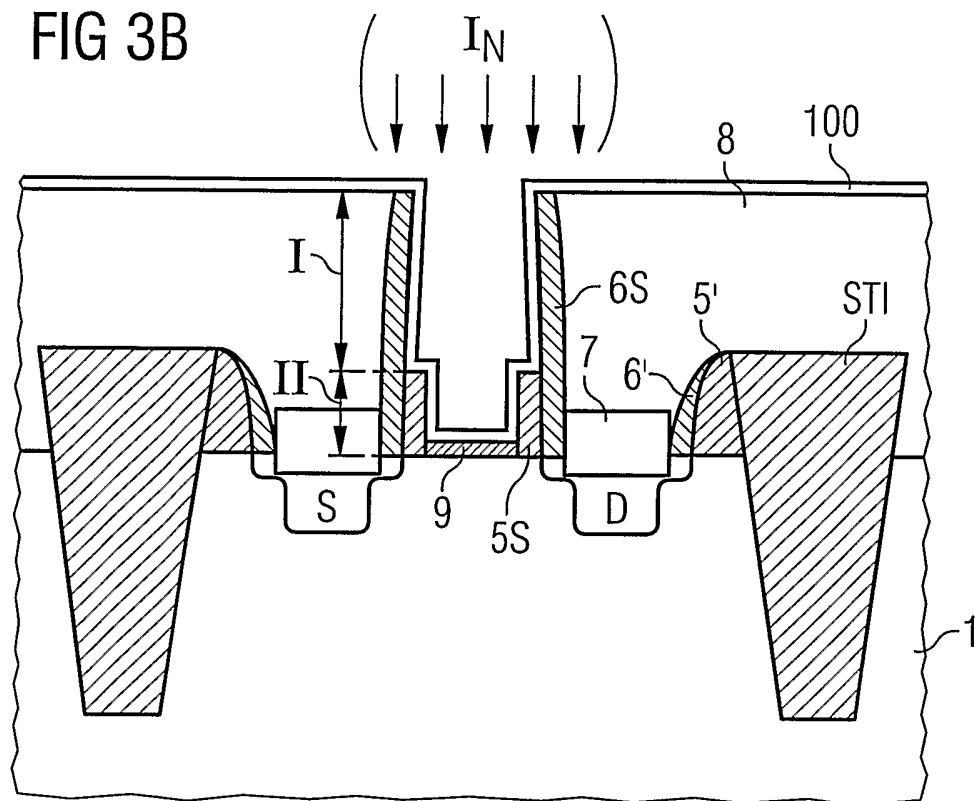
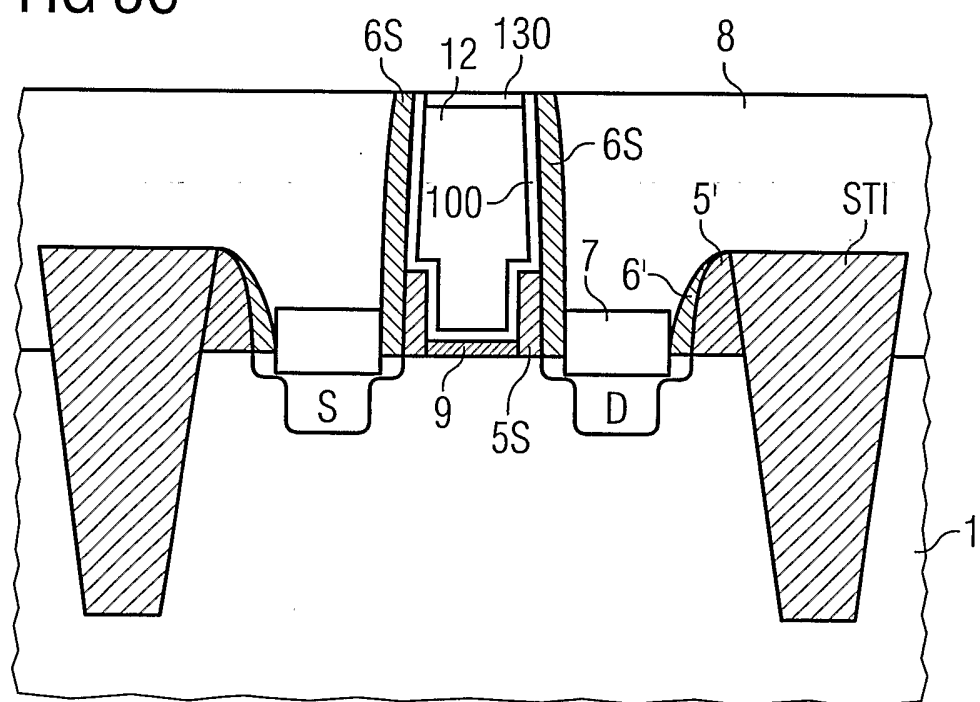


FIG 3C



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 03/02350

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L29/423 H01L21/28 H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

WPI Data, EPO-Internal, COMPENDEX, IBM-TDB, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 6 346 450 B1 (MARTIN FRANCOIS ET AL) 12 February 2002 (2002-02-12) column 6, line 62 -column 12, line 17; figures 2-24	1-6, 8-16 7
X A	US 2002/006715 A1 (CHHAGAN VIJAI KOMAR ET AL) 17 January 2002 (2002-01-17) paragraph '0044! - paragraph '0056!; figures 8-16	1-5, 7, 9-16 6
X	US 6 235 627 B1 (NAKAJIMA KAZUAKI) 22 May 2001 (2001-05-22) column 6, line 23 -column 14, line 16; figures 1-5	1-5, 7-16

	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

° Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

* & * document member of the same patent family

Date of the actual completion of the international search

10 October 2003

Date of mailing of the international search report

20/10/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Berthold, K

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 03/02350

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2001/023120 A1 (INUMIYA SEIJI ET AL) 20 September 2001 (2001-09-20) paragraph '0042! - paragraph '0105!; figures 1-4 ----	1-6,8-16
X	US 6 306 712 B1 (NANDAKUMAR MAHALINGAM ET AL) 23 October 2001 (2001-10-23) column 5, line 1 -column 5, line 49; figures 3,4 ----	1,15
X	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 02, 28 February 1997 (1997-02-28) & JP 08 264531 A (TOSHIBA CORP), 11 October 1996 (1996-10-11) abstract ----	1,15
X	US 6 013 569 A (LUR WATER ET AL) 11 January 2000 (2000-01-11) abstract; figure 9 ----	1,15
A	EP 1 134 798 A (INFINEON TECHNOLOGIES AG) 19 September 2001 (2001-09-19) claim 41 -----	14

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 03/02350

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6346450	B1	12-02-2002	FR 2757312 A1 EP 0944919 A1 WO 9827582 A1 JP 2001506807 T	19-06-1998 29-09-1999 25-06-1998 22-05-2001
US 2002006715	A1	17-01-2002	US 6303447 B1 SG 85723 A1	16-10-2001 15-01-2002
US 6235627	B1	22-05-2001	JP 3232043 B2 JP 11074219 A	26-11-2001 16-03-1999
US 2001023120	A1	20-09-2001	JP 2001257344 A TW 505954 B	21-09-2001 11-10-2002
US 6306712	B1	23-10-2001	US 2001036713 A1 EP 0923119 A2 JP 11261069 A	01-11-2001 16-06-1999 24-09-1999
JP 08264531	A	11-10-1996	JP 3315287 B2	19-08-2002
US 6013569	A	11-01-2000	NONE	
EP 1134798	A	19-09-2001	EP 1134798 A1 WO 0169667 A1	19-09-2001 20-09-2001

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 03/02350

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 IPK 7 H01L29/423 H01L21/28 H01L21/336

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

WPI Data, EPO-Internal, COMPENDEX, IBM-TDB, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 346 450 B1 (MARTIN FRANCOIS ET AL) 12. Februar 2002 (2002-02-12)	1-6, 8-16
A	Spalte 6, Zeile 62 - Spalte 12, Zeile 17; Abbildungen 2-24	7
X	US 2002/006715 A1 (CHHAGAN VIJAI KOMAR ET AL) 17. Januar 2002 (2002-01-17)	1-5, 7, 9-16
A	Absatz '0044! - Absatz '0056!; Abbildungen 8-16	6
X	US 6 235 627 B1 (NAKAJIMA KAZUAKI) 22. Mai 2001 (2001-05-22)	1-5, 7-16
	Spalte 6, Zeile 23 - Spalte 14, Zeile 16; Abbildungen 1-5	
	-/--	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

10. Oktober 2003

Absendedatum des internationalen Recherchenberichts

20/10/2003

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Berthold, K

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2001/023120 A1 (INUMIYA SEIJI ET AL) 20. September 2001 (2001-09-20) Absatz '0042! - Absatz '0105!; Abbildungen 1-4 ---	1-6,8-16
X	US 6 306 712 B1 (NANDAKUMAR MAHALINGAM ET AL) 23. Oktober 2001 (2001-10-23) Spalte 5, Zeile 1 - Spalte 5, Zeile 49; Abbildungen 3,4 ---	1,15
X	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 02, 28. Februar 1997 (1997-02-28) & JP 08 264531 A (TOSHIBA CORP), 11. Oktober 1996 (1996-10-11) Zusammenfassung ---	1,15
X	US 6 013 569 A (LUR WATER ET AL) 11. Januar 2000 (2000-01-11) Zusammenfassung; Abbildung 9 ---	1,15
A	EP 1 134 798 A (INFINEON TECHNOLOGIES AG) 19. September 2001 (2001-09-19) Anspruch 41 -----	14

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationaler Aktenzeichen

PCT/DE 03/02350

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6346450	B1	12-02-2002	FR 2757312 A1 19-06-1998
			EP 0944919 A1 29-09-1999
			WO 9827582 A1 25-06-1998
			JP 2001506807 T 22-05-2001
US 2002006715	A1	17-01-2002	US 6303447 B1 16-10-2001
			SG 85723 A1 15-01-2002
US 6235627	B1	22-05-2001	JP 3232043 B2 26-11-2001
			JP 11074219 A 16-03-1999
US 2001023120	A1	20-09-2001	JP 2001257344 A 21-09-2001
			TW 505954 B 11-10-2002
US 6306712	B1	23-10-2001	US 2001036713 A1 01-11-2001
			EP 0923119 A2 16-06-1999
			JP 11261069 A 24-09-1999
JP 08264531	A	11-10-1996	JP 3315287 B2 19-08-2002
US 6013569	A	11-01-2000	KEINE
EP 1134798	A	19-09-2001	EP 1134798 A1 19-09-2001
			WO 0169667 A1 20-09-2001