

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-4936

(P2020-4936A)

(43) 公開日 令和2年1月9日(2020.1.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J	4 G 0 7 7
HO 1 L 21/768 (2006.01)	HO 1 L 27/12 C	5 F 0 3 2
HO 1 L 23/522 (2006.01)	HO 1 L 27/12 F	5 F 0 3 3
HO 1 L 23/52 (2006.01)	HO 1 L 21/76 D	5 F 0 3 8
HO 1 L 27/12 (2006.01)	HO 1 L 21/76 L	5 F 0 4 8
審査請求 未請求 請求項の数 11 O L (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2018-126223 (P2018-126223)
 (22) 出願日 平成30年7月2日 (2018.7.2)

(71) 出願人 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 110001128
 特許業務法人ゆうあい特許事務所
 (72) 発明者 伴野 栄亮
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 浅野 修治
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 野間 誠二
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内

最終頁に続く

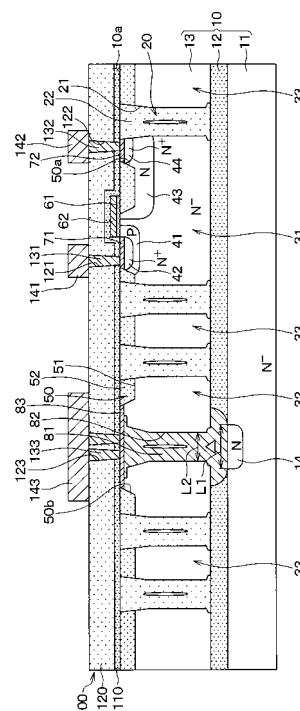
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 支持基板に伝搬されたノイズを引き抜き易くする。

【解決手段】 支持基板11、埋込絶縁膜12、活性層13が順に積層された半導体基板10に対し、活性層13を引抜領域32を含む複数の領域に区画するトレンチ分離部20を形成する共に、引抜領域32に支持基板11と電気的に接続されるコンタクト電極81を形成する。そして、コンタクト電極81は、半導体基板10の面方向に沿った幅において、支持基板11と接触する部分の最小幅L1が活性層13内に位置する部分の最小幅L2よりも広くなるようにする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

コンタクト電極（81、81a、81b）を有する半導体装置であって、
支持基板（11）、埋込絶縁膜（12）、活性層（13）が順に積層された半導体基板（10）と、

前記活性層に形成され、当該活性層を引抜領域（32、32a、32b）を含む複数の領域に区画するトレンチ分離部（20）と、

前記引抜領域に前記半導体基板の主面（10a）から前記支持基板に達するように貫通孔（82）が形成されており、前記貫通孔に配置されて前記支持基板と電氣的に接続される前記コンタクト電極と、を備え、

前記コンタクト電極は、前記半導体基板の面方向に沿った幅において、前記支持基板と接触する部分の最小幅（L1）が前記活性層内に位置する部分の最小幅（L2）よりも広くされている半導体装置。

【請求項 2】

前記コンタクト電極は、第1導電型または第2導電型の不純物がドーピングされたドーフトポリシリコンで構成されており、

前記支持基板には、前記コンタクト電極と接触する部分に、前記コンタクト電極と同じ導電型とされた染み出し層（14）が形成されている請求項1に記載の半導体装置。

【請求項 3】

前記活性層は、前記トレンチ分離部によって前記引抜領域および素子領域（31、31a、31b）を含むように区画されており、

前記素子領域には、スイッチング素子が形成されており、

前記コンタクト電極は、前記素子領域を囲むように形成されている請求項1または2に記載の半導体装置。

【請求項 4】

前記コンタクト電極は、前記素子領域を囲むように形成された第1コンタクト電極（81a）と、前記第1コンタクト電極を囲むように形成された第2コンタクト電極（81b）とを有する請求項3に記載の半導体装置。

【請求項 5】

前記スイッチング素子は、拡散領域（41～44、151～153）を有する構成とされており、

前記支持基板は、酸素濃度が $1.27 \sim 1.69 \times 10^{18} \text{ atoms/cm}^3$ とされている請求項3または4に記載の半導体装置。

【請求項 6】

前記半導体基板の主面上には、前記コンタクト電極と接続される配線部（143）を有する配線層（100）が形成されており、

前記配線部は、前記コンタクト電極のみと接続されている請求項1ないし5のいずれか1つに記載の半導体装置。

【請求項 7】

支持基板（11）、埋込絶縁膜（12）、活性層（13）が順に積層された半導体基板（10）と、

前記活性層に形成され、当該活性層を引抜領域（32、32a、32b）を含む複数の領域に区画するトレンチ分離部（20）と、

前記引抜領域に前記半導体基板の主面（10a）から前記支持基板に達するように貫通孔（82）が形成されており、前記貫通孔に配置されて前記支持基板と電氣的に接続されるコンタクト電極（81、81a、81b）と、を備える半導体装置の製造方法であって、

前記半導体基板を用意することと、

前記活性層に、前記トレンチ分離部を構成する溝部（21）を形成すると共に、前記埋込絶縁膜に達する前記貫通孔を形成することと、

10

20

30

40

50

前記溝部および前記貫通孔に絶縁膜（２２）を配置することにより、前記溝部に前記絶縁膜が配置された前記トレンチ分離部を構成することと、

前記貫通孔に配置された前記絶縁膜を除去すると共に、前記貫通孔から露出する前記埋込絶縁膜を除去し、前記貫通孔を掘り下げることで前記貫通孔から前記支持基板を露出させることと、

前記貫通孔に前記支持基板と電氣的に接続される前記コンタクト電極を形成することと、
を行い、

前記支持基板を露出させることでは、ウェットエッチングを行って前記埋込絶縁膜を等方的に除去することにより、対向する側面の間隔において、前記支持基板を露出させる部分の最小間隔（Ｌ１）が前記活性層内に位置する部分の最小間隔（Ｌ２）より広くなるようにし、

前記コンタクト電極を形成することでは、前記支持基板と接触する部分の最小幅（Ｌ１）が前記活性層内に位置する部分の最小幅（Ｌ２）よりも広くなるようにする半導体装置の製造方法。

【請求項８】

前記コンタクト電極を形成することでは、第１導電型または第２導電型の不純物がドーピングされたドーフトポリシリコンを配置することで前記コンタクト電極を形成し、

前記コンタクト電極を配置することの後、熱処理を行うことにより、前記ドーフトポリシリコンにドーピングされた不純物を前記支持基板に染み出させ、前記支持基板のうちの前記コンタクト電極と接触する部分に前記コンタクト電極と同じ導電型の染み出し層（１４）を形成する請求項７に記載の半導体装置の製造方法。

【請求項９】

前記溝部を形成することでは、前記活性層が前記引抜領域および素子領域（３１、３１ａ、３１ｂ）を含む複数の領域に区画されるように前記溝部を形成し、

前記コンタクト電極を形成することの後、熱処理を含む工程を行うことにより、前記素子領域に拡散領域（４１～４４、１５１～１５３）を形成することを行い、

前記染み出し層を形成することの熱処理と前記拡散領域を形成することの熱処理とは、同じ熱処理で行われる請求項８に記載の半導体装置の製造方法。

【請求項１０】

前記半導体基板を用意することでは、前記支持基板の酸素濃度が $1.27 \sim 1.69 \times 10^{18} \text{ atoms/cm}^3$ であるものを用意する請求項９に記載の半導体装置の製造方法。

【請求項１１】

前記半導体基板を用意することでは、複数のチップ領域（３１０、３２０）がスクライプ領域（３００）を挟んで配置されたウェハ状の前記半導体基板を用意し、

前記コンタクト電極を配置することの後、前記半導体基板の主面上に前記コンタクト電極と接続される配線部（１３３）を有する配線層（１００）を形成することと、前記トレンチ分離部の異常判定を行うことと、を行い、

前記配線層を形成することでは、前記配線部が前記コンタクト電極のみと接続されるようにし、

前記トレンチ分離部の異常判定を行うことでは、前記チップ領域に検査装置（４００）を接続することと、前記活性層を含む経路に電流が流れるか否かを判定することによって前記トレンチ分離部の異常判定を行うことと、を行い、

前記検査装置と接続することでは、前記コンタクト電極と接続される前記配線部を独立して前記検査装置と接続する請求項７ないし１０のいずれか１つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、支持基板と電氣的に接続されるコンタクト電極を有する半導体装置およびそ

10

20

30

40

50

の製造方法に関するものである。

【背景技術】

【0002】

従来より、支持基板、埋込絶縁膜、活性層が順に積層された半導体基板を用いて半導体装置を構成することが提案されている（例えば、特許文献1参照）。具体的には、この半導体装置では、活性層がトレンチ分離部により、素子領域と引抜領域とに区画されている。そして、素子領域には、P型拡散領域やN型拡散領域等が形成されることによってスイッチング素子が形成されている。また、引抜領域には、活性層および埋込絶縁膜を貫通して支持基板に達する貫通孔が形成されており、貫通孔に支持基板と電氣的に接続されるコンタクト電極が配置されている。なお、貫通孔は、対向する幅がほぼ一定とされた筒状とされており、コンタクト電極も貫通孔の形状に沿った柱状とされている。

10

【0003】

このような半導体装置では、素子領域に形成されたスイッチング素子のオン、オフが切り替えられることによって発生するノイズが支持基板に伝搬される可能性があるが、支持基板に伝搬されたノイズをコンタクト電極によって引き抜くことができる。このため、活性層の他の領域にノイズが伝搬されることを抑制できる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2006-332133号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記のような半導体装置において、支持基板に伝搬されたノイズをさらに効率的に引き抜きたいという要望がある。

【0006】

本発明は上記点に鑑み、支持基板に伝搬されたノイズを引き抜き易くできる半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するための請求項1では、コンタクト電極（81、81a、81b）を有する半導体装置であって、支持基板（11）、埋込絶縁膜（12）、活性層（13）が順に積層された半導体基板（10）と、活性層に形成され、当該活性層を引抜領域（32、32a、32b）を含む複数の領域に区画するトレンチ分離部（20）と、引抜領域に半導体基板の主面（10a）から支持基板に達するように貫通孔（82）が形成されており、貫通孔に配置されて支持基板と電氣的に接続されるコンタクト電極と、を備え、コンタクト電極は、半導体基板の面方向に沿った幅において、支持基板と接触する部分の最小幅（L1）が活性層内に位置する部分の最小幅（L2）よりも広くされている。

30

【0008】

これによれば、コンタクト電極の最小幅が活性層内に位置する部分の最小幅で一定とされている場合と比較して、コンタクト電極と支持基板との接触面積を増加でき、支持基板のノイズを引き抜き易くできる。

40

【0009】

また、請求項7は、請求項1に関する製造方法であり、半導体基板を用意することと、活性層に、トレンチ分離部を構成する溝部（21）を形成すると共に、埋込絶縁膜に達する貫通孔を形成することと、溝部および貫通孔に絶縁膜（22）を配置することにより、溝部に絶縁膜が配置されたトレンチ分離部を構成することと、貫通孔に配置された絶縁膜を除去すると共に、貫通孔から露出する埋込絶縁膜を除去し、貫通孔を掘り下げることと貫通孔から支持基板を露出させることと、貫通孔に支持基板と電氣的に接続されるコンタクト電極を形成することと、を行い、支持基板を露出させることでは、ウェットエッチン

50

グを行って埋込絶縁膜を等方的に除去することにより、対向する側面の間隔において、支持基板を露出させる部分の最小間隔（L1）が活性層内に位置する部分の最小間隔（L2）より広くなるようにし、コンタクト電極を形成することでは、支持基板と接触する部分の最小幅（L1）が活性層内に位置する部分の最小幅（L2）よりも広くなるようにしている。

【0010】

これによれば、コンタクト電極のうちの支持基板と接触する部分の最小幅が活性層内に位置する部分の最小幅よりも広くなる半導体装置を製造できる。つまり、コンタクト電極と支持基板との接触面積を増加して支持基板のノイズを引き抜き易くした半導体装置を製造できる。

10

なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

【図面の簡単な説明】

【0011】

【図1】第1実施形態における半導体装置の断面図である。

【図2】図1に示す引抜領域の平面図である。

【図3】図1に示す半導体装置にノイズが発生した際のノイズの伝搬経路を示す模式図である。

【図4A】図1に示す半導体装置の製造工程を示す断面図である。

【図4B】図4Aに続く半導体装置の製造工程を示す断面図である。

20

【図4C】図4Bに続く半導体装置の製造工程を示す断面図である。

【図4D】図4Cに続く半導体装置の製造工程を示す断面図である。

【図4E】図4Dに続く半導体装置の製造工程を示す断面図である。

【図4F】図4Eに続く半導体装置の製造工程を示す断面図である。

【図4G】図4Fに続く半導体装置の製造工程を示す断面図である。

【図4H】図4Gに続く半導体装置の製造工程を示す断面図である。

【図4I】図4Hに続く半導体装置の製造工程を示す断面図である。

【図5】ウェットエッチングを行う際に発生し得る課題を説明するための図である。

【図6】支持基板の酸素濃度とアライメントズレ量との関係を示す図である。

【図7】ウェハ状態で行うトレンチ分離部の異常判定を行う際の模式図であって、コンタクト電極が独立している場合の模式図である。

30

【図8】ウェハ状態で行うトレンチ分離部の異常判定を行う際の模式図であって、コンタクト電極がフィールド電極と接続されている場合の模式図である。

【図9】第2実施形態における半導体装置の断面図である。

【図10】第2実施形態における素子領域、トレンチ分離部、コンタクト電極の位置関係を示す平面図である。

【図11】第3実施形態における素子領域、トレンチ分離部、コンタクト電極の位置関係を示す平面図である。

【図12】第3実施形態におけるノイズの伝搬量を説明するための図である。

【図13】第1コンタクト電極と第2コンタクト電極との間隔と、ノイズ伝搬量および面積効率との関係を示す図である。

40

【図14A】他の実施形態における素子領域、トレンチ分離部、コンタクト電極の位置関係を示す平面図である。

【図14B】他の実施形態における素子領域、トレンチ分離部、コンタクト電極の位置関係を示す平面図である。

【図15A】他の実施形態における素子領域、トレンチ分離部、コンタクト電極の位置関係を示す平面図である。

【図15B】他の実施形態における素子領域、トレンチ分離部、コンタクト電極の位置関係を示す平面図である。

【発明を実施するための形態】

50

【0012】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0013】

(第1実施形態)

第1実施形態について、図面を参照しつつ説明する。本実施形態の半導体装置は、図1に示されるように、支持基板11上に埋込絶縁膜12を介して活性層13が積層された半導体基板としてのSOI (Silicon On Insulatorの略) 基板10を用いて構成される。

【0014】

支持基板11は、N型のシリコン基板等で構成されている。また、支持基板11は、本実施形態では、酸素濃度が $1.27 \sim 1.69 \times 10^{18} \text{ atom/cm}^3$ とされている。埋込絶縁膜12は、酸化膜等で構成され、支持基板11と活性層13との間の絶縁性を保持するために厚さが数 μm 程度と厚くされている。活性層13は、本実施形態では、P型の半導体層にリン等のN型不純物がイオン注入されて熱処理されることでN⁻型とされている。以下では、SOI基板10における活性層13のうちの埋込絶縁膜12側と反対側の表面を含む面をSOI基板10の主面10aともいう。

【0015】

活性層13は、トレンチ分離部20により、素子領域31、引抜領域32、フィールド領域33に区画形成されている。本実施形態では、活性層13は、素子領域31と引抜領域32との間にフィールド領域33が配置されるように、トレンチ分離部20によって区画されている。なお、本実施形態では、フィールド領域33は、複数形成されており、引抜領域32を挟んで素子領域31と反対側にも形成されている。

【0016】

トレンチ分離部20は、SOI基板10の主面10aから埋込絶縁膜12に達するように形成された溝部21に、当該溝部21を埋め込むように絶縁膜22が配置されることで構成されている。なお、絶縁膜22は、後述するように、デポジション等による絶縁材料の埋め込みによって溝部21に配置される。

【0017】

素子領域31には、本実施形態では、不純物が拡散して構成される拡散領域を用いてスイッチング素子が形成されている。具体的には、素子領域31には、活性層13の表層部に活性層13よりも高不純物濃度とされたp型のボディ領域41が形成されている。そして、ボディ領域41の表層部には、N⁺型のソース領域42が形成されている。

【0018】

また、素子領域31には、活性層13の表層部であって、ボディ領域41から離れた位置にN型のドリフト領域43が形成されている。そして、ドリフト領域43の表層部には、ドリフト領域43よりも高不純物濃度とされたN⁺型のドレイン領域44が形成されている。

【0019】

また、素子領域31の表層部には、STI (Shallow Trench Isolationの略) 分離部50が形成されている。なお、STI分離部50は、活性層13の表層部に所定深さのトレンチ51を形成してトレンチ51内を絶縁膜52で埋め込んだ後、CMP (Chemical Mechanical Polishingの略) 法等で平坦化することによって形成される。また、STI分離部50は、引抜領域32およびフィールド領域33にも形成されている。

【0020】

そして、STI分離部50には、素子領域31において、ボディ領域41、ソース領域42、ドリフト領域43、およびドレイン領域44が露出するように開口部50aが形成されている。また、STI分離部50には、引抜領域32において、後述するコンタクト電極81が露出するように開口部50bが形成されている。なお、STI分離部50には、図1とは別断面において、フィールド領域33の一部を露出させる開口部も形成されている。

10

20

30

40

50

【0021】

素子領域31におけるSOI基板10の主面10a上には、ゲート絶縁膜61を介してゲート電極62が配置されている。ゲート絶縁膜61は、STI分離部50におけるボディ領域41側の部分上からボディ領域41上に渡って形成され、ゲート電極62は、当該ゲート絶縁膜61上に形成されている。

【0022】

さらに、素子領域31には、後述する第1、第2接続ビア131、132と接続される部分に、第1、第2接続ビア131、132との接触抵抗を低減するためのシリサイド層71、72が形成されている。本実施形態では、シリサイド層71は、ソース領域42上に形成され、シリサイド層72は、ドレイン領域44上に形成されている。また、各シリ

10

【0023】

本実施形態では、このようにして素子領域31にNチャネル型のMOSFET (Metal Oxide Semiconductor Field Effect Transistorの略) 素子が形成されている。そして、本実施形態における素子領域31に形成されたMOSFET素子は、ゲート電極62に印加される電圧が切り替えられることで電流が流れるオン状態、電流が流れないオフ状態が頻繁に切り替えられて用いられる。このため、このMOSFET素子は、ノイズが発生する可能性がある。つまり、本実施形態では、素子領域31には、ノイズが発生し得るノイズ発生素子が形成されているといえる。

【0024】

20

引抜領域32には、図1および図2に示されるように、支持基板11と電氣的に接続されるコンタクト電極81が配置されている。具体的には、引抜領域32には、SOI基板10の主面10aから埋込絶縁膜12を貫通して支持基板11に達する貫通孔82が形成されている。そして、コンタクト電極81は、支持基板11と電氣的に接続されるように、貫通孔82に配置されている。なお、図2は、図1の引抜領域32の平面図であるが、後述する第3配線部143、層間絶縁膜120、表面絶縁膜110を省略して示してある。また、図1中の引抜領域32は、図2中のI-I線に沿った断面に相当している。

【0025】

本実施形態では、貫通孔82は、図2に示されるように、開口部が矩形状とされている。また、貫通孔82は、図1に示されるように、対向する側面の間隔において、支持基板11を露出させる部分の第1最小間隔L1が活性層13中に位置する部分の第2最小間隔L2より広くされている。そして、コンタクト電極81は、貫通孔82を埋め込むように配置されている。

30

【0026】

このため、コンタクト電極81は、SOI基板10の面方向に沿った方向の長さを幅とすると、支持基板11と接続される部分の最小幅（以下では、第1最小幅という）L1が活性層13内に位置する部分の最小幅（以下では、第2最小幅という）L2より広くなる。特に限定されるものではないが、例えば、第1最小幅L1は、約2.9 μm 程度とされ、第2最小幅L2は、約1.2 μm 程度とされる。なお、コンタクト電極81は、貫通孔82を埋め込むように配置されるため、第1最小幅L1は、貫通孔82の第1最小間隔L1と等しくなり、第2最小幅L2は、貫通孔82の第2最小間隔L2と等しくなる。

40

【0027】

また、本実施形態では、後述するように、コンタクト電極81は、ドーフトポリシリコンを埋め込むことによって形成される。このため、貫通孔82は、ドーフトポリシリコンの埋込性の向上を図るため、主面10aを開口する部分の最小幅も第2最小間隔L2より広くされている。そして、コンタクト電極81は、貫通孔82における主面10a側の部分も埋め込むように配置されている。このため、本実施形態のコンタクト電極81は、略断面I字状とされているともいえる。

【0028】

また、コンタクト電極81は、支持基板11の導電型と一致するように、リン等がドー

50

プされたN型のポリシリコンで構成されている。これにより、コンタクト電極81と支持基板11とをオーミック接続することができる。

【0029】

さらに、支持基板11には、コンタクト電極81と接続される部分に、N型の染み出し層14が形成されている。この染み出し層14は、後述するように、貫通孔82にコンタクト電極81が配置された後、素子領域31にソース領域42やドレイン領域44等を形成するための熱処理が行われた際にコンタクト電極81に含まれるリンが支持基板11に染み出すことで形成される。つまり、本実施形態の染み出し層14は、染み出し層14を形成するための特別な処理が行われずに形成される。

【0030】

さらに、引抜領域32には、後述する第3接続ビア133と接続される部分に、第3接続ビア133との接触抵抗を低減するためのシリサイド層83が形成されている。なお、シリサイド層83は、素子領域31に形成されるシリサイド層71、72と同様に、例えば、コバルトシリコンで構成される。

【0031】

SOI基板10の主面10a上には、配線層100が形成されている。本実施形態では、主面10a上に表面絶縁膜110が形成され、表面絶縁膜110上に層間絶縁膜120が形成されている。なお、表面絶縁膜110は、ゲート絶縁膜61およびゲート電極62を覆うように形成されている。

【0032】

そして、層間絶縁膜120および表面絶縁膜110には、ソース領域42上のシリサイド層71を露出させる第1コンタクトホール121、ドレイン領域44上のシリサイド層72を露出させる第2コンタクトホール122が形成されている。また、層間絶縁膜120および表面絶縁膜110には、コンタクト電極81上のシリサイド層83を露出させる第3コンタクトホール123が形成されている。そして、第1～第3コンタクトホール121～123には、タングステンが埋め込まれることにより、各シリサイド層71、72、83と電氣的に接続される第1～第3接続ビア131～133が配置されている。

【0033】

本実施形態では、第3コンタクトホール123は、図1および図2に示されるようにコンタクト電極81の複数個所を露出させるように複数形成されている。具体的には、第3コンタクトホール123は、2列に渡って主面10aの一方向に沿って複数形成されている。そして、第3接続ビア133は、各第3コンタクトホール123に配置されている。

【0034】

なお、図1とは別断面において、層間絶縁膜120および表面絶縁膜110には、フィールド領域33を露出させる第4コンタクトホールが形成されている。そして、第4コンタクトホールには、タングステンが埋め込まれることにより、第4接続ビアが配置されている。

【0035】

層間絶縁膜120上には、第1～第3接続ビア131～133とそれぞれ接続されるように、アルミニウム等で構成される第1～第3配線部141～143が形成されている。なお、第3配線部143は、各第3接続ビア133と接続されるように形成されている。

【0036】

また、本実施形態では、第3配線部143は、第3接続ビア133を介してコンタクト電極81と接続されるが、他の配線部や他の領域等とは電氣的に接続されないように形成されている。つまり、第3配線部143は、コンタクト電極81のみと接続される配線部とされており、独立した配線となっている。このため、コンタクト電極81は、他の領域とは接続されていない。

【0037】

なお、各フィールド領域33は、図1とは別断面において、層間絶縁膜120上に形成された第4配線部と第4接続ビアを介して電氣的に接続されている。また、各フィールド

10

20

30

40

50

領域 3 3 同士は、後述の図 7 に示されるように、それぞれ第 4 配線部 1 4 4 を通じて電氣的に接続されている。

【0038】

以上が本実施形態における半導体装置の構成である。このような半導体装置では、図 3 に示されるように、素子領域 3 1 に形成された MOSFET 素子からノイズが発生する可能性があり、当該ノイズが支持基板 1 1 に伝搬される可能性がある。この場合、支持基板 1 1 に伝搬されたノイズは、図 3 中の矢印 A で示されるように、コンタクト電極 8 1 によって引き抜かれるため、当該ノイズが他の領域に伝搬されることを抑制できる。

【0039】

この際、本実施形態では、コンタクト電極 8 1 は、第 1 最小幅 L 1 が第 2 最小幅 L 2 よりも広くされている。このため、コンタクト電極 8 1 の第 1 最小幅 L 1 が第 2 最小幅 L 2 と同じとされている場合と比較して、コンタクト電極 8 1 と支持基板 1 1 との接触面積を増加でき、支持基板 1 1 のノイズを引き抜き易くできる。

【0040】

次に、上記半導体装置の製造方法について、図 4 A ~ 図 4 I を参照しつつ説明する。なお、素子領域 3 1 に形成される MOSFET 素子の製造方法は従来と同様であるため、以下では、引抜領域 3 2 に形成されるコンタクト電極 8 1 の製造方法を中心に説明する。また、本実施形態では、以下の工程は、異なるチップ領域がスクライプ領域を挟んで配置されたウェハ状態で行われ、各チップ領域に対して同一の工程が同時に実施される。

【0041】

まず、図 4 A に示されるように、活性層 1 3 の表層部に STI 分離部 5 0 が形成されたウェハ状の SOI 基板 1 0 を用意する。次に、主面 1 0 a 上に、CVD 法等によって窒化膜 2 1 0、酸化膜 2 2 0 を順に成膜することで構成されるハードマスクを形成する。そして、このハードマスクを溝部 2 1 および貫通孔 8 2 の形成領域が露出するようにパターニングする。

【0042】

次に、図 4 B に示されるように、ドライエッチングを行うことにより、溝部 2 1 および貫通孔 8 2 を同時に形成する。

【0043】

続いて、図 4 C に示されるように、溝部 2 1 および貫通孔 8 2 に酸化膜等の絶縁膜 2 2 を埋め込む。これにより、溝部 2 1 に絶縁膜 2 2 が配置されてトレンチ分離部 2 0 が構成される。なお、絶縁膜 2 2 を埋め込む際には、例えば、溝部 2 1 および貫通孔 8 2 の途中部まで絶縁膜が埋め込まれるようにデポジションを行い、エッチバックを行った後に再びデポジションを行う。その後、CVD 法等により、TEOS 等を成膜することで溝部 2 1 および貫通孔 8 2 の主面 1 0 a 側の部分が閉塞されるようにする。これにより、特に、溝部 2 1 の開口部側の部分に絶縁膜 2 2 が配置されないという不具合が発生することを抑制できる。その後、酸化膜 2 2 0 を CMP 法等で除去する。

【0044】

次に、図 4 D に示されるように、CVD 法等により、窒化膜 2 3 0 を再び成膜する。これにより、溝部 2 1 および貫通孔 8 2 が窒化膜 2 3 0 で閉塞された状態となる。つまり、トレンチ分離部 2 0 では、絶縁膜 2 2 上に窒化膜 2 3 0 が配置された状態となる。

【0045】

続いて、図 4 E に示されるように、窒化膜 2 3 0 上にフォトリジスト 2 4 0 を配置し、窒化膜 2 3 0 のうちの貫通孔 8 2 を閉塞する部分が露出するようにフォトリジスト 2 4 0 をパターニングする。そして、フォトリジスト 2 4 0 をマスクとし、貫通孔 8 2 の開口部側の部分の幅が広がるようにドライエッチングを行う。この際、貫通孔 8 2 の開口部側の部分に配置された絶縁膜 2 2 も除去される。

【0046】

次に、図 4 F に示されるように、ウェットエッチングを行うことにより、貫通孔 8 2 に形成された絶縁膜 2 2 を除去すると共に、貫通孔 8 2 から露出する埋込絶縁膜 1 2 を除去

10

20

30

40

50

する。この際、ウェットエッチングを行うため、埋込絶縁膜 12 は、等方的に除去される。したがって、貫通孔 82 は、対向する側面の間隔において、支持基板 11 を露出させる部分の最小間隔 L1 が活性層 13 中に位置する部分の最小間隔 L2 より広くなる。なお、ウェットエッチングを行う際には、バッファードフッ酸等がエッチング液として用いられる。

【0047】

ここで、本実施形態では、図 4D の工程にて溝部 21 の開口部が閉塞されるように窒化膜 230 を配置しているため、トレンチ分離部 20 の絶縁膜 22 が除去されてしまうことを抑制できる。すなわち、図 5 に示されるように、窒化膜 210 とフォトレジスト 240 とは密着性が低いため、ウェットエッチングを行っている際にフォトレジスト 240 が窒化膜 210 から剥離してフォトレジスト 240 と窒化膜 210 との間に隙間が形成される可能性がある。この場合、窒化膜 230 が形成されていないと、当該隙間を通じてエッチング液が溝部 21 の開口部側から侵入して絶縁膜 22 が除去されてしまう可能性がある。そして、絶縁膜 22 が除去されてしまうと、トレンチ分離部 20 の耐圧低下や、配線層 100 の平坦性低下等の不具合が発生する可能性がある。

【0048】

これに対し、本実施形態では、溝部 21 の開口部を窒化膜 230 で閉塞するようにしている。このため、仮にフォトレジスト 240 と窒化膜 230 との間に隙間が形成されたとしても、トレンチ分離部 20 を構成する絶縁膜 22 が除去されることを抑制できる。

【0049】

続いて、図 4G に示されるように、CVD 法等により、貫通孔 82 が埋め込まれるように、リン等がドーパされたドーフトポリシリコンを成膜してコンタクト電極 81 を形成する。

【0050】

次に、図 4H に示されるように、主面 10a 上に形成されたドーフトポリシリコン、および窒化膜 210、230 を CMP 法等によって除去する。

【0051】

その後、素子領域 31 に不純物を適宜イオン注入した後、複数回の熱処理を行うことにより、ボディ領域 41、ソース領域 42、ドリフト領域 43、およびドレイン領域 44 を形成する。なお、複数回の熱処理は、適宜温度が設定されて行われるが、本実施形態では、最も高い熱処理の温度が 1100℃程度とされる。この際、図 4I に示されるように、熱処理によってコンタクト電極 81 を構成するドーフトポリシリコンのリンが支持基板 11 に染み出すため、支持基板 11 に染み出し層 14 が形成される。つまり、本実施形態では、染み出し層 14 は、素子領域 31 に各領域 41～44 を形成する工程と同じ工程で形成される。このため、染み出し層 14 を形成するための特別な工程は行わない。

【0052】

ここで、熱処理を行う際には、支持基板 11 を加熱炉に固定して行われるが、支持基板 11 に欠陥としての転移が発生すると支持基板 11 が反ってしまう可能性がある。そして、支持基板 11 が反ってしまうと、素子領域 31 に形成されるソース領域 42 やドレイン領域 44 等のアライメントズレが発生し、半導体装置の特性が変化してしまう。

【0053】

具体的には、支持基板 11 は、酸素濃度が少なすぎると、発生した転移の伸張を妨げる酸素原子が少なくなるために転移が伸張し易くなり、反り易くなる。また、支持基板 11 は、酸素濃度が多すぎると、酸素原子によって転移が発生し易くなってしまい、反り易くなる。つまり、支持基板 11 の反りを抑制するためには、酸素濃度を適切に設定することが好ましい。

【0054】

このため、本発明者らは、支持基板 11 の酸素濃度と、素子領域 31 におけるソース領域 42 やドレイン領域 44 等のアライメントズレ量についての実験を行い、図 6 に示す結果を得た。すなわち、図 6 に示されるように、アライメントズレ量は、支持基板 11 の酸

10

20

30

40

50

素濃度が $1.475 \times 10^{18} \text{ atom/cm}^3$ の際に最も小さくなる。そして、アライメントズレ量は、支持基板 11 の酸素濃度が $1.475 \times 10^{18} \text{ atom/cm}^3$ より低くなるにつれて大きくなる。また、アライメントズレ量は、支持基板 11 の酸素濃度が $1.475 \times 10^{18} \text{ atom/cm}^3$ より高くなるにつれて大きくなる。そして、現状では、一般的にアライメントズレ量は、 $0.07 \mu\text{m}$ 以下に抑えたいという要望がある。このため、本実施形態では、支持基板 11 の酸素濃度が $1.27 \sim 1.69 \times 10^{18} \text{ atom/cm}^3$ とされている。これにより、素子領域 31 にソース領域 42 やドレイン領域 44 を形成する際のアライメントズレ量が大きくなることを抑制でき、半導体装置の特性が変化してしまうことを抑制できる。

【0055】

その後は、特に図示しないが、素子領域 31 にシリサイド層 71、72 を形成すると共に、引抜領域 32 にシリサイド層 83 を形成した後、表面絶縁膜 110 および層間絶縁膜 120 を順に形成する。そして、層間絶縁膜 120 および表面絶縁膜 110 を貫通する第 1 ～ 第 3 コンタクトホール 121 ～ 123 等を形成し、第 1 ～ 第 3 コンタクトホール 121 ～ 123 にタングステンを埋め込んで第 1 ～ 第 3 接続ビア 131 ～ 133 等を形成する。続いて、層間絶縁膜 120 上にアルミニウムで構成される金属層を成膜した後、当該金属層をパターニングして第 1 ～ 3 配線部 141 ～ 143 等を形成する。

【0056】

なお、第 1 ～ 第 3 コンタクトホール 121 ～ 123、第 1 ～ 第 3 接続ビア 131 ～ 133、第 1 ～ 第 3 配線部 141 ～ 143 を形成する工程では、それぞれ第 4 コンタクトホール、第 4 接続ビア、第 4 配線部も形成される。また、本実施形態では、上記工程をウェハ状態で行っている。このため、第 1 ～ 第 3 コンタクトホール 121 ～ 123、第 1 ～ 第 3 接続ビア 131 ～ 133、第 1 ～ 第 3 配線部 141 ～ 143 を形成する工程では、それぞれスクライプ領域を露出させる第 5 コンタクトホール、第 5 コンタクトホールに配置される第 5 接続ビア、第 5 接続ビアと電氣的に接続される第 5 配線部も形成される。

【0057】

次に、本実施形態では、トレンチ分離部 20 の異常判定を行う。なお、本実施形態では、上記工程はウェハ状態で行われており、以下では、図 7 に示されるように、スクライプ領域 300 を挟んで第 1 チップ領域 310 と第 2 チップ領域 320 とが配置されている場合を例に挙げて説明する。つまり、以下では、ウェハ状態で第 1 チップ領域 310 および第 2 チップ領域 320 におけるトレンチ分離部 20 の異常判定を行う場合を例に挙げて説明する。

【0058】

本実施形態では、トレンチ分離部 20 の異常判定は、図 7 に示されるように、検査装置 400 を各配線部 141 ～ 145 と接続し、検査装置 400 における電源 411、421 とグラウンド 412、422 との間に電流が流れるか否かを判定することにより行う。

【0059】

なお、図 7 および図 8 は、検査装置 400 と各領域 31 ～ 33 との接続状態等を示す模式図であり、配線層 100 中の第 1 ～ 第 5 配線部 141 ～ 145 を点線で簡略化して示してある。また、図 7 および図 8 中の第 4 配線部 144 は、各フィールド領域 33 と接続される配線部である。図 7 および図 8 中の第 5 配線部 145 は、層間絶縁膜 120 および表面絶縁膜 110 に形成された第 5 コンタクトホールに配置された第 5 接続ビアを介してスクライプ領域 300 と接続される配線部である。

【0060】

本実施形態では、検査装置 400 は、第 1 検査部 410 と第 2 検査部 420 とを有し、第 1 検査部 410 が第 1 チップ領域 310 に接続され、第 2 検査部 420 が第 2 チップ領域 320 に接続される。具体的には、第 1 検査部 410 は、電源 411 がフィールド領域 33 と接続される第 4 配線部 144 と接続される。また、第 1 検査部 410 は、グラウンド 412 が素子領域 31 と接続される第 1、第 2 配線部 141、142 と接続されると共に、スクライプ領域 300 と接続される第 5 配線部 145 と接続される。そして、第 1 検査

10

20

30

40

50

部 4 1 0 は、グラウンド 4 1 3 がコンタクト電極 8 1 と接続される第 3 配線部 1 4 3 のみと接続される。つまり、本実施形態では、第 1 チップ領域 3 1 0 のコンタクト電極 8 1 は、独立して第 1 検査部 4 1 0 のグラウンド 4 1 3 に接続される。

【0061】

同様に、第 2 検査部 4 2 0 は、電源 4 2 1 がフィールド領域 3 3 と接続される第 4 配線部 1 4 4 と接続される。また、第 2 検査部 4 2 0 は、グラウンド 4 2 2 が素子領域 3 1 と接続される第 1、第 2 配線部 1 4 1、1 4 2 と接続されると共に、スクライプ領域 3 0 0 と接続される第 5 配線部 1 4 5 と接続される。そして、第 2 検査部 4 2 0 は、グラウンド 4 2 3 がコンタクト電極 8 1 と接続される第 3 配線部 1 4 3 のみと接続される。つまり、本実施形態では、第 2 チップ領域 3 2 0 のコンタクト電極 8 1 は、独立して第 2 検査部 4 2 0 のグラウンド 4 1 3 に接続される。

10

【0062】

そして、検査装置 4 0 0 は、第 1 チップ領域 3 1 0 および第 2 チップ領域 3 2 0 に対して順に電流が流れるか否かの判定を行うことにより、第 1 チップ領域 3 1 0 のトレンチ分離部 2 0 および第 2 チップ領域 3 2 0 のトレンチ分離部 2 0 の異常判定を行う。

【0063】

ここで、本実施形態では、コンタクト電極 8 1 がフィールド領域 3 3 とは接続されずに独立しているが、コンタクト電極 8 1 がフィールド領域 3 3 と接続されている場合に発生し得る課題について説明する。

【0064】

すなわち、図 8 に示されるように、コンタクト電極 8 1 がフィールド領域 3 3 と接続されている場合には、例えば、第 1 チップ領域 3 1 0 では、コンタクト電極 8 1 も電源 4 1 1 と接続される。この場合、各チップ領域 3 1 0、3 2 0 のコンタクト電極 8 1 は、それぞれ支持基板 1 1 と接続されているため、支持基板 1 1 を介して電氣的に接続された状態となっている。そして、例えば、第 2 チップ領域 3 2 0 において、スクライプ領域 3 0 0 とフィールド領域 3 3 とを区画するトレンチ分離部 2 0 に異常 D 2 が発生しているとする。

20

【0065】

この場合、第 1 チップ領域 3 1 0 におけるトレンチ分離部 2 0 の異常判定を行うと、第 1 チップ領域 3 1 0 におけるトレンチ分離部 2 0 に異常がないにも関わらず、図 8 中の矢印 C の経路で電流が流れてしまう。このため、第 1 検査部 4 1 0 は、第 1 チップ領域 3 1 0 におけるトレンチ分離部 2 0 に異常がないにも関わらず第 1 チップ領域 3 1 0 におけるトレンチ分離部 2 0 に異常が発生していると誤判定してしまう。

30

【0066】

一方、本実施形態では、コンタクト電極 8 1 がフィールド領域 3 3 と接続されていない。このため、例えば、図 7 に示されるように、第 2 チップ領域 3 2 0 において、スクライプ領域 3 0 0 とフィールド領域 3 3 とを区画するトレンチ分離部 2 0 に異常 D 1 が発生しているとする、次のようになる。すなわち、第 1 チップ領域 3 1 0 の異常判定を行う場合には、コンタクト電極 8 1 が独立しているため、第 1 検査部 4 1 0 には電流が流れない。そして、第 2 チップ領域 3 2 0 の異常判定を行う場合には、図 7 中の矢印 B 1 で示されるように第 2 検査部 4 2 0 に電流が流れる。なお、第 2 チップ領域 3 2 0 の異常判定を行う場合には、図 7 中の矢印 B 2 で示されるように、第 1 検査部 4 1 0 のグラウンド 4 1 2 にも電流が流れる。しかしながら、第 2 チップ領域 3 2 0 の異常判定を行っている際に第 1 検査部 4 1 0 のグラウンド 4 1 2 に電流が流れても特に問題はない。

40

【0067】

本実施形態では、このようにトレンチ分離部 2 0 の異常判定を行う。このため、各チップ領域 3 1 0、3 2 0 のトレンチ分離部 2 0 の異常判定を行う際に誤判定してしまうことを抑制できる。その後は、スクライプ領域 3 0 0 に沿ってチップ単位に分割することにより、上記図 1 に示す領域を含む半導体装置が製造される。

【0068】

50

以上説明したように、本実施形態では、コンタクト電極 8 1 は、支持基板 1 1 と接続される部分の第 1 最小幅 L 1 が活性層 1 3 内に位置する部分の第 2 最小幅 L 2 より広くされている。このため、コンタクト電極 8 1 の第 1 最小幅 L 1 が第 2 最小幅 L 2 と同じとされている場合と比較して、コンタクト電極 8 1 と支持基板 1 1 との接触面積を増加でき、支持基板 1 1 のノイズを引き抜き易くできる。

【0069】

また、支持基板 1 1 には、コンタクト電極 8 1 と接触する部分に染み出し層 1 4 が形成されている。このため、コンタクト電極 8 1 と支持基板 1 1 との接触抵抗を低減でき、さらに支持基板 1 1 からノイズを引き抜き易くできる。

【0070】

さらに、本実施形態では、コンタクト電極 8 1 を独立して検査装置 4 0 0 と接続している。このため、ウェハ状態で各チップ領域 3 1 0、3 2 0 におけるトレンチ分離部 2 0 の異常判定を行う際、誤判定してしまうことを抑制できる。

【0071】

(第 2 実施形態)

第 2 実施形態について説明する。本実施形態は、第 1 実施形態に対し、コンタクト電極 8 1 の形状を変更したものである。その他に関しては、第 1 実施形態と同様であるため、ここでは説明を省略する。

【0072】

本実施形態では、図 9 に示されるように、活性層 1 3 は、トレンチ分離部 2 0 により、第 1 素子領域 3 1 a、第 2 素子領域 3 1 b、引抜領域 3 2 およびフィールド領域 3 3 に区画されている。

【0073】

第 1 素子領域 3 1 a には、上記第 1 実施形態で説明したボディ領域 4 1、ソース領域 4 2、ドリフト領域 4 3、およびドレイン領域 4 4 を有する MOSFET 素子が形成されている。

【0074】

第 2 素子領域 3 1 b には、本実施形態では、Nチャネル型の MOSFET 素子が形成されている。具体的には、活性層 1 3 の表層部に P 型のウェル層 1 5 1 が形成されている。そして、ウェル層 1 5 1 の表層部に、N 型のソース領域 1 5 2 およびドレイン領域 1 5 3 が離れて形成されている。第 2 素子領域 3 1 b における主面 1 0 a 上には、ソース領域 1 5 2 とドレイン領域 1 5 3 との間の部分にゲート絶縁膜 1 5 4 を介してゲート電極 1 5 5 が配置されている。

【0075】

また、第 2 素子領域 3 1 b には、ソース領域 1 5 2 上にシリサイド層 1 5 7 が形成され、ドレイン領域 1 5 3 上にシリサイド層 1 5 8 が形成されている。なお、各シリサイド層 1 5 7、1 5 8 は、シリサイド層 7 1、7 2 と同様に、例えば、コバルトシリコン (C o S i) で構成される。

【0076】

層間絶縁膜 1 2 0 および表面絶縁膜 1 1 0 には、ソース領域 1 5 2 上のシリサイド層 1 5 7 を露出させる第 6 コンタクトホール 1 2 6、ドレイン領域 1 5 3 上のシリサイド層 1 5 8 を露出させる第 7 コンタクトホール 1 2 7 が形成されている。そして、第 6、第 7 コンタクトホール 1 2 6、1 2 7 には、タンゲステンが埋め込まれることにより、各シリサイド層 1 5 7、1 5 8 と電氣的に接続される第 6、第 7 接続ビア 1 3 6、1 3 7 が配置されている。また、層間絶縁膜 1 2 0 上には、第 6、第 7 接続ビア 1 3 6、1 3 7 と接続される第 6、第 7 配線部 1 4 6、1 4 7 が形成されている。

【0077】

なお、本実施形態では、第 2 素子領域 3 1 b に形成された MOSFET 素子は、第 1 素子領域 3 1 a に形成された MOSFET 素子よりもスイッチング制御の間隔が長く、例えば、定電圧を生成する回路の一部として用いられる。このため、この MOSFET 素子は

10

20

30

40

50

、ノイズを発生し難く、高精度な制御が望まれる。つまり、本実施形態では、第2素子領域31bには、高精度な制御が望まれる高精度素子が形成されているといえる。

【0078】

また、図9および図10に示されるように、1つのフィールド領域33および引抜領域32は、第1素子領域31aを囲むように形成されている。そして、引抜領域32には、素子領域31を囲むようにコンタクト電極81が配置されている。なお、コンタクト電極81の構成は、第1実施形態で説明したコンタクト電極81の構成と同様である。また、図10は、平面図であるが、理解をし易くするため、コンタクト電極81にハッチングを施してある。

【0079】

以上説明したように、本実施形態では、コンタクト電極81が第1素子領域31aを囲むように形成されている。つまり、コンタクト電極81がノイズ発生素子を囲むように形成されている。このため、第1素子領域31aで発生するノイズが支持基板11に伝搬されたとしても、当該ノイズが支持基板11から第2素子領域31bに伝搬される前にコンタクト電極81からノイズを引き抜き易くできる。したがって、第2素子領域31bにノイズが伝搬されることを抑制できる。つまり、高精度素子にノイズが伝搬されることを抑制できる。

【0080】

(第3実施形態)

第3実施形態について説明する。本実施形態は、第2実施形態に対し、コンタクト電極81を2重に備えるようにしたものである。その他に関しては、第1実施形態と同様であるため、ここでは説明を省略する。

【0081】

本実施形態では、図11に示されるように、トレンチ分離部20により、第1素子領域31aを囲むように、第1引抜領域32a、第2引抜領域32bが区画形成されている。そして、第1引抜領域32aおよび第2引抜領域32bには、それぞれ第1素子領域31aを囲むように、第1コンタクト電極81aおよび第2コンタクト電極81bが形成されている。

【0082】

なお、本実施形態では、第1コンタクト電極81aおよび第2コンタクト電極81bは、素子領域31側から第1コンタクト電極81a、第2コンタクト電極81bの順に形成されている。また、第1コンタクト電極81aおよび第2コンタクト電極81bの構成は、それぞれ第1実施形態で説明したコンタクト電極81と同様である。そして、図11は、平面図であるが、理解をし易くするため、第1コンタクト電極81aおよび第2コンタクト電極81bにハッチングを施してある。

【0083】

以上説明したように、本実施形態では、第1素子領域31aを囲むように第1コンタクト電極81aおよび第2コンタクト電極81bが形成されているため、第1素子領域31aで発生したノイズが第2素子領域31bに伝搬されることをさらに抑制できる。

【0084】

ここで、第1素子領域31aと第2素子領域31bとの間に第1コンタクト電極81aおよび第2コンタクト電極81bが形成されている場合について、第2素子領域31bに伝搬され得るノイズについて図12を参照しつつ説明する。以下では、第1素子領域31aに電圧 V_{IN} が入力された場合の第2素子領域31bから出力される電圧 V_{OUT} について説明する。言い換えると、第1素子領域31aで電圧 V_{IN} のノイズが発生した場合の第2素子領域31bへと伝搬される電圧 V_{OUT} のノイズについて説明する。

【0085】

また、以下では、第1コンタクト電極81aにおける抵抗値を R_{SC1} とし、第2コンタクト電極81bにおける抵抗値を R_{SC2} とする。支持基板11のうちの第1素子領域31aと対向する部分と第1コンタクト電極81aと対向する部分との間の第1抵抗 R_1

10

20

30

40

50

の抵抗値を R_{SUB1} 、支持基板 11 のうちの第 1 コンタクト電極 81a と対向する部分と第 2 コンタクト電極 81b と対向する部分との間の第 2 抵抗 R_2 の抵抗値を R_{SUB2} とする。同様に、支持基板 11 のうちの第 2 コンタクト電極 81b と対向する部分と第 2 素子領域 31b と対向する部分との間の第 3 抵抗 R_3 の抵抗値を R_{SUB3} とする。

【0086】

つまり、支持基板 11 のうちの第 1 素子領域 31a から伝搬されたノイズが第 1 コンタクト電極 81a に達するまでのノイズ経路の抵抗値を R_{SUB1} とする。同様に、支持基板 11 のうちの第 1 コンタクト電極 81a と対向する部分から第 2 コンタクト電極 81b に達するまでのノイズ経路の抵抗値を R_{SUB2} とする。また、支持基板 11 のうちの第 2 コンタクト電極 81b と対向する部分から第 2 素子領域 31b に達するまでのノイズ経路の抵抗値を R_{SUB3} とする。

10

【0087】

そして、埋込絶縁膜 12 におけるインピーダンスを Z_C とする。また、第 2 素子領域 31b が抵抗値を R_{LOAD} とする第 4 抵抗 R_4 を介してグランドに接続されているとする。

【0088】

この場合、コンタクト電極 81 は、ドーフトポリシリコンで構成されるため、 R_{SC1} 、 $R_{SC2} \ll R_{SUB1}$ 、 R_{SUB2} 、 R_{SUB3} と仮定できる。また、埋込絶縁膜 12 は厚く形成されているため、 $Z_C \ll R_{SUB1}$ 、 R_{SUB2} 、 R_{SUB3} と仮定できる。

20

【0089】

このため、支持基板 11 のうちの第 1 コンタクト電極 81a と対向する部分の電圧 V_1 、支持基板 11 のうちの第 2 コンタクト電極 81b と対向する部分の電圧 V_2 、第 2 素子領域 31b に伝搬される電圧 V_{OUT} は、以下のように示される。

【数 1】

$$V_1 = \frac{R_{SC1}}{R_{SUB1} + R_{SC1}} V_{IN}$$

【数 2】

$$V_2 = \frac{R_{SC2}}{R_{SUB2} + R_{SC2}} V_1$$

30

【数 3】

$$V_{OUT} = \frac{R_{LOAD}}{R_{SUB3} + R_{LOAD}} V_2$$

そして、上記数式 1～数式 3 をまとめると、 V_{OUT} は、以下のように示される。

【数 4】

$$V_{OUT} = \frac{R_{LOAD}}{R_{SUB3} + R_{LOAD}} \times \frac{R_{SC2}}{R_{SUB2} + R_{SC2}} \times \frac{R_{SC1}}{R_{SUB1} + R_{SC1}} V_{IN}$$

40

ここで、第 1 コンタクト電極 81a と第 2 コンタクト電極 81b との間隔を広くした場合の第 2 抵抗 R_2 の抵抗値を R_{SUB2a} とすると、 V_{OUT1} は以下のように示される。

【数 5】

$$V_{OUT1} = \frac{R_{LOAD}}{R_{SUB3} + R_{LOAD}} \times \frac{R_{SC2}}{R_{SUB2a} + R_{SC2}} \times \frac{R_{SC1}}{R_{SUB1} + R_{SC1}} V_{IN} < V_{OUT}$$

この場合、第 1 コンタクト電極 81a と第 2 コンタクト電極 81b との間隔を広くした場合の支持基板 11 の抵抗値を R_{SUB2a} としているため、 $R_{SUB2} < R_{SUB2a}$

50

となる。したがって、第1コンタクト電極81aと第2コンタクト電極81bとの間隔を広くすると、数式5における第2項の値が小さくなるため、 V_{OUT1} が V_{OUT} より小さくなることが確認される。つまり、第1コンタクト電極81aと第2コンタクト電極81bとの間隔を広くすると、第2素子領域31bに伝搬されるノイズを低減できることが確認される。

【0090】

なお、第2コンタクト電極81bが形成されていない場合には、上記数式5における R_{SC2} を R_{SC2a} とすると、以下のようになる。

【数6】

$$V_{OUT2} = \frac{R_{LOAD}}{R_{SUB3} + R_{LOAD}} \times \frac{R_{SC2a}}{R_{SUB2} + R_{SC2a}} \times \frac{R_{SC1}}{R_{SUB1} + R_{SC1}} V_{IN} > V_{OUT}$$

10

この場合、 $R_{SC2} < R_{SC2a} = \infty$ と定義できるため、第2項が数式5の第2項よりも大きくなる。このため、第2コンタクト電極81bが形成されていない場合には、 V_{OUT2} が V_{OUT} より大きくなる。つまり、第2コンタクト電極81bが形成されていない場合には、第2コンタクト電極81bが形成されている場合よりも第1素子領域31aで発生したノイズが第2素子領域31bに伝搬され易くなる。

【0091】

以上のように、第1コンタクト電極81aと第2コンタクト電極81bとの間隔を広げた方が V_{OUT1} を小さくできる。つまり、第2素子領域31bに伝搬されるノイズを低減できる。しかしながら、数式5からも理解できるように、間隔を広げて R_{SUB2a} を大きくしても、ある程度の間隔となると第2項が飽和するため、 V_{OUT1} の値も小さくなり難くなる。つまり、ノイズの伝搬量が飽和する。

20

【0092】

一方、第1コンタクト電極81aと第2コンタクト電極81bとの間隔を広げるほど、第2コンタクト電極81bが全体的に大きくなる。つまり、主面10aに対する法線方向から見たとき、第1コンタクト電極81aと第2コンタクト電極81bとの間隔を広げるほど第2コンタクト電極81bと支持基板11との接触面積が大きくなる。このため、半導体装置の体格が大きくなり易い。

【0093】

ここで、(ノイズ伝搬量の逆数) / (第2コンタクト電極の面積) を面積効率とすると、第1コンタクト電極81aと第2コンタクト電極81bとの間隔を広げ続けると仮定する。この場合、ノイズ伝搬量の逆数はある値で飽和するのに対し、第2コンタクト電極81bの面積は増加し続ける。なお、ノイズ伝搬量は、上記数式5で示される V_{OUT1} である。

30

【0094】

例えば、支持基板の抵抗率が $40 \Omega \cdot \text{cm}$ の場合には、図13に示されるように、第1コンタクト電極81aと第2コンタクト電極81bとの間隔が $300 \mu\text{m}$ 以上となると、面積効率が減少し始めることが確認される。このため、支持基板の抵抗率が $40 \Omega \cdot \text{cm}$ の場合には、第1コンタクト電極81aと第2コンタクト電極81bとの間隔が約 $300 \mu\text{m}$ とされることが好ましい。

40

【0095】

なお、図13中にも示されているように、面積効率の回帰式は、面積効率を y 、第1コンタクト電極81aと第2コンタクト電極81bとの間隔を x とすると、 $y = -3 \times 10^{-6} \times x^2 + 0.021 \times x + 0.9894$ で示される。また、寄与率は、 $R^2 = 0.9781$ となる。

【0096】

このため、第1コンタクト電極81aと第2コンタクト電極81bとの間隔は、支持基板11の抵抗値に基づき、面積効率が最大となる付近となるように設定されることが好ましい。

50

【0097】

(他の実施形態)

本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【0098】

例えば、上記第1実施形態では、素子領域31にPチャネル型のMOSFET素子が形成されていてもよい。同様に、上記第3実施形態では、第1素子領域31aにPチャネル型のMOSFET素子が形成されていてもよいし、第2素子領域31bにPチャネル型のMOSFET素子が形成されていてもよい。

【0099】

また、上記第1実施形態で説明したトレンチ分離部20の異常判定は、コンタクト電極81の幅が一定とされている場合についても適用可能である。さらに、トレンチ分離部20の異常判定は、第1検査部410のみを有する検査装置400を用い、チップ領域毎に順に検査装置400を接続して各トレンチ分離部20の異常判定を行うようにしてもよい。また、トレンチ分離部20の異常判定は、さらに複数の検査部を有する検査装置400を用い、各検査部を各チップ領域に接続した後、順に各チップ領域のトレンチ分離部20の異常判定を行うようにしてもよい。

【0100】

さらに、上記第2実施形態において、コンタクト電極81は、素子領域31を完全に囲むように形成されていなくてもよい。例えば、図14Aおよび図14Bに示されるように、コンタクト電極81は、一部が分断されており、完全に囲んでいなくてもよい。つまり、コンタクト電極81は、素子領域31を囲むように形成されていればよい。

【0101】

この場合、図15Aに示されるように、トレンチ分離部20は、各コンタクト電極81をそれぞれ囲むように形成されていてもよい。つまり、トレンチ分離部20は、1つのトレンチ分離部20が1つのコンタクト電極81を囲むように形成されていてもよい。また、図15Bに示されるように、トレンチ分離部20は、1つのトレンチ分離部20が2つのコンタクト電極81を囲むように形成されていてもよい。さらに、特に図示しないが、トレンチ分離部20は、1つのトレンチ分離部20が3つ以上のコンタクト電極81を囲むように形成されていてもよい。

【0102】

これらのような構成では、フィールド領域33がトレンチ分離部20によって分断されなくなる。つまり、各フィールド領域33は、互いに繋がった状態となる。このため、例えば、トレンチ分離部20の異常判定を行う際等において、各フィールド領域33にそれぞれ配線等を配置する必要がなく、レイアウト作業の簡略化、検査設計の簡略化、および検査工程の簡略化を図ることができる。

【0103】

また、上記第2実施形態において、ノイズ発生素子となるスイッチング素子が隣合って配置される場合には、コンタクト電極81は、各スイッチング素子が形成される素子領域31を纏めて囲むように形成されていてもよい。例えば、2つのノイズ発生素子となるスイッチ素子が隣合う第1素子領域31aに形成されている場合には、2つの第1素子領域31aを囲むようにコンタクト電極81が形成されていてもよい。同様に、上記第3実施形態において、第1コンタクト電極81aおよび第2コンタクト電極81bは、2つの第1素子領域31aを囲むように形成されていてもよい。

【0104】

さらに、上記第2実施形態において、コンタクト電極81は、第2素子領域31bを囲むように形成されていてもよい。このような構成としても、第1素子領域31aで発生したノイズが第2素子領域31bに伝搬され難くなるため、上記第2実施形態と同様の効果を得ることができる。つまり、ノイズ発生素子から発生するノイズが高精度素子に伝搬され難くなるのであれば、コンタクト電極81は、第1素子領域31aまたは第2素子領域

10

20

30

40

50

3 1 b のいずれを囲むようにしてもよい。また、コンタクト電極 8 1 は、2 つ形成され、一方が第 1 素子領域 3 1 a を囲むように形成され、他方が第 2 素子領域 3 1 b を囲むように形成されていてもよい。

【0 1 0 5】

そして、上記第 3 実施形態では、第 1 コンタクト電極 8 1 a と第 2 コンタクト電極 8 1 b との間隔を 3 0 0 μ m 程度離すことが好ましいため、第 1 コンタクト電極 8 1 a と第 2 コンタクト電極 8 1 b との間の領域に別の素子を形成するようにしてもよい。なお、第 1 コンタクト電極 8 1 a と第 2 コンタクト電極 8 1 b との間の領域に別の素子を形成する場合には、ノイズの影響が少ない素子を形成することが好ましく、例えば、デジタル処理を実行する素子等が形成されることが好ましい。

10

【0 1 0 6】

さらに、上記各実施形態において、染み出し層 1 4 は、素子領域 3 1 にソース領域 4 2 やドレイン領域 4 4 を形成する場合の熱処理とは別の熱処理によって形成されるようにしてもよい。

【0 1 0 7】

また、上記各実施形態において、第 3 コンタクトホール 1 2 3 は、1 つのみ形成され、第 3 配線部 1 4 3 は、1 つの第 3 接続ビア 1 3 3 と接続されるようにしてもよい。

【0 1 0 8】

さらに、上記各実施形態において、コンタクト電極 8 1 は、ホウ素等がドーピングされた P 型のポリシリコンで構成されていてもよい。この場合は、支持基板 1 1 を P 型とすることが好ましい。

20

【0 1 0 9】

さらに、上記各実施形態において、S O I 基板 1 0 を用意する際には、予めチップ単位に分割されたものを用意するようにしてもよい。

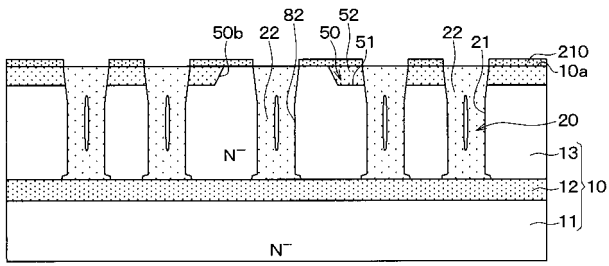
【符号の説明】

【0 1 1 0】

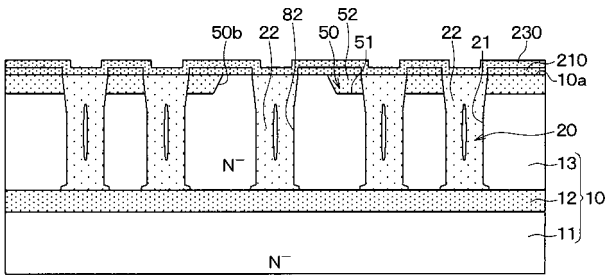
1 0	半導体基板
1 0 a	主面
1 1	支持基板
1 2	埋込絶縁膜
1 3	活性層
2 0	トレンチ分離部
3 2、3 2 a、3 2 b	引抜領域
8 1、8 1 a、8 1 b	コンタクト電極
L 1、L 2	最小幅

30

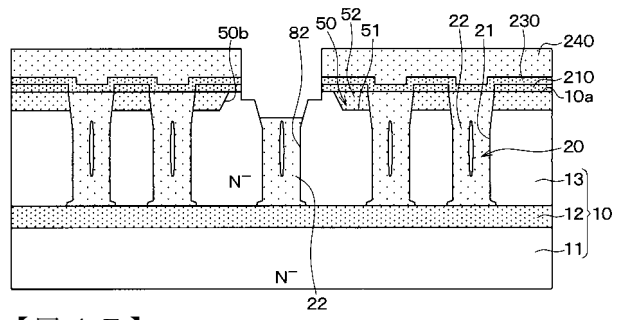
【図 4 C】



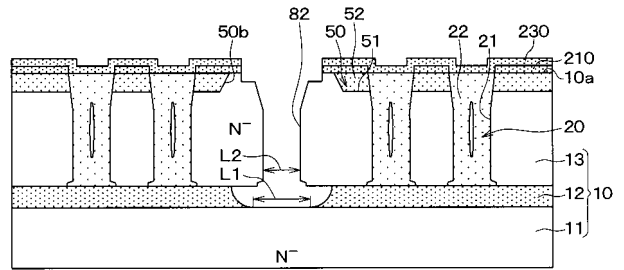
【図 4 D】



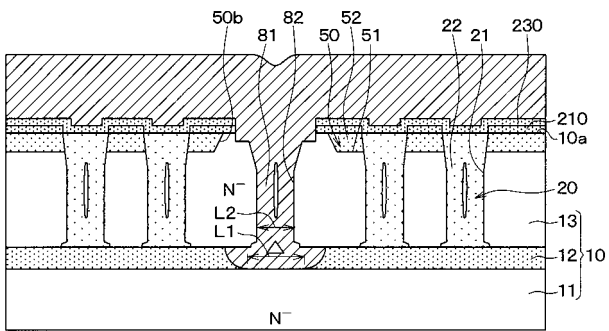
【図 4 E】



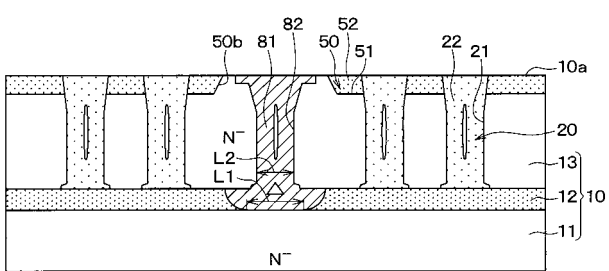
【図 4 F】



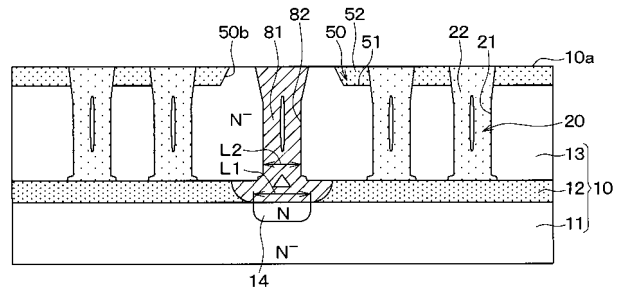
【図 4 G】



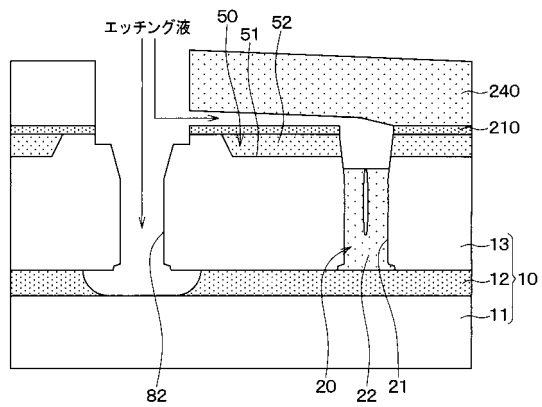
【図 4 H】



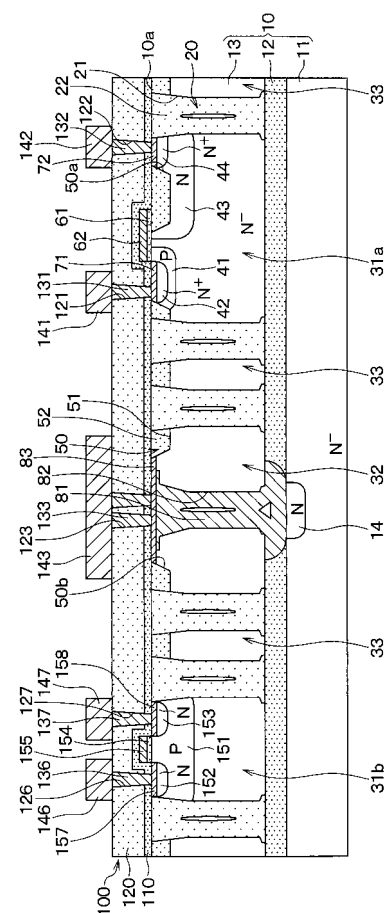
【図 4 I】



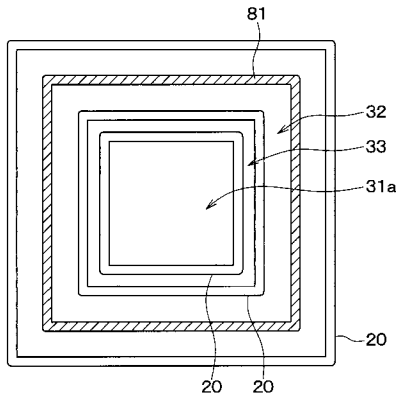
【図 5】



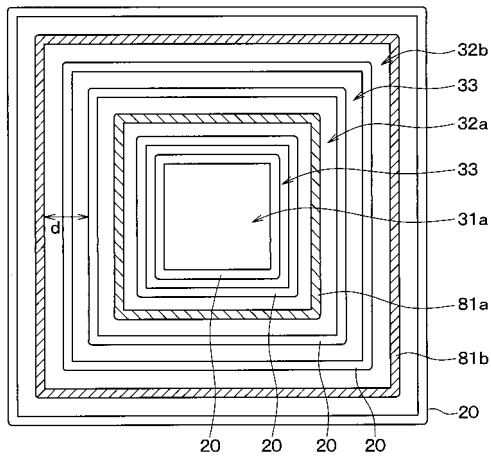
【图 9】



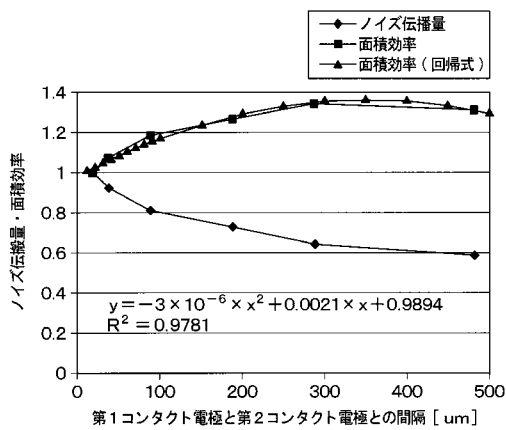
【図 10】



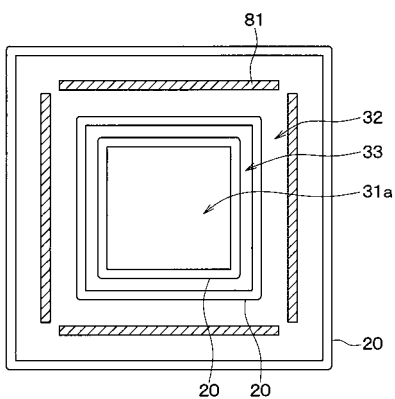
【図 11】



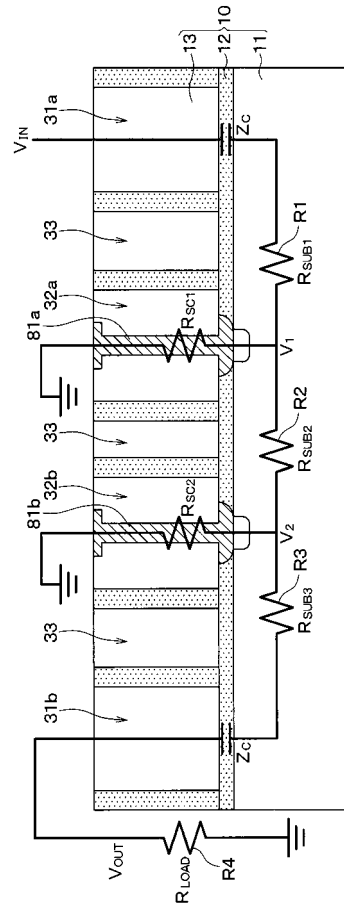
【図 13】



【図 14 A】



【図 12】



フロントページの続き

(51)Int.Cl.			F I			テーマコード (参考)	
<i>H 0 1 L</i>	<i>21/76</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i>	<i>6 2 1</i>	<i>5 F 1 1 0</i>	
<i>H 0 1 L</i>	<i>21/762</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i>	<i>6 2 6 C</i>		
<i>H 0 1 L</i>	<i>21/336</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/90</i>	<i>C</i>		
<i>H 0 1 L</i>	<i>29/786</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/12</i>	<i>L</i>		
<i>H 0 1 L</i>	<i>21/822</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/04</i>	<i>H</i>		
<i>H 0 1 L</i>	<i>27/04</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/088</i>	<i>3 3 1 E</i>		
<i>H 0 1 L</i>	<i>27/088</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/088</i>	<i>A</i>		
<i>H 0 1 L</i>	<i>21/8234</i>	<i>(2006.01)</i>	<i>C 3 0 B</i>	<i>29/06</i>	<i>A</i>		
<i>C 3 0 B</i>	<i>29/06</i>	<i>(2006.01)</i>					

(72)発明者 上山 晋一郎

愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

F ターム (参考) 4G077 AA02 AB01 BA04 CF10 EB01 GA01 HA12
 5F032 AA01 AA35 AA44 AA70 AA77 AA78 BA02 BA03 BA08 BB08
 CA17 CA24 DA02 DA23 DA33 DA34
 5F033 HH08 JJ04 JJ19 KK01 KK25 LL04 MM30 NN32 PP06 QQ07
 QQ09 QQ11 QQ19 QQ28 QQ33 QQ37 QQ48
 5F038 BH02 BH19 CA01 CD18 CD19 EZ06 EZ13 EZ14 EZ15 EZ17
 EZ19 EZ20
 5F048 AA04 AC01 BA16 BB03 BC03 BC05 BC18 BD10 BF02 BF06
 BF16 BF17 BF18 BG13
 5F110 AA30 BB12 CC02 DD05 DD13 DD22 DD24 GG02 GG12 GG32
 GG52 GG58 HK05 HL04 HL08 HL14 HL24 HM12 HM17 NN03
 NN62 NN65