

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014年2月13日(13.02.2014)



(10) 国際公開番号  
WO 2014/024310 A1

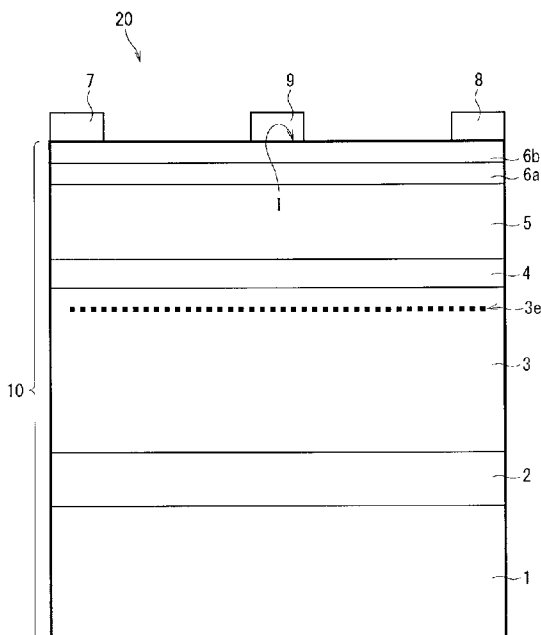
- (51) 国際特許分類:  
H01L 21/338 (2006.01) H01L 29/812 (2006.01)  
H01L 29/778 (2006.01)
- (21) 国際出願番号: PCT/JP2012/070521
- (22) 国際出願日: 2012年8月10日(10.08.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 日本碍子株式会社(NGK INSULATORS, LTD.) [JP/JP]; 〒4678530 愛知県名古屋市瑞穂区須田町2番56号 Aichi (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 杉山 智彦(SUGIYAMA Tomohiko) [JP/JP]; 〒4678530 愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内 Aichi (JP). 前原 宗太(MAEHARA Sota) [JP/JP]; 〒4678530 愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内 Aichi (JP). 角谷 茂明(SUMIYA Shigeaki) [JP/JP]; 〒4678530 愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内 Aichi (JP). 田中 光浩(TANAKA Mitsuhiro) [JP/JP]; 〒3050821 茨城県つくば市春日3-7-21 Ibaraki (JP).
- (74) 代理人: 吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区城見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ

[続葉有]

(54) Title: SEMICONDUCTOR ELEMENT, HEMT ELEMENT, AND METHOD FOR MANUFACTURING SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子、HEMT素子、および半導体素子の製造方法

【図1】



(57) Abstract: Provided is a semiconductor element wherein a reverse-direction leak current is suppressed, and mobility of a two-dimensional electron gas is high. This semiconductor element is provided with: an epitaxial substrate, which is formed by laminating, on a base substrate, a III nitride layer group such that the (0001) crystal plane is substantially parallel to the substrate surface; and a Schottky electrode. The epitaxial substrate is provided with: a channel layer formed of a first III nitride having a composition of  $In_{x1}Al_{y1}Ga_{z1}N$  ( $x1+y1+z1=1$ ,  $z1>0$ ); a barrier layer formed of a second III nitride having a composition of  $In_{x2}Al_{y2}N$  ( $x2+y2=1$ ,  $x2>0$ ,  $y2>0$ ); an intermediate layer, which is formed of GaN, and which is adjacent to the barrier layer; and a cap layer, which is formed of AlN, and which is adjacent to the intermediate layer. The Schottky electrode is formed by being bonded to the cap layer.

(57) 要約: 逆方向漏れ電流が抑制されてなるとともに二次元電子ガスの移動度が高い半導体素子を提供する。下地基板の上にIII族窒化物層群を(0001)結晶面が基板面に対し略平行となるよう積層形成したエピタキシャル基板と、ショットキー性電極と、を備える半導体素子において、エピタキシャル基板が、 $In_{x1}Al_{y1}Ga_{z1}N$  ( $x1+y1+z1=1$ ,  $z1>0$ )なる組成の第1のIII族窒化物からなるチャネル層と、 $In_{x2}Al_{y2}N$  ( $x2+y2=1$ ,  $x2>0$ ,  $y2>0$ )なる組成の第2のIII族窒化物からなる障壁層と、GaNからなり障壁層に隣接する中間層と、AlNからなり中間層に隣接するキャップ層と、を備え、ショットキー性電極がキャップ層に接合されてなるようにする。

するキャップ層と、を備え、ショットキー性電極がキャップ層に接合されてなるようにする。

WO 2014/024310 A1

(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 國際調查報告 (條約第 21 條(3))

## 明 細 書

発明の名称：

半導体素子、HEMT素子、および半導体素子の製造方法

### 技術分野

[0001] 本発明は、半導体素子に関し、特に、III族窒化物半導体により構成される多層構造エピタキシャル基板と金属電極とのショットキーダイオード接合を有する半導体素子に関する。

### 背景技術

[0002] 窒化物半導体は、高い絶縁破壊電界、高い飽和電子速度を有することから次世代の高周波／ハイパワーデバイス用半導体材料として注目されている。例えば、AlGaNからなる障壁層とGaNからなるチャネル層とを積層してなるHEMT（高電子移動度トランジスタ）素子は、窒化物材料特有の大きな分極効果（自発分極効果とピエゾ分極効果）により積層界面（ヘテロ界面）に高濃度の二次元電子ガス（2DEG）が生成するという特徴を活かしたものである（例えば、非特許文献1参照）。

[0003] HEMT素子用基板の下地基板として、例えばシリコンやSiCのような、III族窒化物とは異なる組成の単結晶（異種単結晶）を用いることがある。この場合、歪み超格子層や低温成長緩衝層などの緩衝層が、初期成長層として下地基板の上に形成されるのが一般的である。よって、下地基板の上に障壁層、チャネル層、および緩衝層をエピタキシャル形成してなるのが、異種単結晶からなる下地基板を用いたHEMT素子用基板の最も基本的な構成態様となる。これに加えて、障壁層とチャネル層の間に、二次元電子ガスの空間的な閉じ込めを促進する目的として、厚さ1nm前後のスペーサ層が設けられることもある。スペーサ層は、例えばAlNなどで構成される。さらには、HEMT素子用基板の最表面におけるエネルギー準位の制御や、電極とのコンタクト特性の改善を目的として、例えばn型GaN層や超格子層からなるキャップ層が、障壁層の上に形成される場合もある。

- [0004] チャネル層をGaNにて形成し、障壁層をAlGaNにて形成するという、最も一般的な構成の窒化物HEMT素子の場合、HEMT素子用基板に内在する二次元電子ガスの濃度は、障壁層を形成するAlGaNのAlNモル分率の増加に伴い増加することが知られている（例えば、非特許文献2参照）。二次元電子ガス濃度を大幅に増やすことができれば、HEMT素子の可制御電流密度、すなわち取り扱える電力密度を大幅に向上させることが可能と考えられる。
- [0005] また、チャネル層をGaNにて形成し、障壁層をInAlNにて形成したHEMT素子のように、piezo分極効果への依存が小さくほぼ自発分極のみにより高い濃度で二次元電子ガスを生成できる歪の少ない構造を有するHEMT素子も注目されている（例えば、非特許文献3参照）。
- [0006] チャネル層をGaNにて形成し、障壁層をInAlNにて形成することにより、HEMT素子を作製する場合、ゲート電極と障壁層との接合はショットキー接合とされるのが一般的である。しかしながら、この場合、InAlN層の組成や形成条件によっては、ショットキー接合への逆方向電圧印加の際に、大きな漏れ電流が発生することがある。
- [0007] この漏れ電流は、InAlN層上にAlNからなるコンタクト層を形成することによって低減させることが可能であるが、一方で、係る構成のHEMT素子には、二次元電子ガスの移動度が低いという問題が生じる。これは、AlN層の格子定数がInAlN層に比して小さいために、InAlN層に歪が発生することが原因であると推定される。

## 先行技術文献

### 非特許文献

- [0008] 非特許文献1：“Highly Reliable 250W High Electron Mobility Transistor Power Amplifier”, TOSHIHIDE KIKKAWA, Jpn. J. Appl. Phys. 44, (2005), 4896
- 非特許文献2：“Gallium Nitride Based High Power Heterojunction Field Effect Transistors: process Development and Present Status at USCB”, S

tacia Keller, Yi-Feng Wu, Giacinta Parish, Naiqian Ziang, Jane J. Xu, Bernd P. Keller, Steven P. DenBaars, and Umesh K. Mishra, IEEE Trans . Electron Devices 48, (2001), 552

非特許文献3: "Can InAlN/GaN be an alternative to high power/high temperature AlGaN/GaN devices?", F. Medjdoub, J.-F. Carlin, M. Gonschorek, E. Feltin, M.A. Py, D. Ducatteau, C. Gaquiere, N. Grandjean, and E. Kohn, IEEE IEDM Tech. Digest in IEEE IEDM 2006, 673

### 発明の概要

- [0009] 本発明は、以上の課題に鑑みてなされたものであり、逆方向漏れ電流が抑制されてなるとともに二次元電子ガスの移動度が高い半導体素子を提供することを目的とする。
- [0010] 上記課題を解決するため、本発明の第1の態様では、下地基板の上にIII族窒化物層群を(0001)結晶面が基板面に対し略平行となるよう積層形成したエピタキシャル基板と、ショットキー性電極と、を備える半導体素子において、前記エピタキシャル基板が、 $In_{x_1}Al_{y_1}Ga_{z_1}N$  ( $x_1 + y_1 + z_1 = 1$ 、 $z_1 > 0$ )なる組成の第1のIII族窒化物からなるチャンネル層と、 $In_{x_2}Al_{y_2}N$  ( $x_2 + y_2 = 1$ 、 $x_2 > 0$ 、 $y_2 > 0$ )なる組成の第2のII族窒化物からなる障壁層と、GaNからなり前記障壁層に隣接する中間層と、AlNからなり前記中間層に隣接するキャップ層と、を備え、前記ショットキー性電極が前記キャップ層に接合されてなるようにした。
- [0011] 本発明の第2の態様では、第1の態様に係る半導体素子において、前記中間層の膜厚が0.5nm以上であるようにした。
- [0012] 本発明の第3の態様では、第2の態様に係る半導体素子において、前記中間層の膜厚が6nm以下であるようにした。
- [0013] 本発明の第4の態様では、第1ないし第3のいずれかの態様に係る半導体素子において、前記キャップ層の膜厚が0.5nm以上6nm以下であるようにした。
- [0014] 本発明の第5の態様では、第1ないし第4のいずれかの態様に係る半導体

素子において、前記第2のIII族窒化物のバンドギャップが前記第1のIII族窒化物のバンドギャップよりも大きいようにした。

[0015] 本発明の第6の態様では、第1ないし第5のいずれかの態様に係る半導体素子において、前記ショットキー性電極がNi、Pt、Pd、Auの少なくとも1つを含んでなるようにした。

[0016] 本発明の第7の態様では、第1ないし第6のいずれかの態様に係る半導体素子において、前記キャップ層の自乗平均表面粗さが0.5nm以下であるようにした。

[0017] 本発明の第8の態様では、第1ないし第7のいずれかの態様に係る半導体素子において、前記第2のIII族窒化物が、 $In_{x2}Al_{y2}N$  ( $x2 + y2 = 1$ 、 $0.14 \leq x2 \leq 0.24$ )であるようにした。

[0018] 本発明の第9の態様では、第1ないし第8のいずれかの態様に係る半導体素子において、前記第1のIII族窒化物が $Al_{y1}Ga_{z1}N$  ( $y1 + z1 = 1$ 、 $z1 > 0$ )であるようにした。

[0019] 本発明の第10の態様では、第9の態様に係る半導体素子において、前記第1のIII族窒化物がGaNであるようにした。

[0020] 本発明の第11の態様では、第9または第10の態様に係る半導体素子が、前記チャネル層と前記障壁層との間に、 $In_{x3}Al_{y3}Ga_{z3}N$  ( $x3 + y3 + z3 = 1$ 、 $y3 > 0$ )なる組成を有し、前記第2のIII族窒化物よりもバンドギャップが大きい第3のIII族窒化物からなるスペーサ層を、さらに備えるようにした。

[0021] 本発明の第12の態様では、第11の態様に係る半導体素子において、前記第3のIII族窒化物がAlNであるようにした。

[0022] 本発明の第13の態様では、第1ないし第12のいずれかの態様に係る半導体素子において、オーミック性電極が前記ショットキー性電極と同一の前記キャップ層に接合されてなるようにした。

[0023] 本発明の第14の態様では、第13の態様に係る半導体素子であるHEMT素子において、前記ショットキー性電極がゲート電極であり、前記オーミ

ック性電極がソース電極およびドレイン電極であるようにした。

[0024] 本発明の第15の態様では、下地基板の上にIII族窒化物層群を(0001)結晶面が基板面に対し略平行となるよう積層形成したエピタキシャル基板と、ショットキー性電極と、を備える半導体素子の製造方法が、下地基板の上に、 $In_{x_1}Al_{y_1}Ga_{z_1}N$  ( $x_1 + y_1 + z_1 = 1$ ,  $z_1 > 0$ )なる組成の第1のIII族窒化物にてチャンネル層を形成するチャンネル層形成工程と、前記チャンネル層の上に、 $In_{x_2}Al_{y_2}N$  ( $x_2 + y_2 = 1$ ,  $x_2 > 0$ ,  $y_2 > 0$ )なる組成の第2のIII族窒化物にて障壁層を形成する障壁層形成工程と、 $GaN$ にて中間層を前記障壁層に隣接形成する中間層形成工程と、 $AlN$ にてキャップ層を前記中間層に隣接形成するキャップ層形成工程と、前記キャップ層にショットキー性電極を接合形成するショットキー性電極形成工程と、を備えるようにした。

[0025] 本発明の第16の態様では、第15の態様に係る半導体素子の製造方法において、前記中間層を0.5nm以上の厚みに形成するようにした。

[0026] 本発明の第17の態様では、第16の態様に係る半導体素子の製造方法において、前記中間層を6nm以下の厚みに形成するようにした。

[0027] 本発明の第18の態様では、第15ないし第17のいずれかの態様に係る半導体素子の製造方法において、前記キャップ層を0.5nm以上6nm以下の厚みに形成するようにした。

[0028] 本発明の第19の態様では、第15ないし第18のいずれかの態様に係る半導体素子の製造方法において、前記第2のIII族窒化物のバンドギャップが前記第1のIII族窒化物のバンドギャップよりも大きいようにした。

[0029] 本発明の第20の態様では、第15ないし第19のいずれかの態様に係る半導体素子の製造方法において、前記ショットキー性電極形成工程においては、前記ショットキー性電極をNi、Pt、Pd、Auの少なくとも1つを含むように形成するようにした。

[0030] 本発明の第21の態様では、第15ないし第20のいずれかの態様に係る半導体素子の製造方法において、前記第2のIII族窒化物が、 $In_{x_2}Al_{y_2}N$

( $x^2 + y^2 = 1$ 、 $0.14 \leq x^2 \leq 0.24$ ) であるようにした。

[0031] 本発明の第22の態様では、第15ないし第21のいずれかの態様に係る半導体素子の製造方法において、前記第1のIII族窒化物が  $Al_{y1}Ga_{z1}N$  ( $y1 + z1 = 1$ 、 $z1 > 0$ ) であるようにした。

[0032] 本発明の第23の態様では、第22の態様に係る半導体素子の製造方法において、前記第1のIII族窒化物が  $GaN$  であるようにした。

[0033] 本発明の第24の態様では、第22または第23の態様に係る半導体素子の製造方法が、前記チャンネル層と前記障壁層との間に、 $In_{x3}Al_{y3}Ga_{z3}N$  ( $x3 + y3 + z3 = 1$ 、 $y3 > 0$ ) なる組成を有し、前記第2のIII族窒化物よりもバンドギャップが大きい第3のIII族窒化物にてスペーサ層を形成するスペーサ層形成工程、をさらに備えるようにした。

[0034] 本発明の第25の態様では、第24の態様に係る半導体素子の製造方法において、前記第3のIII族窒化物が  $AlN$  であるようにした。

[0035] 本発明の第26の態様では、第15ないし第25のいずれかの態様に係る半導体素子の製造方法が、前記ショットキー性電極が形成される前記キャップ層にオーミック性電極を接合形成するオーミック性電極形成工程、をさらに備えるようにした。

[0036] 本発明の第1ないし第26の態様によれば、障壁層の上に  $GaN$  からなる中間層と  $AlN$  からなるキャップ層をこの順に設け、該キャップ層に対してショットキー接合により電極形成を行い、 $MIS$  接合を形成することで、障壁層の上に直接にショットキー接合により電極形成を行う場合に比して、逆方向漏れ電流が抑制され、かつ二次元電子ガスの移動度が高く保たれた半導体素子の実現される。

### 図面の簡単な説明

[0037] [図1]本発明の実施の形態に係る半導体素子の一態様であるHEMT素子20の構成を概略的に示す断面模式図である。

[図2]キャップ層6bの表面粗さとその厚みとの関係を例示する図である。

[図3]逆方向漏れ電流とキャップ層6bとの関係を例示する図である。

[図4]オーミック性電極におけるコンタクト抵抗をキャップ層6bの厚みに対してプロットした図である。

### 発明を実施するための形態

#### [0038] <HEMT素子の構成>

図1は、本発明の実施の形態に係る半導体素子の一態様であるHEMT素子20の構成を概略的に示す断面模式図である。HEMT素子20は、概略、エピタキシャル基板10の上に、ソース電極7、ドレイン電極8、およびゲート電極9を設けた構成を有する。具体的には、エピタキシャル基板10は、下地基板1と、バッファ層2と、チャンネル層3と、スペーサ層4と、障壁層5と、中間層6aと、キャップ層6bとが積層形成された構成を有する。そして、キャップ層6bの上に、ソース電極7、ドレイン電極8、およびゲート電極9が形成されてなる。なお、図1における各層の厚みの比率は、実際のものを反映したものではない。バッファ層2と、チャンネル層3と、スペーサ層4と、障壁層5と、中間層6aと、キャップ層6bとはいずれも、MOCVD法（有機金属化学的気相成長法）を用いてエピタキシャル形成される（詳細は後述）のが好適な一例である。

[0039] 以降においては、各層の形成にMOCVD法を用いる場合を対象に説明を行うが、良好な結晶性を有するように各層を形成できる手法であれば、他のエピタキシャル成長手法、例えば、MBE、HVPE、LPEなど、種々の気相成長法や液相成長法の中から適宜選択した手法を用いてもよいし、異なる成長法を組み合わせ用いる態様であってもよい。

[0040] 下地基板1は、その上に結晶性の良好な窒化物半導体層を形成できるものであれば、特段の制限なく用いることができる。単結晶6H-SiC基板を用いるのが好適な一例であるが、サファイア、Si、GaAs、スピネル、MgO、ZnO、フェライトなどからなる基板を用いる態様であってもよい。

[0041] また、バッファ層2は、その上に形成されるチャンネル層3、スペーサ層4、障壁層5、中間層6a、およびキャップ層6bの結晶品質を良好なものと

するべく、A I Nにて数百nm程度の厚みに形成される層である。例えば、200nmの厚みに形成するのが好適な一例である。

[0042] チャネル層3は、 $I n_{x_1} A l_{y_1} G a_{z_1} N$  ( $x_1 + y_1 + z_1 = 1$ )なる組成のIII族窒化物（第1のIII族窒化物）にて、数 $\mu m$ 程度の厚みに形成される層である。好ましくは、チャネル層3は $A l_{y_1} G a_{z_1} N$  ( $y_1 + z_1 = 1$ 、 $z_1 > 0$ )組成のIII族窒化物にて形成され、より好ましくは、GaNにて形成される。

[0043] 一方、障壁層5は、 $I n_{x_2} A l_{y_2} N$  ( $x_2 + y_2 = 1$ 、 $x_2 > 0$ 、 $y_2 > 0$ )なる組成を有するIII族窒化物（第2のIII族窒化物）にて、数nm~数十nm程度の厚みに形成される層である。好ましくは $0.14 \leq x_2 \leq 0.24$ である。 $x_2$ の値がこの範囲の外にある場合は、障壁層5に作用する歪みが $\pm 0.5\%$ を超えることとなり、ショットキー接合の信頼性に及ぼす結晶歪みの影響が大きくなり始めるため好ましくない。

[0044] なお、チャネル層3と障壁層5とは、前者を構成する第1のIII族窒化物のバンドギャップよりも後者を構成する第2のIII族窒化物のバンドギャップの方が大きいという組成範囲をみたして形成される。

[0045] 中間層6aは、GaNにて形成される層である。また、キャップ層6bは、A I Nにて形成される層である。HEMT素子20がこれら中間層6aとキャップ層6bを有することの作用効果については後述する。

[0046] さらに、チャネル層3と障壁層5の間にはスペーサ層4が設けられる。スペーサ層4は、 $I n_{x_3} A l_{y_3} G a_{z_3} N$  ( $x_3 + y_3 + z_3 = 1$ )なる組成を有し、少なくともAlを含む ( $y_3 > 0$ をみたす) III族窒化物（第3のIII族窒化物）にて、0.5nm~1.5nmの範囲の厚みで形成される層である。

[0047] このような層構成を有するエピタキシャル基板10においては、チャネル層3とスペーサ層4の界面に（より詳細には、チャネル層3の当該界面近傍に）二次元電子ガスが高濃度に存在する二次元電子ガス領域3eが形成される。

[0048] 好ましくは、スペーサ層4と障壁層5とはそれぞれ、前者を構成する第3のIII族窒化物のバンドギャップが、後者を構成する第2のIII族窒化物のバンドギャップ以上という組成範囲をみたして形成される。係る場合、合金散乱効果が抑制され、二次元電子ガスの濃度および移動度が向上する。より好ましくは、スペーサ層4はAlN ( $x_3 = 0$ 、 $y_3 = 1$ 、 $z_3 = 0$ )にて形成される。係る場合、スペーサ層4がAlとNの二元系化合物となるので、Gaを含む三元系化合物の場合よりもさらに合金散乱効果が抑制され、二次元電子ガスの濃度および移動度が向上することとなる。なお、係る組成範囲についての議論は、スペーサ層4が不純物を含有することを除外するものではない。

[0049] なお、エピタキシャル基板10においてスペーサ層4を備えるのは必須の態様ではなく、チャンネル層3の上に直接に障壁層5を形成する態様であってもよい。係る場合、チャンネル層3と障壁層5の界面に二次元電子ガス領域3eが形成される。

[0050] ソース電極7とドレイン電極8とは、それぞれの金属層が十数nm~百数十nm程度の厚みを有する多層金属電極であり、キャップ層6bとの間にオーミック性接触を有してなる。ソース電極7およびドレイン電極8に用いる金属は、エピタキシャル基板10に対し（キャップ層6bに対し）良好なオーミック性接触が得られる金属材料にて形成されればよい。Ti/Al/Ni/Auからなる多層金属電極をソース電極7およびドレイン電極8として形成するのが好適であるが、これに限定されるものでなく、例えばTi/Al/Pt/AuあるいはTi/Alなどからなる多層金属電極を形成する態様であってもよい。ソース電極7およびドレイン電極8の形成は、フォトリソグラフィプロセスと真空蒸着法とにより行うことができる。

[0051] 一方、ゲート電極9は、一または複数の金属層が十数nm~百数十nm程度の厚みを有するように形成されてなる単層または多層の金属電極であり、障壁層5との間にショットキー性接触を有してなる。ゲート電極9は、Pd、Pt、Ni、Auなどの仕事関数が高い金属を形成材料として形成される

のが好適である。あるいは、上述の各金属同士の、あるいは各金属とAlなどの多層金属膜として形成される態様であってもよい。なお、AlNからなるキャップ層6bを設けることから、上記に加えて、Ti/Alを含む多層金属膜など、III族窒化物半導体との間でオーミック接合をなす場合に用いられる金属材料も、ゲート電極9の形成材料として利用可能である。なぜならば、この場合、バンドギャップが大きいAlNと仕事関数が比較的小さい金属材料とが接合されるので、比較的容易にショットキー性のコンタクトが得られるからである。ゲート電極9の形成は、フォトリソグラフィープロセスと真空蒸着法とにより行うことができる。

[0052] <キャップ層とゲート電極とのショットキー接合>

上述のような構成を有するHEMT素子20においては、ゲート電極9と、キャップ層6bと、障壁層5とによって（厳密には中間層6aを介して）、いわゆるMIS (metal-insulator-semiconductor) 接合が形成されてなる。このようなMIS接合を有することで、HEMT素子20は、障壁層5に対して直接にゲート電極9をショットキー接合させた従来のHEMT素子よりも、原理上、逆方向漏れ電流が抑制されてなる。具体的な値は各部の組成や厚みなどによっても異なるが、本実施の形態のようにHEMT素子20を構成した場合には、例えば-100V印加時の漏れ電流が、障壁層に直接にゲート電極を形成した場合の1/100から1/1000程度にまで抑制される。

[0053] 図2ないし図4は、HEMT素子においてゲート電極9の直下にキャップ層6bを具備することの効果、つまりは、HEMT素子が上述のMIS接合を有することの効果の説明するための図である。具体的には、図2は、障壁層5の組成を $In_{0.14}Al_{0.86}N$ 、 $In_{0.18}Al_{0.82}N$ 、 $In_{0.24}Al_{0.76}N$ の3水準に達した3種類のHEMT素子について、キャップ層6bの表面粗さとその厚みとの関係を例示している。ただし、係るHEMT素子については議論の簡単のため中間層6aは設けていない。また、図3は、同じHEMT素子について、逆方向漏れ電流とキャップ層6bの厚みとの関係を例

示している。さらに、図4は、同じHEMT素子についてコンタクト抵抗とキャップ層6bの厚みとの関係を例示している。

[0054] 図2および図3においてはいずれも、キャップ層6bの厚みが0nmの場合（つまりはキャップ層6bを設けない場合）に値が最大で、キャップ層6bの厚みが0.5nmまでの間で値が急落し、0.5nm以上では0nmのときよりも小さな値（0.5nm以下）で概ね横ばいとなっている。このことは、キャップ層6bを0.5nm以上の厚みに形成することで、その表面平坦性が向上し、かつ、係る表面平坦性の優れたキャップ層6bの上にゲート電極9を設けることで、逆方向漏れ電流が低減されることを意味している。また、障壁層5の表面よりもキャップ層6bの表面の方が平坦化される。

[0055] 一方、図4においては、キャップ層6bの厚みが6nm以下の範囲ではコンタクト抵抗が $1.0 \times 10^{-5} / \Omega \text{cm}^2$ 以下でほぼ一定であるのに対して、キャップ層6bの厚みが6nmを越えると、コンタクト抵抗が急激に増大することがわかる。係る結果は、オーミック性電極におけるコンタクト抵抗を十分に低い値に保つという観点からは、キャップ層6bの厚みを6nm以下とするのがよいことを示している。

[0056] 以上のことから、キャップ層6bは、0.5nm以上6nm以下の厚みに形成するのが好適であることがわかる。

[0057] <中間層と二次元電子ガス濃度との関係>

また、本実施の形態に係るHEMT素子20は、障壁層5とキャップ層6bとの間に中間層6aを備える。これは、二次元電子ガスの移動度を高く保つためである。より具体的には、上述のようなキャップ層6bを障壁層5の上に直接に形成した場合、二次元電子ガスの移動度が低下してしまうので、本実施の形態においては、これを抑制するために、障壁層5の上に中間層6aを形成し、その上にキャップ層6bを形成する。

[0058] なお、中間層6aの厚みは、0.5nm以上6nm以下とするのが好適である。0.5nm以上の厚みに形成することで、中間層6aを設けない場合に比して高い移動度が実現される。一方、中間層6aの厚みの上限は、シー

ト抵抗に影響を及ぼさない低く保たれる範囲で定めればよい。例えば、キャップ層6bの厚みが0.5nm以上6nm以下の場合であれば、中間層6aの厚みを、(0.5nm以上)6nm以下とすることで、シート抵抗が300Ω/□以下に低減される。

[0059] なお、本実施の形態に係るHEMT素子20は、中間層6aおよびキャップ層6bが障壁層5の上に全面的に形成され、ゲート電極9の直下のみならずソース電極7およびドレイン電極8の直下にまで一様に備わっている点についても特徴的であるといえる。本来的には、ゲート電極9の直下にのみ中間層6aおよびキャップ層6bが存在すれば、逆方向漏れ電流の低減という作用効果が得られるものの、そのような構成を実現するには、フォトリソグラフィープロセスやエッチングプロセスなどが必要となり、コスト高の要因となる。本実施の形態においては、中間層6aおよびキャップ層6bを障壁層5の上に全面的に形成するのみであり、そうしたプロセスを行わないので、コストを抑制しつつ特性の優れたHEMT素子が実現されているともいえる。もちろん、ソース電極7およびドレイン電極8を障壁層5の上に直接に形成するべく、両電極の形成前に、キャップ層6b、中間層6a、障壁層5の一部をエッチングによって取り除く、いわゆるリセスオーミックを実施したうえで、これによって露出した障壁層5の上にソース電極7およびドレイン電極8を形成する態様であってもよい。

[0060] <HEMT素子の作製方法>

次に、上述のような構成を有するHEMT素子20を作製する方法を説明する。

[0061] まず、エピタキシャル基板10の作製は、公知のMOCVD炉を用いて行うことができる。具体的には、In、Al、Gaについての有機金属(MO)原料ガス(TMI、TMA、TMG)と、アンモニアガス(NH<sub>3</sub>ガス)と、水素ガスと、窒素ガスとをリアクタ内に供給可能に構成されてなるMOCVD炉を用いる。

[0062] まず、例えば(0001)面方位の2インチ径の6H-SiC基板などを

下地基板1として用意し、該下地基板1を、MOCVD炉のリアクタ内に設けられたサセプタの上に設置する。リアクタ内を真空ガス置換した後、リアクタ内圧力を5 kPa～50 kPaの間の所定の値に保ちつつ、水素/窒素混合フロー状態の雰囲気を形成した上で、サセプタ加熱によって基板を昇温する。

[0063] サセプタ温度がバッファ層形成温度である950℃～1250℃の間の所定温度（例えば1050℃）に達すると、Al原料ガスとNH<sub>3</sub>ガスをリアクタ内に導入し、バッファ層2としてのAlN層を形成する。

[0064] AlN層が形成されると、サセプタ温度を所定のチャンネル層形成温度に保ち、チャンネル層3の組成に応じた有機金属原料ガスとアンモニアガスをリアクタ内に導入し、チャンネル層3としてのIn<sub>x1</sub>Al<sub>y1</sub>Ga<sub>z1</sub>N層（ただし、x1=0、0≤y1≤0.3）を形成する。ここで、チャンネル層形成温度T1は、950℃以上1250℃以下の温度範囲から、チャンネル層3のAlNモル分率y1の値に応じて定められる値である。なお、チャンネル層3形成時のリアクタ圧力には特に限定はなく、10 kPaから大気圧（100 kPa）の範囲から適宜選ぶことができる。

[0065] In<sub>x1</sub>Al<sub>y1</sub>Ga<sub>z1</sub>N層が形成されると、次いで、サセプタ温度を保ったまま、リアクタ内を窒素ガス雰囲気に保ち、リアクタ圧力を10 kPaとした後、有機金属原料ガスとアンモニアガスをリアクタ内に導入して、スペーサ層4としてのIn<sub>x3</sub>Al<sub>y3</sub>Ga<sub>z3</sub>N層を所定の厚みに形成する。

[0066] In<sub>x3</sub>Al<sub>y3</sub>Ga<sub>z3</sub>N層が形成されると、障壁層5となるIn<sub>x2</sub>Al<sub>y2</sub>Nを形成するために、サセプタ温度を650℃以上800℃以下の所定の障壁層形成温度に保ち、リアクタ内圧力が1 kPa～30 kPaの間の所定の値に保たれるようにする。そして、アンモニアガスと、障壁層5の組成に応じた流量比の有機金属原料ガスを、いわゆるV/III比が3000以上20000以下の間の所定の値となるようにリアクタ内に導入する。

[0067] In<sub>x3</sub>Al<sub>y3</sub>Ga<sub>z3</sub>N層が形成されると、引き続いて、サセプタ温度を所定の間層形成温度としたうえで、TMGとNH<sub>3</sub>ガスを供給して、中間層

6 aとしてのGaN層を所定の厚みに形成する。

[0068] GaN層が形成されると、引き続き、サセプタ温度を所定のキャップ層形成温度としたうえで、TMAとNH<sub>3</sub>ガスを供給して、キャップ層6 bとしてのAlN層を所定の厚みに形成する。キャップ層6 bが形成されれば、エピタキシャル基板10が作製されたことになる。

[0069] エピタキシャル基板10が形成されると、これを用いてHEMT素子が形成される。以降の各工程は、公知の手法で実現されるものである。

[0070] まず、フォトリソグラフィープロセスと真空蒸着法を用いて、キャップ層6 bの形成対象個所に、ソース電極7およびドレイン電極8となる多層金属パターンを形成する。

[0071] 次に、ソース電極7およびドレイン電極8のオーミック性を良好なものにするため、これらソース電極7およびドレイン電極8が形成されたエピタキシャル基板10に対し、650℃～1000℃の所定温度の窒素ガス雰囲気中において、数十秒間の熱処理を施す。

[0072] 続いて、フォトリソグラフィープロセスと真空蒸着法を用いて、キャップ層6 bの形成対象個所に、ゲート電極9となる多層金属パターンを形成する。

[0073] その後、ダイシングにより所定のサイズにチップ化することで、多数個のHEMT素子20が得られる。得られたHEMT素子20に対しては、適宜にダイボンディングやワイヤボンディングが施される。

[0074] 以上、説明したように、本実施の形態によれば、障壁層の上にGaNからなる中間層を設け、さらに、AlNからなるキャップ層を設け、該キャップ層に対してショットキー接合によりゲート電極の形成を行い、MIS接合を形成することで、障壁層の上に直接にショットキー接合によりゲート電極の形成を行う場合に比して、逆方向漏れ電流が大きく低減され、かつ二次元電子ガスの移動度が高いHEMT素子が実現される。

[0075] <変形例>

上述の実施の形態においては、HEMT素子を対象として説明を行って

るが、ゲート電極と障壁層との間にMIS接合を形成する態様は、ショットキー接合を用いる他の電子デバイス、例えば、ショットキーバリアダイオードや、フォトセンサなどにも、同様に適用が可能である。

- [0076] また、上述の実施の形態においては、キャップ層6bをAlNにて形成しているが、キャップ層6bは、第2のIII族窒化物のバンドギャップよりも大きく、絶縁性を有するIII族窒化物にて形成される態様であってもよい。ここで、III族窒化物が絶縁性を有するとは、比抵抗が $10^8 \Omega \text{cm}$ 以上であることを意味する。係る範囲の比抵抗を有していれば、上述するMIS接合が好適に形成される。また、係る比抵抗をみだす限りにおいて、キャップ層6bにおいて導電性不純物の存在は許容される。

## 実施例

- [0077] (実施例1、比較例1、および比較例)

まず、実施例1として、中間層6aおよびキャップ層6bを備える、上述の実施の形態に係るエピタキシャル基板10を作成し、その二次元電子ガス濃度と、二次元電子ガスの移動度と、シート抵抗とを評価した。そして、係るエピタキシャル基板10を用いて、ゲート電極9の構成が異なる、4種類のHEMT素子20を作製し、それぞれのHEMT素子20について、 $-100\text{V}$ 印加時の逆方向漏れ電流を評価した。

- [0078] 一方、比較例1として、中間層6aおよびキャップ層6bをともに備えていないエピタキシャル基板を用意し、その二次元電子ガス濃度と、二次元電子ガスの移動度と、シート抵抗とを評価した。また、係るエピタキシャル基板に対して、実施例1と同様にゲート電極9を形成することによって4種類のHEMT素子を作製し、それぞれのHEMT素子について、 $-100\text{V}$ 印加時の逆方向漏れ電流を評価した。

- [0079] さらに、比較例2として、中間層6aを備えずキャップ層6bのみを備えるエピタキシャル基板を用意し、その二次元電子ガス濃度と、二次元電子ガスの移動度と、シート抵抗とを評価した。また、係るエピタキシャル基板に対して、実施例1と同様にゲート電極9を形成することによって4種類のH

EMT素子を作製し、それぞれのHEMT素子について、 $-100\text{V}$ 印加時の逆方向漏れ電流を評価した。

[0080] すなわち、3種類のエピタキシャル基板に対してそれぞれ、構成が異なる4種類のゲート電極9を形成することにより、計12種類のHEMT素子を得た。

[0081] はじめに、エピタキシャル基板10を作製した。その際、スペーサ層4の形成までは、全てのエピタキシャル基板10について同一の条件で行った。

[0082] 具体的には、まず、下地基板1として(0001)面方位の2インチ径の6H-SiC基板を複数枚用意した。厚みは $300\mu\text{m}$ であった。それぞれの基板について、MOCVD炉リアクタ内に設置し、真空ガス置換した後、リアクタ内圧力を $30\text{kPa}$ とし、水素/窒素混合フロー状態の雰囲気を形成した。次いで、サセプタ加熱によって下地基板1を昇温した。

[0083] サセプタ温度が $1050^\circ\text{C}$ に達すると、TMAバブリングガスとアンモニアガスをリアクタ内に導入し、バッファ層として厚さ $200\text{nm}$ のAlN層を形成した。

[0084] 続いて、サセプタ温度を所定の温度とし、有機金属原料ガスとしてのTMGバブリングガスとアンモニアガスを所定の流量比でリアクタ内に導入し、チャンネル層3としてのGaN層を $2\mu\text{m}$ の厚みに形成した。

[0085] チャンネル層3が得られると、リアクタ圧力を $10\text{kPa}$ とし、次いでTMAバブリングガスとアンモニアガスをリアクタ内に導入し、スペーサ層4として厚さ $1\text{nm}$ のAlN層を形成した。

[0086] スペーサ層4を形成した後、続いて、障壁層5を $15\text{nm}$ の厚みに形成した。障壁層5の組成は、 $\text{In}_{0.18}\text{Al}_{0.82}\text{N}$ とした。また、サセプタ温度は $745^\circ\text{C}$ とした。

[0087] 障壁層5の形成後、実施例1については、サセプタ温度を障壁層形成温度である $745^\circ\text{C}$ に保ったまま、中間層6aとしてのGaN層を $3\text{nm}$ の厚みに形成し、続いて、キャップ層6bとしてのAlN層を $3\text{nm}$ の厚みに形成した。比較例2については、キャップ層6bを $3\text{nm}$ の厚みに形成した。比

較例 1 については、何も形成しなかった。

[0088] それぞれのエピタキシャル基板に対して最後の層を形成した後、サセプタ温度を室温付近まで降温し、リアクタ内を大気圧に復帰させた後、作製されたエピタキシャル基板 10 を取り出した。以上の手順により、それぞれのエピタキシャル基板 10 が得られた。

[0089] 次に、それぞれのエピタキシャル基板の一部をダイシングにより切り出し、得られた評価用試料を対象に、ホール効果測定を行った。これにより、それぞれのエピタキシャル基板についての、二次元電子ガス濃度と、二次元電子ガス移動度と、シート抵抗とを求めた。

[0090] 続いて、それぞれのエピタキシャル基板の上面の、ソース電極 7 およびドレイン電極 8 の形成対象箇所に、フォトリソグラフィープロセスと真空蒸着法とを用いて、Ti/AI/Ni/Au（それぞれの膜厚は 25/75/15/100 nm）からなる電極パターンを形成した。その後、窒素中で 800°C、30 秒間の熱処理を行った。

[0091] 続いて、それぞれのエピタキシャル基板の上面の、ゲート電極 9 の形成対象箇所に、フォトリソグラフィープロセスと真空蒸着法とを用いて、ゲート電極 9 のパターンを形成した。ゲート電極 9 としては、Ni/Au（膜厚 6 nm/12 nm）、Pd/Au（6 nm/12 nm）、および Pt/Au（6 nm/12 nm）の 3 種類の多層金属電極と、Au のみの単層金属電極（12 nm）との計 4 種類を形成した。なお、ゲート電極 9 は、ゲート長を 1 μm、ゲート幅を 100 μm とし、ソース電極 7 との間隔が 2 μm、ドレイン電極との間隔が 10 μm となるように形成した。

[0092] 最後に、ダイシングによりチップ化することで、HEMT 素子を得た。

[0093] 得られた HEMT 素子について、ダイボンディングおよびワイヤボンディングを行ったうえで、-100 V 印加時の逆方向漏れ電流を測定した。

[0094] それぞれの HEMT 素子について、エピタキシャル基板の中間層 6 a およびキャップ層 6 b の構成と、二次元電子ガス濃度と、二次元電子ガスの移動度と、シート抵抗と、HEMT 素子ごとのゲート電極の構成と -100 V 印

加時の逆方向漏れ電流の測定結果とを、表1に一覧にして示す。

[0095] [表1]

	II <sup>VI</sup> 窒化ガリウム基板の構成	二次元電子ガス濃度 (/cm <sup>2</sup> )	二次元電子ガスの移動度 (cm <sup>2</sup> /Vs)	シート抵抗 (Ω/□)	ゲート金属構成	漏れ電流 (A) (-100V印加時)
実施例1	中間層 : GaN (厚み 3nm) キャップ層 : AlN (厚み : 3nm)	2.35E+13	980	271	Ni/Au	1.46E-08
					Pd/Au	1.04E-08
					Pt/Au	4.62E-09
					Au	1.12E-08
比較例1	中間層 : なし キャップ層 : なし	2.30E+13	990	274	Ni/Au	2.88E-05
					Pd/Au	1.92E-05
					Pt/Au	9.26E-06
					Au	2.34E-05
比較例2	中間層 : なし キャップ層 : AlN (厚み : 3nm)	2.50E+13	650	384	Ni/Au	2.62E-08
					Pd/Au	2.21E-08
					Pt/Au	1.12E-08
					Au	2.40E-08

[0096] 表1に示す結果からは、実施例1に係る全てのHEMT素子において、つまりは、ゲート電極9の構成によらず、その逆方向漏れ電流が、中間層6aおよびキャップ層6b以外を同一の条件として作製した比較例1に係るHE

MT素子における逆方向漏れ電流の $1/100$ から $1/1000$ 程度にまで抑制されていることがわかる。また、二次元電子ガス濃度と、二次元電子ガス移動度と、シート抵抗については、実施例1と比較例1との間でほとんど差異がないこともわかる。

[0097] これに対して、中間層6aを設けずキャップ層6bのみを設けた比較例2のHEMT素子の場合、逆方向漏れ電流については実施例1と同程度にまで抑制されているものの、二次元電子ガス移動度は実施例1および比較例1よりもより低く、シート抵抗が実施例1および比較例1よりも高くなっていることがわかる。

[0098] 以上の結果は、キャップ層6bを障壁層5の上に直接に設けることには、漏れ電流低減という効果がある一方で、二次元電子ガスの移動度やシート抵抗の低下を引き起こすという短所があること、および、中間層6aを両層の間に介在させることで、漏れ電流低減というキャップ層6bの効果を維持しつつ、二次元電子ガスの移動度の低下によるシート抵抗の悪化を抑止することができるということを、指し示している。

[0099] 換言すれば、障壁層5の上に中間層6aを設けたうえでキャップ層6bを設けることが、二次元電子ガス濃度およびシート抵抗を好適に保ちつつ、逆方向漏れ電流を低減させるうえで効果があることを示している。

[0100] (実施例2)

本実施例では、中間層6aを設けない場合を含め、中間層6aの厚みを種々に違えたHEMT素子を作製した。具体的には、中間層6aの厚みを0nm、0.1nm、0.5nm、1.5nm、3nm、6nm、8nm、10nmの8水準とする一方、ゲート電極9の形成材料をNi/Au(膜厚6nm/12nm)のみとしたほかは、実施例1と同様の手順でHEMT素子を作製した。

[0101] なお、係るHEMT素子作製の途中、エピタキシャル基板が得られた時点で実施例1と同様に、ホール効果測定を行った。これにより、それぞれのエピタキシャル基板についての、二次元電子ガス濃度と、二次元電子ガス移動

度と、シート抵抗とを求めた。

[0102] また、得られたHEMT素子について、実施例1と同様に逆方向漏れ電流を測定した。

[0103] それぞれのHEMT素子について、エピタキシャル基板の膜厚と、二次元電子ガス濃度と、二次元電子ガスの移動度と、シート抵抗と、HEMT素子の $-100\text{V}$ 印加時の逆方向漏れ電流の測定結果とを、表2に一覧にして示す。

[0104]

[表2]

中間層膜厚 (nm)	二次元電子 ガス濃度 ( $\text{cm}^{-2}$ )	二次元電子ガスの 移動度 ( $\text{cm}^2/\text{Vs}$ )	シート抵抗 ( $\Omega/\square$ )	漏れ電流 (A) (-100V印加時)
0	2.50E+13	650	384	2.62E-08
0.1	2.48E+13	655	384	2.18E-08
0.5	2.43E+13	975	263	1.86E-08
1.5	2.38E+13	982	267	1.42E-08
3	2.35E+13	980	271	1.46E-08
6	2.15E+13	988	294	1.36E-08
8	1.02E+13	988	619	1.56E-08
10	8.50E+12	985	745	1.49E-08

実施例2

[0105] 表2に示すように、中間層6aの厚みが0.5nm以上の場合、中間層6aを設けない場合に比して、二次元電子ガスの移動度が高い値となっている。また、中間層6aの厚みが6nm以下の場合であれば、二次元電子ガス濃度の値が中間層6aを設けない場合と同程度となっている。さらには、中間

層6aの厚みが0.5nm以上6nm以下の場合であれば、シート抵抗の値が、中間層6aを設けない場合に比して低い300Ω/□以下の値に保たれている。

[0106] 一方で、表2に示すように、いずれのHEMT素子についても、漏れ電流の値は、表1に示した比較例1の場合（ゲート電極が同じNi/Auの場合）の1/1000以下にまで低減されている。

[0107] 以上のことから、キャップ層6bと障壁層5との間に中間層6aを0.5nm以上の厚みに形成することで、漏れ電流が低減されているとともに、二次元電子ガスの移動度が高いHEMT素子の実現されることがわかる。さらに、中間層6aの厚みを6nm以下とすることで、二次元電子ガス濃度が高く、かつシート抵抗が小さいHEMT素子の実現されることがわかる。

## 請求の範囲

- [請求項1] 下地基板の上にIII族窒化物層群を(0001)結晶面が基板面に対し略平行となるよう積層形成したエピタキシャル基板と、  
ショットキー性電極と、  
を備える半導体素子であって、  
前記エピタキシャル基板が、  
 $In_{x_1}Al_{y_1}Ga_{z_1}N$  ( $x_1 + y_1 + z_1 = 1$ 、 $z_1 > 0$ )なる組成の第1のIII族窒化物からなるチャンネル層と、  
 $In_{x_2}Al_{y_2}N$  ( $x_2 + y_2 = 1$ 、 $x_2 > 0$ 、 $y_2 > 0$ )なる組成の第2のIII族窒化物からなる障壁層と、  
GaNからなり前記障壁層に隣接する中間層と、  
AlNからなり前記中間層に隣接するキャップ層と、  
を備え、  
前記ショットキー性電極が前記キャップ層に接合されてなる、  
ことを特徴とする半導体素子。
- [請求項2] 請求項1に記載の半導体素子であって、  
前記中間層の膜厚が0.5nm以上である、  
ことを特徴とする半導体素子。
- [請求項3] 請求項2に記載の半導体素子であって、  
前記中間層の膜厚が6nm以下である、  
ことを特徴とする半導体素子。
- [請求項4] 請求項1ないし請求項3のいずれかに記載の半導体素子であって、  
前記キャップ層の膜厚が0.5nm以上6nm以下である、  
ことを特徴とする半導体素子。
- [請求項5] 請求項1ないし請求項4のいずれかに記載の半導体素子であって、  
前記第2のIII族窒化物のバンドギャップが前記第1のIII族窒化物のバンドギャップよりも大きい、  
ことを特徴とする半導体素子。

- [請求項6] 請求項1ないし請求項5のいずれかに記載の半導体素子であって、前記ショットキー性電極がNi、Pt、Pd、Auの少なくとも1つを含んでなる、ことを特徴とする半導体素子。
- [請求項7] 請求項1ないし請求項6のいずれかに記載の半導体素子であって、前記キャップ層の自乗平均表面粗さが0.5nm以下である、ことを特徴とする半導体素子。
- [請求項8] 請求項1ないし請求項7のいずれかに記載の半導体素子であって、前記第2のIII族窒化物が、 $In_{x2}Al_{y2}N$  ( $x2 + y2 = 1$ 、 $0.14 \leq x2 \leq 0.24$ )である、ことを特徴とする半導体素子。
- [請求項9] 請求項1ないし請求項8のいずれかに記載の半導体素子であって、前記第1のIII族窒化物が $Al_{y1}Ga_{z1}N$  ( $y1 + z1 = 1$ 、 $z1 > 0$ )である、ことを特徴とする半導体素子。
- [請求項10] 請求項9に記載の半導体素子であって、前記第1のIII族窒化物がGaNである、ことを特徴とする半導体素子。
- [請求項11] 請求項9または請求項10に記載の半導体素子であって、前記チャネル層と前記障壁層との間に、 $In_{x3}Al_{y3}Ga_{z3}N$  ( $x3 + y3 + z3 = 1$ 、 $y3 > 0$ )なる組成を有し、前記第2のIII族窒化物よりもバンドギャップが大きい第3のIII族窒化物からなるスペーサ層をさらに備える、ことを特徴とする半導体素子。
- [請求項12] 請求項11に記載の半導体素子であって、前記第3のIII族窒化物がAlNである、ことを特徴とする半導体素子。
- [請求項13] 請求項1ないし請求項12のいずれかに記載の半導体素子であって

、  
オーミック性電極が前記ショットキー性電極と同一の前記キャップ層に接合されてなる、  
ことを特徴とする半導体素子。

[請求項14] 請求項13に記載の半導体素子であるHEMT素子であって、  
前記ショットキー性電極がゲート電極であり、前記オーミック性電極がソース電極およびドレイン電極である、  
ことを特徴とするHEMT素子。

[請求項15] 下地基板の上にIII族窒化物層群を(0001)結晶面が基板面に対し略平行となるよう積層形成したエピタキシャル基板と、  
ショットキー性電極と、  
を備える半導体素子の製造方法であって、  
下地基板の上に、 $In_{x_1}Al_{y_1}Ga_{z_1}N$  ( $x_1 + y_1 + z_1 = 1$ 、 $z_1 > 0$ )なる組成の第1のIII族窒化物にてチャネル層を形成するチャネル層形成工程と、  
前記チャネル層の上に、 $In_{x_2}Al_{y_2}N$  ( $x_2 + y_2 = 1$ 、 $x_2 > 0$ 、 $y_2 > 0$ )なる組成の第2のIII族窒化物にて障壁層を形成する障壁層形成工程と、  
 $GaN$ にて中間層を前記障壁層に隣接形成する中間層形成工程と、  
 $AlN$ にてキャップ層を前記中間層に隣接形成するキャップ層形成工程と、  
前記キャップ層にショットキー性電極を接合形成するショットキー性電極形成工程と、  
を備えることを特徴とする半導体素子の製造方法。

[請求項16] 請求項15に記載の半導体素子の製造方法であって、  
前記中間層を0.5nm以上の厚みに形成する、  
ことを特徴とする半導体素子の製造方法。

[請求項17] 請求項16に記載の半導体素子の製造方法であって、

前記中間層を6 nm以下の厚みに形成する、  
ことを特徴とする半導体素子の製造方法。

[請求項18] 請求項15ないし請求項17のいずれかに記載の半導体素子の製造方法であって、

前記キャップ層を0.5 nm以上6 nm以下の厚みに形成する、  
ことを特徴とする半導体素子の製造方法。

[請求項19] 請求項15ないし請求項18のいずれかに記載の半導体素子の製造方法であって、

前記第2のIII族窒化物のバンドギャップが前記第1のIII族窒化物のバンドギャップよりも大きい、  
ことを特徴とする半導体素子の製造方法。

[請求項20] 請求項15ないし請求項19のいずれかに記載の半導体素子の製造方法であって、

前記ショットキー性電極形成工程においては、前記ショットキー性電極をNi、Pt、Pd、Auの少なくとも1つを含むように形成する、  
ことを特徴とする半導体素子の製造方法。

[請求項21] 請求項15ないし請求項20のいずれかに記載の半導体素子の製造方法であって、

前記第2のIII族窒化物が、 $In_{x2}Al_{y2}N$  ( $x2 + y2 = 1$ 、 $0.14 \leq x2 \leq 0.24$ )である、  
ことを特徴とする半導体素子の製造方法。

[請求項22] 請求項15ないし請求項21のいずれかに記載の半導体素子の製造方法であって、

前記第1のIII族窒化物が $Al_{y1}Ga_{z1}N$  ( $y1 + z1 = 1$ 、 $z1 > 0$ )である、  
ことを特徴とする半導体素子の製造方法。

[請求項23] 請求項22に記載の半導体素子の製造方法であって、

前記第1のIII族窒化物がGaNである、  
ことを特徴とする半導体素子の製造方法。

[請求項24] 請求項22または請求項23に記載の半導体素子の製造方法であって、

前記チャンネル層と前記障壁層との間に、 $In_{x3}Al_{y3}Ga_{z3}N$  ( $x3 + y3 + z3 = 1$ 、 $y3 > 0$ )なる組成を有し、前記第2のIII族窒化物よりもバンドギャップが大きい第3のIII族窒化物にてスペーサ層を形成するスペーサ層形成工程、  
をさらに備えることを特徴とする半導体素子の製造方法。

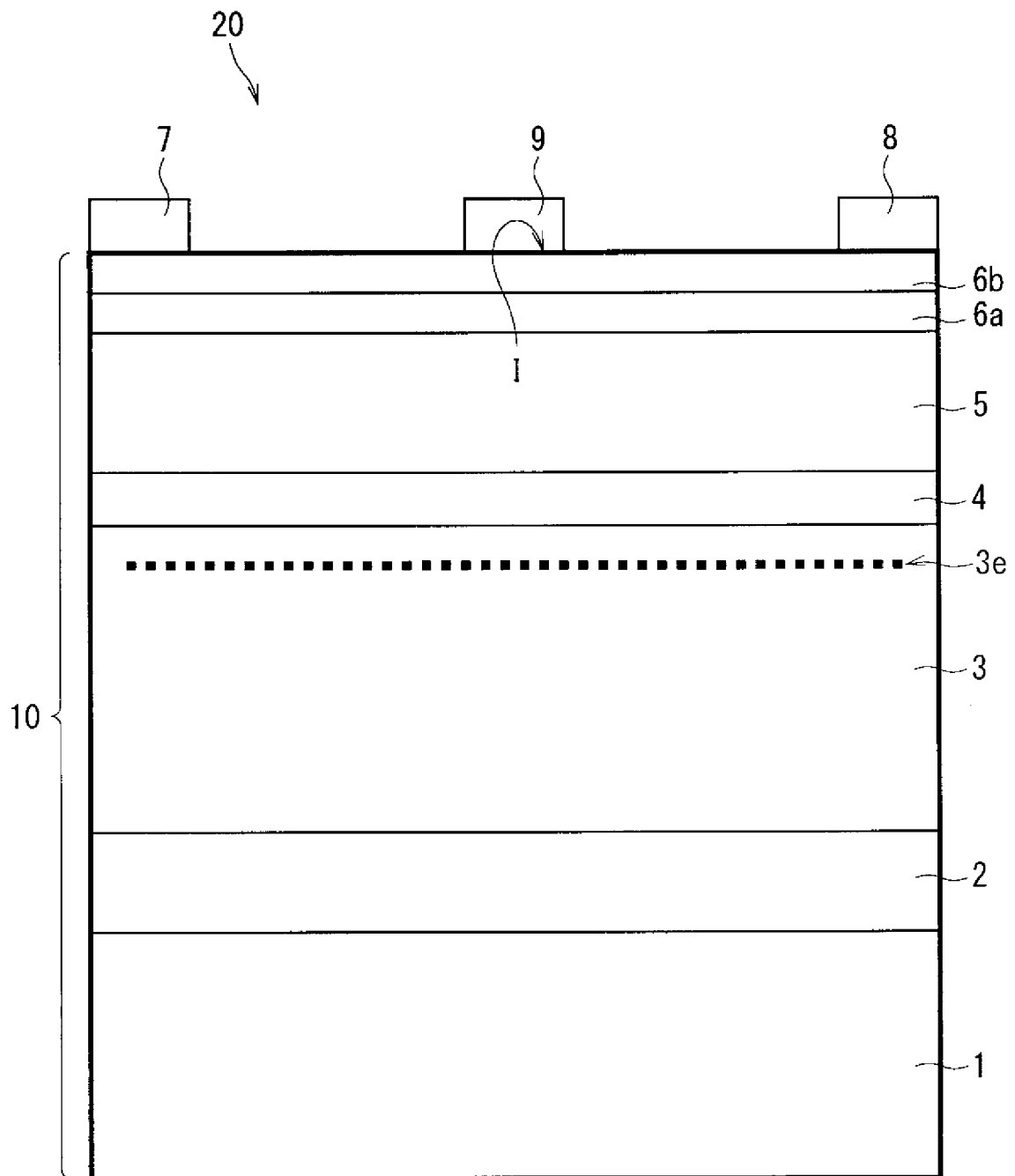
[請求項25] 請求項24に記載の半導体素子の製造方法であって、

前記第3のIII族窒化物がAlNである、  
ことを特徴とする半導体素子の製造方法。

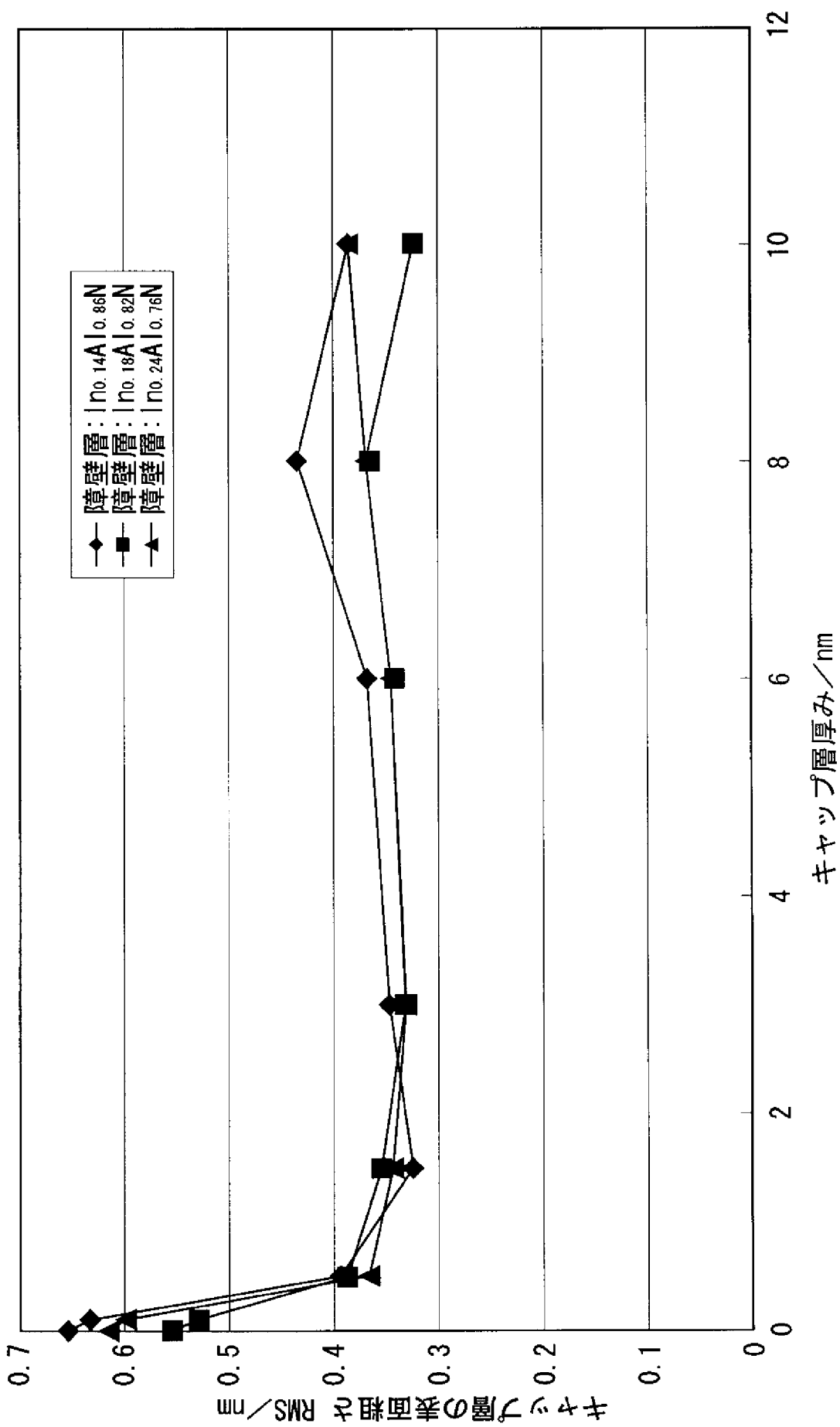
[請求項26] 請求項15ないし請求項25のいずれかに記載の半導体素子の製造方法であって、

前記ショットキー性電極が形成される前記キャップ層にオーミック性電極を接合形成するオーミック性電極形成工程、  
をさらに備えることを特徴とする半導体素子の製造方法。

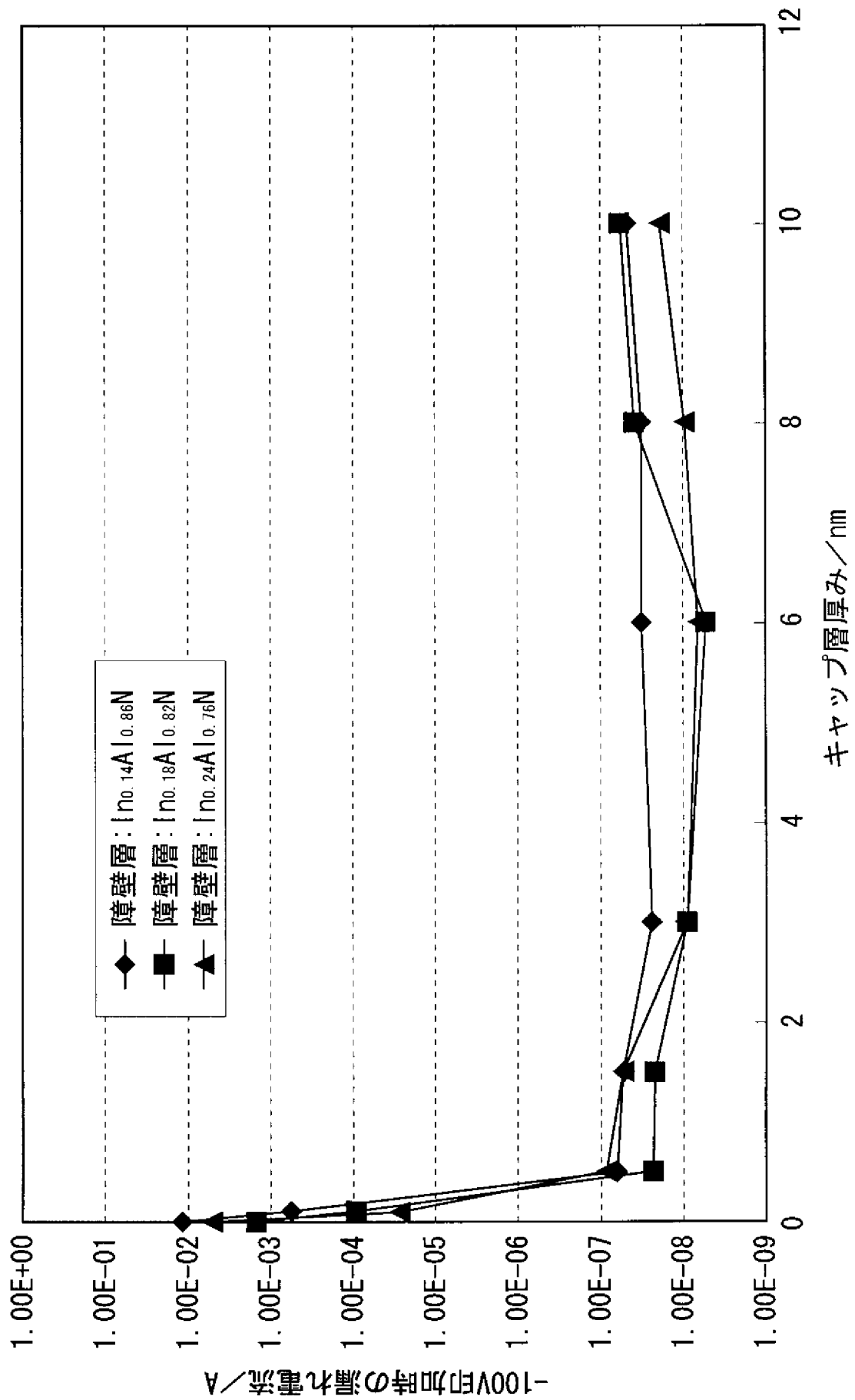
[図1]



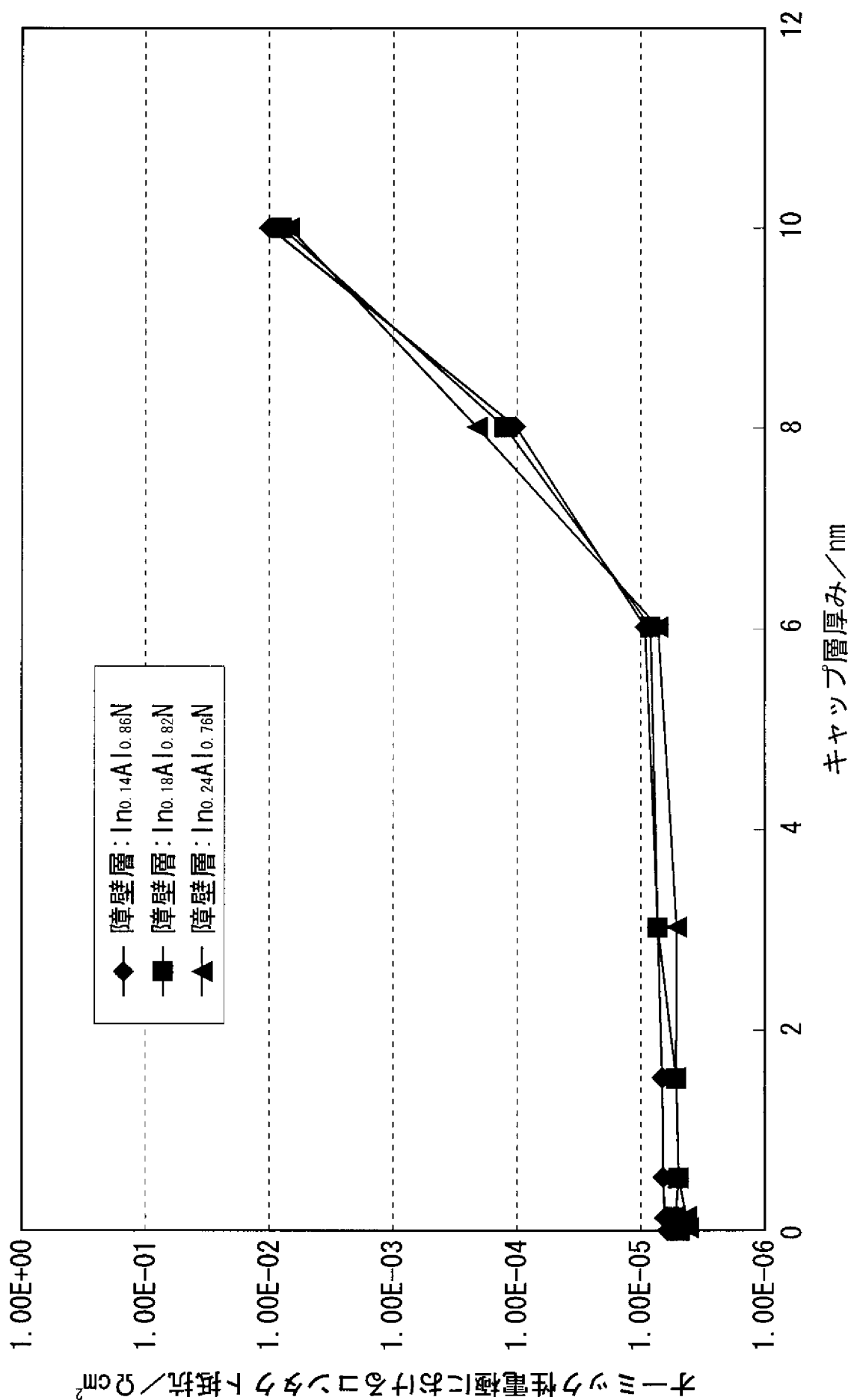
[図2]



[図3]



[図4]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/070521

A. CLASSIFICATION OF SUBJECT MATTER H01L21/338(2006.01) i, H01L29/778(2006.01) i, H01L29/812(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L21/338, H01L29/778, H01L29/812		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012 Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-119638 A (Fujitsu Ltd.), 21 June 2012 (21.06.2012), entire text; all drawings & CN 102569377 A	1-26
Y	WO 2012/014675 A1 (NGK Insulators, Ltd.), 02 February 2012 (02.02.2012), entire text; all drawings & CN 102576679 A	1-26
A	JP 2000-294768 A (Sony Corp.), 20 October 2000 (20.10.2000), entire text; all drawings (Family: none)	1-26
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 05 November, 2012 (05.11.12)		Date of mailing of the international search report 13 November, 2012 (13.11.12)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2012/070521

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-103778 A (Mitsubishi Electric Corp.), 19 April 2007 (19.04.2007), entire text; all drawings (Family: none)	1-26

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L21/338, H01L29/778, H01L29/812		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-119638 A (富士通株式会社) 2012.06.21, 全文、全図 & CN 102569377 A	1-26
Y	WO 2012/014675 A1 (日本碍子株式会社) 2012.02.02, 全文、全図 & CN 102576679 A	1-26
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 05.11.2012	国際調査報告の発送日 13.11.2012	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 李 哲次 電話番号 03-3581-1101 内線 3516	5 F 3952

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-294768 A (ソニー株式会社) 2000. 10. 20, 全文、全図 (ファミリーなし)	1-26
A	JP 2007-103778 A (三菱電機株式会社) 2007. 04. 19, 全文、全図 (ファミリーなし)	1-26