

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 81 14288

(54) Dispositif arithmétique à registres.

(51) Classification internationale (Int. Cl.³). G 06 F 7/38.

(22) Date de dépôt..... 22 juillet 1981.

(33) (32) (31) Priorité revendiquée : *Bulgarie, 22 juillet 1980, n° 48 568.*

(41) Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 4 du 29-1-1982.

(71) Déposant : VMEI « LENIN », résidant en Bulgarie.

(72) Invention de : Nikola Kassabov Kassabov et Ljudmil Georgiev Dakovski.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Malémont,
42, av. du Président-Wilson, 75116 Paris.

La présente invention concerne un dispositif arithmétique à registres permettant l'expansion de la longueur de mots qui peut être utilisé pour le traitement de données ainsi que pour le stockage temporaire de données et qui peut s'appliquer à la réalisation de grands mini et macro-ordinateurs et de dispositifs numériques indépendants utilisables à des fins de la constructeur d'ordinateurs et de l'automatisation.

On connaît un dispositif microprocesseur à expansion de la longueur de mots, décrit par N. Alexandridis dans l'article "Bit-slice Microprocessor Architecture" paru dans "Computer", 1978, June, New York, comprend des registres, un dispositif de logique arithmétique, des bus d'entrée et de sortie d'informations et de contrôle et des bus de transfert entrée/sortie, tous les éléments du microprocesseur étant reliés entre eux de manière fixe.

Un inconvénient que présente ce microprocesseur est qu'il ne peut effectuer qu'une seule opération à la fois. En outre, le transfert d'informations entre les registres s'effectue séquentiellement, c'est-à-dire un seul transfert à la fois. La possibilité d'utiliser une combinaison de tels microprocesseurs pour réaliser de grands systèmes dans lesquels des données sont échangées et traitées simultanément se voit de ce fait limitée.

En conséquence, un but général de la présente invention est de réaliser un dispositif arithmétique à registres doté d'une possibilité d'expansion de la longueur de mots et pouvant effectuer plusieurs opérations uniformes parallèles sur des opérandes, dispositif dans lequel les registres peuvent échanger en parallèle des informations selon un échange parallèle arbitrairement préréglé et qui offre de meilleures possibilités de réalisation de grands systèmes numériques par l'interconnexion de plusieurs de ces dispositifs.

La présente invention a donc pour objet un dispositif arithmétique à registres comprenant des registres, un bus d'opérations permettant l'introduction préalable du code d'opérations dans le dispositif, deux bus d'entrée/sortie d'informations, des bus d'entrée/sortie d'expansion de la longueur de mots caractérisé en ce que les registres sont un nombre N de registres uniformes arithmétiques à n bits, et en ce qu'il comprend deux registres tampon servant d'entrée et de sortie d'informations du dispositif, le premier registre tampon étant connecté au premier bus d'entrée/sortie d'informations ainsi qu'au premier registre arithmétique par des bus de contrôle en vue de contrôler le premier registre tampon, tandis que le second registre tampon est connecté au second bus d'entrée/sortie d'informations ainsi qu'au dernier re-

gistre arithmétique par des bus de contrôle en vue de contrôler le second registre tampon, alors que les registres arithmétiques sont reliés entre eux par un système contrôlant les échanges entre registres, auxquels sont connectées les entrées de contrôle du dispositif pour contrôler les échanges, les bus d'entrée d'opérations du dispositif étant reliés simultanément à tous les registres arithmétiques, dont les bascules d'ordre le plus bas et d'ordre le plus haut sont reliées à un bus d'entrée/sortie respectif du dispositif en vue de l'expansion de la longueur de mots de tous les $2N$ tels bus du dispositif. Les informations délivrées en sortie par chaque registre arithmétique, depuis le second jusqu'au dernier, sont appliquées sur l'entrée d'informations du registre précédent, auquel est reliée la sortie du premier registre arithmétique par l'intermédiaire d'un circuit de combinaison, résolution possédant un nombre d'entrées égal à $\lceil \log_2 (N + 1) \rceil$ qui servent également d'entrées de contrôle des échanges entre registres du dispositif. Les registres arithmétiques sont en outre dotés de connexions de rétroaction en ce qui concerne la transmission d'informations entre les registres, et le nombre de bus de contrôle des échanges est égal à $\lceil \log_2 (2N + 1) \rceil$ tandis que le registre arithmétique comprend un bloc de bascules à n bits, dont les sorties représentent le bus de sortie, d'informations du registre arithmétique, connecté d'une part à un circuit logique de combinaison ayant n bus d'informations d'entrée, qui constituent les bus d'informations d'entrée du dispositif, et d'autre part, à trois bus d'opérations permettant l'introduction préalable du code d'opérations.

L'intérêt de l'invention réside dans la possibilité qu'elle offre d'effectuer simultanément N opérations égales sur N opérandes dans les registres arithmétiques, y compris des opérations à une ou deux positions. Grâce au contrôle des échanges entre registres, il est possible d'effectuer, un échange parallèle arbitraire entre deux pour chaque étape d'introduction d'échange de code de contrôle étant en train de se réaliser, une connexion simultanée entre tous les registres. Les registres tampon offrent de grandes possibilités en ce qui concerne l'introduction et l'extraction simultanées de données selon des organisations différentes, tels que LIFO (dernier entré, premier sorti), FIFO (premier entré, premier sorti). Le dispositif peut en outre traiter des données relatives aux convoyeurs.

Une forme d'exécution de la présente invention est décrite ci-après à titre d'exemple, en référence aux dessins annexés dans lesquels :

- la figure 1 est un schéma synoptique du dispositif ;
- la figure 2 est un schéma synoptique de bloc de contrôle des échanges entre registres du dispositif ;
- la figure 3 est une variante de réalisation du bloc de contrôle des échanges entre registres ;
- la figure 4 est un schéma synoptique d'un registre arithmétique du dispositif ;
- la figure 5 est un schéma des registres tampon d'entrée/sortie du dispositif ; et
- la figure 6 est un schéma d'une unité de traitement d'informations réalisé à partir de dispositifs conformes à l'invention.

Le dispositif arithmétique à registres conforme à l'invention comprend un nombre N de registres arithmétiques à n bits, aptes à effectuer un nombre déterminé d'opérations logiques et arithmétiques, deux registres tampon Z dont le premier est relié au premier bus d'entrée/sortie à n chiffres 3 ainsi qu'au premier registre arithmétique par l'intermédiaire du bus d'informations 4 dont les connexions sont résolues par leur connexion aux bus de contrôle A en vue du contrôle du premier registre tampon d'entrée/sortie, tandis que le second registre tampon 2 est relié au second bus d'entrée/sortie 5, ainsi qu'au dernier registre arithmétique par le bus d'informations sous le contrôle des bus de contrôle B. Les entrées et sorties de données 7 de tous les registres arithmétiques sont reliées entre elles par un bloc de contrôle 8 contrôlant les échanges de contenus entre registres, bloc auquel sont reliées les entrées de contrôle T du dispositif de contrôle des échanges, ces entrées rebouchant les diverses connexions simultanées entre tous les registres. Les entrées des bascules d'ordre le plus bas des registres arithmétiques sont reliées chacune à un bus d'entrée à un chiffre du dispositif, à savoir les bus $CR_1, CR_2 \dots CR_N$, tandis que les bascules d'ordre le plus élevé des registres arithmétiques sont reliées respectivement à un bus de sortie du dispositif, à savoir $CL_1, CL_2 \dots CL_N$. Les bus d'entrée d'opérations R permettant l'introduction préalable dans le dispositif du code des opérations sont reliés simultanément à tous les registres arithmétiques 1.

Le bloc 8 de contrôle des échanges de contenus entre registres est représenté sur les figures 2 et 3. Le schéma de la figure 2 comprend les re-

gistres arithmétiques 1 du dispositif, le circuit de combinaison 9 et le bus d'entrée T à $\lceil \log 2 (N + 1) \rceil$ chiffres assurant le contrôle des échanges, un seul code de contrôle suffisant pour résoudre la connexion simultanée de tous les registres. Les entrées et sorties d'informations des registres 1 sont re-

5 liées entre elles comme suit :

$\alpha_1) \hat{1}, \hat{2}, \dots, \hat{N} ; \alpha_2) \hat{1} \leftarrow \hat{2}, \hat{3}, \dots, \hat{N} ; \alpha_3) \hat{1} \leftarrow \hat{2} \leftarrow \hat{3}, \hat{4}, \dots, \hat{N},$

$\alpha_N) \hat{1} \leftarrow \hat{2} \leftarrow \hat{3} \leftarrow \dots \leftarrow \hat{N} ; \alpha_{N+1}) \hat{1} \leftarrow \hat{2} \leftarrow \hat{3} \leftarrow \dots \leftarrow \hat{N},$ où 1, 2..., N,

sont les numéros des registres 1, les flèches indiquant la connexion de la sortie du premier registre à l'entrée du registre dont le numéro est indiqué par la flèche. Les sorties t_1 à t_7 , qui sont les sorties des éléments logiques du circuit de combinaison 9, assurent les fonctions logiques suivantes :

$t_1 = \alpha_2 V \alpha_3 V \alpha_{N+1} ; t_2 = \alpha_2 ; t_3 = \alpha_3 V \dots V \alpha_{N+1} ;$

$t_4 = \alpha_3 ; t_5 = \alpha_{N-1} ; t_6 = \alpha_N + \alpha_{N+1} ; t_7 = \alpha_N,$

et sont reliées aux bus d'informations des registres en vue de la connexion de chaque registre, à l'exception du premier, au registre voisin et au premier.

15 Dans le mode de réalisation représenté sur la figure 3, les registres arithmétiques 1 sont reliés, non seulement comme le montre la figure 2, mais en outre selon les connexions :

$\alpha_{N+2}) \hat{1} \rightarrow \hat{2}, \hat{3}, \dots, \hat{N} ; \alpha_{N+3}) \hat{1} \leftarrow \hat{2} \leftarrow \hat{3}, \dots, \hat{4}, \dots, \hat{N} ;$

20 $\alpha_{2N}) \hat{1} \rightarrow \hat{2} \rightarrow \hat{3} \rightarrow \dots \rightarrow \hat{N} ; \alpha_{2N+1}) \hat{1} \leftarrow \hat{2} \leftarrow \hat{3} \leftarrow \dots \leftarrow \hat{N},$

dont chacune est résolue par raccordement à un bus de contrôle de sortie du circuit de combinaison 9.

Le registre arithmétique 1 du dispositif représenté sur la figure 4 comprend un bloc RG d'éléments de mémoire - des bascules R_1 à R_N , un circuit de décodage logique 10, qui est relié aux trois entrées d'opérations R du dispositif et le bus d'informations à n bits X du registre, tandis que les sorties 01 à 08 de ce circuit 10 constituent les entrées de contrôle du bloc de bascules RG pour effectuer respectivement les opérations suivantes : enregistrement/lecture ; déplacement vers la gauche d'un chiffre ; addition avec 1 ; inversion ; somme par module 2 ; disjonction ; conjonction ; addition. La sortie de la première bascule R_1 et l'entrée de la dernière bascule R_N sont reliées respectivement à la sortie CL et à l'entrée CR du dispositif.

Les registres tampon d'entrée/sortie du dispositif sont représentés sur la figure 5. Le premier bus d'entrée/sortie 3 et le bus 4, reliant le premier registre tampon 2 au premier registre arithmétique 1, sont connectés chacun à trois sorties du circuit de décodage 11, auquel sont reliés les bus

d'entrée a_1, a_2, a_3 contrôlant le premier registre tampon. Le second registre tampon 2 est relié de manière analogue au second bus d'entrée/sortie 5 et au dernier registre arithmétique 1, chacun desquels est relié à trois sorties du circuit de décodage 12, dont les entrées sont reliées à trois bus b_1, b_2, b_3 ,
 5 contrôlant le second registre tampon. Seules les opérations entrée/sortie concernant le premier registre tampon figurent sur le tableau II.

Le dispositif arithmétique à registres conforme à l'invention fonctionne comme suit :

Lors de l'introduction d'un code d'opération sur les bus d'opérations R du dispositif, tous les registres arithmétiques effectuent cette opération, la première opérande étant le contenu du registre, tandis que la seconde opérande est le contenu de son bus d'entrée d'opération. En ce qui concerne la réalisation du registre arithmétique représenté sur la figure 4, les huit opérations sont représentées sur la figure 1. Ainsi, par exemple,
 10 si le code de l'opération est 111 et le code d'échange introduit sur le bus de contrôle des échanges T est relatif à une connexion parallèle
 $1 \leftarrow 2 \leftarrow 3 \leftarrow 4 \leftarrow 5 \leftarrow 6 \leftarrow 7 \leftarrow 8$, lorsque $N = 8$, le dispositif effectuent les opérations suivantes :
 $\langle i \rangle + \langle i + 1 \rangle + CR_i \longrightarrow i$ (pour $i = 1, 2, \dots, 7$) $\langle 1 \rangle + \langle 8 \rangle + CR_8 \longrightarrow 8$.
 20 Le code d'échange indique lequel sera la seconde opérande de chaque registre. Lors de l'introduction d'un code d'opération d'échanges sur le bus de contrôle T, il s'effectue l'une des connexions (transformations) simultanées possibles entre tous les registres arithmétiques. Ainsi, par exemple, lors de l'introduction d'un code à $\lceil \log_2 (N + 1) \rceil$ bits sur le bus de contrôle T du mode de réalisation représenté sur la figure 2, il se produit une de toutes les $N + 1$
 25 transformations. Un échange arbitraire entre les registres peut être effectué dans le dispositif si un code d'opération nulle (lecture/enregistrement) est appliqué sur les bus de contrôle R et une séquence de codes fixe sur les bus T qui contrôlent l'échange, en faisant en sorte que la transformation désirée se trouve dans une séquence des transformations de base assurées par un code de contrôle. Par exemple, pour réaliser la transformation
 $1 \leftarrow 4 \leftarrow 2 \leftarrow 5 \leftarrow 7 \leftarrow 3 \leftarrow 6 \leftarrow 8$, il faut introduire une séquence de contrôle Y_9, Y_5, Y_7 , le code de contrôle Y_i réalisant une transformation de base α_i . Lors de l'introduction sur les bus d'un code de contrôle des registres tampon 2, le dispositif effectue une seule opération d'entrée/sortie,
 30 comme le montre le tableau II, relative au premier registre tampon. Le tableau

relatif au second registre tampon est similaire.

Le dispositif conforme à l'invention permet de réaliser un dispositif à k_n bits assurant les mêmes opérations en reliant ensemble des dispositifs par leurs entrées CR et sorties CL.

5 Une unité de traitement réalisée à partir de dispositifs conformes à l'invention, qui constituent un bloc de registres RB et un dispositif de contrôle U relié au bloc de registres RB est représenté sur la figure b.

10 Les avantages apportés pour le dispositif arithmétique à registres conforme à l'invention permet son utilisation pour effectuer diverses fonctions dans un système numérique telles que : dispositif à registres à fonctionnement supérieur permettant le stockage temporaire de données et le traitement de celles-ci selon des organisations différentes, telles que LIFO, FIFO, ALU pour des opérations parallèles (telles que la multiplication simultanée de chiffres binaires, par exemple) tout en gardant les opérandes
15 et les résultats intermédiaires jusqu'à ce que l'opération entière soit terminée, un dispositif de traitement de données relatives à des convoyeurs, etc.

REVENDICATIONS

1. Dispositif arithmétique à registres, comprenant des registres, un bus d'opérations permettant d'introduire préalablement dans le dispositif le code d'opérations, deux bus d'entrée/sortie d'informations et deux bus d'entrée/sortie d'expansion de la longueur de mots, caractérisé en ce que les registres sont constitués par un nombre N de registres arithmétiques uniformes à n bits (1) et en ce qu'il comprend en outre deux registres tampon (2) assurant l'introduction et l'extraction de données dans le dispositif et la connexion avec d'autres dispositifs, le premier registre tampon (2) étant relié au premier bus d'entrée/sortie d'informations (3) ainsi qu'au premier registre arithmétique (1) par des bus de contrôle (A) en vue du contrôle du premier registre tampon, tandis que le second registre tampon est relié au second bus d'entrée/sortie d'informations (5) ainsi qu'au dernier registre arithmétique (1) par des bus de contrôle (B) en vue du contrôle du second registre tampon, les registres arithmétiques (1) étant reliés entre eux par un circuit (8), assurant le contrôle des échanges entre registres, auquel sont reliées les entrées de contrôle (T) du dispositif relatives au contrôle des échanges, alors que les bus d'entrée d'opérations (R) du dispositif sont reliés simultanément à tous les registres arithmétiques (1), dont les bascules d'ordre le plus bas et d'ordre le plus haut sont reliées au bus respectif d'entrée (CR) et de sortie (CL) du dispositif en vue de l'expansion de la longueur de mots de tous les 2N tels bus du dispositif.

2. Dispositif selon la revendication 1, caractérisé en ce que les informations émises en sortie par chaque registre arithmétique (1), depuis le second jusqu'au dernier, sont appliquées sur l'entrée d'informations du registre précédent, auquel est appliquée en outre la sortie du premier registre arithmétique par l'intermédiaire d'un circuit de résolution et de combinaison (9) ayant un nombre d'entrées égal à $\lceil \log_2 (N + 1) \rceil$, lesquelles constituent en outre les entrées de contrôle (T) du dispositif assurant le contrôle des échanges entre registres.

3. Dispositif selon les revendications 1 et 2, caractérisé en ce que les registres arithmétiques (1) comprennent en outre des connexions de rétroaction en ce qui concerne le transfert d'informations entre les registres tandis que le nombre de bus de contrôle des échanges (T) est $\lceil \log_2 (2N + 1) \rceil$.

4. Dispositif selon l'une quelconque des revendications 1, 2 et 3 caractérisé en ce que le registre arithmétique (1), comprend un bloc de bascules à n bits dont les sorties constituent le bus d'informations de sortie

(13) du registre arithmétique et qui est relié à un circuit logique de combinaison (10) par n bus d'informations d'entrée, qui sont les bus d'informations d'entrée (X) du registre arithmétique (1) et trois bus d'opérations (R) permettant l'introduction préalable du code d'opération.

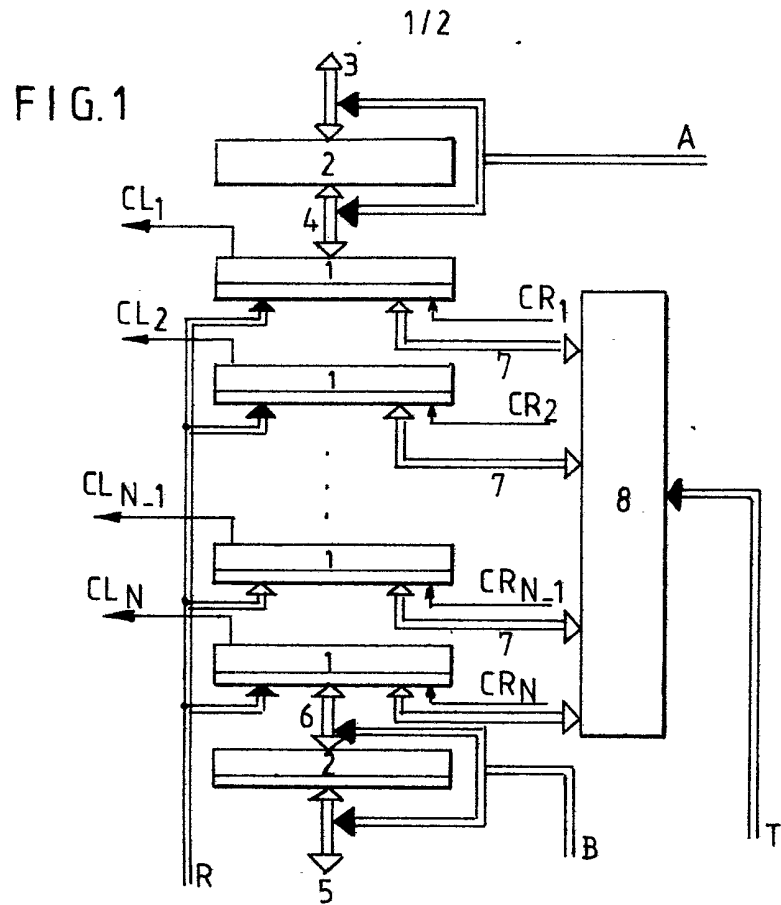


FIG. 3

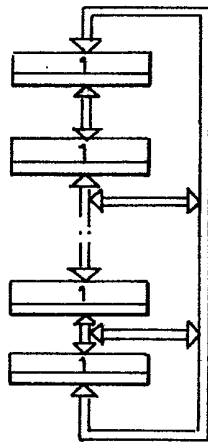


FIG. 2

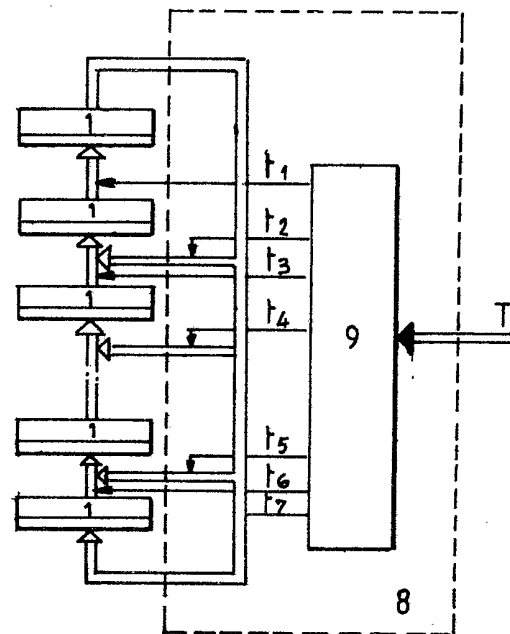


FIG. 4

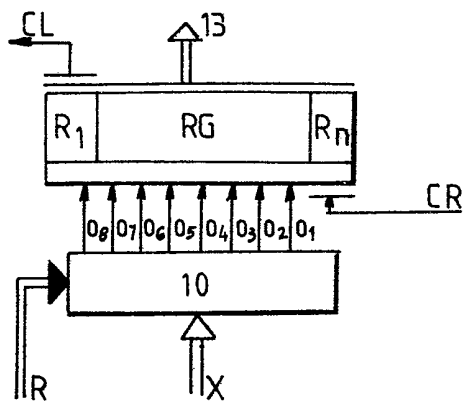


Tableau 1

r_1	r_2	r_3	
0	0	0	$X \rightarrow RG \& \langle RG \rangle \rightarrow 13$
0	0	1	$\langle CR, R_n \dots R_1 \rangle \rightarrow R_n, \dots, R_1, CL$
0	1	0	$\langle RG \rangle + 1 \rightarrow RG$
0	1	1	$\langle \bar{RG} \rangle \rightarrow RG$
1	0	0	$\langle RG \rangle \otimes X \rightarrow RG$
1	0	1	$\langle RG \rangle \vee X \rightarrow RG$
1	1	0	$\langle RG \rangle \wedge X \rightarrow RG$
1	1	1	$\langle RG \rangle + X \rightarrow CR \rightarrow RG$

FIG. 5

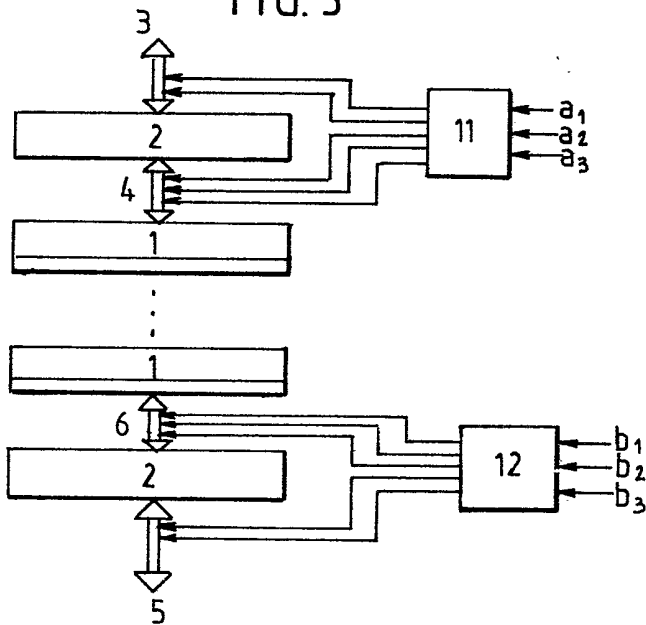


Tableau 2

a_1	a_2	a_3	
0	0	0	—
0	0	1	$I0 \rightarrow 1,$
0	1	0	$I0 \rightarrow 1, 1 \rightarrow 2$
0	1	1	$1 \rightarrow I0, —$
1	0	0	$1 \rightarrow I0, 2 \rightarrow 1$
1	0	1	$—, 1 \rightarrow 2$
1	1	0	$—, 2 \rightarrow 1$
1	1	1	$—, 1 \rightarrow 2$

FIG. 6

