

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96146359

※ 申請日期： 96. 12. 5

※IPC 分類： H01L 21/65 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置之製造方法

H01L 21/68 (2006.01)

H01L 29/417 (2006.01)

H01L 29/08 (2006.01)

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商住友電氣工業股份有限公司

SUMITOMO ELECTRIC INDUSTRIES, LTD.

代表人：(中文/英文)

松本 正義

MATSUMOTO, MASAYOSHI

住居所或營業所地址：(中文/英文)

日本國大阪府大阪市中央區北濱四丁目5番33號

5-33, KITAHAMA 4-CHOME, CHUO-KU, OSAKA-SHI, OSAKA 541-0041, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 玉祖 秀人
TAMASO, HIDETO
2. 藤川 一洋
FUJIKAWA, KAZUHIRO
3. 原田 真
HARADA, SHIN

國 籍：(中文/英文)

1. 日本 JAPAN
2. 日本 JAPAN
3. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2006年12月13日；特願2006-336000

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置之製造方法，特別係關於一種可使半導體裝置微細化、同時可降低半導體裝置之特性不均的半導體裝置之製造方法。

【先前技術】

為半導體裝置之一種的使用SiC(碳化矽)之MOSFET(金屬氧化半導體場效電晶體；以下亦稱為「SiC-MOSFET」)，大體劃分係經選擇離子佈植、活性化退火、閘極氧化膜形成、及電極形成之步驟而製造。

以下，參照圖20~圖30之模式截面圖，對先前之SiC-MOSFET之製造方法之一例進行說明。

首先，如圖20所示，於SiC基板201之表面上磊晶生長n型之SiC膜202。其次，如圖21所示，於SiC膜202之整個表面形成離子佈植遮罩203。

其次，如圖22所示，於離子佈植遮罩203上利用光微影技術形成具有特定之開口部205的抗蝕層204。其次，如圖23所示，藉由蝕刻除去位於開口部205下方部分之離子佈植遮罩203，使SiC膜202表面之一部分露出。

其後，如圖24所示，除去抗蝕層204，藉由於露出之SiC膜202之表面離子佈植磷等n型摻質之離子，於SiC膜202之表面形成n型摻質佈植區域206。

其次，如圖25所示，自SiC膜202之表面將離子佈植遮罩203全部除去。其後，如圖26所示，於SiC膜202之整個表

面再次形成離子佈植遮罩203。

然後，如圖27所示，於離子佈植遮罩203之表面上利用光微影技術部分地形成抗蝕層204。此處，抗蝕層204之形成位置因光微影裝置之精度等原因，有時會自設定位置偏移。

其次，如圖28所示，藉由以蝕刻除去未形成抗蝕層204之離子佈植遮罩203的部分，使SiC膜202表面之一部分露出。

其次，如圖29所示，藉由於露出之SiC膜202的表面離子佈植鋁等p型摻質之離子，於SiC膜202之表面形成p型摻質佈植區域207。

其後，除去離子佈植遮罩203及抗蝕層204，並對除去離子佈植遮罩203及抗蝕層204後的晶圓進行用以回復結晶性之活性化退火。

然後，如圖30所示，於SiC膜202之表面上形成閘極氧化膜208、源極電極209及汲極電極211，並於閘極氧化膜208之表面上形成閘極電極210。其後，向源極電極209、閘極電極210及汲極電極211分別附加佈線後，將晶圓分割為晶片狀，藉此完成SiC-MOSFET。

[非專利文獻1]松波弘之編著，「半導體SiC技術與應用」，日刊工業新聞社，2003年3月

【發明內容】

發明所欲解決之問題

由於摻質之擴散係數較小，故不以擴散法，而必須藉由

離子佈植法分別向SiC導入n型摻質及p型摻質。

然而如上所述，因離子佈植n型摻質及p型摻質之成為離子佈植遮罩之抗蝕層的形成位置會因光微影裝置之精度等而散亂不一，故有於n型摻質佈植區域與p型摻質佈植區域之相對位置關係上產生不均，進而於SiC-MOSFET之閘極長度上產生不均，從而於SiC-MOSFET之特性上產生不均的問題。此外，亦要求半導體裝置之進一步微細化。

因此，本發明之目的在於提供一種可使半導體裝置微細化、同時可降低半導體裝置之特性不均之半導體裝置之製造方法。

解決問題之技術手段

本發明係一種半導體裝置之製造方法，其包含：第1步驟，係於半導體表面之一部分形成離子佈植遮罩；第2步驟，係於形成有離子佈植遮罩之區域以外的半導體表面之露出區域的至少一部分佈植第1摻質之離子，形成第1摻質佈植區域；第3步驟，係於形成第1摻質佈植區域後，除去離子佈植遮罩之一部分，擴大半導體表面之露出區域；第4步驟，係於擴大之半導體表面之露出區域的至少一部分佈植第2摻質之離子，形成第2摻質佈植區域。

若藉由本發明之半導體裝置之製造方法，則因於第2摻質佈植區域之形成上亦可利用形成第1摻質佈植區域用之離子佈植遮罩，可降低第1摻質佈植區域與第2摻質佈植區域之相對位置關係的散亂不均，故可將半導體裝置微細化，同時可降低半導體裝置特性之不均。此外，若藉由本

發明之半導體裝置之製造方法，則因形成1次離子佈植遮罩之圖案化用的抗蝕層即可，故與先前相比亦可使步驟數減少。

此外，於本發明之半導體裝置之製造方法中，離子佈植遮罩宜包含自由鎢、矽、鋁、鎳及鈦所組成之群中選擇的至少1種。於此情形，可使離子佈植遮罩作為第1摻質及第2摻質之離子佈植的遮罩發揮機能，同時可使離子佈植遮罩包含改善與半導體表面之密合的密合改善層及可抑制半導體表面之蝕刻的蝕刻中止層。此處，上述之鎢、矽、鋁、鎳及鈦既可分別以單體形態包含於離子佈植遮罩中，亦可以化合物形態包含於離子佈植遮罩。

此外，於本發明之半導體裝置之製造方法中，離子佈植遮罩可包含2層以上。於離子佈植遮罩包含2層以上時，因於形成第1摻質佈植區域後除去離子佈植遮罩之一部分，以擴大半導體表面之露出區域時，可一邊抑制離子佈植遮罩之厚度的減少，一邊令其寬度變薄，故可使第2摻質之離子佈植時的離子佈植遮罩之可靠性提高。

此外，於本發明之半導體裝置之製造方法中，離子佈植遮罩可包含第1離子佈植遮罩與形成於第1離子佈植遮罩上之第2離子佈植遮罩之2層。此時，因於形成第1摻質佈植區域後除去第1離子佈植遮罩之一部分，以擴大半導體表面之露出區域時，可一邊抑制第1離子佈植遮罩之厚度的減少，一邊令第1離子佈植遮罩之寬度變薄，故可提高第2摻質之離子佈植時的第1離子佈植遮罩之可靠性。

此外，於上述中，第1離子佈植遮罩宜以鎢為主成分，第2離子佈植遮罩宜以氧化矽為主成分。於此情形，因於蝕刻第1離子佈植遮罩時難以蝕刻第2離子佈植遮罩，於蝕刻第2離子佈植遮罩時難以蝕刻第1離子佈植遮罩之傾向尤為明顯，可一邊抑制第1離子佈植遮罩之厚度的減少，一邊令第1離子佈植遮罩之寬度變薄，故可提高第2摻質之離子佈植時的第1離子佈植遮罩之可靠性。

此外，於本發明之半導體裝置之製造方法中，第1步驟可藉由於半導體表面上依序積層第1離子佈植遮罩與第2離子佈植遮罩而形成離子佈植遮罩後，蝕刻離子佈植遮罩之一部分以使半導體表面之一部分露出而進行；第3步驟可藉由於形成第1摻質佈植區域之後，將第1離子佈植遮罩至少於其寬度方向蝕刻而進行；於第3步驟與第4步驟之間可包含藉由蝕刻除去第2離子佈植遮罩之步驟；於第4步驟之後可包含藉由蝕刻除去第1離子佈植遮罩之步驟。於此情形，可達成半導體裝置之微細化及降低半導體裝置之特性不均，同時可使步驟數較先前更加減少。

此外，於本發明之半導體裝置之製造方法中，用以蝕刻第2離子佈植遮罩之蝕刻液或蝕刻氣體所致第2離子佈植遮罩對於第1離子佈植遮罩之選擇比宜為2以上。於此情形，因可於第2摻質之離子佈植前抑制第2離子佈植遮罩之蝕刻，並可一邊抑制第1離子佈植遮罩之厚度的減少、一邊對第1離子佈植遮罩於其寬度方向進行蝕刻，故可提高第2摻質之離子佈植時的第1離子佈植遮罩之可靠性。

此外，於本發明之半導體裝置之製造方法中，第1步驟中之蝕刻及第3步驟中之蝕刻宜分別藉由乾式蝕刻進行。於此情形，因於使半導體表面露出之第1步驟中有進行第1離子佈植遮罩及第2離子佈植遮罩之厚度方向的蝕刻之傾向，於擴大半導體表面之露出區域的第3步驟中有控制第1離子佈植遮罩及第2離子佈植遮罩之寬度方向的蝕刻變得容易之傾向，故於第1離子佈植遮罩及第2離子佈植遮罩之蝕刻時可不對此等離子佈植遮罩進行不需要之蝕刻。

此外，於本發明之本導體裝置之製造方法中，可藉由蝕刻進行第3步驟中之離子佈植遮罩之一部分的除去，並使第3步驟中之蝕刻後之離子佈植遮罩厚度成為能作為第4步驟中之第2摻質的離子佈植遮罩發揮機能的厚度。於此情形，因離子佈植遮罩作為第2摻質之離子佈植遮罩發揮機能，故可使第2摻質佈植區域不形成於不需要之位置。

此外，於本發明之半導體裝置之製造方法中，離子佈植遮罩可以鎢為主成分。於離子佈植遮罩以鎢為主成分之情形，因鎢為高密度材料，阻止離子佈植之能力較高，故與其他材料相比可較薄地形成離子佈植遮罩，於製程變簡易之傾向之點上為佳。

此外，於本發明之半導體裝置之製造方法中，第1步驟可藉由於半導體之表面上形成離子佈植遮罩，之後對離子佈植遮罩之一部分進行蝕刻以使半導體表面之一部分露出而進行；第3步驟可藉由於形成第1摻質佈植區域之後，將離子佈植遮罩至少於其寬度方向蝕刻而進行；於第4步驟

之後可包含除去離子佈植遮罩之步驟。於此情形，可達成半導體裝置之微細化及降低半導體裝置之特性不均，同時可使步驟數較先前更加減少。

此處，第1步驟中之蝕刻及第3步驟中之蝕刻宜分別藉由乾式蝕刻進行。於此情形，因於使半導體之表面露出的第1步驟中有進行離子佈植遮罩之厚度方向之蝕刻的傾向，於擴大半導體表面之露出區域的第3步驟中有控制離子佈植遮罩之寬度方向的蝕刻變得容易的傾向，故於離子佈植遮罩之蝕刻時可不對離子佈植遮罩進行不需要之蝕刻。

此外，於本發明之半導體裝置之製造方法中，半導體其能帶間隙宜為2.5 eV以上。於此情形，有可製造高耐壓且低損失、耐熱性及耐環境性優異之半導體裝置的傾向。

此外，於本發明之半導體裝置之製造方法中，半導體宜以碳化矽為主成分。於由碳化矽構成之半導體裝置中，因摻質佈植後之活性化退火溫度為高溫，故無法使用如先前Si裝置之自對準方法，因此尤其適用於本發明。

發明之效果

若藉由本發明，則可提供可將半導體裝置微細化、同時可降低半導體裝置之特性不均的半導體裝置之製造方法。

【實施方式】

以下，對本發明之實施形態進行說明。再者，於本發明之圖式中，同一參照符號係表示同一部分或相當部分者。

(實施形態1)

以下，參照圖1~圖10之模式截面圖，對本發明之半導體

裝置之製造方法之一例進行說明。

首先，如圖1所示，於SiC基板101表面上磊晶生長n型之SiC膜102，形成晶圓。其次，如圖2所示，於SiC膜102之整個表面形成由鎢構成之第1離子佈植遮罩103a，並於第1離子佈植遮罩103a之表面上形成由氧化矽構成之第2離子佈植遮罩103b。藉此，形成由第1離子佈植遮罩103a與第2離子佈植遮罩103b之積層體構成的離子佈植遮罩103。

此處，由鎢構成之第1離子佈植遮罩103a及由氧化矽構成之第2離子佈植遮罩103b，例如可分別藉由濺鍍法或CVD(化學氣相沉積)法等形成。

此外，由鎢構成之第1離子佈植遮罩103a宜形成為2 μm 以下之厚度，形成為1 μm 以下之厚度者更佳。此外，由氧化矽構成之第2離子佈植遮罩103b宜形成為0.5 μm 以下之厚度，形成為0.3 μm 以下之厚度者更佳。

其次，如圖3所示，於第2離子佈植遮罩103b上利用例如光微影技術形成具有特定之開口部105的抗蝕層104。其次，如圖4所示，藉由蝕刻將位於開口部105下方之部分的第1離子佈植遮罩103a及第2離子佈植遮罩103b於其厚度方向除去，使SiC膜102之表面的一部分露出。

其後，如圖5所示，除去抗蝕層104，藉由於露出之SiC膜102之表面離子佈植磷等n型摻質之離子，於SiC膜102之表面形成n型摻質佈植區域106。

其次，如圖6所示，藉由對第1離子佈植遮罩103a於其寬度方向進行蝕刻，使第1離子佈植遮罩103a之寬度減少。

藉此，使SiC膜102之表面中形成n型摻質佈植區域106之區域以外的區域露出，擴大SiC膜102之表面的露出區域。

此處，作為用以進行第1離子佈植遮罩103a之蝕刻的蝕刻液或蝕刻氣體，使用與第2離子佈植遮罩103b相較，較易對第1離子佈植遮罩103a進行蝕刻之材質者。

其次，如圖7所示，藉由蝕刻除去第1離子佈植遮罩103a上之第2離子佈植遮罩103b。此處，作為用以進行第2離子佈植遮罩103b之蝕刻的蝕刻液或蝕刻氣體，使用與第1離子佈植遮罩103a相較，較易對第2離子佈植遮罩103b進行蝕刻之材質者。

其次，如圖8所示，藉由於如上所述擴大之SiC膜102之表面的露出區域離子佈植鋁等p型摻質之離子，於SiC膜102之表面形成p型摻質佈植區域107。

然後，如圖9所示，除去第1離子佈植遮罩103a。其後，對除去第1離子佈植遮罩103a之後的晶圓進行用以回復結晶性，同時使離子佈植之n型摻質及p型摻質的離子活性化之活性化退火。

然後，如圖10所示，於SiC膜102之表面上形成閘極氧化膜108、源極電極109及汲極電極111，並於閘極氧化膜108之表面上形成閘極電極110，之後將晶圓分割為晶片狀，藉此完成SiC-MOSFET。

如此，於本實施形態中，因於p型摻質佈植區域之形成上亦可利用形成n型摻質佈植區域用之離子佈植遮罩，故無須如先前般分別形成n型摻質佈植區域形成用之離子佈

植遮罩與p型摻質佈植區域形成用之離子佈植遮罩。

因此，與先前相比，可降低n型摻質佈植區域與p型摻質佈植區域之相對位置關係的散亂不均，可縮短閘極長度，故關係到半導體裝置之微細化。此外，亦可藉由該散亂不均之降低而降低半導體裝置之特性不均。

此外，因形成1次離子佈植遮罩之圖案化用的抗蝕層即可，故與先前相比亦可使步驟數減少。

再者，離子佈植遮罩103可於由鎢構成之第1離子佈植遮罩103a與SiC膜102的表面之間包含例如由鈦、鎳、氧化矽或氮化矽等構成之層。此種層係用於改善離子佈植遮罩103與SiC膜102之密合性，亦可作為SiC膜102表面之蝕刻中止層發揮機能。此層例如可形成為100 nm以下之厚度。

此外，於上述中，雖將鎢用作第1離子佈植遮罩103a，將氧化矽用作第2離子佈植遮罩103b，但於本發明中毫無疑問並不限定於此構成。例如，亦可於第1離子佈植遮罩103a使用氧化矽、氮化矽或氮氧化矽等矽化合物，於第2離子佈植遮罩103b使用鋁或鈦等金屬。

即，作為第1離子佈植遮罩103a，可使用對於用以進行第2離子佈植遮罩103b之蝕刻的蝕刻液或蝕刻氣體，較第2離子佈植遮罩103b更難以被蝕刻之材質者；作為第2離子佈植遮罩103b，可使用對於用以進行第1離子佈植遮罩103a之蝕刻的蝕刻液或蝕刻氣體，較第1離子佈植遮罩103a更難以被蝕刻之材質者。

其中，作為第1離子佈植遮罩103a亦宜使用鎢，作為第2

離子佈植遮罩 103b 亦宜使用氧化矽。於此情形，因於蝕刻第 1 離子佈植遮罩 103a 時難以蝕刻第 2 離子佈植遮罩 103b、於蝕刻第 2 離子佈植遮罩 103b 時難以蝕刻第 1 離子佈植遮罩 103a 之傾向尤為明顯，可一邊抑制第 1 離子佈植遮罩 103a 之厚度的減少，一邊令第 1 離子佈植遮罩 103a 之寬度變薄，故可提高第 2 摻質之離子佈植時的第 1 離子佈植遮罩 103a 之可靠性。

再者，於本發明中，離子佈植遮罩 103 並不限於上述 2 層之構成，既可為 1 層，亦可為 3 層以上。

此外，用以對第 2 離子佈植遮罩 103b 進行蝕刻之蝕刻液或蝕刻氣體的第 2 離子佈植遮罩 103b 對於第 1 離子佈植遮罩 103a 之選擇比宜為 2 以上。於此情形，因可於 p 型摻質之離子佈植前抑制第 2 離子佈植遮罩 103b 之蝕刻，並可一邊抑制第 1 離子佈植遮罩 103a 之厚度的減少、一邊對第 1 離子佈植遮罩 103a 於其寬度方向進行蝕刻，故可提高 p 型摻質之離子佈植時的第 1 離子佈植遮罩 103a 之可靠性。

再者，上述之選擇比可藉由以蝕刻液或蝕刻氣體於同一條件下對第 1 離子佈植遮罩 103a 與第 2 離子佈植遮罩 103b 進行蝕刻，並求出第 1 離子佈植遮罩 103a 之蝕刻速度與第 2 離子佈植遮罩 103b 之蝕刻速度的比(第 1 離子佈植遮罩 103a 之蝕刻速度/第 2 離子佈植遮罩 103b 之蝕刻速度)而算出。

此外，於上述中，圖 4 所示之第 1 離子佈植遮罩 103a 及第 2 離子佈植遮罩 103b 之厚度方向的蝕刻，宜藉由使用蝕刻氣體之乾式蝕刻進行。此外，圖 6 所示之第 1 離子佈植遮罩

103a之寬度方向的蝕刻，雖亦可藉由使用蝕刻液之濕式蝕刻進行，但宜藉由使用蝕刻氣體之乾式蝕刻進行。

即，於使用蝕刻氣體之乾式蝕刻中，通常因向SiC基板101施加偏壓，蝕刻氣體向SiC基板101方向具有某程度之指向性地前進，故與濕式蝕刻相比，有第1離子佈植遮罩103a及第2離子佈植遮罩103b之厚度方向的蝕刻易於進行之傾向。此外，於使用蝕刻液之濕式蝕刻中，因易於進行等向性蝕刻，故與乾式蝕刻相比，有第1離子佈植遮罩103a之寬度方向的蝕刻易於進行之傾向，但自易於控制蝕刻之觀點來看，宜藉由使用蝕刻氣體之乾式蝕刻進行第1離子佈植遮罩103a之寬度方向的蝕刻。

此外，於上述中，作為半導體使用了SiC，但毫無疑問亦可使用SiC以外之半導體。於本發明中，作為半導體，例如可使用氮化鎵、金剛石、氧化鋅或氮化鋁等。

其中，於本發明中亦宜使用能帶間隙為2.5 eV以上之半導體。於此情形，有可製造高耐壓且低損失、耐熱性及耐環境性優異之半導體裝置的傾向。

此外，於上述中，對製造SiC-MOSFET作為半導體裝置之情形進行了說明，但本發明中毫無疑問亦可使用SiC以外之半導體製造SiC-MOSFET以外之半導體裝置。

此外，於本發明中，毫無疑問亦可調換上述p型和n型之導電型。

(實施形態2)

以下，參照圖11~圖19之模式截面圖，對本發明之半導

體裝置之製造方法之一例進行說明。

首先，如圖11所示，於SiC基板101之表面上磊晶生長n型之SiC膜102，形成晶圓。其次，如圖12所示，於SiC膜102之整個表面形成由鎢構成之離子佈植遮罩103。

其次，如圖13所示，於離子佈植遮罩103之表面上例如利用光微影技術形成具有特定之開口部105的抗蝕層104。其次，如圖14所示，藉由蝕刻除去位於開口部105下方部分之離子佈植遮罩103，使SiC膜102表面之一部分露出。

其後，如圖15所示，除去抗蝕層104，藉由於露出之SiC膜102之表面離子佈植磷等n型摻質之離子，於SiC膜102之表面形成n型摻質佈植區域106。

其次，如圖16所示，進行離子佈植遮罩103之等向性蝕刻，將離子佈植遮罩103於其寬度方向除去，使離子佈植遮罩103之寬度減少。藉此，使SiC膜102之表面中形成n型摻質佈植區域106之區域以外的區域露出，擴大SiC膜102之表面的露出區域。

再者，於本實施形態中，因藉由上述之等向性蝕刻對離子佈植遮罩103整體進行蝕刻，故不僅離子佈植遮罩103之寬度，其高度亦減少。

其次，如圖17所示，藉由於如上所述擴大之SiC膜102之表面的露出區域離子佈植鋁等p型摻質之離子，於SiC膜102之表面形成p型摻質佈植區域107。

然後，如圖18所示，除去離子佈植遮罩103。其後，對除去離子佈植遮罩103之後的晶圓進行用以回復結晶性之

活性化退火。

然後，如圖19所示，於SiC膜102之表面上形成閘極氧化膜108、源極電極109及汲極電極111，並於閘極氧化膜108之表面上形成閘極電極110，之後將晶圓分割為晶片狀，藉此完成SiC-MOSFET。

如此，於本實施形態中，因於p型摻質佈植區域之形成上亦可利用n型摻質佈植區域形成用之離子佈植遮罩，故無須分別形成n型摻質佈植區域形成用之離子佈植遮罩與p型摻質佈植區域形成用之離子佈植遮罩。

因此，與先前相比，可降低n型摻質佈植區域與p型摻質佈植區域之相對位置關係的散亂不均，可縮短閘極長度，故關係到半導體裝置之微細化。此外，亦可藉由該散亂不均之降低而降低半導體裝置之特性不均。

此外，因形成1次離子佈植遮罩103之圖案化用的抗蝕層即可，故與先前相比亦可使步驟數減少。

再者，於本實施形態中雖作為離子佈植遮罩103使用了鎢，但毫無疑問並不限定於此。

此外，於上述中，圖16所示之蝕刻後離子佈植遮罩103的厚度，宜成為作為其後之p型摻質離子的離子佈植中之離子佈植遮罩而發揮機能之厚度。其原因為，圖16所示之蝕刻後離子佈植遮罩103不作為後述之離子佈植的離子佈植遮罩發揮機能之情形，p型摻質佈植區域107形成於不需要之位置之故。此處，作為離子佈植遮罩發揮機能之厚度係指可阻止99.9%以上的離子佈植之離子的佈植之厚度。

例如，藉由圖16所示之蝕刻，離子佈植遮罩103之寬度於其兩側每減少x之情形，離子佈植遮罩103之厚度會減少x以上，但只要減少x以上後的離子佈植遮罩103之厚度為作為離子佈植遮罩發揮機能之厚度以上即可。

此外，於上述中，圖14所示之離子佈植遮罩103之厚度方向的蝕刻宜藉由使用蝕刻氣體之乾式蝕刻進行。此外，圖16所示之離子佈植遮罩103的蝕刻雖亦可藉由使用蝕刻液之濕式蝕刻進行，但宜藉由使用蝕刻氣體之乾式蝕刻進行。

如上所述，於使用蝕刻氣體之乾式蝕刻中，因蝕刻氣體向SiC基板101方向具有某程度之指向性地行進，故與濕式蝕刻相比，有離子佈植遮罩103之厚度方向的蝕刻易於進行之傾向。此外，於使用蝕刻液之濕式蝕刻中，因易於進行等向性蝕刻，故與乾式蝕刻相比，有離子佈植遮罩103之寬度方向的蝕刻易於進行之傾向，但自易於控制蝕刻之觀點來看，宜藉由使用蝕刻氣體之乾式蝕刻進行離子佈植遮罩103之寬度方向的蝕刻。

再者，本實施形態中之其他說明與實施形態1相同。

(實施例1)

首先，製造於SiC基板之表面上磊晶生長n型SiC膜之晶圓。此處，磊晶成長之n型SiC膜的膜厚為10 μm ，n型摻質之濃度為 $1 \times 10^{15} \text{ cm}^{-3}$ 。

其次，藉由濺鍍法於SiC膜之整個表面形成由鎢構成之第1離子佈植遮罩，並藉由濺鍍法於第1離子佈植遮罩上形

成由氧化矽構成之第2離子佈植遮罩。此處，第1離子佈植遮罩之厚度為800 nm，第2離子佈植遮罩之厚度為100 nm。

其次，利用光微影技術，於第2離子佈植遮罩上形成以於形成n型摻質佈植區域之位置具有開口部的方式圖案化之抗蝕層。

其次，藉由CF₄氣體蝕刻除去自抗蝕層之開口部露出之部分的第2離子佈植遮罩。然後，藉由SF₆氣體對自如上除去之第2離子佈植遮罩露出之部分的第1離子佈植遮罩進行蝕刻，使位於上述抗蝕層之開口部下方的SiC膜之表面露出。

此處，CF₄氣體係較由鎢構成之第1離子佈植遮罩，對由氧化矽構成之第2離子佈植遮罩蝕刻較大之蝕刻氣體。此外，SF₆氣體係較由氧化矽構成之第2離子佈植遮罩，對由鎢構成之第1離子佈植遮罩蝕刻較大之蝕刻氣體。

其後，除去抗蝕層，並於露出之SiC膜的表面離子佈植磷離子，藉此於SiC膜之表面一部分形成n型摻質佈植區域。此處，n型摻質佈植區域藉由以劑量 $1 \times 10^{15} \text{ cm}^{-2}$ 之條件佈植磷離子而形成。

其次，於由氨水溶液與過氧化氫水之混合溶液構成之蝕刻液中浸漬2分鐘，藉此對由鎢構成之第1離子佈植遮罩的側面於其寬度方向蝕刻僅0.5 μm 之厚度。藉此，使SiC膜之表面中形成n型摻質佈植區域之區域以外的區域露出。

再者，由氨水溶液與過氧化氫水之混合溶液構成的蝕刻

液，係較由氧化矽構成之第2離子佈植遮罩，對由鎢構成之第1離子佈植遮罩蝕刻較大之蝕刻液。

其次，藉由使用緩衝氫氟酸之蝕刻將由氧化矽構成之第2離子佈植遮罩全部除去。此處，緩衝氫氟酸係較由鎢構成之第1離子佈植遮罩，對由氧化矽構成之第2離子佈植遮罩蝕刻較大之蝕刻液。

其次，藉由於露出之SiC膜表面佈植鋁離子，於SiC膜之表面形成p型摻質佈植區域。此處，p型摻質佈植區域藉由以劑量 $1 \times 10^{14} \text{ cm}^{-2}$ 之條件佈植鋁離子而形成。

其次，藉由使用由氨水溶液與過氧化氫水之混合溶液構成之蝕刻液進行蝕刻，將由鎢構成之第1離子佈植遮罩全部除去。其後，將晶圓加熱至 1700°C 進行活性化退火，使結晶性回復，同時進行離子佈植之摻質的活性化。

其次，藉由熱氧化法，於SiC膜之表面以100 nm之膜厚形成由氧化矽構成之閘極氧化膜。

其後，形成源極電極及汲極電極，進而於閘極氧化膜之表面上形成閘極電極，之後將晶圓分割為晶片狀，藉此完成SiC-MOSFET。

(實施例2)

首先，製造於SiC基板之表面上磊晶生長n型SiC膜之晶圓。此處，磊晶成長之n型SiC膜的膜厚為 $10 \text{ }\mu\text{m}$ ，n型摻質之濃度為 $1 \times 10^{15} \text{ cm}^{-3}$ 。

其次，藉由濺鍍法於SiC膜之整個表面以1600 nm之厚度形成由鎢構成之離子佈植遮罩。

其次，利用光微影技術，於上述之離子佈植遮罩上形成以於形成n型摻質佈植區域之位置具有開口部的方式圖案化之抗蝕層。

其次，藉由 SF_6 氣體對自抗蝕層開口部露出之部分的由鎢構成之離子佈植遮罩進行蝕刻，使位於上述抗蝕層下方位置之SiC膜的表面露出。

其後，除去抗蝕層，並於露出之SiC膜的表面離子佈植磷離子，藉此於SiC膜表面之一部分形成n型摻質佈植區域。此處，n型摻質佈植區域藉由以劑量 $1 \times 10^{15} \text{ cm}^{-2}$ 之條件佈植磷離子而形成。

其次，使用 SF_6 氣體進行由鎢構成之離子佈植遮罩的乾式蝕刻。此處，乾式蝕刻之條件為接近等向性蝕刻之條件。乾式蝕刻後之由鎢構成之離子佈植遮罩的寬度減少量為800 nm，離子佈植遮罩之厚度減少量為400 nm。因此，上述之乾式蝕刻後的離子佈植遮罩厚度為1200 nm。

其次，藉由於露出之SiC膜表面佈植鋁離子，於SiC膜之表面形成p型摻質佈植區域。此處，p型摻質佈植區域藉由以劑量 $1 \times 10^{14} \text{ cm}^{-2}$ 之條件佈植鋁離子而形成。

此處，於鋁離子之離子佈植中作為離子佈植遮罩發揮機能之厚度為800 nm。因此，確認了上述乾式蝕刻後之離子佈植遮罩的厚度充分具有於鋁離子之離子佈植中作為離子佈植遮罩發揮機能之厚度。

其次，藉由使用由氨水溶液與過氧化氫水之混合溶液構成之蝕刻液進行蝕刻，將由鎢構成之離子佈植遮罩全部除

去。其後，將晶圓加熱至1700℃進行活性化退火，使結晶性回復，同時進行離子佈植之摻質的活性化。

其次，藉由熱氧化法於SiC膜之表面以100 nm之膜厚形成由氧化矽構成之閘極氧化膜。

其後，形成源極電極及汲極電極，進而於閘極氧化膜之表面上形成閘極電極，之後將晶圓分割為晶片狀，藉此完成SiC-MOSFET。

此次揭示之實施形態及實施例於全部點上均為例示，應認為不係受限制者。本發明之範圍非上述之說明，而藉由申請專利範圍表示，並包含與申請專利範圍均等之含義及範圍內之全部變更。

產業上之可利用性

若藉由本發明，則可提供可將半導體裝置微細化、同時可降低半導體裝置之特性不均的半導體裝置之製造方法。

【圖式簡單說明】

圖1係圖解本發明之半導體裝置之製造方法的一例之一部分的模式截面圖。

圖2係圖解本發明之半導體裝置之製造方法的一例之一部分的模式截面圖。

圖3係圖解本發明之半導體裝置之製造方法的一例之一部分的模式截面圖。

圖4係圖解本發明之半導體裝置之製造方法的一例之一部分的模式截面圖。

圖5係圖解本發明之半導體裝置之製造方法的一例之一

部分的模式截面圖。

圖6係圖解本發明之半導體裝置之製造方法的一例之一部分的模式截面圖。

圖7係圖解本發明之半導體裝置之製造方法的一例之一部分的模式截面圖。

圖8係圖解本發明之半導體裝置之製造方法的一例之一部分的模式截面圖。

圖9係圖解本發明之半導體裝置之製造方法的一例之一部分的模式截面圖。

圖10係圖解本發明之半導體裝置之製造方法的一例之一部分的模式截面圖。

圖11係圖解本發明之半導體裝置之製造方法的另一例之一部分的模式截面圖。

圖12係圖解本發明之半導體裝置之製造方法的另一例之一部分的模式截面圖。

圖13係圖解本發明之半導體裝置之製造方法的另一例之一部分的模式截面圖。

圖14係圖解本發明之半導體裝置之製造方法的另一例之一部分的模式截面圖。

圖15係圖解本發明之半導體裝置之製造方法的另一例之一部分的模式截面圖。

圖16係圖解本發明之半導體裝置之製造方法的另一例之一部分的模式截面圖。

圖17係圖解本發明之半導體裝置之製造方法的另一例之

一部分的模式截面圖。

圖 18 係圖解本發明之半導體裝置之製造方法的另一例之一一部分的模式截面圖。

圖 19 係圖解本發明之半導體裝置之製造方法的另一例之一一部分的模式截面圖。

圖 20 係圖解先前之 SiC-MOSFET 之製造方法的一例之一一部分的模式截面圖。

圖 21 係圖解先前之 SiC-MOSFET 之製造方法的一例之一一部分的模式截面圖。

圖 22 係圖解先前之 SiC-MOSFET 之製造方法的一例之一一部分的模式截面圖。

圖 23 係圖解先前之 SiC-MOSFET 之製造方法的一例之一一部分的模式截面圖。

圖 24 係圖解先前之 SiC-MOSFET 之製造方法的一例之一一部分的模式截面圖。

圖 25 係圖解先前之 SiC-MOSFET 之製造方法的一例之一一部分的模式截面圖。

圖 26 係圖解先前之 SiC-MOSFET 之製造方法的一例之一一部分的模式截面圖。

圖 27 係圖解先前之 SiC-MOSFET 之製造方法的一例之一一部分的模式截面圖。

圖 28 係圖解先前之 SiC-MOSFET 之製造方法的一例之一一部分的模式截面圖。

圖 29 係圖解先前之 SiC-MOSFET 之製造方法的一例之一

部分的模式截面圖。

圖30係圖解先前之SiC-MOSFET之製造方法的一例之一部分的模式截面圖。

【主要元件符號說明】

101、201	SiC基板
102、202	SiC膜
103、203	離子佈植遮罩
103a	第1離子佈植遮罩
103b	第2離子佈植遮罩
104、204	抗蝕層
105、205	開口部
106、206	n型摻質佈植區域
107、207	p型摻質佈植區域
108、208	閘極氧化膜
109、209	源極電極
110、210	閘極電極
111、211	汲極電極

五、中文發明摘要：

本發明係一種半導體裝置之製造方法，其包含：第1步驟，係於半導體(102)表面之一部分形成離子佈植遮罩(103)；第2步驟，係於形成有離子佈植遮罩(103)之區域以外的半導體(102)表面之露出區域的至少一部分佈植第1摻質之離子，形成第1摻質佈植區域(106)；第3步驟，係於形成第1摻質佈植區域(106)之後，除去離子佈植遮罩(103)之一部分，擴大半導體(102)表面之露出區域；及第4步驟，係於擴大之半導體(102)表面之露出區域的至少一部分佈植第2摻質之離子，形成第2摻質佈植區域(107)。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置之製造方法，其包含：

第1步驟，係於半導體(102)表面之一部分形成離子佈植遮罩(103)；

第2步驟，係於形成有前述離子佈植遮罩(103)之區域以外的前述半導體(102)表面之露出區域的至少一部分佈植第1摻質之離子，形成第1摻質佈植區域(106)；

第3步驟，係於形成前述第1摻質佈植區域(106)之後，除去前述離子佈植遮罩(103)之一部分，擴大前述半導體(102)表面之露出區域；及

第4步驟，係於前述擴大之前述半導體(102)表面之露出區域的至少一部分佈植第2摻質之離子，形成第2摻質佈植區域(107)。

2. 如請求項1之半導體裝置之製造方法，其中前述離子佈植遮罩(103)包含自由鎢、矽、鋁、鎳及鈦所組成之群中所選擇的至少1種。

3. 如請求項1之半導體裝置之製造方法，其中前述離子佈植遮罩(103)包含2層以上。

4. 如請求項3之半導體裝置之製造方法，其中前述離子佈植遮罩(103)包含第1離子佈植遮罩(103a)與形成於前述第1離子佈植遮罩(103a)上之第2離子佈植遮罩(103b)之2層。

5. 如請求項4之半導體裝置之製造方法，其中前述第1離子佈植遮罩(103a)以鎢為主成分，前述第2離子佈植遮罩

(103b)以氧化矽為主成分。

6. 如請求項4之半導體裝置之製造方法，其中，

前述第1步驟係藉由於前述半導體(102)之表面上依序積層前述第1離子佈植遮罩(103a)與前述第2離子佈植遮罩(103b)而形成前述離子佈植遮罩(103)，之後蝕刻前述離子佈植遮罩(103)之一部分，以使前述半導體(102)表面之一部分露出而進行；

前述第3步驟係藉由於形成前述第1摻質佈植區域(106)之後，將前述第1離子佈植遮罩(103a)至少於其寬度方向蝕刻而進行；

於前述第3步驟與前述第4步驟之間，包含藉由蝕刻除去前述第2離子佈植遮罩(103b)之步驟；且

於前述第4步驟之後，包含藉由蝕刻除去前述第1離子佈植遮罩(103a)之步驟。

7. 如請求項6之半導體裝置之製造方法，其中用以蝕刻前述第2離子佈植遮罩(103b)之蝕刻液或蝕刻氣體所致前述第2離子佈植遮罩(103b)對於前述第1離子佈植遮罩(103a)之選擇比為2以上。

8. 如請求項6之半導體裝置之製造方法，其中前述第1步驟中之蝕刻及前述第3步驟中之蝕刻係分別藉由乾式蝕刻而進行。

9. 如請求項1之半導體裝置之製造方法，其中前述第3步驟中之前述離子佈植遮罩(103)的一部分除去，係藉由蝕刻進行；前述第3步驟中蝕刻後之前述離子佈植遮罩(103)

的厚度，為作為前述第4步驟中前述第2摻質之離子佈植遮罩而發揮機能的厚度。

10. 如請求項9之半導體裝置之製造方法，其中前述離子佈植遮罩(103)以鎢為主成分。

11. 如請求項9之半導體裝置之製造方法，其中，

前述第1步驟係藉由於前述半導體(102)之表面上形成前述離子佈植遮罩(103)，之後蝕刻前述離子佈植遮罩(103)之一部分，以使前述半導體(102)表面之一部分露出而進行；

前述第3步驟係藉由於形成前述第1摻質佈植區域(106)之後，將前述離子佈植遮罩(103)至少於其寬度方向蝕刻而進行；且

於前述第4步驟之後，包含除去前述離子佈植遮罩(103)之步驟。

12. 如請求項11之半導體裝置之製造方法，其中前述第1步驟中之蝕刻及前述第3步驟中之蝕刻，係分別藉由乾式蝕刻而進行。

13. 如請求項1之半導體裝置之製造方法，其中前述半導體(102)其能帶間隙為2.5 eV以上。

14. 如請求項13之半導體裝置之製造方法，其中前述半導體(102)以碳化矽為主成分。

十一、圖式

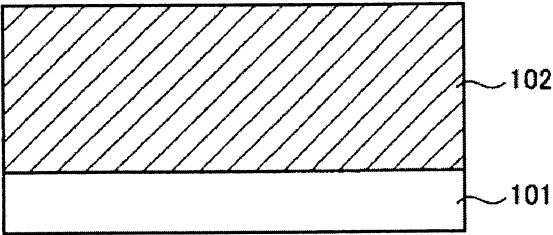


圖 1

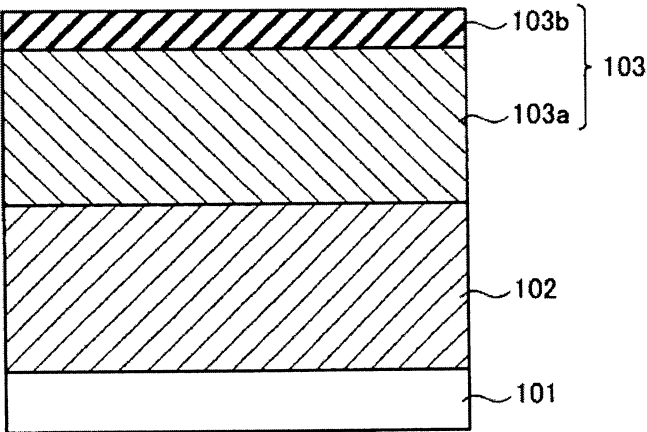


圖 2

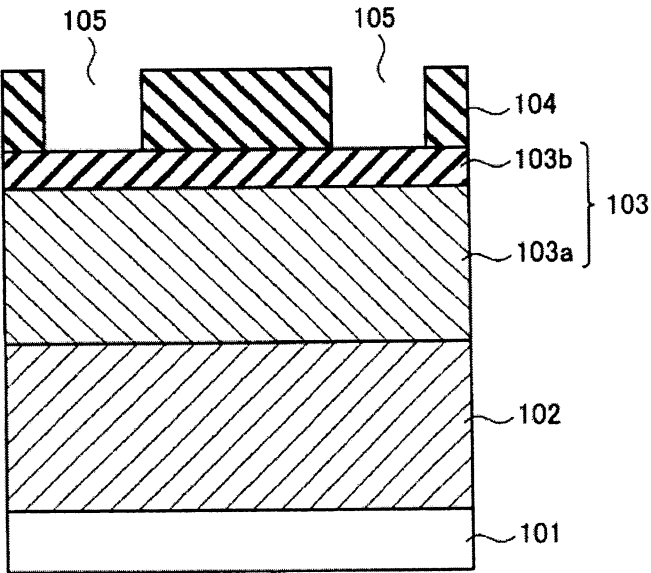


圖 3

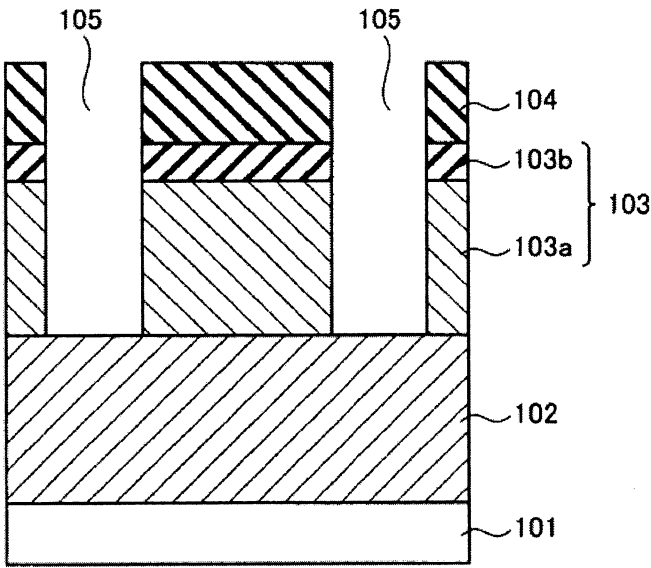


圖 4

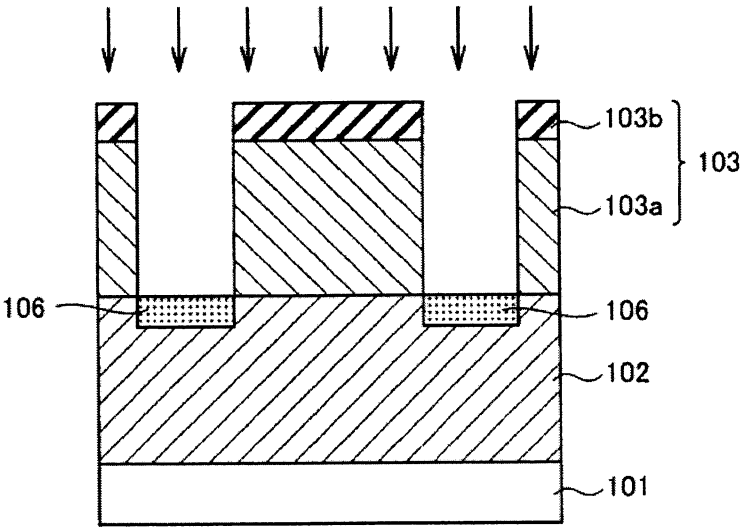


圖 5

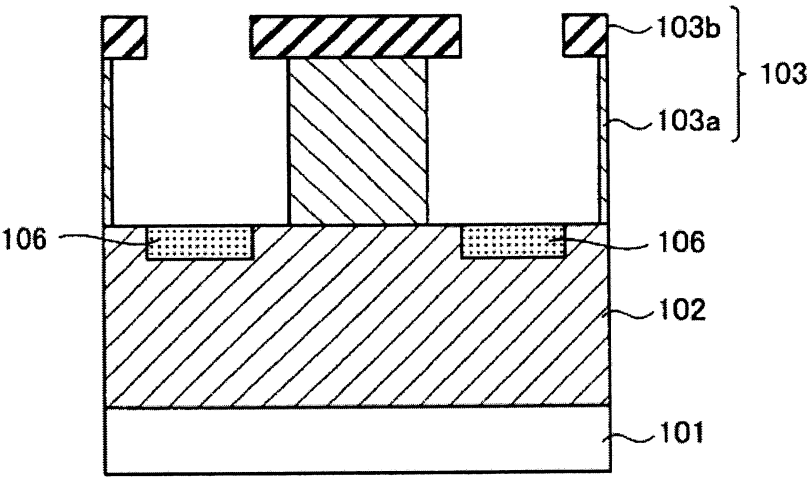


圖 6

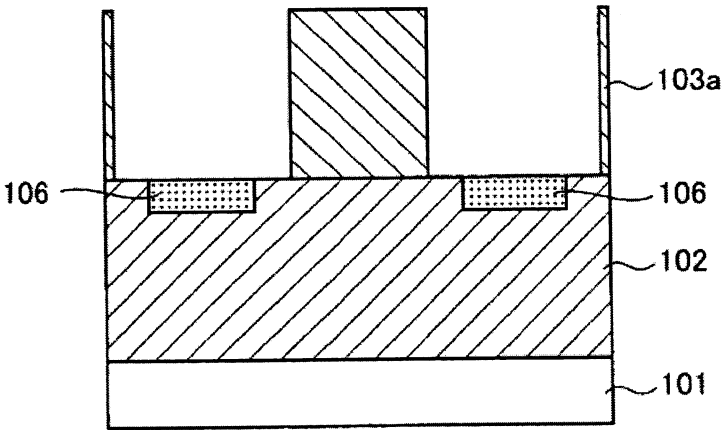


圖 7

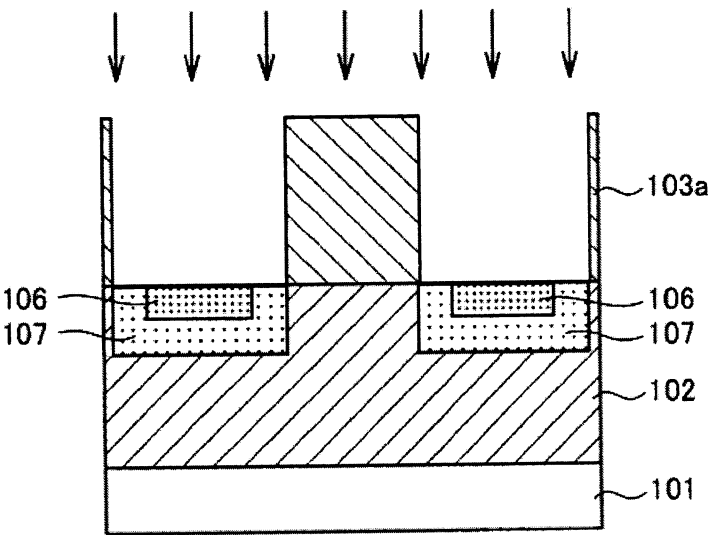


圖 8

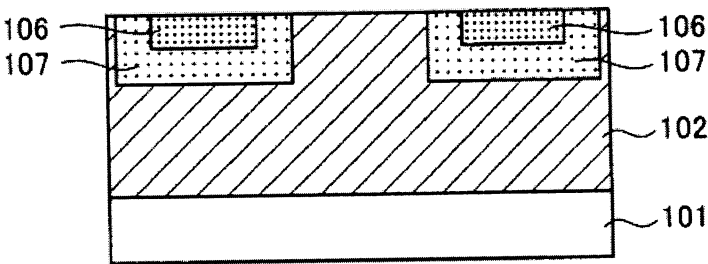


圖 9

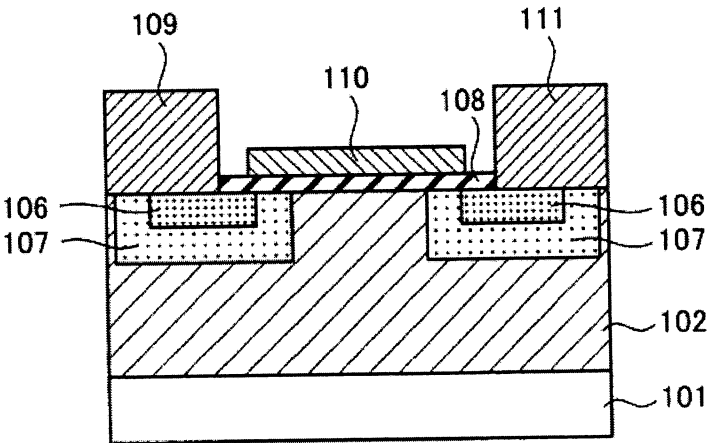


圖 10

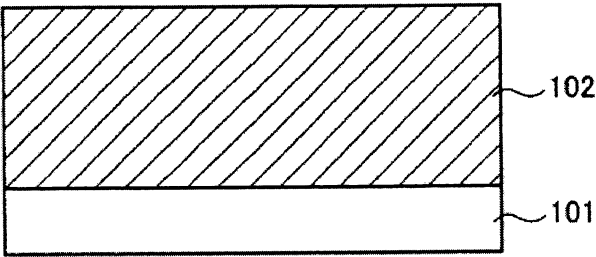


圖 11

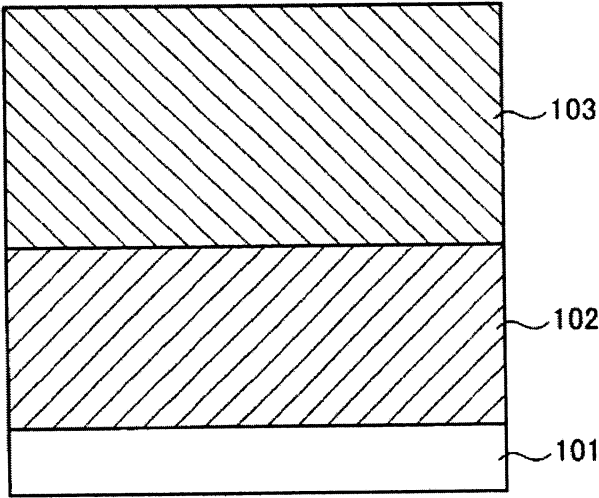


圖 12

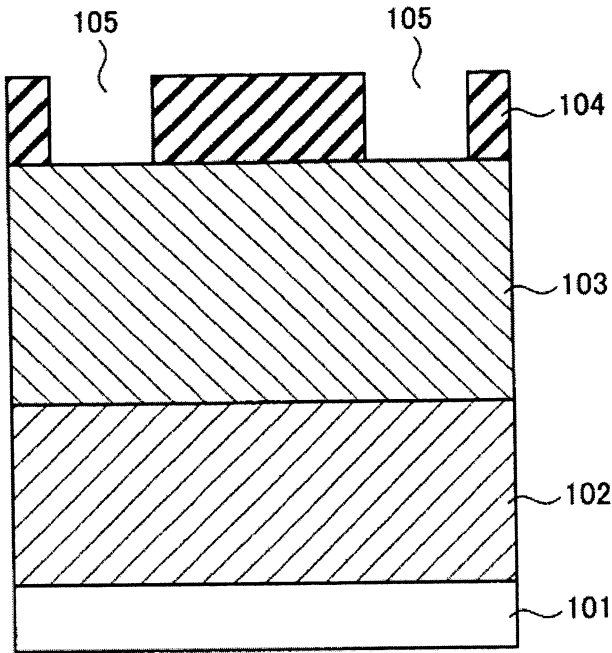


圖 13

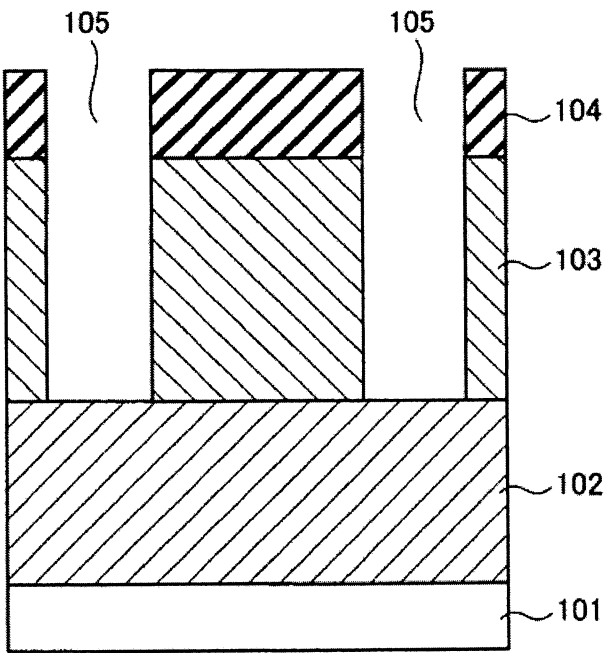


圖 14

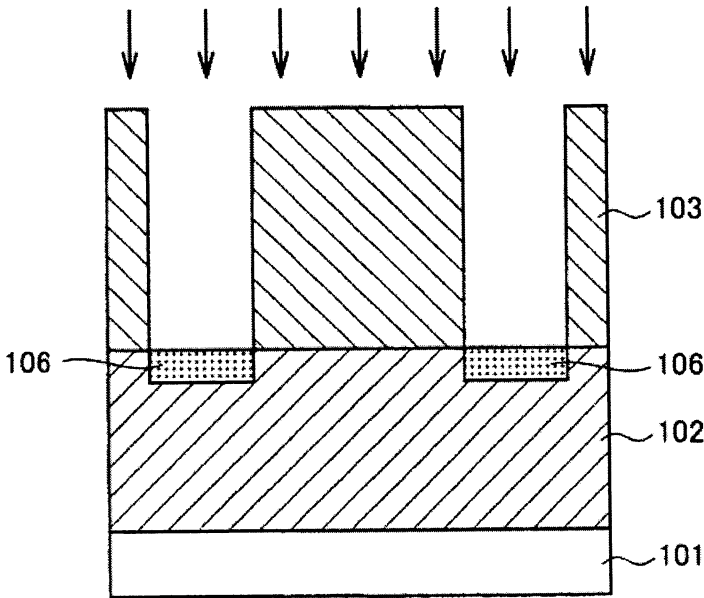


圖 15

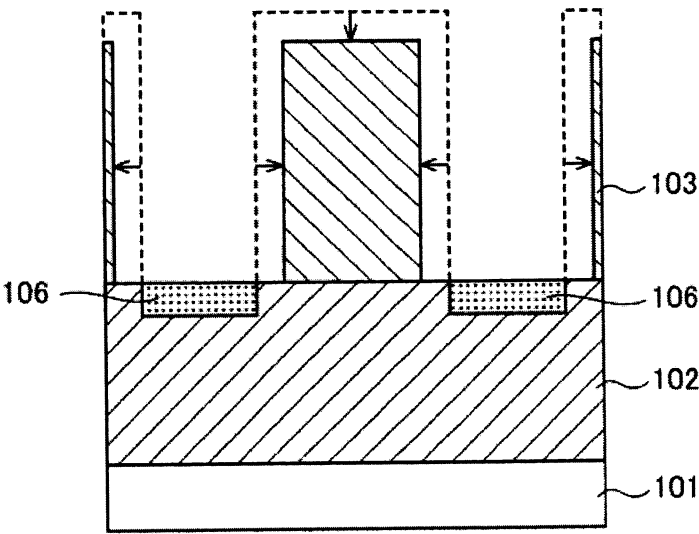


圖 16

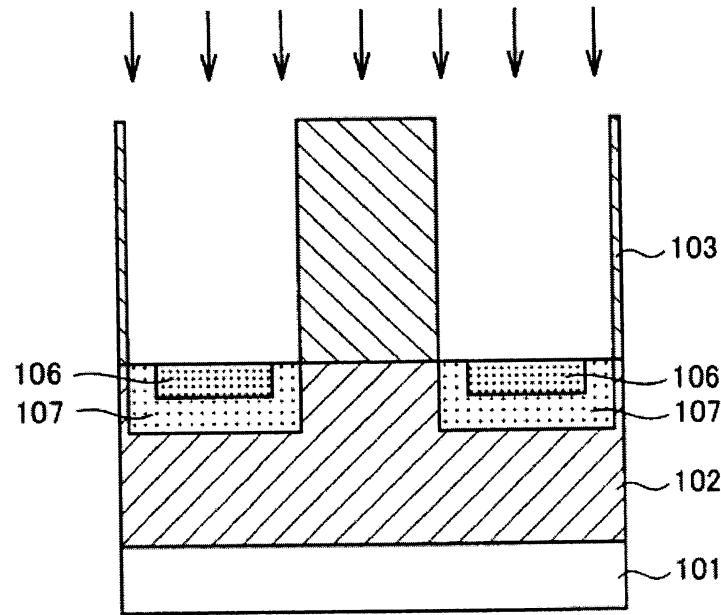


圖 17

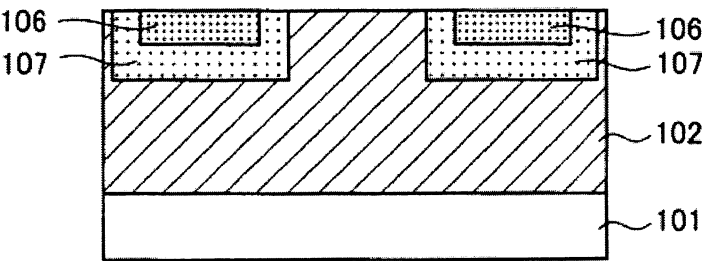


圖 18

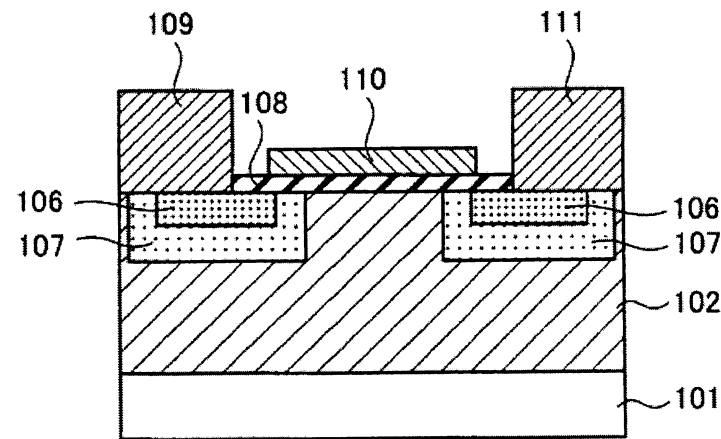


圖 19

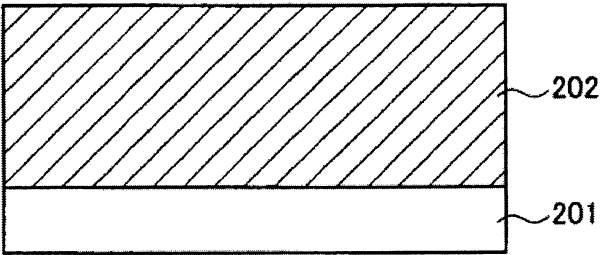


圖 20

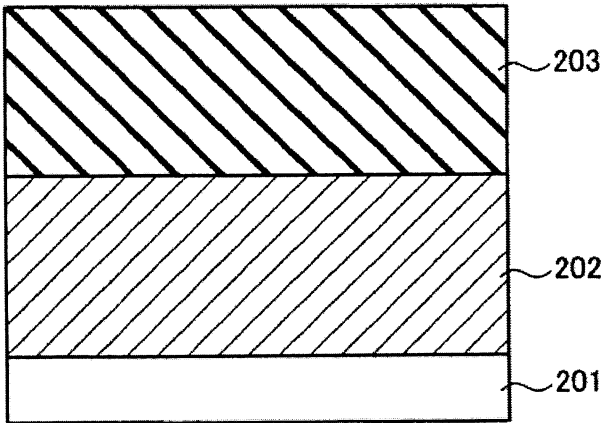


圖 21

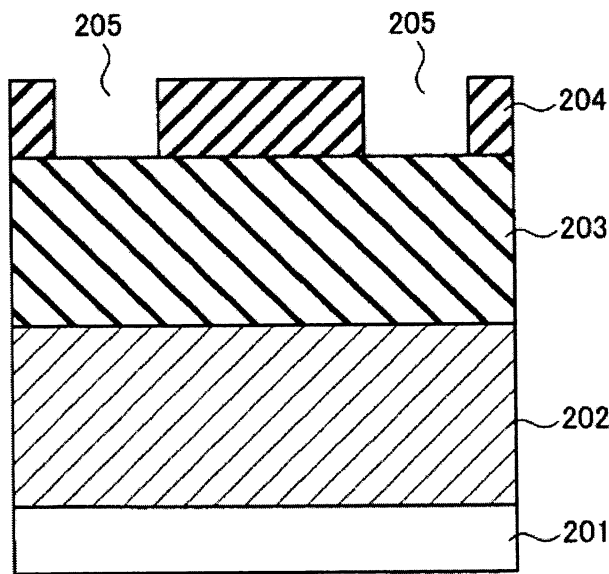


圖 22

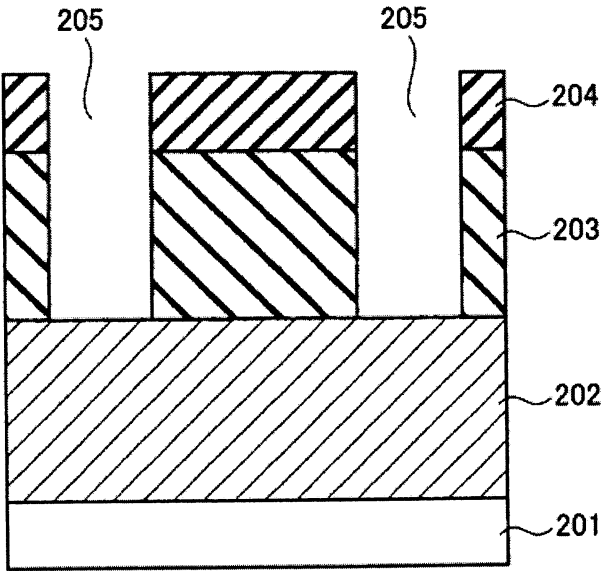


圖 23

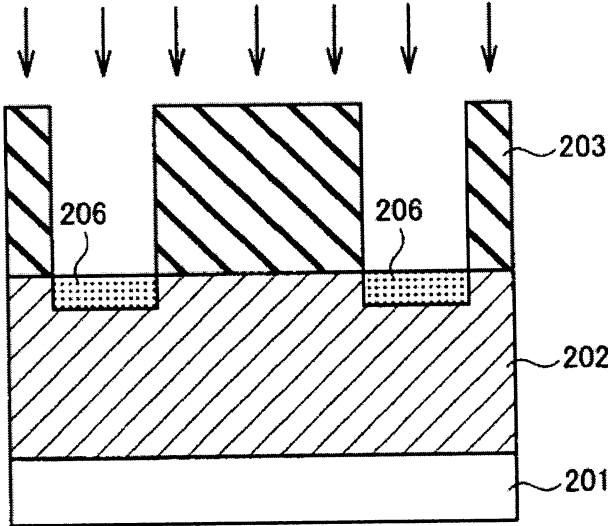


圖 24

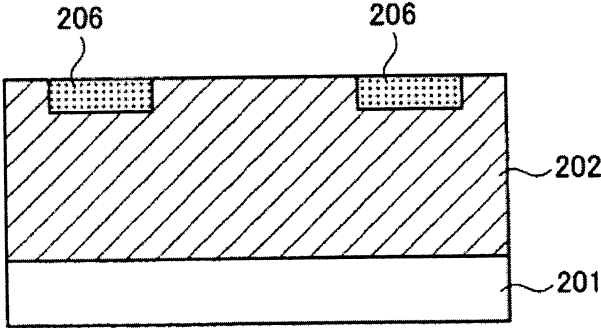


圖 25

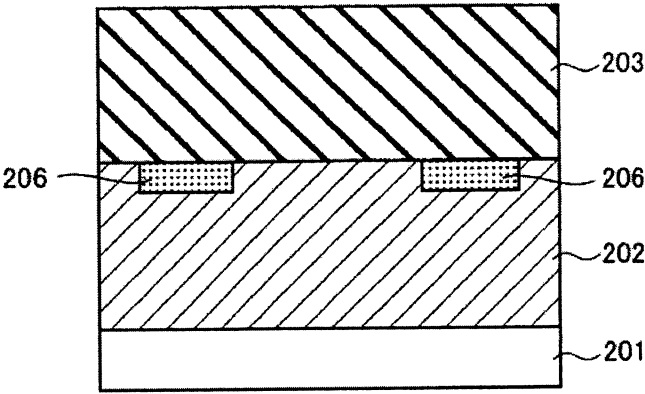


圖 26

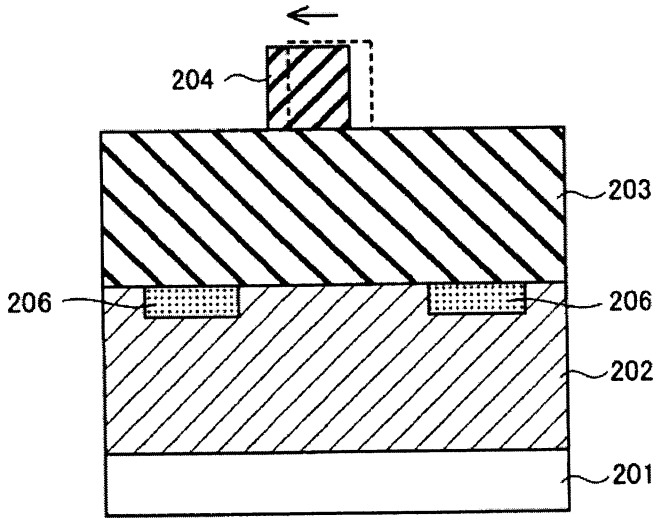


圖 27

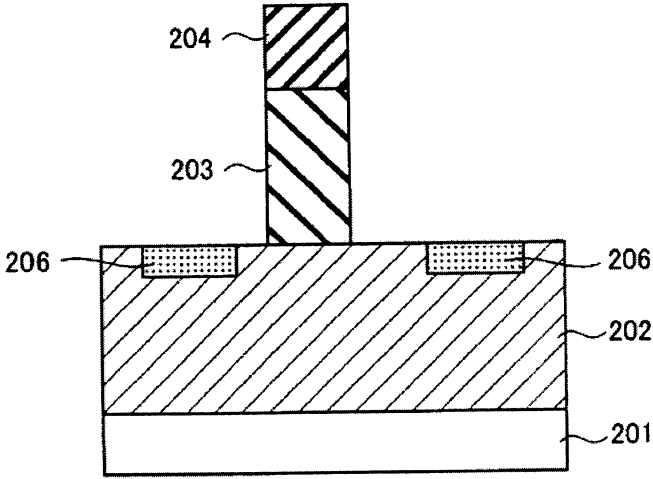


圖 28

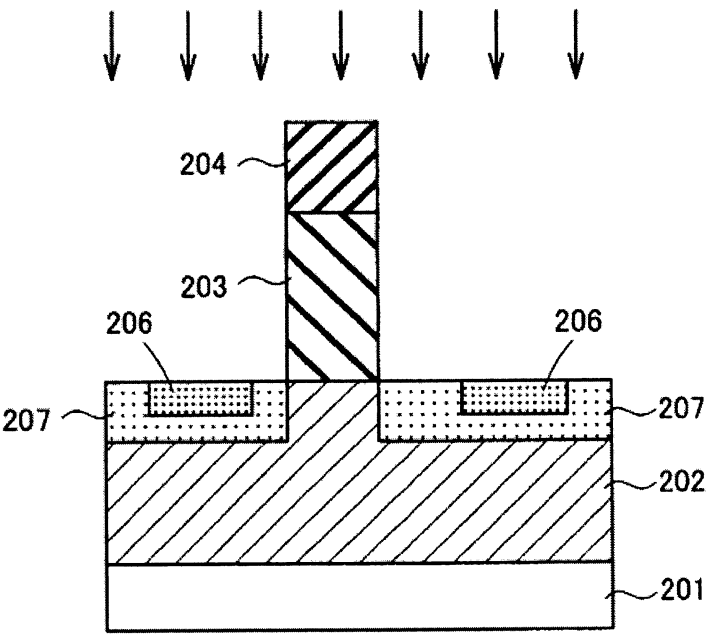


圖 29

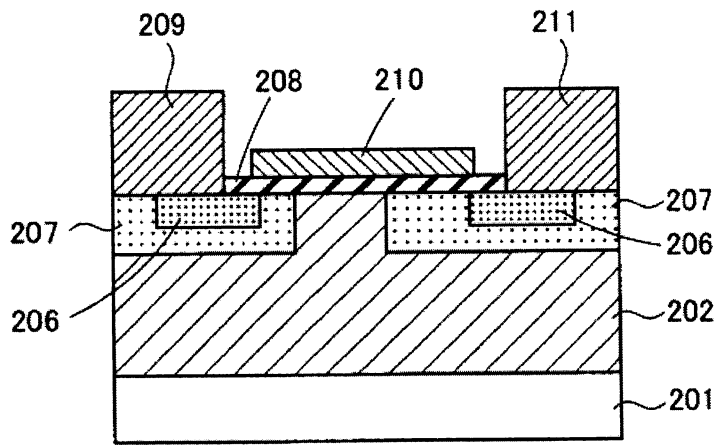


圖 30

七、指定代表圖：

(一)本案指定代表圖為：第 (6) 圖。

(二)本代表圖之元件符號簡單說明：

101	SiC 基板
102	SiC 膜
103	離子佈植遮罩
103a	第1離子佈植遮罩
103b	第2離子佈植遮罩
106	n型摻質佈植區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)