

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成25年6月27日(2013.6.27)

【公開番号】特開2012-84644(P2012-84644A)

【公開日】平成24年4月26日(2012.4.26)

【年通号数】公開・登録公報2012-017

【出願番号】特願2010-228473(P2010-228473)

【国際特許分類】

H 01 L 27/146 (2006.01)

H 04 N 5/374 (2011.01)

【F I】

H 01 L 27/14 A

H 04 N 5/335 7 4 0

【手続補正書】

【提出日】平成25年5月9日(2013.5.9)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

前記フォトダイオードの主要部の上部に位置する前記半導体基板の前記表面には、グローバルシャッターの機能を実現するための電荷蓄積部(T H)を更に具備したことを特徴とする(図1参照)。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

前記フォトダイオードの主要部の上部に位置する前記半導体基板の前記表面には、グローバルシャッターの機能を実現するための電荷蓄積部(T H)を更に具備したことを特徴とするものである(図1参照)。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正の内容】

【0040】

前記裏面照射型固体撮像装置は、前記フォトダイオードの前記N型不純物領域(2)と前記電荷蓄積部(T H)との間に接続された第1転送ゲート(1TR)と、前記電荷蓄積部(T H)と前記読み出し用N型不純物半導体領域(4)との間に接続された第2転送ゲート(2TR)とを更に前記半導体基板に具備したものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正の内容】

【0042】

より好適な実施の形態では、前記電荷蓄積部(T H)と前記第2転送ゲート(2 T R)との各構造は、前記P型不純物領域と前記半導体基板の前記表面に形成された表面絶縁膜とゲート電極とを有する表面型MOSキャパシタによって構成されたことを特徴とするものである(図2参照)。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

他のより好適な実施の形態では、前記電荷蓄積部(T H)の前記ゲート電極(G 2)の直下に位置する前記P型不純物領域と前記N型不純物領域(2)との間の他のPN接合(P D)によって、前記第1転送ゲート(1 T R)が形成されたことを特徴とするものである(図1参照)。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

更に他のより好適な実施の形態では、前記電荷蓄積部(T H)の前記ゲート電極(G 2)の直下の前記半導体基板の前記表面には、前記信号電子をその内部に蓄積する蓄積用N型N型不純物半導体領域(7)が形成されたことを特徴とするものである(図3参照)。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0100

【補正方法】変更

【補正の内容】

【0100】

図10の左下には、図9に示した2個の画素構造P IX E L 1、P IX E L 2とリセット制御MOSトランジスタQ 3と読み出しMOSトランジスタQ 1と垂直選択MOSトランジスタQ 2とが素子配置されたものである。最初に、図10の左下の左側には、第1の画素構造P IX E L 1のゲート電極G 3を有する第2転送ゲート2 T Rとゲート電極G 2を有する電荷蓄積部T Hとフローティング・ディフュージョン(F D)のN⁺不純物領域4によって形成されたPN接合の容量F D_Cとが素子配置されて、電荷蓄積部T Hの直下にはフォトダイオード(P D)が形成されている。次に、第1の画素構造P IX E L 1の容量F D_Cと第2転送ゲート2 T Rと電荷蓄積部T Hの右側には、共用回路素子のリセット制御MOSトランジスタQ 3と半導体集積回路1のP型ウェル領域P - We 1 1を接地電位G N Dに接続する接地配線P - We 1 1 G N Dが形成されている。尚、接地配線P - We 1 1 G N Dは、P⁺不純物領域5とオーミック接触されたものである。更にリセット制御MOSトランジスタQ 3と接地配線P - We 1 1 G N Dの右側に、第2の画素構造P IX E L 1の容量F D_Cとゲート電極G 3を有する第2転送ゲート2 T Rとゲート電極G 2を有する電荷蓄積部T Hとが素子配置され、電荷蓄積部T Hの直下にはフォトダイオード(P D)が形成されている。最後に、第2の画素構造P IX E L 2の容量F D_Cと第2転送ゲート2 T Rと電荷蓄積部T Hとの右側には、共用回路素子の読み出しMOSトランジスタQ 1と垂直選択MOSトランジスタQ 2とが素子配置されている。全く同様に、図10の左上と右下と右上にも、同様な素子配置が行われている。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】 0 1 2 0

【補正方法】 変更

【補正の内容】

【0 1 2 0】

時刻 T 1 1 よりも若干遅延して第 2 の行 R o w _ 2 の複数の画素構造 P 2 1 、 P 2 2 ~ P 2 M の各画素構造の第 2 転送ゲート 2 T R のゲート電極 G 3 に供給される第 2 転送ゲート駆動信号 S G 3 _ 2 がローレベルからハイレベルに変化して、時刻 1 2 よりも若干早期に第 2 転送ゲート駆動信号 S G 3 _ 2 がハイレベルからローレベルに変化する。従って、略時刻 T 1 1 から時刻 T 1 2 の期間に、第 2 の行 R o w _ 2 の複数の画素構造 P 2 1 、 P 2 2 ~ P 2 M の各画素構造において、電荷蓄積部 T H に蓄積されていた信号電子がフローティング・ディフュージョン(F D)の N ⁺ 不純物領域 4 に転送される。