



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0144729
(43) 공개일자 2021년11월30일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) C23C 16/01 (2006.01)
C23C 16/34 (2006.01) C30B 25/02 (2006.01)
C30B 29/38 (2006.01)</p> <p>(52) CPC특허분류
H01L 21/02389 (2013.01)
C23C 16/01 (2013.01)</p> <p>(21) 출원번호 10-2021-7031332</p> <p>(22) 출원일자(국제) 2020년03월25일
심사청구일자 없음</p> <p>(85) 번역문제출일자 2021년09월29일</p> <p>(86) 국제출원번호 PCT/JP2020/013298</p> <p>(87) 국제공개번호 WO 2020/203541
국제공개일자 2020년10월08일</p> <p>(30) 우선권주장
JP-P-2019-066016 2019년03월29일 일본(JP)
(뒷면에 계속)</p> | <p>(71) 출원인
미쯔비시 케미컬 주식회사
일본 도쿄도 치요다쿠 마루노우치 1초메 1방 1고</p> <p>(72) 발명자
이소 겐지
일본 도쿄도 치요다쿠 마루노우치 1초메 1방 1고
미쯔비시 케미컬 주식회사 나이</p> <p>(74) 대리인
특허법인코리아나</p> |
|---|---|

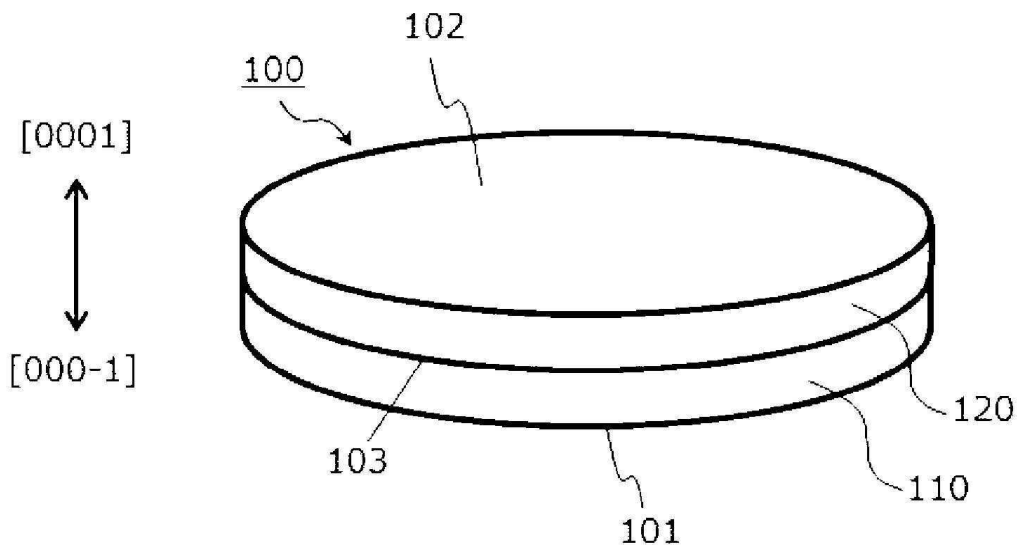
전체 청구항 수 : 총 35 항

(54) 발명의 명칭 GaN 기판 웨이퍼 및 GaN 기판 웨이퍼의 제조 방법

(57) 요약

도핑에 의해 증가된 캐리어 농도를 갖는 GaN 기판 상에 디바이스 구조가 형성된 질화물 반도체 디바이스의 제조에 바람직하게 사용될 수 있는, 개선된 생산성을 갖는 GaN 기판 웨이퍼 및 그 제조 방법을 제공하는 것. (0001) 배향된 GaN 웨이퍼로서, 재성장 계면을 사이에 두고 N 극성측에 형성된 제 1 영역과, Ga 극성측에 형성된 제 2 영역을 갖고, 그 제 2 영역의 최소 두께가 20 μm 이상 300 μm 이하이고, 그 제 2 영역에는, 그 제 1 영역보다 도너 불순물 총농도가 높은 영역이 포함되는, GaN 기판 웨이퍼. 제 2 영역 중, 당해 GaN 기판 웨이퍼의 Ga 극성측의 주면으로부터 특정 길이 이내에 있는 영역을 주도프 영역으로 정하고, 적어도 그 주도프 영역에 있어서 도너 불순물의 총농도가 1×10^{18} atoms/cm³ 이상이도록 그 제 2 영역을 도핑해도 된다.

대표도 - 도1



(52) CPC특허분류

C23C 16/34 (2013.01)

C30B 25/02 (2013.01)

C30B 29/38 (2013.01)

H01L 21/0243 (2013.01)

H01L 21/02433 (2013.01)

H01L 21/0254 (2013.01)

H01L 21/0257 (2013.01)

H01L 21/02609 (2013.01)

H01L 21/02634 (2013.01)

(30) 우선권주장

JP-P-2019-095873 2019년05월22일 일본(JP)

JP-P-2019-109206 2019년06월12일 일본(JP)

명세서

청구범위

청구항 1

(0001) 배향된 GaN 기판 웨이퍼로서, 재성장 계면을 사이에 두고 N 극성층에 형성된 제 1 영역과, Ga 극성층에 형성된 제 2 영역을 갖고, 그 제 2 영역의 최소 두께가 20 μm 이상 300 μm 이하이고, 그 제 2 영역에는, 그 제 1 영역보다 도너 불순물 총농도가 높은 영역이 포함되는, GaN 기판 웨이퍼.

청구항 2

제 1 항에 있어서,

상기 제 1 영역보다 도너 불순물 총농도가 높은 영역의 적어도 일부의 캐리어 농도가, $1 \times 10^{18} \text{ cm}^{-3}$ 이상인, GaN 기판 웨이퍼.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 GaN 기판 웨이퍼가, 이하의 (1) ~ (3) 에서 선택되는 어느 조건을 충족하는, GaN 기판 웨이퍼.

(1) 50 mm 이상 55 mm 이하의 직경과 250 μm 이상 450 μm 이하의 두께를 갖는다.

(2) 100 mm 이상 105 mm 이하의 직경과 350 μm 이상 750 μm 이하의 두께를 갖는다.

(3) 150 mm 이상 155 mm 이하의 직경과 450 μm 이상 800 μm 이하의 두께를 갖는다.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 2 영역은, 도너 불순물 총농도가 $1 \times 10^{18} \text{ atoms/cm}^3$ 이상인 주도프 영역을 갖는, GaN 기판 웨이퍼.

청구항 5

제 4 항에 있어서,

상기 제 2 영역에 있어서, GaN 극성층의 주면으로부터 특정 길이 이내의 영역이 상기 주도프 영역이고, 또한, 그 특정 길이가 1 μm 이상인, GaN 기판 웨이퍼.

청구항 6

제 5 항에 있어서,

상기 제 2 영역의 최소 두께가 상기 특정 길이의 1.2 배 이하인, GaN 기판 웨이퍼.

청구항 7

제 4 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 주도프 영역에 있어서, c 축 방향을 따른 도너 불순물 총농도의 변동이, 중앙값으로부터 $\pm 25\%$ 의 범위 내인, GaN 기판 웨이퍼.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제 2 영역에 가장 높은 농도로 함유되는 불순물이 Si 또는 Ge 인, GaN 기판 웨이퍼.

청구항 9

제 4 항 내지 제 7 항 중 어느 한 항에 있어서,
상기 주도프 영역에 가장 높은 농도로 함유되는 불순물이 Si 또는 Ge 인, GaN 기판 웨이퍼.

청구항 10

제 4 항 내지 제 9 항 중 어느 한 항에 있어서,
상기 주도프 영역에 있어서, Si 를 제외한 도너 불순물의 총농도가 Si 농도의 10 % 이하인, GaN 기판 웨이퍼.

청구항 11

제 4 항 내지 제 10 항 중 어느 한 항에 있어서,
상기 주도프 영역에 있어서, Ge 농도가 1×10^{18} atoms/cm³ 이상이고, 또한 Si 농도가 4×10^{17} atoms/cm³ 이상인, GaN 기판 웨이퍼.

청구항 12

제 1 항 내지 제 11 항 중 어느 한 항에 있어서,
상기 제 1 영역 및 제 2 영역 중 적어도 어느 일방의 불순물 농도가, 하기의 (a) ~ (c) 에서 선택되는 하나 이상의 조건을 충족하는, GaN 기판 웨이퍼.

(a) Si 농도가 5×10^{16} atoms/cm³ 이상

(b) O 농도가 3×10^{16} atoms/cm³ 이하

(c) H 농도가 1×10^{17} atoms/cm³ 이하

청구항 13

제 1 항 내지 제 12 항 중 어느 한 항에 있어서,
상기 제 1 영역에 있어서, Si 농도가 1×10^{18} atoms/cm³ 미만인, GaN 기판 웨이퍼.

청구항 14

제 1 항 내지 제 13 항 중 어느 한 항에 있어서,
상기 재성장 계면이 조면인, GaN 기판 웨이퍼.

청구항 15

제 1 항 내지 제 14 항 중 어느 한 항에 있어서,
Ga 극성측의 주면에 있어서의 전위 밀도가, 상기 재성장 계면의 근방에 있어서의 상기 제 1 영역의 전위 밀도의 0.5 배 이상 2 배 미만인, GaN 기판 웨이퍼.

청구항 16

제 1 항 내지 제 15 항 중 어느 한 항에 있어서,
Ga 극성측의 주면이 평탄면인, GaN 기판 웨이퍼.

청구항 17

제 1 항 내지 제 16 항 중 어느 한 항에 기재된 GaN 기판 웨이퍼와, 그 GaN 기판 웨이퍼의 Ga 극성면 상에 에피택셜 성장한 질화물 반도체층을 갖는 에피택셜 웨이퍼.

청구항 18

제 1 항 내지 제 16 항 중 어느 한 항에 기재된 GaN 기판 웨이퍼를 준비하는 공정과, 그 GaN 기판 웨이퍼의 Ga 극성면 상에 질화물 반도체층을 성장시켜 에피택셜 웨이퍼를 얻는 공정을 갖는 에피택셜 웨이퍼의 제조 방법.

청구항 19

제 1 항 내지 제 16 항 중 어느 한 항에 기재된 GaN 기판 웨이퍼를 준비하는 공정과, 그 GaN 기판 웨이퍼의 Ga 극성면 상에 질화물 반도체층을 성장시켜 에피택셜 웨이퍼를 얻는 공정과, 상기 GaN 기판 웨이퍼의 상기 제 1 영역의 적어도 일부를 제거하는 공정을 갖는 반도체 디바이스의 제조 방법.

청구항 20

기판 상에, (0001) 배향된 제 2 GaN 후막을 HVPE 에 의해 성장시킨 후, 그 제 2 GaN 후막을 슬라이스함으로써 제 2 c 면 GaN 웨이퍼를 얻는 제 2 공정과,

그 제 2 c 면 GaN 웨이퍼 상에, (0001) 배향된 두께 500 μm 이하의 GaN 막을 HVPE 에 의해 성장시키는 제 3 공정을 갖고, 또한,

그 GaN 막은, 그 제 2 c 면 GaN 웨이퍼보다 도너 불순물의 총농도가 높은 영역을 갖는, GaN 기판 웨이퍼의 제조 방법.

청구항 21

재성장 계면을 사이에 두고 N 극성층에 형성된 제 1 영역과 Ga 극성층에 형성된 제 2 영역을 갖는 GaN 기판 웨이퍼를 제조하는 방법으로서,

(i) 의도적으로 도핑되어 있지 않은 GaN 으로 이루어지고 (0001) 배향된 제 1 GaN 후막을, 시드 웨이퍼 상에 HVPE 로 성장시킨 후, 그 제 1 GaN 후막으로부터 적어도 1 장의 제 1 c 면 GaN 웨이퍼를 얻는 제 1 공정과,

(ii) 의도적으로 도핑되어 있지 않은 GaN 으로 이루어지고 (0001) 배향된 제 2 GaN 후막을, 그 제 1 c 면 GaN 웨이퍼 상에 HVPE 로 성장시킨 후, 그 제 2 GaN 후막을 슬라이스함으로써, 제 2 c 면 GaN 웨이퍼를 얻는 제 2 공정과,

(iii) (0001) 배향된 두께 500 μm 이하의 GaN 막을, 그 제 2 c 면 GaN 웨이퍼 상에 HVPE 로 성장시키는 제 3 공정을 갖고, 또한,

그 GaN 막은, 그 제 2 c 면 GaN 웨이퍼보다 도너 불순물의 총농도가 높은 영역을 갖는, GaN 기판 웨이퍼 제조 방법.

청구항 22

제 20 항 또는 제 21 항에 있어서,

상기 제 2 c 면 GaN 웨이퍼보다 도너 불순물의 총농도가 높은 영역의 적어도 일부의 캐리어 농도가, $1 \times 10^{18} \text{ cm}^{-3}$ 이상인, GaN 기판 웨이퍼의 제조 방법.

청구항 23

제 20 항 내지 제 22 항 중 어느 한 항에 있어서,

상기 GaN 기판 웨이퍼가, 이하의 (1) ~ (3) 에서 선택되는 어느 조건을 충족하는, GaN 기판 웨이퍼의 제조 방법.

- (1) 50 mm 이상 55 mm 이하의 직경과 250 μm 이상 450 μm 이하의 두께를 갖는다.
- (2) 100 mm 이상 105 mm 이하의 직경과 350 μm 이상 750 μm 이하의 두께를 갖는다.
- (3) 150 mm 이상 155 mm 이하의 직경과 450 μm 이상 800 μm 이하의 두께를 갖는다.

청구항 24

제 20 항 내지 제 23 항 중 어느 한 항에 있어서,

상기 GaN 막이, 그 GaN 막의 상면으로부터 c 축 방향의 영역 길이가 1 μm 이상이고, 또한, 영역 내의 도너 불순물의 총농도가 1×10^{18} atoms/cm³ 이상인, 특정 도프 영역을 갖는, GaN 기판 웨이퍼의 제조 방법.

청구항 25

제 24 항에 있어서,

상기 특정 도프 영역의 c 축 방향의 영역 길이가, 20 μm 이상인, GaN 기판 웨이퍼의 제조 방법.

청구항 26

제 24 항 또는 제 25 항에 있어서,

상기 특정 도프 영역 내에 있어서, c 축 방향을 따른 도너 불순물의 총농도의 변동이 중앙값 ± 25 % 이내인, GaN 기판 웨이퍼의 제조 방법.

청구항 27

제 24 항 내지 제 26 항 중 어느 한 항에 있어서,

상기 GaN 막이, 상기 특정 도프 영역과 상기 제 2 c 면 GaN 웨이퍼 사이에 두께 50 μm 이하의 개재 영역을 갖는, GaN 기판 웨이퍼의 제조 방법.

청구항 28

제 24 항 내지 제 27 항 중 어느 한 항에 있어서,

상기 특정 도프 영역이 가장 높은 농도로 함유하는 불순물이 Si 또는 Ge 인, GaN 기판 웨이퍼의 제조 방법.

청구항 29

제 24 항 내지 제 28 항 중 어느 한 항에 있어서,

상기 특정 도프 영역에 있어서, Si 를 제외한 도너의 총농도가 Si 농도의 10 % 이하인, GaN 기판 웨이퍼의 제조 방법.

청구항 30

제 24 항 내지 제 29 항 중 어느 한 항에 있어서,

상기 특정 도프 영역에 있어서, Ge 농도가 1×10^{18} atoms/cm³ 이상이고, 또한 Si 농도가 4×10^{17} atoms/cm³ 이상인, GaN 기판 웨이퍼의 제조 방법.

청구항 31

제 20 항 내지 제 30 항 중 어느 한 항에 있어서,

상기 제 3 공정 후에 상기 GaN 막을 박화하는 박화 공정을 갖는, GaN 기판 웨이퍼의 제조 방법.

청구항 32

제 31 항에 있어서,

상기 박화 공정 전후에 있어서의 상기 GaN 막의 두께차가 200 μm 이하인, GaN 기판 웨이퍼의 제조 방법.

청구항 33

제 20 항 내지 제 32 항 중 어느 한 항에 있어서,

상기 GaN 기판 웨이퍼와 상기 제 2 c 면 GaN 웨이퍼의 오프셋 방위가 상이한, GaN 기판 웨이퍼의 제조 방법.

청구항 34

제 20 항 내지 제 33 항 중 어느 한 항에 있어서,

상기 제 2 공정과 상기 제 3 공정 사이에, 그 제 2 공정에서 얻어진 상기 제 2 c 면 GaN 웨이퍼의 Ga 극성면을 평탄화하는 평탄화 공정, 추가로 에칭에 의해 조화하는 조화 공정을 갖는, GaN 기판 웨이퍼의 제조 방법.

청구항 35

제 31 항 내지 제 34 항 중 어느 한 항에 있어서,
상기 박화에 있어서, 슬라이스 가공하지 않고 상기 GaN 막을 박화하는, GaN 기판 웨이퍼의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은, 주로, GaN 기판 웨이퍼와 그 제조 방법에 관한 것이다. GaN 기판 웨이퍼란, GaN (질화갈륨) 으로 이루어지는 기판 웨이퍼이다. 기판 웨이퍼란, 주로 반도체 디바이스의 제조 프로세스에 있어서 기판으로서 사용되는 웨이퍼이다.

배경 기술

[0002] 현재 상업적으로 생산되고 있는 InGaN 계의 레이저 다이오드 (LD) 에 사용되고 있는 기판은, 비교적 높은 캐리어 농도를 갖는 GaN 기판이다. 최근에는, 이러한 GaN 기판을 사용한 중형 GaN 파워 디바이스의 연구 개발이 활발하다.

[0003] 사파이어 웨이퍼 상에 GaN 후막을 HVPE (Hydride Vapor Phase Epitaxy) 로 성장시킬 때에, 그 GaN 후막의 하부에 불순물 농도가 낮은 영역, 상부에 불순물 농도가 높은 영역을 형성하면, 그 GaN 후막을 그 사파이어 웨이퍼로부터 박리시켰을 때에, 이면측에 불순물 농도가 낮은 영역을 갖고, 표면측에 불순물 농도가 높은 영역을 갖는 GaN 기판 웨이퍼가 얻어진다 (특허문헌 1, 특허문헌 2).

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 공개특허공보 2007-70154호
(특허문헌 0002) 일본 공개특허공보 2007-251178호

발명의 내용

해결하려는 과제

[0005] 특허문헌 1 또는 특허문헌 2 에 개시된 방법으로, 이면측에 불순물 농도가 낮은 영역을 갖고, 표면측에 불순물 농도가 높은 영역을 갖는 GaN 기판 웨이퍼를 제조하는 경우, 1 장의 GaN 기판 웨이퍼를 만들 때마다, 1 장의 사파이어 웨이퍼 상에 HVPE 로 GaN 후막을 성장시킬 필요가 있다. 그 때문에, 특허문헌 1 또는 특허문헌 2 에 개시된 방법은 제조 효율이 높은 것이라고는 할 수 없다.

과제의 해결 수단

[0006] 본 발명자는, 저불순물 농도의 GaN 웨이퍼를 미리 제조한 다음, 그 위에 고불순물 농도의 GaN 층을 특정한 두께로 성장시키면, 불순물 농도를 높인 영역을 표면측에만 갖는 GaN 기판 웨이퍼를, 보다 효율적으로 생산할 수 있는 것을 알아냈다.

[0007] 본 발명은 이러한 착상에 기초하여 이루어진 것으로, 그 실시형태에는 이하가 포함된다.

[0008] [1] (0001) 배향된 GaN 기판 웨이퍼로서, 재성장 계면을 사이에 두고 N 극성측에 형성된 제 1 영역과, Ga 극성측에 형성된 제 2 영역을 갖고, 그 제 2 영역의 최소 두께가 20 μm 이상 300 μm 이하이고, 그 제 2 영역에는, 그 제 1 영역보다 도너 불순물 총농도가 높은 영역이 포함되는, GaN 기판 웨이퍼.

[0009] [2] 상기 제 1 영역보다 도너 불순물 총농도가 높은 영역의 적어도 일부의 캐리어 농도가, $1 \times 10^{18} \text{ cm}^{-3}$ 이상

인, 상기 [1] 에 기재된 GaN 기판 웨이퍼.

- [0010] [3] 상기 GaN 기판 웨이퍼가, 이하의 (1) ~ (3) 에서 선택되는 어느 조건을 충족하는, 상기 [1] 또는 [2] 에 기재된 GaN 기판 웨이퍼.
- [0011] (1) 50 mm 이상 55 mm 이하의 직경과 250 μm 이상 450 μm 이하의 두께를 갖는다.
- [0012] (2) 100 mm 이상 105 mm 이하의 직경과 350 μm 이상 750 μm 이하의 두께를 갖는다.
- [0013] (3) 150 mm 이상 155 mm 이하의 직경과 450 μm 이상 800 μm 이하의 두께를 갖는다.
- [0014] [4] 상기 제 2 영역은, 도너 불순물 총농도가 1×10^{18} atoms/cm³ 이상인 주도프 영역을 갖는, 상기 [1] ~ [3] 중 어느 하나에 기재된 GaN 기판 웨이퍼.
- [0015] [5] 상기 제 2 영역에 있어서, GaN 극성층의 주면으로부터 특정 길이 이내의 영역이 상기 주도프 영역이고, 또한, 그 특정 길이가 1 μm 이상인, 상기 [4] 에 기재된 GaN 기판 웨이퍼.
- [0016] [6] 상기 제 2 영역의 최소 두께가 상기 특정 길이의 1.2 배 이하인, 상기 [5] 에 기재된 GaN 기판 웨이퍼.
- [0017] [7] 상기 주도프 영역에 있어서, c 축 방향을 따른 도너 불순물 총농도의 변동이, 중앙값으로부터 ± 25 % 의 범위 내인, 상기 [4] ~ [6] 중 어느 하나에 기재된 GaN 기판 웨이퍼.
- [0018] [8] 상기 제 2 영역에 가장 높은 농도로 함유되는 불순물이 Si 또는 Ge 인, 상기 [1] ~ [7] 중 어느 하나에 기재된 GaN 기판 웨이퍼.
- [0019] [9] 상기 주도프 영역에 가장 높은 농도로 함유되는 불순물이 Si 또는 Ge 인, [4] ~ [7] 중 어느 하나에 기재된 GaN 기판 웨이퍼.
- [0020] [10] 상기 주도프 영역에 있어서, Si 를 제외한 도너 불순물의 총농도가 Si 농도의 10 % 이하인, 상기 [4] ~ [9] 중 어느 하나에 기재된 GaN 기판 웨이퍼.
- [0021] [11] 상기 주도프 영역에 있어서, Ge 농도가 1×10^{18} atoms/cm³ 이상이고, 또한 Si 농도가 4×10^{17} atoms/cm³ 이상인, 상기 [4] ~ [10] 중 어느 하나에 기재된 GaN 기판 웨이퍼.
- [0022] [12] 상기 제 1 영역 및 제 2 영역 중 적어도 어느 일방의 불순물 농도가, 하기의 (a) ~ (c) 에서 선택되는 하나 이상의 조건을 충족하는, 상기 [1] ~ [11] 중 어느 하나에 기재된 GaN 기판 웨이퍼.
- [0023] (a) Si 농도가 5×10^{16} atoms/cm³ 이상
- [0024] (b) O 농도가 3×10^{16} atoms/cm³ 이하
- [0025] (c) H 농도가 1×10^{17} atoms/cm³ 이하
- [0026] [13] 상기 제 1 영역에 있어서, Si 농도가 1×10^{18} atoms/cm³ 미만인, 상기 [1] ~ [12] 중 어느 하나에 기재된 GaN 기판 웨이퍼.
- [0027] [14] 상기 재성장 계면이 조면(粗面)인, 상기 [1] ~ [13] 중 어느 하나에 기재된 GaN 기판 웨이퍼.
- [0028] [15] Ga 극성층의 주면에 있어서의 전위 밀도가, 상기 재성장 계면의 근방에 있어서의 상기 제 1 영역의 전위 밀도의 0.5 배 이상 2 배 미만인, 상기 [1] ~ [14] 중 어느 하나에 기재된 GaN 기판 웨이퍼.
- [0029] [16] Ga 극성층의 주면이 평탄면인, 상기 [1] ~ [15] 중 어느 하나에 기재된 GaN 기판 웨이퍼.
- [0030] [17] 상기 [1] ~ [16] 중 어느 하나에 기재된 GaN 기판 웨이퍼와, 그 GaN 기판 웨이퍼의 Ga 극성면 상에 에피택셀 성장한 질화물 반도체층을 갖는 에피택셀 웨이퍼.
- [0031] [18] 상기 [1] ~ [16] 중 어느 하나에 기재된 GaN 기판 웨이퍼를 준비하는 공정과, 그 GaN 기판 웨이퍼의 Ga 극성면 상에 질화물 반도체층을 성장시켜 에피택셀 웨이퍼를 얻는 공정을 갖는 에피택셀 웨이퍼의 제조 방법.
- [0032] [19] 상기 [1] ~ [16] 중 어느 하나에 기재된 GaN 기판 웨이퍼를 준비하는 공정과, 그 GaN 기판 웨이퍼의 Ga 극성면 상에 질화물 반도체층을 성장시켜 에피택셀 웨이퍼를 얻는 공정과, 상기 GaN 기판 웨이퍼의 상기 제 1 영역의 적어도 일부를 제거하는 공정을 갖는 반도체 디바이스의 제조 방법.

- [0033] [20] 기판 상에, (0001) 배향된 제 2 GaN 후막을 HVPE 에 의해 성장시킨 후, 그 제 2 GaN 후막을 슬라이스함으로써 제 2 c 면 GaN 웨이퍼를 얻는 제 2 공정과, 그 제 2 c 면 GaN 웨이퍼 상에, (0001) 배향된 두께 500 μm 이하의 GaN 막을 HVPE 에 의해 성장시키는 제 3 공정을 갖고, 또한, 그 GaN 막은, 그 제 2 c 면 GaN 웨이퍼보다 도너 불순물의 총농도가 높은 영역을 갖는, GaN 기판 웨이퍼의 제조 방법.
- [0034] [21] 재성장 계면을 사이에 두고 N 극성측에 형성된 제 1 영역과 Ga 극성측에 형성된 제 2 영역을 갖는 GaN 기판 웨이퍼를 제조하는 방법으로서,
- [0035] (i) 의도적으로 도핑되어 있지 않은 GaN 으로 이루어지고 (0001) 배향된 제 1 GaN 후막을, 시드 웨이퍼 상에 HVPE 로 성장시킨 후, 그 제 1 GaN 후막으로부터 적어도 1 장의 제 1 c 면 GaN 웨이퍼를 얻는 제 1 공정과,
- [0036] (ii) 의도적으로 도핑되어 있지 않은 GaN 으로 이루어지고 (0001) 배향된 제 2 GaN 후막을, 그 제 1 c 면 GaN 웨이퍼 상에 HVPE 로 성장시킨 후, 그 제 2 GaN 후막을 슬라이스함으로써, 제 2 c 면 GaN 웨이퍼를 얻는 제 2 공정과,
- [0037] (iii) (0001) 배향된 두께 500 μm 이하의 GaN 막을, 그 제 2 c 면 GaN 웨이퍼 상에 HVPE 로 성장시키는 제 3 공정을 갖고, 또한,
- [0038] 그 GaN 막은, 그 제 2 c 면 GaN 웨이퍼보다 도너 불순물의 총농도가 높은 영역을 갖는, GaN 기판 웨이퍼 제조 방법.
- [0039] [22] 상기 제 2 c 면 GaN 웨이퍼보다 도너 불순물의 총농도가 높은 영역의 적어도 일부의 캐리어 농도가, $1 \times 10^{18} \text{ cm}^{-3}$ 이상인, 상기 [20] 또는 [21] 에 기재된 GaN 기판 웨이퍼의 제조 방법.
- [0040] [23] 상기 GaN 기판 웨이퍼가, 이하의 (1) ~ (3) 에서 선택되는 어느 조건을 충족하는, 상기 [20] ~ [22] 중 어느 하나에 기재된 GaN 기판 웨이퍼의 제조 방법.
- [0041] (1) 50 mm 이상 55 mm 이하의 직경과 250 μm 이상 450 μm 이하의 두께를 갖는다.
- [0042] (2) 100 mm 이상 105 mm 이하의 직경과 350 μm 이상 750 μm 이하의 두께를 갖는다.
- [0043] (3) 150 mm 이상 155 mm 이하의 직경과 450 μm 이상 800 μm 이하의 두께를 갖는다.
- [0044] [24] 상기 GaN 막이, 그 GaN 막의 상면으로부터 c 축 방향의 영역 길이가 1 μm 이상이고, 또한, 영역 내의 도너 불순물의 총농도가 $1 \times 10^{18} \text{ atoms/cm}^3$ 이상인, 특정 도프 영역을 갖는, 상기 [20] ~ [23] 중 어느 하나에 기재된 GaN 기판 웨이퍼의 제조 방법.
- [0045] [25] 상기 특정 도프 영역의 c 축 방향의 영역 길이가, 20 μm 이상인, 상기 [24] 에 기재된 GaN 기판 웨이퍼의 제조 방법.
- [0046] [26] 상기 특정 도프 영역 내에 있어서, c 축 방향을 따른 도너 불순물의 총농도의 변동이 중앙값 $\pm 25\%$ 이내인, 상기 [24] 또는 [25] 에 기재된 GaN 기판 웨이퍼의 제조 방법.
- [0047] [27] 상기 GaN 막이, 상기 특정 도프 영역과 상기 제 2 c 면 GaN 웨이퍼 사이에 두께 50 μm 이하의 개재 영역을 갖는, 상기 [24] ~ [26] 중 어느 하나에 기재된 GaN 기판 웨이퍼의 제조 방법.
- [0048] [28] 상기 특정 도프 영역이 가장 높은 농도로 함유하는 불순물이 Si 또는 Ge 인, 상기 [24] ~ [27] 중 어느 하나에 기재된 GaN 기판 웨이퍼의 제조 방법.
- [0049] [29] 상기 특정 도프 영역에 있어서, Si 를 제외한 도너의 총농도가 Si 농도의 10 % 이하인, 상기 [24] ~ [28] 중 어느 하나에 기재된 GaN 기판 웨이퍼의 제조 방법.
- [0050] [30] 상기 특정 도프 영역에 있어서, Ge 농도가 $1 \times 10^{18} \text{ atoms/cm}^3$ 이상이고, 또한 Si 농도가 $4 \times 10^{17} \text{ atoms/cm}^3$ 이상인, 상기 [24] ~ [29] 중 어느 하나에 기재된 GaN 기판 웨이퍼의 제조 방법.
- [0051] [31] 상기 제 3 공정 후에 상기 GaN 막을 박화하는 박화 공정을 갖는, 상기 [20] ~ [30] 중 어느 하나에 기재된 GaN 기판 웨이퍼의 제조 방법.
- [0052] [32] 상기 박화 공정 전후에 있어서의 상기 GaN 막의 두께차가 200 μm 이하인, 상기 [31] 에 기재된 GaN 기판 웨이퍼의 제조 방법.

- [0053] [33] 상기 GaN 기판 웨이퍼와 상기 제 2 c 면 GaN 웨이퍼의 오프셋 방위가 상이한, 상기 [20] ~ [32] 중 어느 하나에 기재된 GaN 기판 웨이퍼의 제조 방법.
- [0054] [34] 상기 제 2 공정과 상기 제 3 공정 사이에, 그 제 2 공정에서 얻어진 상기 제 2 c 면 GaN 웨이퍼의 Ga 극성면을 평탄화하는 평탄화 공정, 추가로 에칭에 의해 조화하는 조화 공정을 갖는, 상기 [20] ~ [33] 중 어느 하나에 기재된 GaN 기판 웨이퍼의 제조 방법.
- [0055] [35] 상기 박화 공정에 있어서, 슬라이스 가공하지 않고 상기 GaN 막을 박화하는, [31] ~ [34] 중 어느 하나에 기재된 GaN 기판 웨이퍼의 제조 방법.

발명의 효과

- [0056] 본 발명에 의하면, 높은 캐리어 농도를 갖고, 고성능의 GaN 기판 웨이퍼를 제공할 수 있다. 또, 본 발명에 의하면, 높은 캐리어 농도를 갖는 GaN 기판 웨이퍼를 효율적으로 제조하는 방법을 제공할 수 있다. 그 때문에, 높은 캐리어 농도를 갖는 GaN 기판 상에 디바이스 구조가 형성된 질화물 반도체 디바이스의 제조에 바람직하게 사용될 수 있다.

도면의 간단한 설명

- [0057] 도 1 은, 실시형태에 관련된 GaN 기판 웨이퍼를 나타내는 사시도이다.
- 도 2 는, 실시형태에 관련된 GaN 기판 웨이퍼를 나타내는 단면도이다.
- 도 3 은, 실시형태에 관련된 GaN 기판 웨이퍼를 나타내는 단면도이다.
- 도 4 는, 실시형태에 관련된 GaN 기판 웨이퍼를 사용한 질화물 반도체 디바이스의 제조 공정을 설명하기 위한 공정 단면도이다.
- 도 5 는, 실시형태에 관련된 GaN 기판 웨이퍼 제조 방법을 설명하기 위한 공정 단면도이다.
- 도 6 은, 실시형태에 관련된 GaN 기판 웨이퍼 제조 방법을 설명하기 위한 공정 단면도이다.
- 도 7 은, 실시형태에 관련된 GaN 기판 웨이퍼 제조 방법을 설명하기 위한 공정 단면도이다.
- 도 8 은, HVPE 장치의 기본 구성을 나타내는 모식도이다.
- 도 9 는, 실시예에서 제조한 GaN 기판 웨이퍼의 캐리어 농도를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0058] 이하에 본 발명의 실시형태를 상세하게 설명한다. 이하에 기재하는 구성 요건의 설명은 본 발명의 실시형태의 일례 (대표예) 이며, 본 발명은 그 요지를 넘지 않는 한, 이들 내용에 특정되지는 않는다.
- [0059] 본 발명에 있어서 「X ~ Y」(X, Y 는 임의의 숫자) 라고 표현한 경우, 특별히 기재하지 않는 한 「X 이상 Y 이하」의 의미와 함께, 「바람직하게는 X 보다 크다」 및 「바람직하게는 Y 보다 작다」의 의미를 포함한다.
- [0060] 1. GaN 기판 웨이퍼
- [0061] 본 발명의 일 실시형태는 GaN 기판 웨이퍼에 관한 것이다.
- [0062] 실시형태에 관련된 GaN 기판 웨이퍼는, (0001) 배향된 GaN 웨이퍼이고, 재성장 계면을 사이에 두고 N 극성측에 형성된 제 1 영역과, Ga 극성측에 형성된 제 2 영역으로 이루어진다. 그 제 2 영역은, 최소 두께가 20 μm 이상 300 μm 이하이다. 그 제 2 영역에는, 도너 불순물의 총농도가 그 제 1 영역보다 높은 영역이 포함된다. 또한, 본 명세서에 있어서 「불순물」이란, GaN 기판에 함유되는 Ga 원소 및 N 원소 이외의 성분을 의미한다.
- [0063] 그 영역의 적어도 일부에 있어서의 캐리어 농도는, $1 \times 10^{18} \text{ cm}^{-3}$ 이상, 나아가서는 $2 \times 10^{18} \text{ cm}^{-3}$ 이상, 나아가서는 $3 \times 10^{18} \text{ cm}^{-3}$ 이상, 나아가서는 $4 \times 10^{18} \text{ cm}^{-3}$ 이상, 나아가서는 $6 \times 10^{18} \text{ cm}^{-3}$ 이상, 나아가서는 $8 \times 10^{18} \text{ cm}^{-3}$ 이상일 수 있다. 또한, 본 명세서에서 캐리어 농도를 언급할 때에는, 특별히 언급하지 않는 한, 실온에서의 캐리어 농도를 의미한다.

- [0064] (0001) 배향된 GaN 웨이퍼란, (0001) 결정면, 즉 c 면과 평행 또는 대략 평행한 주면 (대면적면) 을 갖는 GaN 웨이퍼이고, c 면 GaN 웨이퍼라고도 한다.
- [0065] 도 1 및 도 2 에, 실시형태에 관련된 GaN 기판 웨이퍼의 일례를 나타낸다. 도 1 은 사시도이고, 도 2 는 단면도이다.
- [0066] 도 1 및 도 2 에 나타내는 GaN 기판 웨이퍼 (100) 는, GaN 결정만으로 이루어지는, 자립한 기판 웨이퍼이고, 그 2 개의 주면의 일방은 N 극성면 (101), 타방은 Ga 극성면 (102) 이다.
- [0067] N 극성면 (101) 과 Ga 극성면 (102) 은 서로 평행이다.
- [0068] GaN 기판 웨이퍼 (100) 는 (0001) 배향되어 있고, Ga 극성면 (102) 의 (0001) 결정면으로부터의 경사는 10 도 이하 (0 도를 포함한다) 이다. 그 경사는, 0.2 도 이상이어도 된다. 또, 그 경사는, 바람직하게는 5 도 이하, 보다 바람직하게는 2.5 도 이하이다. 그 경사는, 1.5 도 이하여도 되고, 1 도 이하여도 된다.
- [0069] GaN 기판 웨이퍼 (100) 의 직경은, 통상적으로 45 mm 이상이고, 95 mm 이상, 혹은 145 mm 이상이어도 된다. 전형적으로는 50 ~ 55 mm (약 2 인치), 100 ~ 105 mm (약 4 인치), 150 ~ 155 mm (약 6 인치) 등이다.
- [0070] GaN 기판 웨이퍼 (100) 의 두께의 바람직한 범위는, 직경에 따라 바뀐다.
- [0071] GaN 기판 웨이퍼 (100) 의 직경이 약 2 인치일 때, 두께는 바람직하게는 250 μm 이상, 보다 바람직하게는 300 μm 이상, 더욱 바람직하게는 350 μm 이상이고, 또, 바람직하게는 450 μm 이하, 보다 바람직하게는 400 μm 이하이다.
- [0072] GaN 기판 웨이퍼 (100) 의 직경이 약 4 인치일 때, 두께는 바람직하게는 350 μm 이상, 보다 바람직하게는 400 μm 이상이고, 또, 바람직하게는 750 μm 이하, 보다 바람직하게는 650 μm 이하, 더욱 바람직하게는 600 μm 이하이다.
- [0073] GaN 기판 웨이퍼 (100) 의 직경이 약 6 인치일 때, 두께는 바람직하게는 450 μm 이상, 보다 바람직하게는 550 μm 이상이고, 또, 바람직하게는 800 μm 이하, 보다 바람직하게는 700 μm 이하이다.
- [0074] 상기와 같이, GaN 기판 웨이퍼 (100) 는 통상적으로 원반형이지만, 변형예에서는, 주면의 형상이 정방형, 장방형, 육각형, 팔각형, 타원형 등이어도 되고, 부정형이어도 된다. 이와 같은 변형예의 경우에는, 상기의 직경을 「주면에 있어서 무게 중심을 통과하는 직선으로서 가장 짧은 길이」로 다르게 읽을 수 있다.
- [0075] GaN 기판 웨이퍼 (100) 의 N 극성면 (101) 은 「이면」이며, 경면 마무리되어 있어도 되고, 조면 혹은 광택 제거 마무리되어 있어도 된다.
- [0076] GaN 기판 웨이퍼 (100) 의 Ga 극성면 (102) 은 「표면」이며, GaN 기판 웨이퍼 (100) 가 질화물 반도체 디바이스의 제조에 사용될 때에는, 통상적으로, Ga 극성면 (102) 상에 질화물 반도체층이 에피택셜 성장된다.
- [0077] Ga 극성면 (102) 은 결정 성장시킨 채의 상태 (as-grown) 의 표면이어도 되지만, 바람직하게는 연마, CMP (Chemical Mechanical Polishing), 에칭 등의 가공을 받아 평탄화된 표면 (평탄면) 이다. 원자간력 현미경 (AFM) 으로 측정되는 Ga 극성면 (102) 의 근제곱 평균 (RMS) 조도는, 측정 범위 2 μm \times 2 μm 에 있어서 바람직하게는 5 nm 미만, 보다 바람직하게는 2 nm 미만, 더욱 바람직하게는 1 nm 미만이고, 0.5 nm 미만이어도 된다. Ga 극성면 (102) 은 절삭에 의해 형성된 면이어도 되지만, 절삭하지 않고 연마, CMP, 에칭 등의 평탄화만이 실시된 면인 것이 바람직하다.
- [0078] GaN 기판 웨이퍼 (100) 는, 그 2 개의 주면 사이에 재성장 계면 (103) 을 갖고 있고, 재성장 계면 (103) 을 사이에 두고 N 극성측에 제 1 영역 (110), Ga 극성측에 제 2 영역 (120) 을 갖고 있다. 「재성장 계면」이란, 임의의 기판 상에 GaN 결정이 성장했을 때에 생성되는 경계면을 의미하고, 그 존재는, 예를 들어 GaN 기판 웨이퍼의 단면을 주사 전자 현미경 캐소드 루미네선스 관찰 또는 형광 현미경 관찰함으로써 확인할 수 있다.
- [0079] 재성장 계면 (103) 은, Ga 극성면 (102) 과 평행인 것이 바람직하지만, 필수는 아니다. 재성장 계면 (103) 이 Ga 극성면 (102) 으로부터 경사져 있을 때, 통상적으로, 제 2 영역 (120) 의 두께는 경사 방향의 일방단에서 최소가 되고, 타방단에서 최대가 된다. 제 2 영역 (120) 의 그 일방단에 있어서의 두께와 그 타방단에 있어서의 두께의 차가 200 μm 를 초과하지 않는 것이 바람직하다.
- [0080] GaN 기판 웨이퍼 (100) 를 사용한 질화물 반도체 디바이스의 제조 과정에서는, 최종적으로 제 1 영역 (110) 이 제거되는 것이 상정된다. 요컨대, GaN 기판 웨이퍼 (100) 를 사용하여 제조되는 질화물 반도체 디바이스 칩

에는, 제 1 영역 (110) 에서 유래하는 부분이 포함되지 않는 것이 상정된다. 이와 같은 사용 양태이면, 제 1 영역 (110) 을 이루는 GaN 결정의 전기 특성에 특별한 요구 사항은 없다.

- [0081] 제 1 영역 (110) 을 이루는 GaN 결정은 통상적으로 HVPE 로 성장되므로, 그 불순물 농도에 관하여, 다음의 (a) ~ (c) 에서 선택되는 하나 이상의 조건을 충족한다. 본 명세서에 있어서 HVPE 란, 하이드라이드 기상 성장법 (Hydride Vapor Phase Epitaxy) 을 의미한다.
- [0082] (a) Si 농도가 5×10^{16} atoms/cm³ 이상
- [0083] (b) O 농도가 3×10^{16} atoms/cm³ 이하
- [0084] (c) H 농도가 1×10^{17} atoms/cm³ 이하
- [0085] 바람직하게는, 제 1 영역 (110) 을 이루는 GaN 결정은 의도적 도핑되지 않으므로, 그 Si 농도는 1×10^{18} atoms/cm³ 미만이다.
- [0086] HVPE 로 성장되는, 의도적 도핑되어 있지 않은 GaN 에 있어서는, Si 농도가 5×10^{17} atoms/cm³ 이하, O 농도가 2×10^{17} atoms/cm³ 이하, H 농도가 5×10^{16} atoms/cm³ 이하, Si, O 및 H 이외의 각 불순물의 농도가 5×10^{15} atoms/cm³ 이하일 수 있다. 또한 「의도적인 도프」 란, GaN 결정을 성장시키는 과정에서, 대상으로 하는 원소를 원료로서 첨가하는 것을 의미한다.
- [0087] 제 2 영역 (120) 은 통상적으로, 제 1 영역 (110) 상에 HVPE 로 성장된다. 제 1 영역 (110) 과 제 2 영역 (120) 사이에 재성장 계면 (103) 이 존재하는 것은, 제 1 영역 (110) 을 성장시키는 공정과 제 2 영역 (120) 을 성장시키는 공정이 연속하고 있지 않기 때문이다.
- [0088] 제 2 영역 (120) 의 최소 두께는, 적어도 20 μ m, 바람직하게는 40 μ m 이상, 보다 바람직하게는 50 μ m 이상이고, 100 μ m 이상이어도 된다. 그 이유는, GaN 기판 웨이퍼 (100) 를 사용한 질화물 반도체 디바이스 칩의 제조 과정에서, 기판 웨이퍼 (100) 로부터 제 1 영역 (110) 이 제거된 후, 남은 제 2 영역 (120) 이 그 반도체 디바이스 칩의 구조를 지지하는 기판으로서의 역할을 담당할 수 있도록 하기 위해서이다. 최소 두께란, 두께가 최소인 지점의 두께를 의미한다.
- [0089] 제 2 영역 (120) 의 최소 두께의 상한은, 300 μ m 이다.
- [0090] Ga 극성면 (102) 과 재성장 계면 (103) 이 평행이고, 제 2 영역 (120) 의 두께가 균일할 때에는, 제 2 영역 (120) 의 두께는 모든 지점에서 최소 두께인 것으로 간주된다.
- [0091] 제 2 영역 (120) 에 있어서는, GaN 기판 웨이퍼 (100) 의 Ga 극성면 (102) 으로부터 특정 길이 (L) 이내에 있는 영역이 주도프 영역 (120a) 으로 정해진다. 제 2 영역 (120) 은, 적어도 주도프 영역 (120a) 에서 도너 불순물의 총농도가 1×10^{18} atoms/cm³ 이상이 되도록 도핑된다. 도너 불순물의 총농도란, 모든 종류의 도너 불순물의 농도를 모두 더한 농도이다.
- [0092] 특정 길이 (L) 는, 통상적으로 적어도 1 μ m 이고, 5 μ m 이상, 10 μ m 이상, 20 μ m 이상, 25 μ m 이상, 50 μ m 이상, 75 μ m 이상, 100 μ m 이상, 150 μ m 이상, 200 μ m 이상 등일 수 있다.
- [0093] 주도프 영역 (120a) 의 적어도 일부에 있어서의 도너 불순물의 총농도는, 바람직하게는 2×10^{18} atoms/cm³ 이상, 보다 바람직하게는 3×10^{18} atoms/cm³ 이상이고, 4×10^{18} atoms/cm³ 이상, 6×10^{18} atoms/cm³ 이상, 8×10^{18} atoms/cm³ 이상 등이어도 된다.
- [0094] 주도프 영역 (120a) 의 적어도 일부, 바람직하게는 전체에서, 캐리어 농도가 제 1 영역 (110) 보다 높다.
- [0095] 바람직한 실시형태에 있어서는, GaN 기판 웨이퍼 (100) 를 사용한 반도체 디바이스 칩의 제조 과정에서, GaN 기판 웨이퍼 (100) 로부터 제 1 영역 (110) 에 더하여 제 2 영역 (120) 도 일부 제거하여, 주도프 영역 (120a) 을 노출시켰을 때에도, 주도프 영역 (120a) 만으로 이루어지는 GaN 기판이 그 반도체 디바이스 칩의 구조를 지지할 수 있도록, 특정 길이 (L) 가 정해진다. 이 실시형태에서는, 특정 길이 (L) 는 적어도 20 μ m, 바람직하게는 40 μ m 이상, 보다 바람직하게는 50 μ m 이상이고, 100 μ m 이상이어도 된다.

- [0096] 그 바람직한 실시형태에서는, 제 2 영역 (120) 의 최소 두께 (t120) 가, 특정 길이 (L) 의 1.2 배 이하인 것이 바람직하다.
- [0097] 그 바람직한 실시형태에서는, 주도프 영역 (120a) 내에 있어서, c 축 방향을 따른 캐리어 농도의 변동이 작은 것이 바람직하다. 따라서, 주도프 영역 (120a) 내에 있어서의 c 축 방향을 따른 도너 불순물의 총농도의 변동은, 중앙값으로부터 바람직하게는 $\pm 25\%$ 이내, 보다 바람직하게는 $\pm 20\%$ 이내, 더욱 바람직하게는 $\pm 15\%$ 이내, 보다 더욱 바람직하게는 $\pm 10\%$ 이내이다.
- [0098] 주도프 영역 (120a) 을 포함하여, 제 2 영역 (120) 에 있어서의 도너 불순물의 총농도는, 과잉의 도핑에 의한 결정 품질의 현저한 저하를 피하기 위해, 5×10^{19} atoms/cm³ 이하, 나아가서는 2×10^{19} atoms/cm³ 이하로 될 수 있다.
- [0099] 캐리어 농도를 높이기 위해 제 2 영역 (120) 에 첨가되는 도펀트가 도너 불순물인 이유는, GaN 에 있어서의 도너 쪽이 일반적으로 억셉터보다 높은 활성화율을 나타내기 때문이다. 활성화율이란, 도핑된 GaN 에 있어서의, 도펀트의 농도에 대한 캐리어 농도의 비율이다.
- [0100] 제 2 영역 (120) 이 함유할 수 있는 도너 불순물에는, Si (규소), Ge (게르마늄) 등의 14 족 원소와, O (산소), S (황) 등의 16 족 원소가 있다.
- [0101] 제 2 영역 (120) 또는 주도프 영역 (120a) 에 가장 높은 농도로 함유되는 도너 불순물은, 바람직하게는 Si 또는 Ge 이고, 그것은 주로 다음의 두 가지의 이유에 따른다.
- [0102] 첫째, Si 와 Ge 는, O 와 함께 높은 활성화율을 나타내는 도너 불순물이다.
- [0103] 둘째, O 를 고농도로 도핑한 GaN 을 얻기 위해서는 파셋 성장이 필요한 반면, Si 또는 Ge 를 고농도로 도핑한 GaN 은 c 면 성장에 의해 얻을 수 있다.
- [0104] 파셋 성장이란, (0001) 배향된 GaN 막을, 성장 표면이 피트 투성이가 되도록 성장시키는 기법이다. 대조적으로, 이러한 GaN 막을 성장 표면이 평평해지도록 성장시키는 것이 c 면 성장이다.
- [0105] 관통 전위는 피트의 바닥에 모이는 성질을 갖기 때문에, 제 2 영역 (120) 을 파셋 성장으로 형성한 경우, Ga 극 성면 (102) 에 있어서의 관통 전위 밀도의 균일성이 저하된다. 그러나, 질화물 반도체 디바이스의 제조자가 선호하는 것은, 관통 전위 밀도의 균일성이 높은 GaN 기판 웨이퍼이다.
- [0106] 제 2 영역 (120) 을 파셋 성장으로 형성하는 것은, 기판 웨이퍼 (100) 의 생산성의 면에서도 불리하다. 왜냐하면, 파셋 성장시킨 GaN 막은, c 면 성장시킨 GaN 막에 비해, 표면을 평탄화하기 위해 보다 많은 가공 시간을 요하기 때문이다.
- [0107] 일례에서는, 주도프 영역 (120a) 에 있어서, Si 를 제외한 도너 불순물의 총농도를 Si 농도의 10 % 이하, 나아가서는 5 % 이하, 나아가서는 1 % 이하로 함으로써, 동 영역에 있어서의 캐리어 농도를 Si 농도의 조절에 의해 제어 가능하게 할 수 있다.
- [0108] 바람직한 양태로는, 주도프 영역 (120a) 이 Ge 로 도핑되고, 그 농도가 1×10^{18} atoms/cm³ 이상일 때, 동 영역에 있어서의 Si 농도는, 바람직하게는 4×10^{17} atoms/cm³ 이상이다.
- [0109] 제 2 영역 (120) 은 통상적으로, HVPE 로 성장되므로, 그 불순물 농도에 관하여, 다음의 (a') ~ (c') 에서 선택되는 하나 이상의 조건을 충족한다. 또한, 제 2 영역 (120) 의 조건은, 상기 서술한 제 1 영역 (110) 의 조건으로부터 독립된 것이어도 된다, 요컨대, 서로 동일한 조건이어도 되고, 상이한 조건이어도 된다.
- [0110] (a') Si 농도가 5×10^{16} atoms/cm³ 이상
- [0111] (b') O 농도가 3×10^{16} atoms/cm³ 이하
- [0112] (c') H 농도가 1×10^{17} atoms/cm³ 이하
- [0113] 일례에서는, 도 3 에 나타내는 바와 같이, 제 1 영역 (110) 과 제 2 영역 (120) 사이의 재성장 계면 (103) 이 조면이어도 된다. 예를 들어, 제 2 영역 (120) 을 성장시키기 전에, 제 1 영역 (110) 의 표면을 에칭에 의해 조면화했을 때, 재성장 계면 (103) 은 조면이 될 수 있다. 재성장 계면 (103) 에 수직으로 제 1 영역

(110) 으로부터 제 2 영역 (120) 을 향하는 방향을 높이 방향으로 하고, 그 재성장 계면에 있어서의 가장 높은 점과 가장 낮은 점 사이의 고저차를 그 재성장 계면의 조도 (r) 로 했을 때, 그 조도 (r) 는 예를 들어 0.3 μm 이상 12 μm 이하일 수 있다.

[0114] GaN 기판 웨이퍼 (100) 의 Ga 극성면 (102) 에 있어서의 전위 밀도는, 재성장 계면 (103) 의 근방에 있어서의 제 1 영역 (110) 의 전위 밀도의 0.5 배 이상 2 배 미만, 2 배 이상 5 배 미만 또는 5 배 이상 10 배 미만일 수 있다. Ga 극성면 (102) 의 전위 밀도를 상기 범위 내로 하기 위한 방법으로는, 재성장 계면 (103) 을 조면으로 하는 방법을 들 수 있다. 「재성장 계면 (103) 의 근방」 이란, 재성장 계면 (103) 으로부터 Ga 극성면 (102) 측으로 1 μm 까지의 영역을 의미한다. 재성장 계면 (103) 이 조면인 경우에는, 그 재성장 계면에 있어서의 가장 높은 점을 기준으로 한다.

[0115] 그 밖에, 도 1 ~ 3 에는 나타나 있지 않지만, GaN 기판 웨이퍼 (100) 의 에지는 모따기되어 있어도 된다. 또, 기판 웨이퍼 (100) 에는, 결정의 방위를 표시하는 오리엔테이션·플랫 또는 노치, 표면과 이면의 식별을 용이하게 하기 위한 인덱스·플랫 등, 필요에 따라 여러 가지 마킹을 실시할 수 있다.

[0116] GaN 기판 웨이퍼 (100) 를 사용하여 제조되는 반도체 디바이스는, 기본적으로 질화물 반도체 디바이스이다. 질화물 반도체 디바이스란, 디바이스 구조의 주요부를 질화물 반도체로 형성한 반도체 디바이스이다.

[0117] 질화물 반도체는, 질화물계 III-V 족 화합물 반도체, III 족 질화물계 화합물 반도체, GaN 계 반도체 등이라고도 불리며, GaN 을 포함하는 것 외에, GaN 의 갈륨의 일부 또는 전부를 다른 주기표 제 13 족 원소 (B, Al, In 등) 로 치환한 화합물을 포함한다.

[0118] GaN 기판 웨이퍼 (100) 를 사용하여 제조할 수 있는 질화물 반도체 디바이스의 종류에 한정은 없고, 일례로서, 레이저 다이오드 (LD), 발광 다이오드 (LED) 등의 발광 디바이스, 및, 정류기, 바이폴러 트랜지스터, 전계 효과 트랜지스터, 고전자 이동도 트랜지스터 (HEMT) 등의 전자 디바이스를 들 수 있다.

[0119] GaN 기판 웨이퍼 (100) 를 사용하여 질화물 반도체 디바이스를 제조할 때에는, 도 4(a) 에 나타내는 바와 같이 GaN 기판 웨이퍼 (100) 가 준비된 후, 그 Ga 극성면 (102) 상에, 도 4(b) 에 나타내는 바와 같이, 예를 들어 n 형 질화물 반도체층 (310) 과 p 형 질화물 반도체층 (320) 을 적어도 포함하는 에피택셜막 (300) 이 유기 금속 기상 성장법 (MOVPE) 으로 성장됨으로써, 에피택셜 웨이퍼가 형성된다.

[0120] 에칭 가공, 이온 주입, 전극 형성, 보호막 형성 등을 포함할 수 있는 반도체 프로세스가 실행된 후, 에피택셜 웨이퍼는 분단되어 질화물 반도체 디바이스 칩이 되지만, 분단 전에 에피택셜 웨이퍼를 박화하기 위해, 통상적으로, 도 4(c) 에 나타내는 바와 같이, GaN 기판 웨이퍼 (100) 의 제 1 영역 (110) 이 연삭, 에칭 등의 방법으로 제거된다.

[0121] 이 박화 가공은, 에피택셜 웨이퍼의 외주부에 링상의 후속부가 남도록 실시되어도 된다. 요컨대, 에피택셜 웨이퍼의 외주부를 제외한 부분에 있어서만, GaN 기판 웨이퍼 (100) 의 제 1 영역 (110) 이 제거될 수 있다.

[0122] 도 4(c) 에서는, 박화 후의 에피택셜 웨이퍼의 N 극성면측에 주도프 영역 (120a) 이 노출되도록, GaN 기판 웨이퍼 (100) 로부터 제 2 영역 (120) 도 부분적으로 제거되어, 주도프 영역 (120a) 만이 남아 있다. 노출된 주도프 영역 (120a) 의 표면에 전극이 형성된 후, 에피택셜 웨이퍼 (300) 가 분단되어도 된다.

[0123] 2. GaN 기판 웨이퍼의 제조 방법

[0124] 다음으로, 본 발명의 다른 실시형태인 GaN 기판 웨이퍼의 제조 방법에 대해 설명한다. 이하에 기재하는 제조 방법은, 상기한 본 발명의 일 실시형태인 GaN 기판 웨이퍼를 제조하는 바람직한 일 형태이다. 또, 이하에 기재하는 GaN 기판 웨이퍼의 제조 방법에 의해 얻어지는 GaN 기판 웨이퍼의 바람직한 양태는, 상기 한 GaN 기판 웨이퍼를 들 수 있다.

[0125] 실시형태에 관련된 전술한 GaN 기판 웨이퍼 (100) 는, 바람직하게는 이하에 설명하는 방법을 사용하여 제조할 수 있다. 이 방법은, 재성장 계면을 사이에 두고 N 극성측과 Ga 극성측을 갖는 GaN 기판 웨이퍼의 제조에 적용되는 것으로서, 다음의 공정을 갖는다.

[0126] (ii') 기판 상에, (0001) 배향된 제 2 GaN 후막을 HVPE 에 의해 성장시킨 후, 그 제 2 GaN 후막을 슬라이스함으로써 제 2 c 면 GaN 웨이퍼를 얻는 제 2 공정과,

[0127] (iii') 그 제 2 c 면 GaN 웨이퍼 상에, (0001) 배향된 두께 500 μm 이하의 GaN 막을 HVPE 에 의해 성장시키는 제 3 공정을 갖고, 그 GaN 막에는, 그 제 2 c 면 GaN 웨이퍼보다 도너 불순물의 총농도가 높은 영역이

형성된다.

- [0128] 또한, 상기 제 2 공정에 있어서의 기판을 제조하는 공정으로서 제 1 공정을 더한 이하의 공정으로 하는 것이 바람직하다. 따라서 하기의 제 1 공정은 임의이다.
- [0129] (i) 의도적으로 도핑되어 있지 않은 GaN 으로 이루어지고 (0001) 배향된 제 1 GaN 후막을, 시드 웨이퍼 상에 HVPE 로 성장시키고와 함께, 그 제 1 GaN 후막을 가공하여 적어도 1 장의 제 1 c 면 GaN 웨이퍼를 얻는 제 1 공정.
- [0130] (ii) 의도적으로 도핑되어 있지 않은 GaN 으로 이루어지고 (0001) 배향된 제 2 GaN 후막을, 제 1 공정에서 얻은 제 1 c 면 GaN 웨이퍼 상에 HVPE 로 성장시키고와 함께, 그 제 2 GaN 후막으로부터 제 2 c 면 GaN 웨이퍼를 슬라이스하는 제 2 공정.
- [0131] (iii) (0001) 배향된 두께 500 μm 이하의 GaN 막을, 제 2 공정에서 얻은 제 2 c 면 GaN 웨이퍼 상에 HVPE 로 성장시켜 적층 구조체를 얻는 제 3 공정. 단, 그 GaN 막의 적어도 일부는, 제 2 c 면 GaN 웨이퍼보다 도너 불순물의 총농도가 높아지도록 도핑된다.
- [0132] 본 명세서에 있어서 「웨이퍼 상에」는 「웨이퍼의 표면에」와 동일한 의미이다.
- [0133] 이하, 상기의 제 1 공정 내지 제 3 공정을 더욱 상세하게 설명한다.
- [0134] 제 1 공정에서는, 도 5(a) 에 나타내는 시드 웨이퍼 (1) 를 준비한 다음, 그 위에, 도 5(b) 에 나타내는 바와 같이, 의도적으로 도핑되어 있지 않은 GaN 으로 이루어지고 (0001) 배향된 제 1 GaN 후막 (2) 을 HVPE 로 성장시킨다. 또한, 도 5(c) 에 나타내는 바와 같이, 제 1 GaN 후막 (2) 을 가공함으로써, 적어도 1 장의 제 1 c 면 GaN 웨이퍼 (3) 를 얻는다.
- [0135] 시드 웨이퍼 (1) 의 일례는 c 면 사파이어 웨이퍼이고, 바람직하게는 주변에 박리층을 형성한 것이어도 된다. 예를 들어, c 면 사파이어 웨이퍼 상에 MOVPE 로 저온 버퍼층을 개재하여 두께 수백 nm 의 GaN 층을 성장시키고, 추가로, 그 GaN 층 상에 진공 증착으로 두께 수십 nm 의 Ti (티탄) 층을 형성한 후, 80 % 의 H₂ (수소 가스) 와 20 % 의 NH₃ (암모니아) 의 혼합 가스 중, 예를 들어 1060 °C 에서 30 분간 어닐함으로써, 박리층이 부착된 c 면 사파이어 웨이퍼를 형성할 수 있다.
- [0136] 시드 웨이퍼 (1) 는, 별도 공정에서 제조한 c 면 GaN 웨이퍼여도 된다.
- [0137] 제 1 GaN 후막 (2) 은, 당해 제 1 GaN 후막 (2) 을 가공함으로써, 자립한 c 면 GaN 웨이퍼를 적어도 1 장 제조 가능할 수 있을 만큼의 두께로 성장시킨다. 바람직한 예에서는, 제 1 GaN 후막 (2) 을 수 mm 이상의 두께로 성장시키고, 거기서부터 적어도 2 장의 제 1 c 면 GaN 웨이퍼 (3) 를 슬라이스한다.
- [0138] 도 6(a) 는, 제 1 공정에서 제조된 제 1 c 면 GaN 웨이퍼 (3) 중 1 장을 나타내는 단면도이다. 단 제 1 c 면 GaN 웨이퍼 (3) 는, 제 1 공정에 의해 얻어진 것에 한정되지 않는다.
- [0139] 제 2 공정에서는, 도 6(b) 에 나타내는 바와 같이, 제 1 c 면 GaN 웨이퍼 (3) 의 Ga 극성면 상에, 의도적으로 도핑되어 있지 않은 GaN 으로 이루어지고 (0001) 배향된 제 2 GaN 후막 (4) 을, HVPE 로 성장시키고, 이어서, 도 6(c) 에 나타내는 바와 같이, 그 제 2 GaN 후막 (4) 으로부터 제 2 c 면 GaN 웨이퍼 (5) 를 슬라이스한다. 제 2 GaN 후막 (4) 은, 당해 제 2 GaN 후막 (4) 을 가공함으로써, 적어도 1 장의 제 2 c 면 GaN 웨이퍼 (5) 를 제조할 수 있을 만큼의 두께로 성장시킨다. 바람직한 예에서는, 제 2 GaN 후막 (4) 을 수 mm 이상의 두께로 성장시키고, 거기서부터 적어도 2 장의 제 2 c 면 GaN 웨이퍼 (5) 를 슬라이스한다.
- [0140] 제 2 c 면 GaN 웨이퍼 (5) 는, 도 7(a) 에 단면도를 나타내는 바와 같이, 서로 평행인 N 극성면 및 Ga 극성면을 주면으로서 갖는다.
- [0141] 실시형태에 관련된 전술한 GaN 기판 웨이퍼 (100) 를 제조하는 경우에는, 제 2 공정에서 제 2 GaN 후막 (4) 으로부터 제 2 c 면 GaN 웨이퍼 (5) 를 슬라이스할 때에, 제 2 GaN 웨이퍼 (5) 에 있어서의 Ga 극성면의 (0001) 결정면으로부터의 경사 각도 (오프컷 각) 및 경사 방향 (오프컷 방향) 을, GaN 기판 웨이퍼 (100) 이 가져야 하는 오프컷 각 및 오프컷 방향과 동일하게 하는 것이 바람직하지만, 필수는 아니다.
- [0142] GaN 기판 웨이퍼 (100) 가 가져야 하는 오프컷 방위는, GaN 기판 웨이퍼 (100) 를 사용하는 반도체 디바이스의 제조자의 요구에 따라 여러 가지이지만, 거기에 따라 여러 가지 오프컷 방위를 갖는 제 2 c 면 GaN 웨이퍼 (5) 를 준비하는 것은, GaN 기판 웨이퍼 (100) 의 생산 효율의 저하로 이어질 수 있다. 제 2 c 면 GaN 웨이퍼

(5)의 오프셋 방위에 따라, 다음의 제 3 공정에서 제 2 c 면 GaN 웨이퍼 (5) 상에 HVPE 로 GaN 막 (6) 을 성장시킬 때의 최적 조건이 바뀔 수 있는 것에도 주의가 필요하다.

- [0143] 제 2 c 면 GaN 웨이퍼 (5) 의 초기 두께 (t_{5i}) 는, 질화물 반도체 디바이스의 제조에 사용되는 GaN 기판 웨이퍼가 통상적으로 갖는 두께보다 얇아도 된다. 왜냐하면, 다수의 공정으로 이루어지는 반도체 프로세스에 견딜 필요가 있는 GaN 기판 웨이퍼와 달리, 제 2 c 면 GaN 웨이퍼 (5) 는 다음의 제 3 공정까지의 동안에 파손되지 않으면 되기 때문이다.
- [0144] 예를 들어, 제 2 c 면 GaN 웨이퍼 (5) 의 직경이 약 2 인치일 때, 그 초기 두께 (t_{5i}) 는 바람직하게는 300 μm 이하이고, 250 μm 이하, 나아가서는 200 μm 이하여도 된다.
- [0145] 제 2 c 면 GaN 웨이퍼 (5) 의 초기 두께 (t_{5i}) 를 작게 함으로써, 제 2 GaN 후막 (4) 으로부터 슬라이스할 수 있는 제 2 c 면 GaN 웨이퍼 (5) 의 장수를 늘릴 수 있다.
- [0146] 제 3 공정에서는, 도 7(b) 에 나타내는 바와 같이, 제 2 c 면 GaN 웨이퍼 (5) 의 Ga 극성면 상에, (0001) 배향된 두께 500 μm 이하의 GaN 막 (6) 을 HVPE 로 성장시켜, 적층 구조체를 얻는다. 이 때, 제 2 c 면 GaN 웨이퍼 (5) 와 GaN 막 (6) 사이에는 재성장 계면이 형성된다.
- [0147] 통상적으로, 제 2 c 면 GaN 웨이퍼 (5) 의 Ga 극성면은, GaN 막 (6) 을 성장시키기 전에 연삭, 연마, CMP 등의 기법을 적절히 사용하여 평탄하게 가공된다 (평탄화 공정).
- [0148] 일례에서는, 제 2 c 면 GaN 웨이퍼 (5) 의 Ga 극성면을 평탄화한 후에, 추가로 에칭으로 조면으로 가공한 다음 (조화 공정), GaN 막 (6) 을 성장시켜도 된다.
- [0149] 제 2 c 면 GaN 웨이퍼 (5) 의 전위 밀도가 10^6 cm^{-2} 전반 이하일 때, 그 Ga 극성면을 조화해도, 그 위에 성장하는 GaN 막 (6) 의 전위 밀도가 현저하게 감소하는 경우는 없다. 오히려 GaN 막 (6) 의 전위 밀도는, 제 2 c 면 GaN 웨이퍼 (5) 와 동일한 정도 이상, 구체적으로는, 제 2 c 면 GaN 웨이퍼 (5) 의 Ga 극성면에 있어서의 전위 밀도의 0.5 배 이상 2 배 미만, 혹은 그것보다 높은 값이 된다.
- [0150] 제 2 c 면 GaN 웨이퍼 (5) 의 Ga 극성면을 조화했을 때의 이점은, GaN 막 (6) 의 성장에 의해 형성되는 적층 구조체가 균열되기 어려워지는 것이며, 크랙 발생 빈도는 그 Ga 극성면을 조화하지 않을 때의 10 분의 1 을 하회할 수 있다.
- [0151] HCl (염화수소) 을 에칭 가스에 사용하면, GaN 의 Ga 극성면은 에칭 마스크를 사용하지 않고 조화하는 것이 가능하다. GaN 막 (6) 의 성장에 사용하는 HVPE 장치에 에칭용의 HCl 공급 라인을 마련하면, 그 HVPE 장치의 리액터 내에서, GaN 막 (6) 의 성장 직전에, 제 2 c 면 GaN 웨이퍼 (5) 의 Ga 극성면을 조화할 수 있다.
- [0152] HCl 을 에칭 가스에 사용할 때의 바람직한 에칭 조건은 다음과 같다.
- [0153] HCl 분압은, 예를 들어 0.002 ~ 0.05 atm 이다.
- [0154] H₂ 분압은, 예를 들어 0.2 ~ 0.8 atm 이다.
- [0155] NH₃ 분압은, 예를 들어 0.01 ~ 0.05 atm 이다. NH₃ 을 흐르게 함으로써, GaN 의 Ga 극성면은 보다 균일하게 조화된다.
- [0156] 에칭 온도는, 예를 들어 900 ~ 1050 °C 이다.
- [0157] 에칭 시간은, 예를 들어 1 ~ 60 분이다.
- [0158] 에칭 후의 제 2 c 면 GaN 웨이퍼의 Ga 극성면의 조도를, 가장 높은 점과 가장 낮은 점 사이의 고저차로 정의했을 때, 그 조도는 예를 들어 0.3 ~ 12 μm 로 할 수 있다.
- [0159] HCl 을 사용한 에칭에서는, 에칭 시간 이외의 조건을 고정시켰을 때, 에칭 시간과 함께, 제 2 c 면 GaN 웨이퍼의 Ga 극성면의 조도는 커지는 경향이 있다.
- [0160] 기묘하게도, Ga 극성면을 조도가 0.6 ~ 12 μm 가 되도록 HCl 로 에칭했을 때, 그 위에 성장시킨 GaN 막 (6) 의 전위 밀도는 제 2 c 면 GaN 웨이퍼 (5) 의 그것보다 수배 내지 최대 10 배 정도까지 높아진다. 따라서, 제조 효율도 고려하면, HCl 을 에칭 가스에 사용할 때의 에칭 시간은, Ga 극성면의 조도가 0.5 μm 를 초과하지 않

도록 정하는 것이 바람직하다.

- [0161] 예를 들어, HCl 분압 0.01 ~ 0.02 atm, H₂ 분압 0.05 ~ 0.08 atm, NH₃ 분압 0.01 ~ 0.03 atm, 온도 970 ~ 1000 °C 라는 조건에서 제 2 c 면 GaN 웨이퍼 (5) 의 Ga 극성면을 에칭할 때의 바람직한 에칭 시간은 5 분 이하이다.
- [0162] 일례에서는, 제 2 c 면 GaN 웨이퍼 (5) 의 Ga 극성면을, 포토리소그래피 기법에 의해 패터닝한 에칭 마스크를 형성한 다음, 드라이 에칭함으로써 조면으로 해도 된다. 도트 패턴과 네트 패턴이, 에칭 마스크의 바람직한 패턴의 전형예이다. 드라이 에칭은, Cl₂ (염소가스) 또는 함염소 화합물을 에칭 가스에 사용한 RIE (반응성 이온 에칭) 여도 된다.
- [0163] GaN 막 (6) 에는, 도너 불순물의 총농도가 제 2 c 면 GaN 웨이퍼 (5) 보다 높아지도록 도핑한 부분이 형성된다. 그 부분의 적어도 일부에 있어서의 캐리어 농도는, $1 \times 10^{18} \text{ cm}^{-3}$ 이상, 나아가서는 $2 \times 10^{18} \text{ cm}^{-3}$ 이상, 나아가서는 $3 \times 10^{18} \text{ cm}^{-3}$ 이상, 나아가서는 $4 \times 10^{18} \text{ cm}^{-3}$ 이상, 나아가서는 $6 \times 10^{18} \text{ cm}^{-3}$ 이상, 나아가서는 $8 \times 10^{18} \text{ cm}^{-3}$ 이상일 수 있다. 바람직하게 사용되는 도너 불순물은 Si 및 Ge 이다.
- [0164] 적합예에서는, GaN 막 (6) 에 특정 도프 영역 (6a) 을 형성해도 된다. 특정 도프 영역 (6a) 은, 그 상단 ([0001] 축의 단) 이 GaN 막 (6) 의 상면이고, c 축 방향의 영역 길이가 1 μm 이상인 것이 바람직하고, 또한, 영역 내에 있어서 도너 불순물의 총농도가 $1 \times 10^{18} \text{ atoms/cm}^3$ 이상인 영역이다. 바꾸어 말하면, 이 영역 길이는, 도너 불순물의 총농도가 $1 \times 10^{18} \text{ atoms/cm}^3$ 이상인 영역의 두께 (두께 방향의 높이) 를 의미한다.
- [0165] 특정 도프 영역 (6a) 의, c 축 방향의 영역 길이는, 5 μm 이상, 10 μm 이상, 20 μm 이상, 25 μm 이상, 50 μm 이상, 75 μm 이상, 100 μm 이상, 150 μm 이상, 200 μm 이상 등일 수 있다.
- [0166] 특정 도프 영역 (6a) 에 있어서의 도너 불순물의 총농도는, 바람직하게는 $2 \times 10^{18} \text{ atoms/cm}^3$ 이상, 보다 바람직하게는 $3 \times 10^{18} \text{ atoms/cm}^3$ 이상이고, $4 \times 10^{18} \text{ atoms/cm}^3$ 이상, $6 \times 10^{18} \text{ atoms/cm}^3$ 이상, $8 \times 10^{18} \text{ atoms/cm}^3$ 이상 등이어도 된다.
- [0167] 특정 도프 영역 (6a) 의 적어도 일부, 바람직하게는 전체에서, 캐리어 농도가 제 2 c 면 GaN 웨이퍼 (5) 보다 높다.
- [0168] 바람직한 실시형태에 있어서는, 제조해야 하는 GaN 기판 웨이퍼의 Ga 극성측에, 충분한 캐리어 농도를 갖는 영역을 20 μm 이상, 50 μm 이상, 100 μm 이상 등의 두께로 형성할 수 있도록, GaN 막 (6) 에 형성하는 특정 도프 영역 (6a) 의 c 축 방향의 영역 길이를 20 μm 이상, 50 μm 이상, 100 μm 이상 등으로 할 수 있다.
- [0169] 그 바람직한 실시형태에서는, 특정 도프 영역 (6a) 내에 있어서, c 축 방향을 따른 캐리어 농도의 변동이 없는 것이 바람직하다. 따라서, 특정 도프 영역 (6a) 내에 있어서의 c 축 방향을 따른 도너 불순물의 총농도의 변동은, 중앙값으로부터 바람직하게는 ±25 % 이내, 보다 바람직하게는 ±20 % 이내, 더욱 바람직하게는 ±15 % 이내, 보다 더욱 바람직하게는 ±10 % 이내이다.
- [0170] GaN 막 (6) 은, 특정 도프 영역 (6a) 과 제 2 c 면 GaN 웨이퍼 (5) 사이에 개재 영역 (6b) 을 가질 수 있다. 개재 영역 (6b) 은 도핑에 관하여 어떤 제약도 받지 않는다. 예를 들어, 개재 영역 (6b) 은, 일부만이 의도적으로 도핑될 수 있다. 여기서 개재 영역이란, GaN 막 (6) 에 있어서 특정 도프 영역 (6a) 에 해당하지 않는 영역에 상당한다. 즉 개재 영역의 도너 불순물의 총농도는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만이다.
- [0171] 일례에서는, 특정 도프 영역 (6a) 에 첨가하는 도펀트와 동종의 도펀트를, 개재 영역 (6b) 에 적어도 부분적으로 첨가해도 되고, 또한, 그 도펀트의 농도는, 개재 영역 (6b) 내에서 특정 도프 영역 (6a) 에 가까워짐에 따라 연속적 또는 단계적으로 증가하고 있어도 된다.
- [0172] 개재 영역 (6b) 의 두께는, 특정 도프 영역 (6a) 과 개재 영역 (6b) 을 합친 GaN 막 (6) 의 두께가 500 μm 를 초과하지 않도록 정하면 되지만, 바람직하게는 50 μm 이하이고, 보다 바람직하게는 40 μm 이하, 더욱 바람직하게는 20 μm 이하이고, 10 μm 이하여도 된다.
- [0173] 일례에서는, 특정 도프 영역 (6a) 에 있어서, Si 를 제외한 도너 불순물의 총농도를 Si 농도의 10 % 이하, 나아가서는 5 % 이하, 나아가서는 1 % 이하로 함으로써, 동 영역에 있어서의 캐리어 농도를 Si 농도의 조절에

의해 제어 가능하게 할 수 있다.

- [0174] 특정 도프 영역 (6a) 이 Ge 로 도프되고, 그 농도가 1×10^{18} atoms/cm³ 이상일 때, 동 영역에 있어서의 Si 농도는, 바람직하게는 4×10^{17} atoms/cm³ 이상이다.
- [0175] GaN 막 (6) 에 있어서의 도너 불순물의 총농도의 최대값은, 과잉의 도핑에 의한 결정 품질의 현저한 저하를 피하기 위해, 5×10^{19} atoms/cm³ 이하, 나아가서는 2×10^{19} atoms/cm³ 이하, 나아가서는 1×10^{19} atoms/cm³ 이하로 될 수 있다.
- [0176] 실시형태에 관련된 전술한 GaN 기판 웨이퍼 (100) 를 제조하는 경우, GaN 막 (6) 의 성장 두께 (t_{6g}) 는, 그 GaN 기판 웨이퍼의 제 2 영역 (120) 의 설계 두께를 고려하여, 20 μm 에서 500 μm 사이에서 설정된다.
- [0177] GaN 막 (6) 의 성장 두께 (t_{6g}) 는, 제조해야 하는 GaN 기판 웨이퍼에 있어서의 제 2 영역 (120) 의 설계 두께와 동일해도 되지만, 바람직하게는 그 설계 두께보다 크게 한다. 그렇게 함으로써, 이후의 박화 공정에 있어서 GaN 막 (6) 의 표면의 평탄화 가공이 가능해지기 때문이다. 이 경우, GaN 막 (6) 의 성장 두께 (t_{6g}) 는, 그 제 2 영역 (120) 의 설계 두께보다 50 μm 이상 큰 것이 바람직하고, 100 μm 이상 큰 것이 보다 바람직하고, 또, 그 설계 두께를 200 μm 이상 초과하지 않는 것이 바람직하다. 바꾸어 말하면, 박화 공정 전후에 있어서의 GaN 막 (6) 의 두께차가 200 μm 이하인 것이 바람직하다.
- [0178] GaN 막 (6) 의 성장 두께 (t_{6g}) 가, 제 2 영역 (120) 의 설계 두께보다 50 μm 이상 클 때, 이후의 박화 공정에서는 GaN 막 (6) 의 두께가 50 μm 이상 줄어든다. 바꾸어 말하면, 박화 공정 전후에 있어서의 GaN 막 (6) 의 두께차가 50 μm 이상이 된다.
- [0179] 성장 두께 (t_{6g}) 가 500 μm 를 초과하지 않는 점에서, GaN 막 (6) 은 비교적 단시간에 형성할 수 있고, 그러므로, 부생물인 NH₄Cl (염화암모늄) 이 HVPE 장치의 배기 시스템을 폐색시키는 것을 걱정하지 않고, 한 번에 다수의 제 2 c 면 GaN 웨이퍼 (5) 상에 GaN 막 (6) 을 성장시키는 것이 가능하다. 따라서, 제 3 공정에 있어서의 스루풋은 매우 높은 것이 될 수 있다.
- [0180] 또한, GaN 막 (6) 의 형성에 요하는 시간이 짧은 것은, HVPE 리액터의 세정과 메인テナンス에 관련된 비용의 삭감에도 기여할 수 있다. 왜냐하면, HVPE 리액터는, 1 회의 성장 공정의 소요 시간이 짧을 때가 열화의 진행이 느려, 사용 수명이 길어지기 때문이다.
- [0181] 제 3 공정 후, 필요에 따라, 도 7(c) 에 나타내는 바와 같이, 제 3 공정에서 얻은 적층 구조체를 박화하는 박화 공정이 실시된다.
- [0182] 도 7(c) 에서는, 제 2 c 면 GaN 웨이퍼 (5) 의 두께가 초기 두께 (t_{5i}) 로부터 최종 두께 (t_{5f}) 로 줄어듦과 함께, GaN 막 (6) 의 두께가 성장 두께 (t_{6g}) 로부터 최종 두께 (t_{6f}) 로 줄어들어 있지만, 박화 공정에서는 제 2 c 면 GaN 웨이퍼 (5) 와 GaN 막 (6) 중 어느 일방만이 가공되어도 된다.
- [0183] 실시형태에 관련된 전술한 GaN 기판 웨이퍼 (100) 를 제조하는 경우에는, 박화 공정에 있어서, 제 2 c 면 GaN 웨이퍼 (5) 와 GaN 막 (6) 의 두께가, 그 GaN 기판 웨이퍼에 있어서의 제 1 영역 (110) 및 제 2 영역 (120) 의 설계 두께와 각각 일치할 때까지 줄어든다.
- [0184] 박화 공정에 있어서 제 2 c 면 GaN 웨이퍼 (5) 및/또는 GaN 막 (6) 의 가공에 사용하는 기법은, 연삭, 랩핑, CMP, 드라이 에칭, 웨트 에칭 등에서 적절히 선택할 수 있다.
- [0185] 제조해야 하는 GaN 기판 웨이퍼 (100) 의 오프컷 방위와, 제 2 c 면 GaN 웨이퍼 (5) 의 오프컷 방위가 동일할 때에는, 면 방위의 기준으로서, 가공해야 하는 적층 구조체의 N 극성면, 즉 제 2 c 면 GaN 웨이퍼 (5) 의 이면이 사용될 수 있다.
- [0186] 제조해야 하는 GaN 기판 웨이퍼 (100) 의 오프컷 방위가, 제 2 c 면 GaN 웨이퍼 (5) 의 그것과 상이할 때, 즉 오프컷 각과 오프컷 방향 중 적어도 어느 것이 상이할 때에는, 가공해야 하는 적층 구조체의 결정 방위가 X 선 회절 장치로 확인된다.
- [0187] 이상으로 설명한 제조 방법을 사용함으로써, 실시형태에 관련된 GaN 기판 웨이퍼 (100) 를 양호한 수율로 생산

할 수 있다.

- [0188] 그 이유는, 의도적으로 도핑한 GaN 후막을 HVPE 로 mm 오더의 두께로 성장시키는 공정, 및, 그와 같이 성장시킨 GaN 후막을 슬라이스 가공하는 공정이 존재하지 않는 것에 따른다.
- [0189] 제 1 공정 및 제 2 공정에서는, GaN 후막을 HVPE 로 mm 오더의 두께로 성장시켜도 되지만, 이들 공정에서 성장시키는 제 1 GaN 후막 (2) 및 제 2 GaN 후막 (4) 은, 의도적으로 도핑되지 않으므로, 성장 중에 모폴로지 이상이나 크랙이 발생하기 어렵고, 또, 슬라이스 중에 균열되는 빈도도 낮다.
- [0190] 한편, 제 3 공정에서 성장시키는 GaN 막 (6) 은 의도적으로 도핑되지만, GaN 막 (6) 의 성장 두께는 500 μm 이하에 불과하므로, 성장 중에 모폴로지 이상이나 크랙이 발생하기 어렵다. 게다가, GaN 막 (6) 은 슬라이스 가공할 필요가 없다. 즉, 상기한 박화 공정에 있어서 슬라이스 가공을 실시할 필요가 없다. 특히, 제 3 에서 형성된 GaN 막 (6) 은 슬라이스 가공하지 않고 박화 공정을 거치는 것이 바람직하다.
- [0191] 또한, 이상으로 설명한 제조 방법에 의하면, GaN 기판 웨이퍼 (100) 의 주변 내에 있어서의 오프컷 각의 편차를 작게 하는 것이 가능하다.
- [0192] 이유는, 의도적으로 도핑하지 않은 제 1 c 면 GaN 웨이퍼 (3) 상에, 의도적으로 도핑하지 않고 호모 에피택셜 성장되는 제 2 GaN 후막 (4) 의 휨은, 매우 작은 것이 될 수 있는 것, 그러므로, 그 제 2 GaN 후막 (4) 으로부터 슬라이스되는 제 2 c 면 GaN 웨이퍼 (5) 에 있어서, 오프컷 각의 편차가 매우 작아질 수 있는 것에 있다. 제 3 공정에서 제 2 c 면 GaN 웨이퍼 (5) 상에 GaN 막 (6) 을 적층하는 것에 의한 휨의 변화는 작고, 이것은, GaN 막 (6) 의 성장 두께가 500 μm 이하로 작은 것에 따른다.
- [0193] 상기 서술한 방법으로 GaN 기판 웨이퍼 (100) 를 제조함에 있어서, 제 1 공정 ~ 제 3 공정에서 사용할 수 있는 HVPE 장치에 대해, 도 8 을 참조하면서 이하에 설명한다.
- [0194] 도 8 에 나타내는 HVPE 장치 (10) 는, 핫 월형의 리액터 (11) 와, 그 리액터 내에 배치되는 갈륨 탱크 (12) 및 서셉터 (13) 와, 그 리액터의 외부에 배치되는 제 1 히터 (14) 및 제 2 히터 (15) 를 구비하고 있다. 제 1 히터 (14) 및 제 2 히터 (15) 는, 각각, 리액터 (11) 를 환상으로 둘러싸고 있다.
- [0195] 리액터 (11) 는 석영관 챔버이다. 리액터 (11) 내에는, 주로 제 1 히터 (14) 로 가열되는 제 1 존 (Z_1) 과, 주로 제 2 히터 (15) 로 가열되는 제 2 존 (Z_2) 이 있다. 배기관 (P_E) 은 제 2 존 (Z_2) 측의 리액터단에 접속된다.
- [0196] 제 1 존 (Z_1) 에 배치되는 갈륨 탱크 (12) 는, 가스 입구와 가스 출구를 갖는 석영 용기이다.
- [0197] 제 2 존 (Z_2) 에 배치되는 서셉터 (13) 는, 예를 들어 그래파이트로 형성된다. 서셉터 (13) 를 회전시키는 기구는 임의로 형성할 수 있다.
- [0198] HVPE 장치 (10) 로 GaN 을 성장시키려면, 서셉터 (13) 상에 시드를 둔 다음, 제 1 히터 (14) 및 제 2 히터 (15) 로 리액터 (11) 내를 가열함과 함께, 캐리어 가스로 희석된 NH_3 (암모니아) 을 암모니아 도입관 (P_1) 을 통하여 제 2 존 (Z_2) 에 공급하고, 또, 캐리어 가스로 희석된 HCl (염화수소) 을 염화수소 도입관 (P_2) 을 통하여 갈륨 탱크 (12) 에 공급한다. 이 HCl 은 갈륨 탱크 (12) 중의 금속 갈륨과 반응하고, 생성된 GaCl (염화갈륨) 이 염화갈륨 도입관 (P_3) 을 통하여 제 2 존 (Z_2) 에 운반된다.
- [0199] 제 2 존 (Z_2) 에서 NH_3 과 GaCl 이 반응하고, 생성되는 GaN 이 서셉터 (13) 상에 놓여진 시드 상에서 결정화된다.
- [0200] 성장하는 GaN 을 도프할 때에는, 캐리어 가스로 희석된 도핑 가스를 도펀트 도입관 (P_4) 을 통하여 리액터 (11) 내의 제 2 존 (Z_2) 에 유도한다.
- [0201] 암모니아 도입관 (P_1), 염화수소 도입관 (P_2), 염화갈륨 도입관 (P_3) 및 도펀트 도입관 (P_4) 은, 리액터 (11) 내에 배치되는 부분이 석영으로 형성된다.
- [0202] NH_3 , HCl 및 도핑 가스의 각각을 희석시키는 캐리어 가스에는, H_2 (수소 가스), N_2 (질소 가스) 또는 H_2 와 N_2 의 혼합 가스가 바람직하게 사용된다.

- [0203] HVPE 장치 (10) 를 사용하여 GaN 을 성장시킬 때의 바람직한 조건은, 다음과 같다.
- [0204] 갈륨 탱크의 온도는, 예를 들어 500 ~ 1000 °C 이고, 바람직하게는 700 °C 이상, 또, 바람직하게는 900 °C 이하이다.
- [0205] 서셉터 온도는, 예를 들어 900 ~ 1100 °C 이고, 바람직하게는 930 °C 이상, 보다 바람직하게는 950 °C 이상이고, 또, 바람직하게는 1050 °C 이하, 보다 바람직하게는 1020 °C 이하이다.
- [0206] 리액터 내의 NH₃ 분압과 GaCl 분압의 비인 V/III 비는, 예를 들어 1 ~ 20 이고, 바람직하게는 2 이상, 보다 바람직하게는 3 이상이고, 또, 바람직하게는 10 이하이다.
- [0207] V/III 비는 지나치게 커도 지나치게 작아도, GaN 의 성장 표면의 모폴로지가 악화되는 원인이 된다. 성장 표면의 모폴로지 악화는, 결정 품질의 저하의 원인이 될 수 있다.
- [0208] 어떤 종류의 불순물에서는, GaN 결정에 대한 유입 효율이, 성장 표면의 결정 방위에 강하게 의존한다. 성장 표면의 모폴로지가 양호하지 않은 조건에서 성장시킨 GaN 결정의 내부에서는, 이러한 불순물의 농도의 균일성이 저하된다. 이것은, 모폴로지가 나쁜 성장 표면에는, 여러 가지 방위의 파셋이 존재하는 것에 따른다.
- [0209] GaN 결정에 대한 유입 효율이 성장 표면의 결정 방위에 따라 상이한 불순물의 전형에는 0 (산소) 이지만, Ge (게르마늄) 도 동일한 경향이 있는 것을 본 발명자들은 알아냈다. 후술하는 바와 같이, 제 3 공정에서 GaN 막 (6) 을 Ge 도프할 때, 캐리어 가스 중의 H₂ 의 몰비를 지나치게 낮추지 않는 편이 좋은 것은, 이것에 관계되어 있다.
- [0210] 그 이외의 것으로서, 지나치게 낮은 V/III 비의 사용은, 성장하는 GaN 결정의 질소 공공 농도를 증가시킨다. 질소 공공이 GaN 결정이나 그것을 사용한 GaN 기관, 혹은 그 GaN 기관 상에 형성되는 질화물 반도체 디바이스에 주는 영향은 지금으로서는 분명하지는 않지만, 점 결함인 점에서, 농도는 가능한 한 낮게 해야 하는 것으로 생각된다.
- [0211] GaN 의 성장 레이트는, 리액터 내의 NH₃ 분압과 GaCl 분압의 곱을 파라미터로서 제어할 수 있다. 그 레이트는 예를 들어 20 ~ 200 μm/h 이고, 특히 제 3 공정에서 GaN 막 (6) 을 성장시킬 때에는, 바람직하게는 120 μm/h 이하, 보다 바람직하게는 100 μm/h 이하, 더욱 바람직하게는 80 μm/h 이하이다. 지나치게 높은 성장 레이트는 성장하는 GaN 의 표면 모폴로지를 악화시키기 때문이다.
- [0212] 제 3 공정에서 GaN 막 (6) 을 의도적으로 도핑할 때, 성장 표면의 모폴로지 악화를 방지하기 위해, 도핑 가스의 공급 레이트는, 공급 개시부터 수분 내지 수십분에 걸쳐 서서히 소정값까지 증가시키는 것이 바람직하다.
- [0213] 동일한 이유로부터, 도핑 가스의 공급은, GaN 막 (6) 을 적어도 수 μm 성장시킨 시점에서 개시하는 것이 바람직하다.
- [0214] Si 도핑을 위한 도핑 가스에는 SiH₄ (실란), SiH₃Cl (모노클로로실란), SiH₂Cl₂ (디클로로실란), SiHCl₃ (트리클로로실란) 또는 SiCl₄ (테트라클로로실란) 를 바람직하게 사용할 수 있다.
- [0215] Ge 도핑을 위한 도핑 가스에는 GeH₄ (게르만), GeH₃Cl (모노클로로게르만), GeH₂Cl₂ (디클로로게르만), GeHCl₃ (트리클로로게르만) 또는 GeCl₄ (테트라클로로게르만) 를 바람직하게 사용할 수 있다.
- [0216] 캐리어 가스 중의 H₂ 의 몰비는, 성장하는 GaN 의 불순물 농도에 영향을 미칠 수 있다. 여기서 말하는 캐리어 가스 중의 H₂ 의 몰비는, 리액터 밖에서 리액터 내로 캐리어 가스로서 공급되는 각 가스종의 유량에 기초하여 산출된다.
- [0217] 사파이어 기관 상에 HVPE 로 성장시킨 GaN 결정으로부터 잘라낸 c 면 GaN 웨이퍼의 Ga 극성면 상에, 동일한 V/III 비를 사용하여 대략 동일한 성장 레이트로 HVPE 에 의해 성장시킨 Si 또는 Ge 도프 GaN 의 불순물 농도가, 캐리어 가스 중의 H₂ 의 몰비에 의해 어떻게 변화하는지를 조사한 결과를 하기 표 1 에 나타낸다.

표 1

불순물	Si 도프 GaN 중의 농도 [atoms/cm ³]		Ge 도프 GaN 중의 농도 [atoms/cm ³]		DL (검출 하한) [atoms/cm ³]
	H ₂ 몰비=0	H ₂ 몰비=0.7	H ₂ 몰비=0	H ₂ 몰비=0.7	
Si	8 × 10 ¹⁷	2 × 10 ¹⁵	7 × 10 ¹⁶	4 × 10 ¹⁷	7 × 10 ¹⁴
Ge	< DL	< DL	1 × 10 ¹⁹	6 × 10 ¹⁷	1 × 10 ¹⁵
O	6 × 10 ¹⁶	8 × 10 ¹⁵	2 × 10 ¹⁷	1 × 10 ¹⁶	5 × 10 ¹⁵
H	4 × 10 ¹⁶	< DL	7 × 10 ¹⁵	< DL	3 × 10 ¹⁶
C	< DL	< DL	< DL	< DL	3 × 10 ¹⁵
Cl	< DL	< DL	< DL	< DL	2 × 10 ¹⁴

[0218]

[0219]

[0220]

[0221]

[0222]

[0223]

[0224]

[0225]

[0226]

[0227]

[0228]

[0229]

표 1로부터 알 수 있는 바와 같이, Si 도프 GaN 의 O 농도는, 캐리어 가스가 N₂ 뿐일 때 Si 농도의 10 % 이하이다. Si 이외의 도너는 실질적으로 0 뿐이므로, 이것은 Si 를 제외한 도너의 총농도가 Si 농도의 10 % 이하인 것과 동등하다. 캐리어 가스 중의 H₂ 의 몰비를 올리면, Si 도프 GaN 의 O 농도는 더욱 낮아지고, 그 몰비가 0.7 일 때에 Si 농도의 1 % 미만이 된다.

한편, Ge 도프 GaN 에서는, 캐리어 가스 중의 H₂ 의 몰비가 0 (제로) 일 때, 그 몰비가 0.7 일 때에 비해, Ge 농도가 10 배 이상 높고, 또, Si 농도에 대한 Ge 농도의 비도 보다 높다. 따라서, 언뜻 보면, 캐리어 가스 중의 H₂ 의 몰비는 낮은 편이 바람직한 것 같다.

그러나, 캐리어 가스 중의 H₂ 의 몰비가 0 일 때와 0.7 일 때에는, 전자 쪽이 O 농도도 한 자릿수 높은 것으로부터 알 수 있는 바와 같이, 전자의 조건을 사용했을 때가 GaN 의 성장 표면 모폴로지는 나쁘고, Ge 농도가 높은 것도 그 때문인 것을 본 발명자들은 확인하였다. 캐리어 가스 중의 H₂ 의 몰비가 지나치게 낮은 조건에서는, Ge 농도의 균일성이 낮은 GaN 결정이 성장한다.

따라서, Ge 도프 GaN 을 성장시킬 때에는, 캐리어 가스 중의 H₂ 의 몰비를 0.3 ~ 0.7 정도로 하는 것이 바람직하고, 그렇게 하여 성장시킨 Ge 도프 GaN 에서는, Ge 농도가 1 × 10¹⁸ atoms/cm³ 이상일 때, Si 농도가 4 × 10¹⁷ atoms/cm³ 이상이다.

Si 와 Ge 중 어느 것으로 도프했을 때에도, HVPE 로 성장되는 GaN 의 O 농도는, 캐리어 가스 중의 H₂ 의 몰비를 올리면 저하되는 경향이 있고, 2 × 10¹⁶ atoms/cm³ 이하, 나아가서는 1 × 10¹⁶ atoms/cm³ 이하가 될 수 있다. 이것은, 성장 중의 표면 모폴로지가 개선되기 때문이다.

HVPE 장치 (10) 를 사용하여 성장되는 GaN 은, 의도적으로 도핑하지 않을 때에도, O 및 Si 를 SIMS 로 검출 가능한 농도로 함유할 수 있다. Si 원은, 리액터 및 리액터 내의 배관에 사용되는 석영 (SiO₂) 이고, O 원은, 이러한 석영과, 리액터 내에 잔류 또는 침입한 수분 중 어느 것 또는 양방이다.

도 8 에서는 도시가 생략되어 있는 부품을 포함하여, 리액터 (11) 내에 배치되는 부품에는, 석영과 카본 외에, SiC (탄화규소), SiNx (질화규소), BN (질화붕소), 알루미늄, W (텅스텐), Mo (몰리브덴) 등으로 형성된 것을 사용할 수 있다. 그렇게 함으로써, HVPE 장치 (10) 를 사용하여 성장되는 GaN 에 있어서의, Si, O 및 H 를 제외한 각 불순물의 농도는, 의도적인 도핑을 하지 않는 한, 5 × 10¹⁵ atoms/cm³ 이하로 할 수 있다.

실시예

이하에 실시예를 나타내어, 본 발명을 더욱 구체적으로 설명한다. 단, 본 발명은 이들 실시예에 한정되는 것은 아니고, 본 발명의 기술적 사상을 일탈하지 않는 범위 내에서 여러 가지 응용이 가능하다.

[실시예]

<제 2 c 면 GaN 웨이퍼의 제조 (제 2 공정)>

- [0230] 먼저 GaN 시드를 HVPE 장치의 서셉터 상에 세트하였다. GaN 시드로는, MOCVD (유기 금속 화학 기상 성장법)에 의해 제조한 사파이어 상의 GaN 템플레이트 기판을 사용하고, c 면측을 성장면으로 하였다.
- [0231] 이어서, N₂, H₂ 및 NH₃ 을, 각각의 분압이 0.67 atm, 0.31 atm 및 0.02 atm 이 되도록 리액터 내에 공급하면서, 리액터의 외측에 설치한 히터에 의해 리액터 내를 가열하였다.
- [0232] 서셉터 온도가 1000 °C 에 도달한 후에는, 서셉터 온도를 일정하게 유지하고, GaN 을 성장시켰다. 갈륨 탱크의 온도는 900 °C 로 설정하였다. 성장시에 리액터 내에 공급하는 캐리어 가스는 69 몰% 를 H₂ 로 하고, 나머지를 N₂ 로 하였다.
- [0233] GaCl 및 NH₃ 을 각각의 분압이 7.9×10^{-3} atm 및 0.024 atm 이 되도록 리액터 내에 공급하고, 도너 불순물을 함유하고 있지 않은 제 2 GaN 후막을 약 2.5 mm 의 두께로 성장시켰다. 두께와 성장 시간으로부터 산출한 제 2 GaN 후막의 성장 레이트는 약 40 $\mu\text{m}/\text{h}$ 였다.
- [0234] 이어서, 이 GaN 후막을 c 면에 평행하게 슬라이스하여 웨이퍼를 얻은 후, 그 웨이퍼의 Ga 극성면에, 연삭에 의한 평탄화와 거기에 이어지는 CMP 마무리를 실시하였다. 그 웨이퍼의 N 극성면측의 슬라이스 데미지는, 에칭에 의해 제거하였다. 또한, 웨이퍼를 컷함으로써, 두께 350 μm 의 도너 불순물을 함유하고 있지 않은 제 2 c 면 GaN 웨이퍼를 제조하였다.
- [0235] 또한, 성장 시간을 길게 함으로써 제 2 GaN 후막의 두께를 두껍게 하면, 제 2 c 면 GaN 웨이퍼를 2 장 이상 얻을 수 있다.
- [0236] <GaN 기판 웨이퍼의 제조 (제 3 공정)>
- [0237] 상기 제 2 c 면 GaN 웨이퍼를 시드로 하여, c 면측을 성장면으로 하여 HVPE 장치의 서셉터 상에 세트하였다.
- [0238] 이어서, N₂, H₂ 및 NH₃ 을, 각각의 분압이 0.25 atm, 0.73 atm 및 0.02 atm 가 되도록 리액터 내에 공급하면서, 리액터의 외측에 설치한 히터에 의해 리액터 내를 가열하였다.
- [0239] 서셉터 온도가 1000 °C 에 도달한 후에는, 서셉터 온도를 일정하게 유지하고, GaN 을 성장시켰다. 갈륨 탱크의 온도는 900 °C 로 설정하였다. 성장시에 리액터 내에 공급하는 캐리어 가스는, 73 몰% 를 H₂ 로 해, 나머지를 N₂ 로 하였다.
- [0240] 성장 개시 직후부터 1 분간은, 조면화로서, HCl 및 NH₃ 을 각각의 분압이 1.7×10^{-2} atm 및 0.024 atm 이 되도록 리액터 내에 공급하고, 의도적인 도핑 가스의 공급은 실시하지 않았다.
- [0241] 조면화 후 60 분간은, GaCl 및 NH₃ 을 각각의 분압이 7.9×10^{-3} atm 및 0.024 atm 이 되도록 리액터 내에 공급하고, 의도적인 도핑 가스의 공급은 실시하지 않았다.
- [0242] 성장 개시부터 61 분 후, 리액터 내에 대한 SiH₂Cl₂ 의 공급을 개시하였다. SiH₂Cl₂ 의 공급 레이트는 5 분 간에 걸쳐 서서히 증가시켰다.
- [0243] SiH₂Cl₂ 의 공급 레이트가 소정값에 도달한 후에는, GaCl, NH₃ 및 SiH₂Cl₂ 를, 각각의 분압이 7.9×10^{-3} atm, 0.024 atm 및 1.9×10^{-8} atm 이 되도록 리액터 내에 공급하고, 도너 불순물로서 Si 를 도프한 GaN 막을 약 0.4 mm 의 두께로 성장시켰다. GaN 막의 면은 슬라이스하지 않고, 연마함으로써 마무리하여, 직경 약 60 mm 의 Si 도프 GaN 기판 웨이퍼를 얻었다.
- [0244] 두께와 성장 시간으로부터 산출한 Si 도프 GaN 막의 성장 레이트는 약 40 $\mu\text{m}/\text{h}$ 였다.
- [0245] 상기의 제조 방법에 의해 얻어진 GaN 기판 웨이퍼는, 재성장 계면을 갖고, N 극성측에 제 1 영역, Ga 극성측에 제 2 영역을 갖는 2 층 기판이고, Ga 극성측, 즉 GaN 막의 캐리어 농도는 $4.0 \times 10^{18} \text{ cm}^{-3}$ 였다. 도 9 에 나타내는 바와 같이, Ga 극성측은 전체면에 걸쳐 캐리어 농도는 $1.0 \times 10^{18} \text{ cm}^{-3}$ 이상이고, 단부를 제외하면 대체로 $4.0 \times 10^{18} \text{ cm}^{-3}$ 로 안정되어 있었다. 또, 크랙의 발생이나, 표면 거칠은 보이지 않았다.

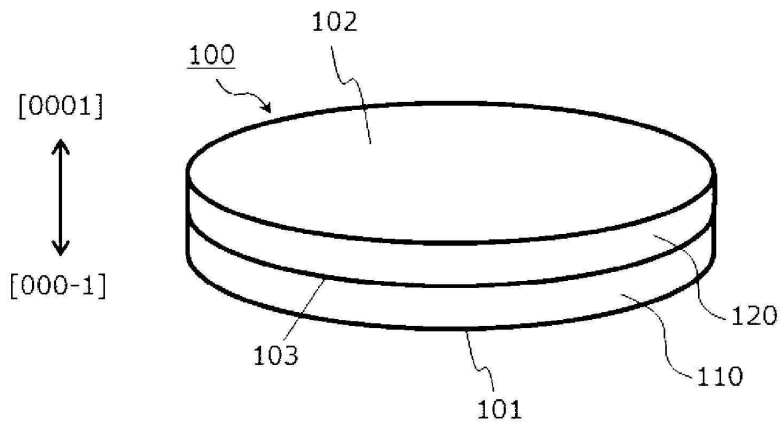
- [0246] [참고예]
- [0247] 상기 실시예에 있어서, Si 를 도프한 GaN 막의 성장 시간을 약 6 배로 연장함으로써, GaN 막의 두께를 약 2.5 mm 로 하였다. 얻어진 GaN 기판 웨이퍼 (2 층 기판) 는, 이상 성장부의 발생이 확인되었다. 여기서 말하는 이상 성장부란, 기판면 내의 몇 개의 부분에 있어서, SiNx 를 기인으로 하는 깊은 패임이 산견되었다.
- [0248] 이상, 본 발명을 구체적인 실시형태에 입각하여 설명했지만, 각 실시형태는 예로서 제시된 것이며, 본 발명의 범위를 한정하는 것은 아니다. 본 명세서에 기재된 각 실시형태는, 발명의 취지를 이탈하지 않는 범위 내에서, 여러 가지로 변형할 수 있고, 또한, 실시 가능한 범위 내에서, 다른 실시형태에 의해 설명된 특징과 조합할 수 있다.

부호의 설명

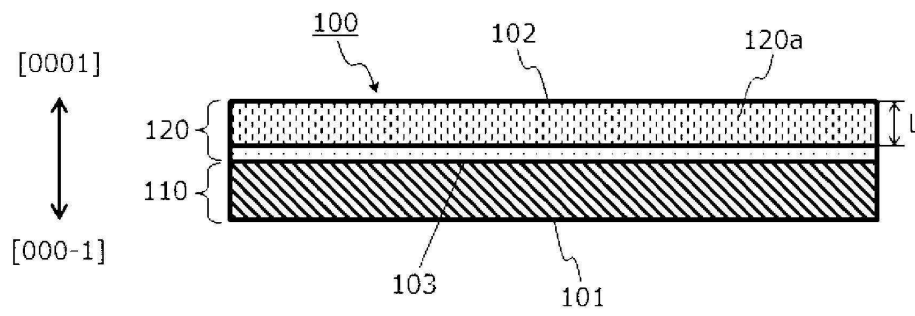
- [0249]
- 1 : 시드 웨이퍼
 - 2 : 제 1 GaN 후막
 - 3 : 제 1 c 면 GaN 웨이퍼
 - 4 : 제 2 GaN 후막
 - 5 : 제 2 c 면 GaN 웨이퍼
 - 6 : GaN 막
 - 6a : 특정 도프 영역
 - 6b : 개재 영역
 - 10 : HVPE 장치
 - 11 : 리액터
 - 12 : 갈륨 탱크
 - 13 : 서셉터
 - 14 : 제 1 히터
 - 15 : 제 2 히터
 - 100 : GaN 기판 웨이퍼
 - 101 : N 극성면
 - 102 : Ga 극성면
 - 103 : 재성장 계면
 - 110 : 제 1 영역
 - 120 : 제 2 영역
 - 120a : 주도프 영역
 - 200 : 에피택셜막
 - 210 : n 형 질화물 반도체층
 - 220 : p 형 질화물 반도체층
 - L : 특정 길이

도면

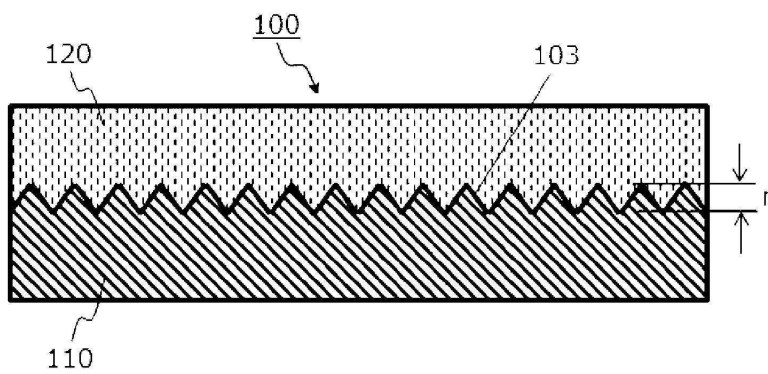
도면1



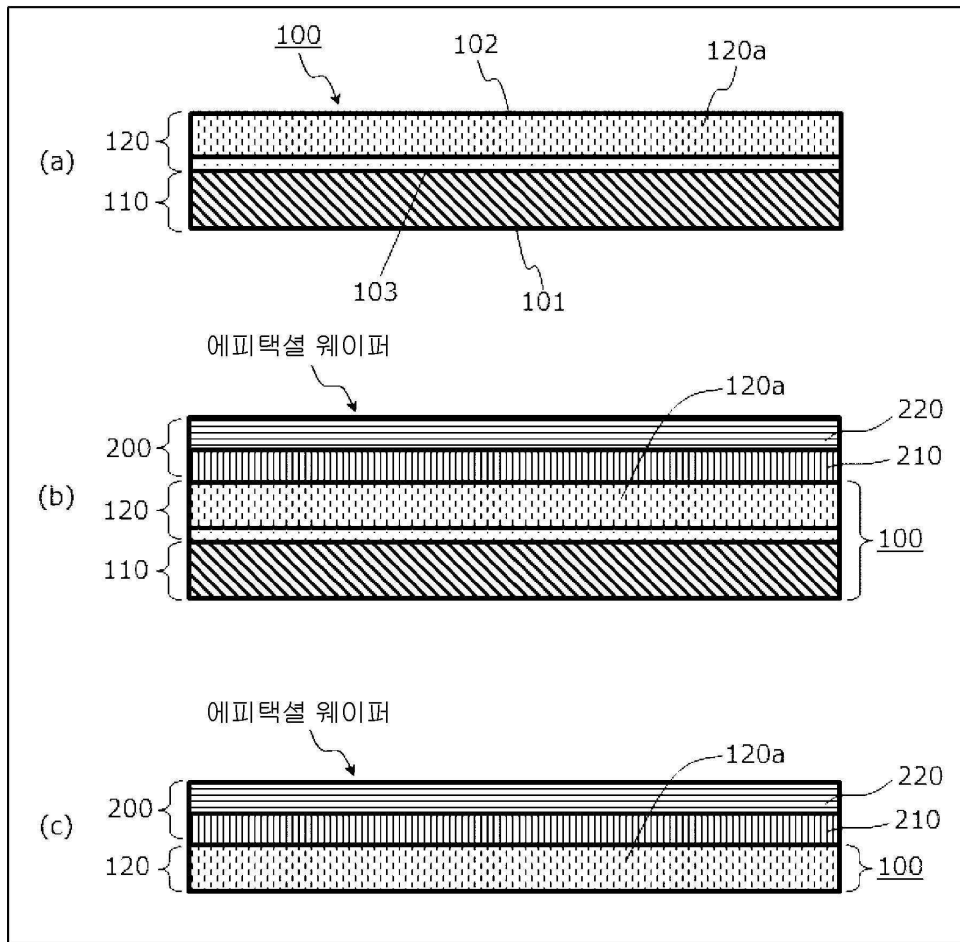
도면2



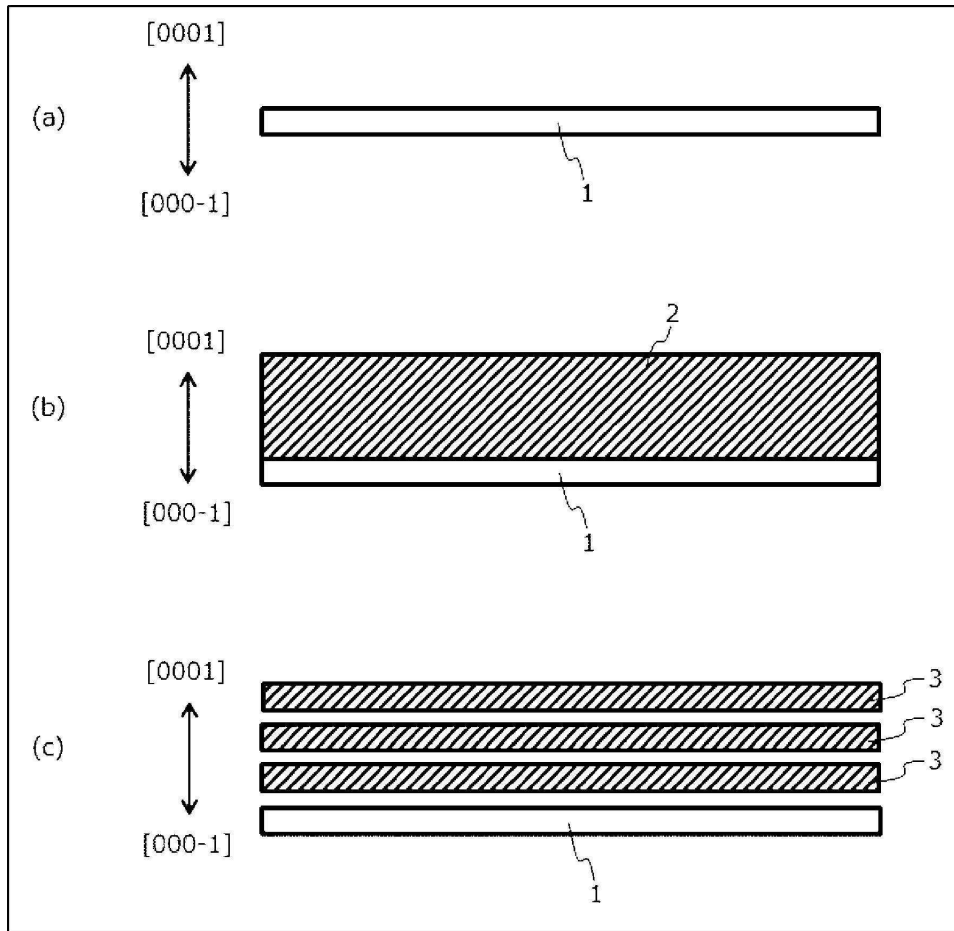
도면3



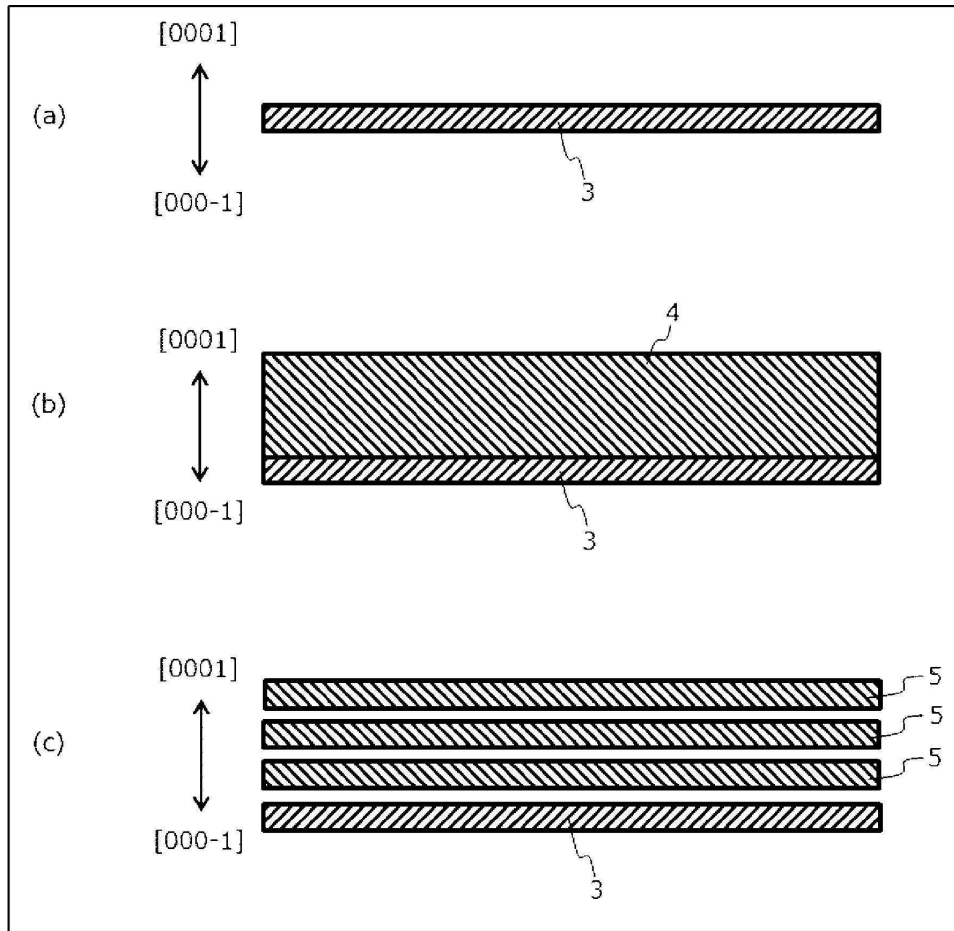
도면4



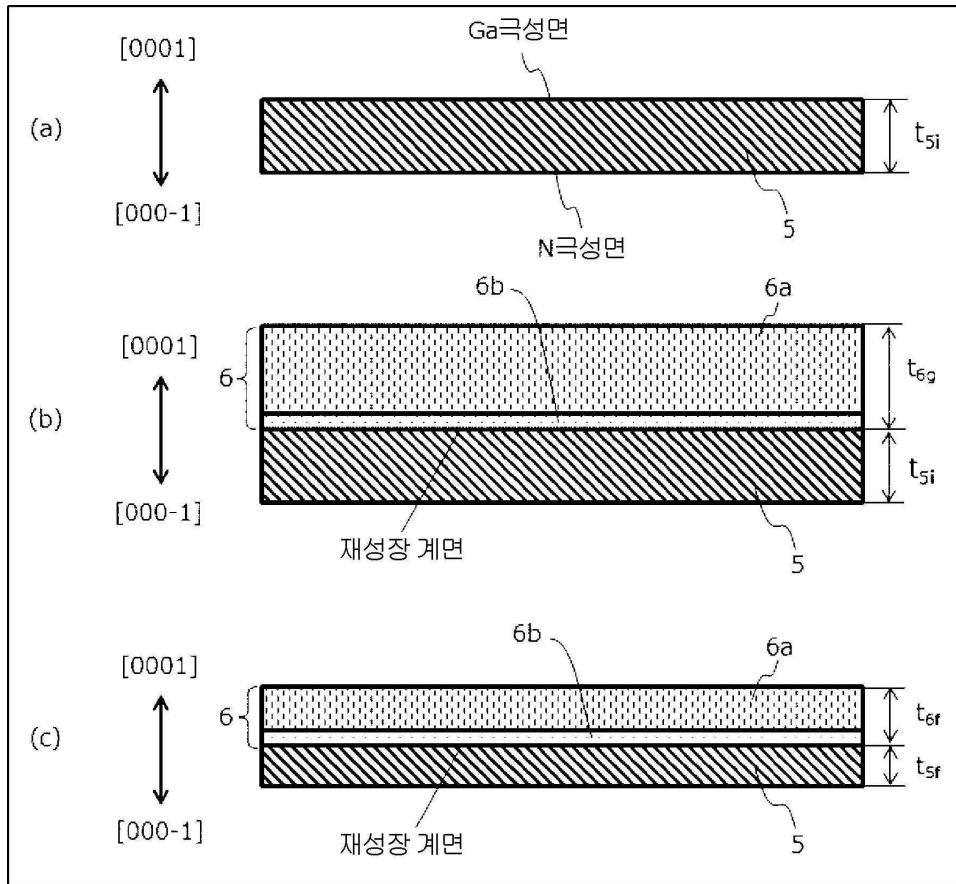
도면5



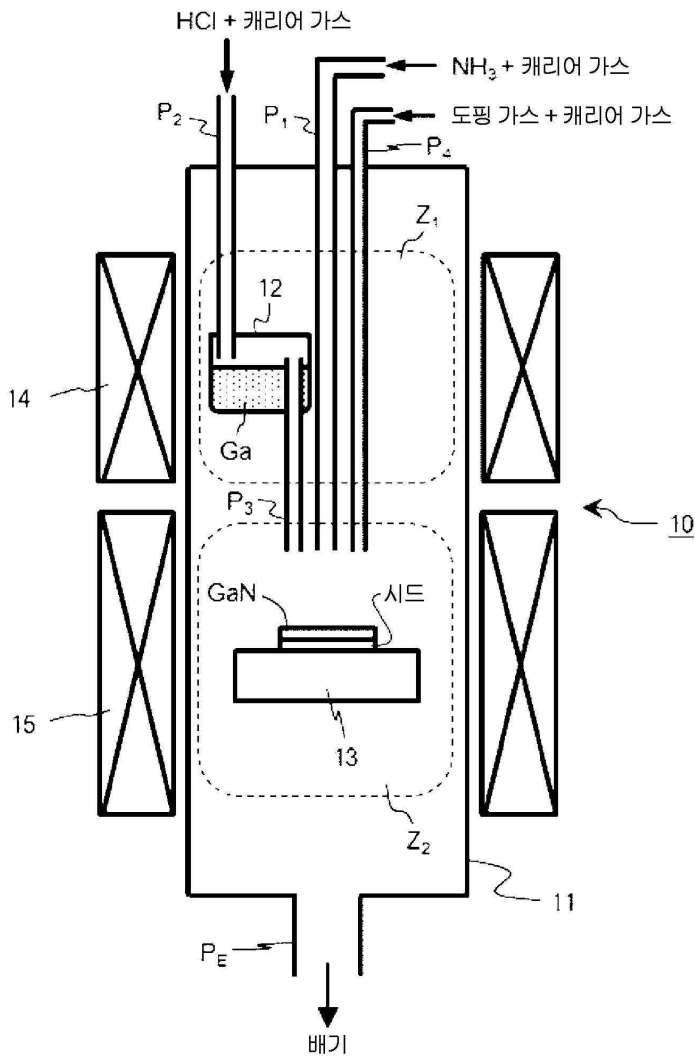
도면6



도면7



도면8



도면9

