

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 12 月 16 日 (16.12.2004)

PCT

(10) 国際公開番号
WO 2004/109638 A1

- (51) 国際特許分類: G09G 3/30, 3/20
(21) 国際出願番号: PCT/JP2004/007367
(22) 国際出願日: 2004 年 5 月 28 日 (28.05.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2003-162749 2003 年 6 月 6 日 (06.06.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 株式会社
半導体エネルギー研究所 (SEMICONDUCTOR EN-
ERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036
神奈川県厚木市長谷 3 9 8 番地 Kanagawa (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 木村 肇

(KIMURA, Hajime) [JP/JP]; 〒2430036 神奈川県厚木
市長谷 3 9 8 番地株式会社半導体エネルギー研究所
内 Kanagawa (JP).

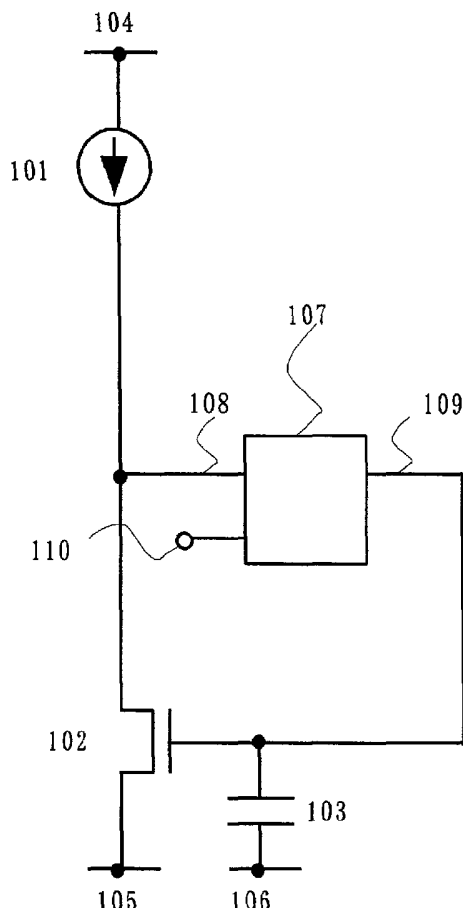
(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device is disclosed wherein a transistor for supplying an electric current to a load (such as an EL pixel or a signal line) is capable of supplying a correct current without being affected by variations. The voltage at each terminal of the transistor is controlled by using a feedback circuit using an amplifier. A current (I_{data}) from a current source circuit is input to the transistor, and the voltage between the gate and the source (the source potential) which is necessary for the transistor to pass the current (I_{data}) is set by using the feedback circuit. The feedback circuit is controlled so that the transistor operates to have a certain drain potential, and the gate voltage necessary to pass the current (I_{data}) is set accordingly. By using the transistor so set, a correct current can be supplied to a load (such as an EL pixel or a signal line). Since the drain potential can be controlled in this semiconductor device, kink effect can be reduced.

(57) 要約: 負荷 (EL画素や信号線) に電流を供給するトランジスタにおいて、バラツキの影響を受けずに正確な電流を供給できる半導体装置を提供する。増幅回路を使ったフィードバック回路を用いて、トランジスタの各端子の電圧を調節する。電流源回路から電流 I_{data} をトランジスタに入力して、トランジスタが電流 I_{data} を流すのに必要なゲート・ソース間電圧 (ソース電位) を、フィードバック回路を用いて設定する。フィードバック回路は、トランジスタのドレイン電位が所定の電位になるように動作するように制御する。すると、電流 I_{data} を流すのに必要なゲート電圧が設定される。そして、設定されたトランジスタを用いれば、正確な電流を負荷 (EL画素や信号線) に供給できる。なお、ドレイン電位を制御できるのでキंक効果の影響を低減できる。



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,
BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

2文字コード及び他の略語については、定期発行される
各*PCT*ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置

技術分野

- [0001] 本発明は負荷に供給する電流をトランジスタで制御する機能を設けた電流を供給する半導体装置に係り、特に電流によって輝度が変化する電流駆動型発光素子で形成された画素や、画素を駆動する信号線駆動回路を含む半導体装置に関する。の表示素子として用いる半導体装置の画素回路やソースドライバ回路の構成に関する。

背景技術

- [0002] 有機発光ダイオード(OLED(Organic Light Emitting Diode)、有機EL素子、エレクトロルミネッセンス(Electro Luminescence:EL)素子などとも言う)に代表される自発光型の発光素子を用いた表示装置では、その駆動方式として単純マトリックス方式とアクティブマトリックス方式とが知られている。が、前者は構造は簡単であるが、大型かつ高輝度のディスプレイの実現が難しい等の問題があり、近年は発光素子に流れる電流を画素回路内部に設けた薄膜トランジスタ(TFT)によって制御するアクティブマトリックス方式の開発が進められている。
- [0003] アクティブマトリックス方式の表示装置の場合、駆動TFTの電流特性のバラツキにより発光素子に流れる電流が変化し輝度がばらついてしまうという問題が認識されていた。つまり、画素回路には発光素子に流れる電流を駆動する駆動TFTが用いられており、これらの駆動TFTの特性がばらつくことにより発光素子に流れる電流が変化し、輝度がばらついてしまうという問題があった。そこで画素回路内の駆動TFTの特性がばらついていても発光素子に流れる電流は変化せず、輝度のバラツキを抑えるための種々の回路が提案されている(例えば、特許文献1乃至4参照。)。
- [0004] 特許文献1:特表2002-517806号公報
特許文献2:国際公開第01/06484号パンフレット
特許文献3:特表2002-514320号公報

特許文献4:国際公開第02/39420号パンフレット

- [0005] 特許文献1乃至3には、画素回路内に配置された駆動TFTの特性のバラツキによって発光素子に流れる電流値の変動を防ぐための回路構成が開示されている。この構成は、電流書き込み型画素、もしくは電流入力型画素などと呼ばれている。また特許文献4には、ソースドライバ回路内のTFTのバラツキによる信号電流の変化を抑制するための回路構成が開示されている。
- [0006] 図6に、特許文献1に開示されている従来のアクティブマトリックス型表示装置の第1の構成例を示す。図6の画素は、ソース信号線601、第1〜第3のゲート信号線602〜604、電流供給線605、TFT606〜609、保持容量610、EL素子611、信号電流入力用電流源612を有する。
- [0007] 図7を用いて、信号電流の書き込みから発光までの動作について説明する。図中、各部を示す図番は、図6に準ずる。図7(A)〜(C)は、電流の流れを模式的に示している。図7(D)は、信号電流の書き込み時における各経路を流れる電流の関係を示しており、図7(E)は、同じく信号電流の書き込み時に、保持容量610に蓄積される電圧、つまりTFT608のゲート・ソース間電圧について示している。
- [0008] まず、第1のゲート信号線602および第2のゲート信号線603にパルスが入力され、TFT606、607がONする。このとき、ソース信号線を流れる電流、すなわち信号電流を I_{data} とする。
- [0009] ソース信号線には、電流 I_{data} が流れているので、図7(A)に示すように、画素内では、電流の経路は I_1 と I_2 とに分かれて流れる。これらの関係を図7(D)に示している。なお、 $I_{data} = I_1 + I_2$ であることは言うまでもない。
- [0010] TFT606がONした瞬間には、まだ保持容量610には電荷が保持されていないため、TFT608はOFFしている。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。すなわちこの間は、保持容量610における電荷の蓄積による電流のみが流れている。
- [0011] その後、徐々に保持容量610に電荷が蓄積され、両電極間に電位差が生じ始める(図7(E))。両電極の電位差が V_{th} となると(図7(E) A点)、TFT608がONして、 I_2 が生ずる。先に述べたように、 $I_{data} = I_1 + I_2$ であるので、 I_1 は次第に減少するが、依然電流は流れており、さらに保持容量には電荷の蓄積が行われる。

- [0012] 保持容量610においては、その両電極の電位差、つまりTFT608のゲート・ソース間電圧が所望の電圧、つまりTFT608が I_{data} の電流を流すことが出来るだけの電圧(VGS)になるまで電荷の蓄積が続く。やがて電荷の蓄積が終了する(図7(E) B点)と、電流 I_1 は流れなくなり、さらにTFT608はそのときのVGSに見合った電流が流れ、 $I_{data}=I_2$ となる(図7(B))。こうして、定常状態に達する。以上で信号の書き込み動作が完了する。最後に第1のゲート信号線602および第2のゲート信号線603の選択が終了し、TFT606、607がOFFする。
- [0013] 続いて、発光動作に移る。第3のゲート信号線604にパルスが入力され、TFT609がONする。保持容量610には、先ほど書き込んだVGSが保持されているため、TFT608はONしており、電流供給線605から、 I_{data} の電流が流れる。これによりEL素子611が発光する。このとき、TFT608が飽和領域において動作するようにしておけば、TFT608のソース・ドレイン間電圧が変化したとしても、 I_{data} は変わりなく流れることが出来る。
- [0014] このように、設定した電流を出力する動作を、出力動作と呼ぶことにする。電流書き込み型画素のメリットとして、TFT608の特性等にばらつきがあった場合であっても、保持容量610には、電流 I_{data} を流すのに必要なゲート・ソース間電圧が保持されるため、所望の電流を正確にEL素子に供給することが出来、よってTFTの特性ばらつきに起因した輝度ばらつきを抑えることが可能になる点がある。
- [0015] 以上の例は、画素回路内での駆動TFTのバラツキによる電流の変化を補正するための技術に関するものであるが、ソースドライバ回路内においても同一の問題が発生する。特許文献4には、ソースドライバ回路内でのTFTの製造上のバラツキによる信号電流の変化を防止するための回路構成が開示されている。
- [0016] また、発光素子(EL)を駆動する電流を供給する供給トランジスタ(M5)から流れる電流(I_r)と同じ電流値の電流(I_s)を参照トランジスタ(M4)を介して駆動制御回路(2a)に導き、該電流(I_s)と参照トランジスタ(M4)のソース・ドレイン電圧情報(V_s)と供給トランジスタ(M5)のソース・ドレイン電圧情報(V_r , V_{drv})とに基づいて、電流(I_s)が所望の設定電流値(I_{drv})に近づくように且つ各ソース・ドレイン電圧情報(V_s , V_r)が等しくなるように制御することが可能な構成を有する電流供給回路(1)と駆動制

御回路(2a)とを備えた発光素子の駆動回路が知られている(特許文献5参照。)

[0017] 特許文献5:特表2003-108069号公報 (第5-6頁、図6)

[0018] また、第1の電源と第2の電源との間に直列に設けられた発光素子とこの発光素子を駆動する駆動トランジスタと、前記駆動トランジスタを制御する制御信号を前記駆動トランジスタのゲートに導くための第1のスイッチングトランジスタと、前記発光素子と駆動トランジスタとの接続点の電圧と前記表示装置に入力する画素の輝度を示す制御電圧とを比較し、前記制御信号を生成するための差動増幅器とからなり、前記制御信号を前記第1のスイッチングトランジスタを介して、前記駆動トランジスタのゲートに導くように構成した技術が知られている(特許文献6参照。)

[0019] 特許文献6:特表2003-58106号公報 (第3-4頁、図1)

[0020] このように、従来の技術では、信号電流とTFTを駆動する電流、或いは信号電流と発光素子に発光時に流れる電流とが等しくなるように、または比例関係を保つように構成されている。

発明の開示

発明が解決しようとする課題

[0021] しかしながら、信号電流を駆動TFTや発光素子に供給するために用いられる配線の寄生容量は極めて大きいため、信号電流が小さい場合には配線の寄生容量を充電する時定数が大きくなり、信号書き込み速度が遅くなってしまうという問題点がある。すなわち、トランジスタに信号電流を供給しても、それを流すのに必要な電圧をゲート端子に生じさせるまでの時間が長くなってしまい、信号の書き込み速度が遅くなってしまうことが問題となっている。

[0022] また、図7(A)から分かるとおり、電流を入力しているときは、トランジスタ608のゲート端子とドレイン端子とは、接続されている。したがって、ゲート・ソース間電圧(V_{gs})とドレイン・ソース間電圧(V_{ds})が等しい。一方、図7(C)から分かるとおり、負荷に電流を供給しているときは、ドレイン・ソース間電圧は、負荷の特性によって決まる。

[0023] 図61は、トランジスタ608とEL素子611に流れる電流と、各々に加わる電圧の関係を示している。また、図62は、図61に示した構成におけるEL素子611の電圧電流特性6201と、トランジスタ608の電圧電流特性を示す。各々のグラフの交点が動作点と

なる。

- [0024] まず、電流値が大きい場合(トランジスタ608のゲート・ソース間電圧の絶対値が大きい場合)には、トランジスタ608の電圧電流特性6202aにおいて、電流を入力しているときは、 $V_{gs}=V_{ds}$ なので、動作点6204において動作する。そして、EL素子611に電流を供給しているときは、EL素子611の電圧電流特性6201とトランジスタ608の電圧電流特性6202aの交点6205aが動作点となる。つまり、ドレイン・ソース間電圧は、電流を入力しているときとEL素子611に電流を供給しているときとは、異なる。しかし、飽和領域においては、電流値が一定なので、正しい大きさの電流をEL素子611に供給することが出来る。
- [0025] しかしながら、実際のトランジスタは、キンク(アーリー)効果によって、飽和領域においても、電流が一定値にならない場合が多い。そのため、EL素子611に電流を供給しているときは、EL素子611の電圧電流特性6201とトランジスタ608の電圧電流特性6202cの交点6205cが動作点となり電流値が変わってしまう。
- [0026] 一方、電流値が小さい場合(トランジスタ608のゲート・ソース間電圧の絶対値が小さい場合)には、トランジスタ608の電圧電流特性6203aにおいて、電流を入力しているときは、 $V_{gs}=V_{ds}$ なので、動作点6206において動作する。そして、EL素子611に電流を供給しているときは、EL素子611の電圧電流特性6201とトランジスタ608の電圧電流特性6203aの交点6207aが動作点となる。
- [0027] そして、キンク(アーリー)効果を考慮すると、EL素子611に電流を供給しているときは、EL素子611の電圧電流特性6201とトランジスタ608の電圧電流特性6203cの交点6207cが動作点となる。よって、EL素子611に供給する時の電流値は、電流を入力しているときとは異なってしまう。
- [0028] 電流値が大きい場合(トランジスタ608のゲート・ソース間電圧の絶対値が大きい場合)と、電流値が小さい場合(トランジスタ608のゲート・ソース間電圧の絶対値が小さい場合)とを比較すると、前者は、動作点6204と動作点6205cは、あまりずれない。つまり、トランジスタのドレイン・ソース間電圧は、電流入力時と、EL素子611に電流を供給しているときとは、あまり変わらない。しかし、電流値が小さい場合、動作点6206と動作点6207cは、大きくずれている。つまり、トランジスタのドレイン・ソース間電圧は

、電流を入力しているときと、EL素子611に電流を供給しているときで、大きく変化している。したがって、電流値のずれも大きい。

[0029] その結果、EL素子611には、より多くの電流が流れてしまう。したがって、輝度が小さい画像を表示させる場合、実際には、明るめの画像が表示されてしまう。そのため、黒を表示したいのに、少し発光してしまうということが生じてしまう。その結果、コントラストが低下してしまう。

[0030] また、図6の構成の場合、図7(A)に示すように、信号電流を入力している時、トランジスタ608のゲート・ドレイン間は、接続されている。つまり、 $V_{gs}=V_{ds}$ となっている。通常のトランジスタでは、 $V_{gs}=0$ の場合、電流はほとんど流れない。しかし、しきい値電圧(V_{th})の値によっては、電流が流れてしまう場合がある。例えば、Pチャネル型トランジスタの場合、 $V_{th}>0$ のとき、また、Nチャネル型トランジスタの場合、 $V_{th}<0$ の場合は、電流がながれてしまう。このような場合、 $V_{gs}=V_{ds}$ の時は、飽和領域ではなく、線形領域で動作することになる。よって、図7(A)において線形領域で動作することになる。よって、図7(C)の時、飽和領域で動作すれば、図7(A)の時と図7(C)の時とは、電流値が変わってしまう。

[0031] つまり、 $V_{gs}=0$ の場合に、電流が流れるようなしきい値電圧(V_{th})になっているトランジスタでは、 $V_{gs}=V_{ds}$ となるような状態では、線形領域でしか動作しないことになり、飽和領域で動作させることが出来ない。

[0032] 例えば、図6や図7に示すような構成の場合、トランジスタ608は、飽和領域で動作させる。そのため、図63に示すように、EL素子611の電圧電流特性6201aが劣化によってシフトした場合でも、動作点は動作点6205aから動作点6205bに移動するだけである。すなわち、EL素子611に加わる電圧やトランジスタ608のドレイン・ソース間電圧が変わっても、EL素子611に流れる電流は変化しない。これにより、EL素子611の焼きつきを低減することができる。

[0033] しかし、特許文献6(に記載されている図1に示された構成)の場合、EL素子と駆動トランジスタとの接続点の電圧と表示装置に入力する画素の輝度を示す制御電圧とを比較している。そのため、EL素子の電圧電流特性がシフトしたら、EL素子611に流れる電流が変化してしまう。つまり、EL素子611の焼きつきが生じてしまうことになる。

。

[0034] 特許文献5(に記載されている図6の構成)の場合、トランジスタM7とトランジスタM9は、電流特性が揃っている必要がある。もし、ばらつけば、発光素子(EL)に流れる電流もばらついてしまう。同様に、トランジスタM8とトランジスタM11、トランジスタM10とトランジスタM12なども、電流特性が揃っている必要がある。このように、多くのトランジスタにおいて、電流特性が揃っている必要がある。もし揃っていなければ、発光素子(EL)に流れる電流もばらついてしまう。そのため、製造歩留まりが低下し、コスト高となり、回路のレイアウト面積が大きくなり、消費電力が高くなるといった問題が発生する。

[0035] 本発明はこのような問題点に鑑み、トランジスタの特性バラツキの影響を低減し、負荷の電圧電流特性が変化しても、所定の電流を供給でき、信号電流が小さな場合であっても信号の書き込み速度を十分に向上させることのできる半導体装置を提供することを目的とする。

課題を解決するための手段

[0036] 本発明は、負荷に電流を供給するトランジスタにかかる電位を増幅回路を用いて制御するものであり、帰還回路を形成することによってトランジスタのゲートにかかる電位を安定化させることにより上記目的を達成するものである。

[0037] 本発明は、負荷に供給する電流をトランジスタで制御する回路を具備する半導体装置であって、前記トランジスタのソースまたはドレインが電流源回路と接続され、前記電流源回路から前記トランジスタに電流が供給されたとき、前記トランジスタのゲート・ソース間電圧とドレイン・ソース間電圧とを制御する増幅回路が備えられていることを特徴とするものである。

[0038] 本発明は、負荷に供給する電流をトランジスタで制御する回路を具備する半導体装置であって、前記トランジスタのソースまたはドレインが電流源回路と接続され、前記トランジスタのドレイン電位もしくはソース電位が所定の電位になるように、前記トランジスタのゲート電位を安定化させる増幅回路が備えられていることを特徴とするものである。

[0039] 本発明は、負荷に供給する電流をトランジスタで制御する回路を具備する半導体

装置であって、前記トランジスタのソースまたはドレインが電流源回路と接続され、前記トランジスタのドレイン電位もしくはソース電位が所定の電位になるように、前記トランジスタのゲート電位を安定化させる帰還回路が備えられていることを特徴とするものである。

[0040] 本発明は、負荷に供給する電流を制御するトランジスタと、オペアンプを具備する半導体装置であって、電流源回路に接続する前記トランジスタのドレイン端子側に前記オペアンプの非反転入力端子が接続され、前記オペアンプの出力端子は、前記ゲート端子に接続されていることを特徴とするものである。

[0041] 本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI基板、ガラス基板などに配置することが出来る。

[0042] なお、本発明において、接続されているとは、電氣的に接続されていることと同義である。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電氣的な接続を可能とする他の素子(例えば、別の素子やスイッチなど)が配置されていてもよい。

発明の効果

[0043] 本発明では、増幅回路を用いて帰還回路を形成し、その回路によって、トランジスタを制御する。そして、そのトランジスタがバラツキの影響を受けずに均一な電流を出力できるようになる。そのような設定を行う場合、増幅回路を用いて行うため、すばやく、設定動作を行うことが出来る。そのため、出力動作において、正確な電流を出力することが出来る。また、電流を設定するときに、トランジスタの V_{ds} を制御することができるため、電流が流れすぎたりすることを低減したり、 $V_{gs}=0$ の時に電流が流れてしまうようなトランジスタであっても、正常に動作させることが出来る。

図面の簡単な説明

[0044] [図1]図1は本発明の半導体装置の構成を説明する図である。

[図2]図2は本発明の半導体装置の構成を説明する図である。

[図3]図3は本発明の半導体装置の構成を説明する図である。

[図4]図4は本発明の半導体装置の構成を説明する図である。

[図5]図5は本発明の半導体装置の構成を説明する図である。

[図6]図6は従来の画素の構成を説明する図である。

[図7]図7は従来の画素の動作を説明する図である。

[図8]図8は本発明の半導体装置の構成を説明する図である。

[図9]図9は本発明の半導体装置の構成を説明する図である。

[図10]図10は本発明の半導体装置の動作を説明する図である。

[図11]図11は本発明の半導体装置の動作を説明する図である。

[図12]図12は本発明の半導体装置の構成を説明する図である。

[図13]図13は本発明の半導体装置の動作を説明する図である。

[図14]図14は本発明の半導体装置の動作を説明する図である。

[図15]図15は本発明の半導体装置の動作を説明する図である。

[図16]図16は本発明の半導体装置の構成を説明する図である。

[図17]図17は本発明の半導体装置の構成を説明する図である。

[図18]図18は本発明の半導体装置の構成を説明する図である。

[図19]図19は本発明の半導体装置の構成を説明する図である。

[図20]図20は本発明の半導体装置の構成を説明する図である。

[図21]図21は本発明の半導体装置の構成を説明する図である。

[図22]図22は本発明の半導体装置の構成を説明する図である。

[図23]図23は本発明の半導体装置の構成を説明する図である。

[図24]図24は本発明の半導体装置の構成を説明する図である。

[図25]図25は本発明の半導体装置の構成を説明する図である。

[図26]図26は本発明の半導体装置の構成を説明する図である。

[図27]図27は本発明の半導体装置の構成を説明する図である。

[図28]図28は本発明の半導体装置の構成を説明する図である。

[図29]図29は本発明の半導体装置の構成を説明する図である。

[図30]図30は本発明の半導体装置の構成を説明する図である。

[図31]図31は本発明の半導体装置の構成を説明する図である。

[図32]図32は本発明の半導体装置の構成を説明する図である。

[図33]図33は本発明の半導体装置の構成を説明する図である。

[図34]図34は本発明の半導体装置の構成を説明する図である。

[図35]図35は本発明の半導体装置の構成を説明する図である。

[図36]図36は本発明の半導体装置の構成を説明する図である。

[図37]図37は本発明の半導体装置の動作を説明する図である。

[図38]図38は本発明の半導体装置の動作を説明する図である。

[図39]図39は本発明の半導体装置の動作を説明する図である。

[図40]図40は本発明の半導体装置の構成を説明する図である。

[図41]図41は本発明の半導体装置の構成を説明する図である。

[図42]図42は本発明の半導体装置の構成を説明する図である。

[図43]図43は本発明の半導体装置の構成を説明する図である。

[図44]図44は本発明の半導体装置の構成を説明する図である。

[図45]図45は本発明の半導体装置の動作を説明する図である。

[図46]図46は本発明の半導体装置の動作を説明する図である。

[図47]図47は本発明の半導体装置の構成を説明する図である。

[図48]図48は本発明の半導体装置の動作を説明する図である。

[図49]図49は本発明の半導体装置の動作を説明する図である。

[図50]図50は本発明の半導体装置の動作を説明する図である。

[図51]図51は本発明の半導体装置の動作を説明する図である。

[図52]図52は本発明の半導体装置の構成を説明する図である。

[図53]図53は本発明の半導体装置の構成を説明する図である。

[図54]図54は本発明の半導体装置の構成を説明する図である。

[図55]図55は本発明の表示装置の構成を示す図である。

[図56]図56は本発明の表示装置の構成を示す図である。

[図57]図57は本発明の表示装置の動作を示す図である。

[図58]図58は本発明の表示装置の動作を示す図である。

[図59]図59は本発明の表示装置の動作を示す図である。

[図60]図60は本発明が適用される電子機器の図である。

[図61]図61は従来の画素の構成を説明する図である。

[図62]図62は従来の回路の動作点を説明する図である。

[図63]図63は従来の回路の動作点を説明する図である。

[図64]図64は本発明の半導体装置の構成を説明する図である。

[図65]図65は本発明の半導体装置の動作を説明する図である。

[図66]図66は本発明の半導体装置の動作を説明する図である。

符号の説明

[0045] 101・201—電流源回路、102・102a・102b・202・302—電流源トランジスタ、103・203・610—保持容量、103a・103b・203a—容量素子、104・105・106・204・205・206・905・905a・905b・1605・1805・2005—配線、107・207—増幅回路、108・208—第1入力端子、109・209—出力端子、110・210—第2入力端子、407・507—オペアンプ、601—ソース信号線、602—第1のゲート信号線、603—第2のゲート信号線、604—第3のゲート信号線、605—電流供給線—606・607・608・609—TFT、611—EL素子、612—信号電流入力用電流源、901・901a・901b・901aa・901bb・901ca・901da—負荷、902・902a・902b・903・903a・903b・904・904a・904b・1801・1901・2002・2003・2501aa・2501ab・2501ba・2501bb・2502aa・2502ab・2502ba・2502bb・2601ca・2601cb・2601da・2601db・2602ca・2602cb・2602da・2602db・2603ca・2603cb・2603da・2603db・2904—スイッチ、1602・4402—カレントトランジスタ、1702—マルチトランジスタ、1802—並列トランジスタ、1902—直列トランジスタ、2101—回路、2401・2401a・2401b—リソース回路、2402・2402a・2402b—電流線、2403・2403a・2403b—電圧線、2404a・2404b・2404aa・2404ab・2404ba・2404bb・2404ca・2404cb・2404da・2404db—ユニット回路、2604c・2604d・2907・2908・2909・3304・3305・3504・3505・4205・4705・4706—配線、2901・3301・3501—電流源回路、2902・3601・4204・4304・4403・4404・4704・5403a・5403b・5403c—スイッチ、2903・4703—容量素子、2905—信

号線、2906－選択ゲート線、3302・3402・3502・5201・5401a・5401b・5401c－トランジスタ、3303・3403・3503・5202－ゲート端子、3310・3410・3510・5402a・5402b・5402c－端子、4007－増幅回路、5501－画素配列、5502－ゲート線駆動回路、5503－シフトレジスタ、5504－LAT1、5505－LAT2、5506－デジタル・アナログ変換回路、5508－ビデオ信号線、5509－ラッチ制御線、5510－信号線駆動回路、5514－リファレンス用電流源回路、5701－画素配列、5705－LAT2、5706－デジタル・アナログ変換回路、5714－リファレンス用電流源回路、6201・6201a・6201b・6202a・6202c・6203a・6203c－電圧電流特性、6204－動作点、6205a－交点、6205b－動作点、6205c－交点、6206－動作点、6207a・6207b・6207c－交点、6401－電流源回路、6403－スイッチ、6405－配線、13001－筐体、13002－支持台、13003－表示部、13004－スピーカー部、13005－ビデオ入力端子、13101－本体、13102－表示部、13103－受像部、13104－操作キー、13105－外部接続ポート、13106－シャッター、13201－本体、13202－筐体、13203－表示部、13204－キーボード、13205－外部接続ポート、13206－ポインティングマウス、13301－本体、13302－表示部、13303－スイッチ、13304－操作キー、13305－赤外線ポート、13401－本体、13402－筐体、13403－表示部A、13404－表示部B、13405－記録媒体読み込み部、13406－操作キー、13407－スピーカー部、13501－本体、13502－表示部、13503－アーム部、13601－本体、13602－表示部、13603－筐体、13604－外部接続ポート、13605－リモコン受信部、13606－受像部、13607－バッテリー、13608－音声入力部、13609－操作キー、13701－本体、13702－筐体、13703－表示部、13704－音声入力部、13705－音声出力部、13706－操作キー、13707－外部接続ポート、13708－アンテナ

発明を実施するための最良の形態

[0046] 以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。

実施の形態1

- [0047] 本発明は、発光素子に流れる電流値によって発光輝度を制御することが可能な素子で画素を形成する。代表的にはEL素子を適用することができる。EL素子の構成としては種々知られたものがあるが、電流値により発光輝度を制御可能なものであれば、どのような素子構造であっても本発明に適用することができる。すなわち、発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL素子を形成するものであり、そのための材料として、低分子系有機材料、中分子系有機材料(昇華性を有さず、かつ、分子数が20以下または連鎖する分子の長さが10 μ m以下の有機発光材料)や高分子系有機材料を用いることができる。また、これらに無機材料を混合または分散させたものを用いても良い。
- [0048] また、EL素子などのような発光素子を有する画素だけでなく、電流源を有する様々なアナログ回路に適用することが出来る。そこでまず、本実施の形態では、本発明の原理について述べる。
- [0049] まず、図1に、本発明の基本原理に基づく構成について示す。配線104と配線105の間に、電流源回路101と電流源トランジスタ102が接続されている。図1では、電流源回路101から電流源トランジスタ102の方へ電流が流れる場合について示している。そして、増幅回路107の第1入力端子108が電流源トランジスタ102のドレイン端子に接続されている。また、増幅回路107の第2入力端子110は、所定の配線に接続されている。増幅回路107の出力端子109は、電流源トランジスタ102のゲート端子に接続されている。
- [0050] 保持容量103が、電流源トランジスタ102のゲート電圧を保持するために、電流源トランジスタ102のゲート端子と配線106に接続されている。なお、保持容量103は、電流源トランジスタ102のゲート容量などで代用することにより、省略することが出来る。
- [0051] このような構成において、電流源回路101から電流 I_{data} を供給し、入力する。電流 I_{data} は、電流源トランジスタ102に流れる。増幅回路107は、電流源回路101から供給する電流 I_{data} が電流源トランジスタ102に流れ、かつ、増幅回路107の第1入力端子108と第2入力端子110との間の電位差が所定の大きさになるような状態に制御する。すると、電流源トランジスタ102のゲート電位は、増幅回路107の第1入力端

子108の電位、つまり、電流源トランジスタ102のドレイン電位が所定の電位の状態において、電流源トランジスタ102が電流 I_{data} を流すのに必要な値に制御される。このとき、電流源トランジスタ102のゲート電位は、電流源トランジスタ102の電流特性（移動度やしきい値電圧など）やサイズ（ゲート幅 W やゲート長 L ）に依存せずに、適切な大きさになる。したがって、電流源トランジスタ102の電流特性やサイズがばらついても、電流源トランジスタ102は、電流 I_{data} を流すことが出来るようになる。その結果、その電流源トランジスタ102は、電流源として動作させることができ、さまざまな負荷（別の電流源トランジスタや画素や信号線駆動回路など）に電流を供給することが可能となる。

[0052] なお、一般に、トランジスタ（ここでは簡単のため、NMOS型トランジスタであるとする）の動作領域は、線形領域と飽和領域とに分けることが出来る。その境目は、ドレイン・ソース間電圧を V_{ds} 、ゲート・ソース間電圧を V_{gs} 、しきい値電圧を V_{th} とすると、 $(V_{gs}-V_{th})=V_{ds}$ の時になる。 $(V_{gs}-V_{th})>V_{ds}$ の場合は、線形領域であり、 V_{ds} 、 V_{gs} の大きさによって電流値が決まる。一方、 $(V_{gs}-V_{th})<V_{ds}$ の場合は飽和領域になり、理想的には、 V_{ds} が変化しても、電流値はほとんど変わらない。つまり、 V_{gs} の大きさだけによって電流値が決まる。

[0053] したがって、電流源トランジスタ102のドレイン・ソース間電圧(V_{ds})とゲート・ソース間電圧(V_{gs})と、電流源トランジスタ102のしきい値電圧(V_{th})とから、電流源トランジスタ102が、どの領域で動作しているのかが、決定される。つまり、 $V_{gs}-V_{th}<V_{ds}$ の場合は、電流源トランジスタ102は飽和領域で動作していることになる。飽和領域では、理想的な場合は、 V_{ds} が変化しても、電流値は変わらない。したがって、電流源トランジスタ102に電流 I_{data} を供給している場合、つまり、設定動作を行っている場合と、電流源トランジスタ102から負荷に電流を供給している場合、つまり、出力動作を行っている場合とで、 V_{ds} が変化しても、電流値は変化しない。

[0054] ただし、飽和領域であっても、キンク（アーリー）効果によって、電流が変化してしまう場合がある。その場合は、増幅回路107の第2入力端子110の電位を制御することにより、電流源トランジスタ102のドレイン電位を制御できるため、キンク（アーリー）効果の影響を低減することが出来る。

- [0055] 例えば、設定動作を行っている場合と出力動作を行っている場合とで、電流 I_{data} の大きさに応じて、増幅回路107の第2入力端子110の電位を適宜制御することによって、 V_{ds} を概ね等しくすることが出来る。
- [0056] また、例えば設定動作を行っている時の電流 I_{data} の大きさが小さい場合、増幅回路107の第2入力端子110の電位を適宜制御することによって、設定動作を行う時の V_{ds} を、出力動作を行っている時の V_{ds} よりも大きくすることにより、電流が流れすぎたり、コントラストを低下させたりすることを防止することが出来る。
- [0057] また、電流源トランジスタ102に電流 I_{data} を供給して、設定動作を行っているときに、電流源トランジスタ102が線形領域で動作している場合は、電流源トランジスタ102から負荷に電流を供給しているときと、 V_{ds} を概ね等しくすることによって、適切な電流を負荷に供給することが可能となる。なお、 V_{ds} を概ね等しくするためには、増幅回路107の第2入力端子110の電位を制御することにより実現できる。
- [0058] また、設定動作を行っている時、 V_{ds} を制御できるため、 $V_{gs}=0$ の時でも電流が流れてしまうようなトランジスタを用いていても、飽和領域で動作させることが可能となる。そのため、この場合も、正常に動作させることができる。
- [0059] また、負荷の電圧電流特性が劣化などにより変化した場合においても、増幅回路107の第2入力端子110の電位を適宜制御することによって、設定動作を行う時の V_{ds} を、出力動作を行っている時の V_{ds} に概ね等しくなるように制御することにより、適切な大きさの電流を供給することが出来る。これにより、負荷がEL素子などの場合、EL素子の焼きつきを防止することが出来る。
- [0060] このように、線形領域で動作させると、 V_{ds} を小さくすることが可能となる。その結果、電圧が小さくなり、消費電力を低減することが出来る。
- [0061] また、増幅回路107は、出力インピーダンスが高くない。したがって、大きな電流を出力することが出来る。よって、電流源トランジスタ102のゲート端子を素早く充電することが出来る。つまり、電流 I_{data} の書き込み速度が速くなり、素早く書き込みを完了させることができ、定常状態に達するまでの時間が短くてすむようになる。
- [0062] 増幅回路107は、第1入力端子108と第2入力端子110の電圧を検知して、その入力電圧を増幅させて、出力端子109に出力する機能を有している。図1では、第1入

力端子108と電流源トランジスタ102のドレイン端子とが接続されている。そして、出力端子109と電流源トランジスタ102のゲート端子とが接続されている。電流源トランジスタ102のゲート端子が変化すると、電流源トランジスタ102のドレイン端子が変化する。電流源トランジスタ102のドレイン端子が変化する、増幅回路107の第1入力端子108が変化する、増幅回路107の出力端子109が変化する。増幅回路107の出力端子109が変化する、電流源トランジスタ102のゲート端子が変化する。つまり、帰還回路が形成されている。そのため、上記のような帰還動作を経て、各端子の状態が安定するような電圧が、出力されるようになる。

[0063] 図1では、電流源トランジスタ102のドレイン端子は、第1入力端子108に接続され、電流源トランジスタ102のゲート端子は、出力端子109に接続され、増幅回路107の第2入力端子110は、所定の配線に接続されている。よって、電流源トランジスタ102のドレイン端子と増幅回路107の第2入力端子110の電圧が安定するような電圧が、増幅回路107によって電流源トランジスタ102のゲート端子に出力されるようになる。このとき、電流源トランジスタ102には、電流源回路101から電流 I_{data} が供給されている。したがって、電流源トランジスタ102が電流 I_{data} を流すのに必要な電圧が、電流源回路101から電流源トランジスタ102のゲート端子へ出力されるようになる。

[0064] 以上のように、増幅回路107を有する帰還回路を用いることにより、電流源トランジスタ102が、電流源回路101から供給される電流と同じ大きさの電流を流すように、ゲート電位を設定することが出来る。この時、増幅回路107を用いているため、設定をすばやく完了させることが出来、短い時間で書き込みが終了する。そして、設定された電流源トランジスタ102は、電流源回路として動作させることが出来、さまざまな負荷に電流を供給できる。

[0065] なお、図1では、電流源回路101から電流源トランジスタ102の方へ電流が流れる場合について示しているが、本発明はこれに限定されない。図2では、電流源トランジスタ202から電流源回路201の方へ電流が流れる場合について示している。このように、電流源トランジスタ202の極性を変更することによって、回路の接続関係を変更せずに、電流の向きを変えることが出来る。

[0066] なお、図1では、電流源回路101はNチャネル型トランジスタを用いているが、本発

明はこれに限定されない。Pチャネル型トランジスタを用いてもよい。ただし、電流の流れる向きを変更せずにトランジスタの極性を変更すると、ソース端子とドレイン端子とが入れ替わる。そのため、回路の接続関係を変更する必要がある。その場合の構成を図3に示す。配線104と配線105の間に、電流源回路101と電流源トランジスタ302が接続されている。図3では、電流源回路101から電流源トランジスタ302の方へ電流が流れる場合について示しているが、図2の場合と同様に、電流の向きを変更することは可能である。そして、増幅回路107の第2入力端子110が電流源トランジスタ302のソース端子に接続されている。また、増幅回路107の第1入力端子108は、所定の配線に接続されている。増幅回路107の出力端子109は、電流源トランジスタ302のゲート端子に接続されている。

[0067] よって、電流源トランジスタ302のソース端子と第1入力端子108の電圧が安定するような電圧が、増幅回路107によって電流源トランジスタ302のゲート端子に出力されるようになる。このとき、電流源トランジスタ302には、電流源回路101から電流 I_{data} が供給されている。したがって、電流源トランジスタ302が電流 I_{data} を流すのに必要な電圧が、電流源回路101から電流源トランジスタ302のゲート端子へ出力されるようになる。

[0068] なお、図1では、増幅回路107の第2入力端子110に所定の配線に接続されており、図3では、増幅回路107の第1入力端子108に所定の配線に接続されているが、これに限定されない。帰還回路として動作するように、接続すればよい。第1入力端子108と第2入力端子110とで、どちらの電位が高い時に、出力端子109に正の電圧が出力されるか、という点を考慮する必要がある。また、電流源トランジスタのゲート電位があがった時に、ドレイン電位もしくはソース電位が、上がるのか下がるのか、という点を考慮する必要がある。つまり、帰還回路として、負帰還がかかり、状態が安定するように回路を接続する必要がある。正帰還がかかっていると、出力端子109の電位が発振してしまったり、正か負の電源電位の付近にまで変化してしまい、正常に動作しなくなってしまう。以上のことを考慮した上で、回路を構成すればよい。

[0069] なお、図1において、容量素子103は、電流源トランジスタ102のゲート電位を保持できればよい。また、配線106の電位は、任意でよい。よって、配線105と配線106の

電位は、同じであってもよいし、異なってもよい。ただし、電流源トランジスタ102の電流値はそのゲート・ソース間電圧によって決定される。したがって、容量素子103は、電流源トランジスタ102のゲート・ソース間電圧を保持することが、より望ましい。したがって、配線106は、電流源トランジスタ102のソース端子(配線105)に接続されていることが望ましい。その結果、ソース端子の電流が変動しても、ゲート・ソース間電圧は保持できるので、配線抵抗の影響などを少なくすることが出来る。

[0070] 同様に、図2において、配線206は、電流源トランジスタ202のソース端子(配線205)に接続されていることが望ましい。また、図3において、配線306は、電流源トランジスタ302のソース端子に接続されていることが望ましい。

[0071] なお、負荷901は、抵抗などのような素子、トランジスタ、EL素子、その他の発光素子、トランジスタと容量とスイッチなどで構成された電流源回路、任意の回路が接続された配線でもよいし、信号線、信号線とそれに接続された画素でもよい。その画素には、EL素子やFEDで用いる素子、その他電流を流して駆動する素子を含んでいてもよい。

実施の形態2

[0072] 実施の形態2では、図1～図3において用いた増幅回路の例を示す。

[0073] まず、増幅回路の例として、オペアンプがあげられる。そこで、増幅回路として、オペアンプを用いた場合について、図1に対応した構成図を図4に示す。増幅回路107の第1入力端子108がオペアンプ407の非反転(正相)入力端子、第2入力端子110が反転入力端子に相当している。

[0074] オペアンプでは、通常、非反転(正相)入力端子の電位と反転入力端子の電位とは、等しくなるように動作する。したがって、図4の場合は、電流源トランジスタ102のドレイン電位と反転入力端子の電位とが等しくなるように、電流源トランジスタ102のゲート電位が制御される。したがって、反転入力端子の電位によって、 $(V_{gs}-V_{th}) < V_{ds}$ の場合は、電流源トランジスタ102は飽和領域で動作することになり、 $(V_{gs}-V_{th}) > V_{ds}$ の場合は、電流源トランジスタ102は線形領域で動作することになる。また、反転入力端子の電位を制御することによって、電流源トランジスタ102の V_{ds} を制御することが出来る。

- [0075] つまり、設定動作を行っている時、 V_{ds} を制御できるため、 $V_{gs}=0$ の時でも電流が流れてしまうようなトランジスタを用いていても、飽和領域で動作させることが可能となる。
- [0076] 図4と同様に、図2に対応した構成図を図5に、図3に対応した構成図を図8に示す。
- [0077] 図8の場合は、電流源トランジスタ102のソース電位と非反転(正相)入力端子の電位とが等しくなるように、電流源トランジスタ102のゲート電位が制御される。したがって、非反転(正相)入力端子の電位によって、 $(V_{gs}-V_{th}) < V_{ds}$ の場合は、電流源トランジスタ302は飽和領域で動作することになり、 $(V_{gs}-V_{th}) > V_{ds}$ の場合は、電流源トランジスタ302は線形領域で動作することになる。
- [0078] なお、図4、5、8で用いたオペアンプの構成に限定はなく、任意のオペアンプを用いることができる。電圧帰還型オペアンプでもよいし、電流帰還型オペアンプでもよい。位相補償回路のようなさまざまな補正回路を付加したオペアンプでもよい。
- [0079] なお、オペアンプは、通常、非反転(正相)入力端子の電位と反転入力端子の電位とは、等しくなるように動作するが、特性バラツキなどにより、非反転(正相)入力端子の電位と反転入力端子の電位とは、等しくならない場合がある。つまり、オフセット電圧が生じる場合がある。その場合は、通常のオペアンプと同様に、非反転(正相)入力端子の電位と反転入力端子の電位が等しくなるように調節して動作させてもよい。
- [0080] なお、本発明の場合、設定動作の時の電流源トランジスタ102の V_{ds} が大きければよいとして動作させる場合がある。あるいは、飽和領域で動作させる場合は、 V_{ds} がばらついていても、出力動作の時の電流値は、大きくはばらつかない。したがって、このような動作をさせる場合には、オペアンプにオフセット電圧が生じても良いし、オフセット電圧がばらついていても、大きな影響は与えない。そのため、電流特性のバラツキが大きいようなトランジスタを用いてオペアンプを構成しても、概ね正常に動作することになる。したがって、単結晶で形成されたトランジスタではなく、薄膜トランジスタ(アモルファス、多結晶を含む)や有機トランジスタのようなものであっても、有効に動作させることが出来る。
- [0081] 本実施の形態では、増幅回路の例としてオペアンプを用いた例を示したが、これ以

外にも、差動回路やドレイン接地増幅回路やソース接地増幅回路など、さまざまな回路を用いて、増幅回路を構成することが出来る。

[0082] なお、本実施の形態で説明した内容は、実施の形態1で説明した構成における増幅回路を詳細に述べたものに相当する。しかしながら、本発明は、これに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。

[0083] なお、本実施の形態で示す増幅回路の構成を、実施の形態1の構成と組み合わせで実施することができる。

実施の形態3

[0084] 本発明は、電流源回路から電流 I_{data} を流して、電流源トランジスタが電流 I_{data} を流すことが出来るように設定する。そして、設定された電流源トランジスタを電流源回路として動作させ、様々な負荷に電流を供給するものである。そこで、本実施の形態では、負荷と電流源トランジスタとの接続構成や、負荷に電流を供給する時のトランジスタの構成などについて述べる。

[0085] なお、本実施の形態では、図1の構成や、増幅回路としてオペアンプを用いた構成(図4)などを用いて説明するが、これに限定されず、図2～図8などで説明したような別の構成に適用することが可能である。

[0086] また、電流源回路から電流源トランジスタの方に電流が流れて、かつ、電流源トランジスタがNチャネル型の場合について説明するが、これに限定されない。容易に、図2～図8などで説明したような別の構成に適用することが可能である。

[0087] まず、電流源回路から電流が供給された電流源トランジスタのみを用いて、負荷に電流を供給する場合の構成を図9に示す。図10では、増幅回路としてオペアンプを用いた場合を示している。

[0088] そこで、図9の動作方法について、増幅回路としてオペアンプを用いた場合を例にして、述べる。まず、図10に示すように、スイッチ903とスイッチ904をオンにする。すると、オペアンプ407が電流源トランジスタ102のゲート電位を制御して、電流源回路から供給される電流 I_{data} を流すのに必要な状態に設定する。このとき、オペアンプ407を用いているので、急速に書き込みを行うことが出来る。そして、図11に示すように、スイッチ904をオフにすると、電流源トランジスタ102のゲート電位が容量素子10

3に保持される。そして、図12に示すように、スイッチ903をオフにすると、電流の供給が止まる。そして、図13に示すように、スイッチ902をオンにすると、負荷901に電流が供給される。

[0089] この電流の大きさは、電流源回路101から電流 I_{data} を供給されている時、つまり、設定動作のときに、電流源トランジスタ102が飽和領域で動作しており、かつ、負荷901に電流を供給している時、つまり、出力動作をしている時にも、電流源トランジスタ102が飽和領域で動作していれば、 I_{data} と概ね同じ大きさになる。なお、電流源トランジスタ102にキンク(アーリー)効果がある場合は、設定動作時と出力動作時とで、電流源トランジスタ102の V_{ds} が概ね等しければ、出力動作時に負荷901に供給される電流は、 I_{data} と概ね同じ大きさになる。また、設定動作時と出力動作時とで、電流源トランジスタ102が線形領域で動作している場合は、設定動作時と出力動作時とで V_{ds} が概ね等しければ、出力動作時に負荷901に供給される電流は、 I_{data} と概ね同じ大きさになる。設定動作時の電流源トランジスタ102の V_{ds} は、オペアンプの反転入力端子110の電位を制御することにより、調節できる。

[0090] なお、出力動作の時の電流源トランジスタ102の V_{ds} は、負荷901の電圧電流特性によって決定される。よって、それに合わせて、オペアンプの反転入力端子110の電位を制御することにより、設定動作時の電流源トランジスタ102の V_{ds} を調節すればよい。また、負荷901の電圧電流特性が時間とともに劣化して、電圧電流特性が変化した場合も、それに合わせて、オペアンプの反転入力端子110の電位を制御すればよい。

[0091] このように動作させることによって、電流源トランジスタ102の電流特性やサイズなどがばらついていても、その影響を除去することが出来る。

[0092] なお、配線106に、任意の一定電位が加えられている場合、電流を書き込んで設定している時(図10)と、電流を出力している時(図13)とでは、電流源トランジスタ102のソース電位が変わってしまう場合がある。その場合、電流源トランジスタ102のゲート・ソース間電圧も変わってしまう場合がある。ゲート・ソース間電圧が変わってしまうと、電流値も変わってしまう。そこで、電流を書き込んで設定している時(図10)と、電流を出力している時(図13)とで、ゲート・ソース間電圧が変わらないようにする必要

がある。それを実現するためには、例えば、配線106を電流源トランジスタ102のソース端子に接続しておけばよい。そのようにすると、たとえ、電流源トランジスタ102のソース電位が変わってしまっても、それに合わせてゲート電位も変わるため、結果として、ゲート・ソース間電圧が変わらないようにすることが出来る。

[0093] なお、図9の回路には、様々な配線(配線105、配線106、配線905、配線104など)があるが、正常に動作する範囲であれば、配線同士を接続してもよい。

[0094] 次に、電流源トランジスタとは別のトランジスタを用いて、負荷に電流を供給する場合の構成図を図16に示す。カレントトランジスタ1602のゲート端子が電流源トランジスタ102のゲート端子と接続されている。したがって、電流源トランジスタ102とカレントトランジスタ1602の W/L の値を調節することにより、負荷に供給する電流量を変えることが出来る。たとえば、カレントトランジスタ1602の W/L の値を小さくしておくことで、負荷に供給する電流量が小さくなるので、逆に I_{data} の大きさを大きくすることが出来る。その結果、電流の書き込みを素早くすることが可能となる。ただし、電流源トランジスタ102とカレントトランジスタ1602の電流特性がばらつくと、その影響を受けてしまう。

[0095] なお、正常に動作する範囲であれば、配線同士を接続してもよい。また、配線105と配線1605とを接続することが望ましい。

[0096] 次に、電流源トランジスタだけでなく、別のトランジスタも用いて、負荷に電流を供給する場合の構成図を図17に示す。電流源回路101の電流 I_{data} を供給する時に、その電流が負荷901に漏れたり、負荷901から漏れてきたりすると、正しい電流で設定することが出来ない。図9の場合は、スイッチ902を用いて制御するが、図17の場合は、マルチトランジスタ1702を用いて制御する。マルチトランジスタ1702のゲート端子は電流源トランジスタ102のゲート端子と接続されている。したがって、スイッチ903、904がオンになっていると、マルチトランジスタ1702のゲート・ソース間電圧が、マルチトランジスタ1702のしきい値電圧よりも小さければ、マルチトランジスタ1702はオフしている。したがって、電流源回路101の電流 I_{data} を供給する時には、悪影響を及ぼさないようにすることが可能である。

[0097] なお、もし、電流を設定しているときに、マルチトランジスタ1702がオンして、電流が

漏れてしまう場合は、マルチトランジスタ1702と直列にスイッチを配置して、電流が漏れないように制御してもよい。

[0098] 一方、負荷に電流を供給するときは、電流源トランジスタ102とマルチトランジスタ1702とは、ゲート端子が接続されているので、マルチゲートのトランジスタとして動作する。そのため、負荷901には、 I_{data} よりも小さい電流が流れることになる。よって、負荷に供給する電流量が小さくなるので、逆に I_{data} の大きさを大きくすることが出来る。その結果、電流の書き込みを素早くすることが可能となる。ただし、電流源トランジスタ102とマルチトランジスタ1702の電流特性がばらつくと、その影響を受けてしまうが、負荷901に電流を供給するとき、電流源トランジスタ102も用いるため、バラツキの影響は小さい。

[0099] なお、マルチトランジスタ1702と直列にスイッチを配置した場合は、出力動作のとき、つまり、負荷に電流を供給するときは、スイッチをオンにしておく必要がある。

[0100] 次に、図16や図17とは別のやり方で、電流源回路101から供給される電流 I_{data} を大きくするための構成を図18に示す。図18では、電流源トランジスタ102と並列に並列トランジスタ1802が接続されている。したがって、電流源回路101から電流が供給される間は、スイッチ1801をオンにする。そして、負荷901に電流を供給する場合は、スイッチ1801をオフにする。すると、負荷901に流れる電流が小さくなるので、電流源回路101から供給される電流 I_{data} を大きくすることが出来る。

[0101] ただしこの場合、電流源トランジスタ102と並列に並列トランジスタ1802のバラツキの影響を受けてしまう。そこで、図18の場合、電流源回路101から電流を供給する場合、その大きさを変化させてもよい。つまり、最初は電流を大きくしておく。そのとき、それに合わせて、スイッチ1801をオンにしておく。すると、並列トランジスタ1802にも電流が流れ、急速に電流を書き込むことが出来る。つまり、プリチャージ動作に相当する。その後、電流源回路101から供給する電流を小さくして、1801をオフにする。そして、電流源トランジスタ102にのみ電流を供給して、書き込むようにする。その結果、ばらツキの影響を除去できる。その後、スイッチ902をオンにして、負荷901に電流を供給する。

[0102] 図18では、電流源トランジスタと並列にトランジスタを追加していたが、直列にトラン

ジスタを追加した場合の構成図を図19に示す。図19では、電流源トランジスタ102と直列に直列トランジスタ1902が接続されている。したがって、電流源回路101から電流が供給される間は、スイッチ1901をオンにする。すると、直列トランジスタ1902のソース・ドレイン間が短絡される。そして、負荷901に電流を供給する場合は、スイッチ1901をオフにする。すると、電流源トランジスタ102と直列トランジスタ1902は、ゲート端子が接続されているので、マルチゲートのトランジスタとして動作する。そのため、ゲート長Lが大きくなったことになり、負荷901に流れる電流が小さくなるので、電流源回路101から供給される電流 I_{data} を大きくすることが出来る。

[0103] ただしこの場合、電流源トランジスタ102と直列に直列トランジスタ1902のバラツキの影響を受けてしまう。そこで、図19の場合、電流源回路101から電流を供給する場合、その大きさを変化させてもよい。つまり、最初は電流を大きくしておく。そのとき、それに合わせて、1901をオンにしておく。すると、電流源トランジスタ102に電流が流れ、急速に電流を書き込むことが出来る。つまり、プリチャージ動作に相当する。その後、電流源回路101から供給する電流を小さくして、1901をオフにする。そして、電流源トランジスタ102と直列トランジスタ1902に電流を供給して、書き込むようにする。その結果、ばらつきの影響を除去できる。その後、スイッチ902をオンにして、電流源トランジスタ102と直列トランジスタ1902のマルチゲートのトランジスタとして、負荷901に電流を供給する。

[0104] なお、図9から図19まで、さまざまな構成を示したが、それらを組み合わせて構成させることも可能である。

[0105] なお、図9から図19まで、電流源回路101と負荷901とを切り替えるような形で構成しているが、これに限定されない。例えば、電流源回路101と配線とを切り替えて構成してもよい。そこで、図9に対して、電流源回路101と配線とを切り替える構成にしたものを図20に示す。次に、図20の動作について示す。まず、図14に示すように、電流源回路101から電流 I_{data} を電流源トランジスタ102に供給して、電流を設定する場合は、スイッチ903、904、2003をオンにする。そして、電流源トランジスタ102を電流源回路として動作させ、負荷に電流を供給する場合は、図15に示すように、スイッチ2002、902をオンにする。このように、スイッチ903とスイッチ2002のオンオフ

を切り替えることにより、電流源回路101と配線2005とを切り替えていることになる。

[0106] なお、電流源回路101から電流 I_{data} を電流源トランジスタ102に供給する場合、スイッチ2003をオンにして配線105に電流を流し、スイッチ902をオフにしているが、これに限定されない。電流源回路101から電流 I_{data} を電流源トランジスタ102に供給する場合、負荷901の方に電流が流れても良い。その場合は、スイッチ902を省略できる。

[0107] なお、容量素子103は、電流源トランジスタ102のゲート電位を保持しているが、ゲート・ソース間電圧を保持するために、配線106を電流源トランジスタのソース端子に接続することがより望ましい。

[0108] なお、図9に対して、電流源回路101と負荷901とを切り替えるような形で構成した図を図20に示したが、これに限定されない。図9から図19までのさまざまな構成においても、電流源回路101と負荷901とを切り替えるような形で構成することが可能である。

[0109] なお、これまで述べてきた構成において、スイッチが各部分に配置されているが、その配置場所は、すでに述べた場所に限定されない。正常に動作する場所であれば、任意の場所にスイッチを配置することが可能である。

[0110] 例えば、図9の構成の場合、電流源回路101から電流 I_{data} を電流源トランジスタ102に供給している時には、図21のように接続され、電流源トランジスタ102を電流源回路として動作させ、負荷901に電流を供給する時には、図22のように接続されていればよい。したがって、図9は、図23のように接続されていてもよい。図23では、スイッチ902、903の位置が変更されているが、正常に動作する。

[0111] なお、図9などに示すスイッチは、電氣的スイッチでも機械的なスイッチでも何でも良い。電流の流れを制御できるものなら、何でも良い。トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性(導電型)は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているもの等がある。また、スイッチと

して動作させるトランジスタのソース端子の電位が、低電位側電源 (V_{ss} 、 V_{gnd} 、0Vなど)に近い状態で動作する場合はnチャネル型を、反対に、ソース端子の電位が、高電位側電源 (V_{dd} など)に近い状態で動作する場合はpチャネル型を用いることが望ましい。なぜなら、ゲート・ソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。なお、nチャネル型とpチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。

[0112] このように様々な例を示したが、これに限定されない。電流源トランジスタや、電流源として動作するような様々なトランジスタを、いろいろな構成で配置することが出来る。よって、同様な動作をする構成であれば、本願を適用することが可能である。

[0113] なお、本実施の形態で説明した内容は、実施の形態1、2で説明した構成を利用したもの相当するが、本実施の形態はこれに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。したがって、実施の形態1、2で説明した内容は、本実施の形態にも適用できる。

実施の形態4

[0114] 本実施の形態では、電流源トランジスタなどが複数ある場合の構成について示す。

[0115] 図24に、図10の構成で、電流源トランジスタが複数ある場合の構成を示す。図24では、複数の電流源トランジスタに対して、電流源回路101とオペアンプ407を1つずつにした場合について示す。ただし、複数の電流源トランジスタに対して、複数の電流源回路があってもよいし、複数のオペアンプがあってもよい。しかし、回路規模が大きくなるので、電流源回路101とオペアンプ407を1つにすることが望ましい。

[0116] 図24では、電流源回路101とオペアンプ407が配置されている。これをまとめて、リソース回路2401と呼ぶことにする。リソース回路2401には、電流源回路101と接続された電流線2402と、オペアンプ407の出力端子と接続された電圧線2403とが接続されている。電流線2402や電圧線2403には、複数のユニット回路が接続されている。ユニット回路2404aは、電流源トランジスタ102a、容量素子103a、スイッチ902a、903a、904aなどで構成されている。ユニット回路2404aは、負荷901aと接続されている。ユニット回路2404bも、ユニット回路2404aと同様に電流源トランジスタ102b、容量素子103b、スイッチ902b、903b、904bなどで構成されている。ユニット回

路2404bは負荷901bと接続されている。ここでは、簡単のため、ユニット回路が2つ接続されている場合を示しているが、これに限定されない。任意の数だけユニット回路が接続されていてもよい。

- [0117] 動作としては、1本の電流線2402や電圧線2403に、複数のユニット回路が接続されているため、各々のユニット回路を選択して、順次、リソース回路2401から電流線2402や電圧線2403を通して、電流や電圧を供給していくことになる。例えば、まず、スイッチ903a、904aをオンにして、ユニット回路2404aに電流や電圧を入力して、次に、スイッチ903b、904bをオンにして、ユニット回路2404bに電流や電圧を入力して、というような動作を繰り返すことにより、動作させる。
- [0118] このようなスイッチの制御は、シフトレジスタ、デコーダ回路、カウンタ回路、ラッチ回路、などのようなデジタル回路を用いて、制御することが出来る。
- [0119] ここで、もし、負荷901a、901bなどがEL素子などの表示素子である場合、ユニット回路と負荷が1つの画素を構成することになる。そして、リソース回路2401が、信号線(電流線や電圧線)に接続された画素に信号を供給する信号線駆動回路(の一部)であることになる。つまり、図24は、1列分の画素や信号線駆動回路(の一部)を示していることになる。その場合、電流源回路101が出力する電流は、画像信号に相当することになる。この画像信号電流をアナログ的に、もしくは、デジタル的に変化させることによって、各々適切な大きさの電流を負荷(EL素子などの表示素子)に流すことが出来る。この場合は、スイッチ903a、904a、スイッチ903b、904bなどは、ゲート線駆動回路を用いて制御することになる。
- [0120] また、図24における電流源回路101が、信号線駆動回路またはその一部であるとした場合、その電流源回路101も、トランジスタの電流特性バラツキやサイズのバラツキなどの影響を受けずに、正確な電流を出力する必要がある。よって、信号線駆動回路またはその一部の中の電流源回路101が電流源トランジスタで構成されていて、別の電流源回路から電流源トランジスタに電流を供給することが出来る。つまり、図24における負荷901a、901bなどが信号線や画素などである場合、ユニット回路が信号線駆動回路またはその一部を構成することになる。そして、リソース回路2401が、電流線に接続された信号線駆動回路の中の電流源トランジスタ(電流源回路)に信

号を供給する電流源回路またはその一部であることになる。つまり、図24は、複数の信号線や信号線駆動回路またはその一部や信号線駆動回路に電流を供給する電流源回路またはその一部を示していることになる。

- [0121] その場合、電流源回路101が出力する電流は、信号線や画素に供給する電流に相当することになる。よって、例えば、電流源回路101が出力する電流に応じた大きさの電流を信号線や画素に供給する場合は、電流源回路101が出力する電流は、画像信号に相当することになる。この画像信号電流をアナログ的に、もしくは、デジタル的に変化させることによって、各々適切な大きさの電流を負荷(信号線や画素)に流すことが出来る。この場合は、スイッチ903a、904a、スイッチ903b、904bなどは、信号線駆動回路の中の一部の回路(シフトレジスタやラッチ回路など)を用いて制御することになる。
- [0122] なお、スイッチ903a、904a、スイッチ903b、904bを制御するための回路(シフトレジスタやラッチ回路など)などについては、国際公開第 03/038796号パンフレット、国際公開第 03/038797号パンフレット、などに記載されているため、その内容を本願と組み合わせることが出来る。
- [0123] あるいは、電流源回路101が出力する電流は、任意の一定電流を供給するようになっており、それを供給するかどうかをスイッチなどを用いて制御して、それに応じた大きさの電流を信号線や画素に供給する場合は、電流源回路101が出力する電流は、任意の一定電流を供給するための信号電流に相当することになる。そして、信号線や画素に電流を供給するかどうかを決めるスイッチをデジタル的に制御させ、信号線や画素に供給される電流量を制御することによって、各々適切な大きさの電流を負荷(信号線や画素)に流すことが出来る。この場合は、スイッチ903a、904a、スイッチ903b、904bなどは、信号線駆動回路の中の一部の回路(シフトレジスタやラッチ回路など)を用いて制御することになる。ただし、この場合は、信号線や画素に電流を供給するかどうかを決めるスイッチを制御するために駆動回路(シフトレジスタやラッチ回路など)が必要になる。そのため、そのスイッチを制御するために駆動回路(シフトレジスタやラッチ回路など)と、スイッチ903a、904a、スイッチ903b、904bなど制御するための駆動回路(シフトレジスタやラッチ回路など)が必要になる。それらの駆動

回路は、別々に設けても良い。例えば、スイッチ903a、904a、スイッチ903b、904bを制御するためのシフトレジスタを別に設けても良い。あるいは、スイッチを制御するために駆動回路(シフトレジスタやラッチ回路など)と、スイッチ903a、904a、スイッチ903b、904bなど制御するための駆動回路(シフトレジスタやラッチ回路など)を、一部もしくは全部で、共用してもよい。例えば、1つのシフトレジスタで両方のスイッチを制御してもよいし、信号線や画素に電流を供給するかどうかを決めるスイッチを制御するために駆動回路(シフトレジスタやラッチ回路など)において、ラッチ回路の出力(画像信号)などを用いて制御してもよい。

[0124] なお、信号線や画素に電流を供給するかどうかを決めるスイッチを制御するために駆動回路(シフトレジスタやラッチ回路など)と、スイッチ903a、904a、スイッチ903b、904bなど制御するための駆動回路(シフトレジスタやラッチ回路など)とに関しては、国際公開第03/038793号パンフレット、国際公開第03/038794号パンフレット、国際公開第03/038795号パンフレット、などに記載されているため、その内容を本願と組み合わせることが出来る。

[0125] 図24では、電流源トランジスタと負荷が1対1で配置されている場合を示した。次に、1つの負荷に、複数の電流源トランジスタが配置されている場合を図25に示す。ここでは簡単のため、1つの負荷に対して2個のユニット回路が接続されている場合を示すが、これに限定されない。さらに多くのユニット回路が接続されていてもよいし、1個だけでもよい。ここで、2401a、2401bはリソース回路、2402a、2403bは電流線、2403a、2403bは電圧線、2404aa、2404ab、2404ba、2404bbはユニット回路、2501aa、2501ab、2501ba、2501bbはスイッチ、2502aa、2502ab、2502ba、2502bbは配線、901aa、901bbは負荷である。スイッチ2501aa、スイッチ2501baのオンオフにより、負荷901aaに流れる電流量を制御できる。例えば、ユニット回路2404aaが出力する電流値(I_{aa})とユニット回路2404baが出力する電流値(I_{ba})の大きさが異なる場合、スイッチ2501aaとスイッチ2501baの各々のオンオフにより、負荷901aaに流れる電流の大きさを4種類で制御できることになる。例えば、 $I_{ba}=2 \times I_{aa}$ の場合、2ビットの大きさを制御できることになる。したがって、スイッチ2501aa、スイッチ2501baの

オンオフを各ビットに対応したデジタルデータによって制御する場合、図25の構成を用いて、デジタル・アナログ変換機能を実現できる。したがって、負荷901aa、901bbが信号線の場合、図25の構成を用いて、信号線駆動回路(の一部)を構成させることが出来る。そのとき、デジタル画像信号をアナログ画像信号電流に変換することが出来る。また、スイッチ2501aaやスイッチ2501baなどのオンオフは、画像信号を用いて制御することが出来る。したがって、画像信号を出力する回路(ラッチ回路)などを用いて、スイッチ2501aaやスイッチ2501baなどを制御することが出来る。

[0126] また、スイッチ2501aa、スイッチ2501baのオンオフを時間によって切り替えてもよい。例えば、ある期間は、スイッチ2501aaをオン、スイッチ2501baのオフにして、その時は、リソース回路2401bからユニット回路2404baに電流を入力して、正確な電流を出力できるように設定を行い、ユニット回路2404aaから負荷901aaに電流を供給する。そして別の期間では、スイッチ2501aaをオフ、スイッチ2501baのオンにして、リソース回路2401aからユニット回路2404aaに電流を入力して、正確な電流を出力できるように設定を行い、ユニット回路2404baから負荷901aaに電流を供給するように、時間的に切り替えて動作させてもよい。

[0127] 次に、1つの2つのリソース回路を用いて、ユニット回路に電流を供給する場合について図26を参照して説明する。ここで、2401はリソース回路、2402は電流線、2403は電圧線、2404ca、2404cb、2404da、2404dbはユニット回路、2601ca、2602ca、2603ca、2601cb、2602cb、2603cb、2601da、2602da、2603da、2601db、2602db、2603dbはスイッチ、2604c、2604dは配線、901ca、901daは負荷である。

[0128] 図26において、配線2604cがH信号の時、スイッチ2601ca、2602ca、2603cbがオンになり、スイッチ2603ca、2601cb、2602cbがオフになるとする。すると、ユニット回路2404caはリソース回路2401から電流を供給されることが可能な状況になり、ユニット回路2404cbは、負荷901caに電流を供給することが可能な状況になる。逆に、配線2604cがL信号の時、ユニット回路2404cbはリソース回路2401から電流を供給されることが可能な状況になり、ユニット回路2404caは、負荷901caに電流を供給することが可能な状況になる。また、配線2604cや配線2604dなどは、順次選択する

ような信号を入力していけばよい。このように、時間的にユニット回路の動作を切り替えてもよい。

[0129] また、負荷901ca、901daが信号線の場合、図26の構成を用いて、信号線駆動回路(の一部)を構成させることが出来る。また、配線2604cや配線2604dなどは、シフトレジスタなどを用いて制御すればよい。

[0130] なお、本実施の形態では、図10の構成で、電流源トランジスタが複数ある場合の構成を示したが、これに限定されず、例えば、実施の形態1〜3において示した構成(図17、図16、図20、図19など)でも実現できる。

[0131] なお、本実施の形態で説明した内容は、実施の形態1、2、3で説明した構成を利用したもの相当するが、これに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。

[0132] なお、本実施の形態で示した電流源トランジスタが複数ある場合の構成を、実施の形態1〜3と組み合わせて実施することができる。

実施の形態5

[0133] 本実施の形態では、表示素子を有する画素に適用した場合の例を示す。

[0134] まず、電流源回路201が画像信号として信号電流を供給するような構成の場合について、図27、28に示す。図27と図28とは、電流の流れる向きは同じであるが、電流源トランジスタの極性が異なる。そのため、接続構造が異なっている。なお、負荷としては、例として、EL素子の場合を示している。

[0135] また、電流源回路201が画像信号として供給する信号電流が、アナログ値の場合は、アナログ階調で画像を表示することが出来る。信号電流が、デジタル値の場合は、デジタル階調で画像を表示することが出来る。多階調化を図る場合は、時間階調方式や面積階調方式を組み合わせればよい。

[0136] なお、ここでは特に時間階調方式について詳細な説明は省略するが、特願2001-5426号出願、特願2000-86968号出願等に記載されている方法によれば良い。

[0137] また、各スイッチを制御するゲート線は、トランジスタの極性を調整することにより、1本に共用している。これにより、開口率を向上させることが出来る。ただし、別々のゲート線を配置しても良い。特に、時間階調方式を用いる場合は、ある特定の期間にお

いて、負荷(EL素子)に電流を供給しないような動作をしたい場合がある。その場合は、負荷(EL素子)に電流を供給しないように出来るスイッチを制御するゲート線を別の配線とすればよい。

[0138] 次に、画素に電流源回路を有し、電流源回路が供給する電流を流すかどうかを制御することによって画像を表示する構成の画素について、図29に示す。ここで、2901は電流源回路、2902、2904はスイッチ、2903は容量素子、2905は信号線、2906は選択ゲート線、2907、2908、2909は配線である。選択ゲート線2906が選択されたときに、信号線2905から、デジタルの画像信号(通常は電圧値)を容量素子2903に入力する。なお、容量素子2903は、トランジスタのゲート容量などを用いることにより、省略可能である。そして、保存されたデジタルの画像信号を用いて、スイッチ2902をオンオフする。電流源回路2901が供給する電流が、負荷901に流れるかどうかを、スイッチ2902が制御する。これにより、画像を表示することが出来る。

[0139] なお、多階調化を図る場合は、時間階調方式や面積階調方式を組み合わせればよい。

[0140] また、図29では、電流源回路2901やスイッチ2902は、1つずつしか配置されていないが、これに限定されず、複数組配置して、各々の電流源回路から電流が流すかどうかを制御して、その電流の総和が負荷901に流れるようにしてもよい。

[0141] 次に、図29の具体的な構成例を図30に示す。ここでは、電流源トランジスタの構成として、図1(図9、図2、図5)に示した構成を適用している。電流源回路201から電流を電流源トランジスタ202に供給して、電流源トランジスタ202のゲート端子に適切な電圧を設定する。そして、信号線2905から入力される画像信号に応じて、スイッチ2902をオンオフして、負荷901に電流を供給し、画像を表示する。

[0142] なお、本実施の形態で説明した内容は、実施の形態1〜4で説明した構成を利用したものの相当するが、これに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。したがって、実施の形態1〜4で説明した内容は、本実施の形態にも適用できる。

実施の形態6

[0143] 本実施の形態では、オペアンプなどのような増幅回路の入力端子のいずれか1つ

の端子への電位の供給方法について述べる。

- [0144] 最も単純な方式としては、図1における電流源回路101や、図2における電流源回路201などから供給される電流 I_{data} の大きさに依存せず、常に一定の電位を供給する方法である。この場合は、オペアンプなどのような増幅回路の入力端子のいずれか1つの端子(図1における増幅回路107の第2入力端子110や図4におけるオペアンプ407の反転入力端子110、または、図3における増幅回路107の第1入力端子108や図8におけるオペアンプ407の非反転(正相)入力端子108など)には、電圧源を接続すればよい。
- [0145] この場合、図1における電流源回路101や、図2における電流源回路201などから供給される電流 I_{data} の大きさが小さい場合に、電流源トランジスタ102などのドレイン・ソース間電圧が十分大きくなるようにすることによって、キンク(アーリー)効果の影響を低減することが出来る。つまり、負荷に小さい電流を供給する場合、電流が流れすぎることを防ぐことが出来る。
- [0146] あるいは、電流を設定しているとき(設定動作のとき)と、負荷に電流を出力しているとき(出力動作のとき)とで、電流源トランジスタのドレイン・ソース間電圧が概ね一致するように、電流 I_{data} の大きさにあわせて、適切な電位を、オペアンプなどのような増幅回路の入力端子のいずれか1つの端子に供給してもよい。この場合、その端子には、アナログ的に変化する電圧源などを接続してもよいし、デジタル的に変化する電圧源を接続してもよい。
- [0147] または、別の回路を用いて電位を生成し、その電位を、オペアンプなどのような増幅回路の入力端子のいずれか1つの端子に供給してもよい。
- [0148] 電位を生成する回路を例を、図31、32に示す。回路2101と、トランジスタ3302、3402とにより、端子3310、3410に電位を発生させて、その電位を、オペアンプなどのような増幅回路の入力端子のいずれか1つの端子に供給すればよい。なお、端子3310や端子3410を直接、オペアンプなどのような増幅回路の入力端子のいずれか1つの端子に接続してもよいし、素子や回路などを介して、接続させてもよい。
- [0149] また、トランジスタ3302、3402のゲート端子3303、3403の電位を調節したり、回路2101の特性を調節することによって、端子3310、3410に電位を制御してもよい

。

[0150] 例えば、トランジスタ3302、3402のゲート端子3303、3403は、トランジスタ3302、3402のドレイン端子やソース端子に接続してもよいし、電流源トランジスタ(図1の場合は、電流源トランジスタ102に相当)のゲート端子などに接続してもよい。

[0151] また、トランジスタ3302、3402は、別の用途で使用するトランジスタと共用してもよい。

[0152] また、回路2101は、図33、34に示すように、電流源回路であってもよい。その場合、電流源回路は、電流源トランジスタ(図1の場合は、電流源トランジスタ102に相当)に電流 I_{data} を供給する電流源回路(図1の場合は、電流源回路101に相当)であってもよいし、それとは別の電流源回路であってもよい。その場合、電流 I_{data} を供給する電流源回路と、供給する電流の大きさが等しくてもよいし、比例関係にあってもよい。

[0153] また、電流の流れる向きは、図35のように、逆でもよい。ここで、3501は電流源回路、3502は電流源トランジスタ、3503は3502のゲート端子、3510は端子である。

[0154] また、回路2101は、負荷であってもよい。なお、負荷は、抵抗などのような素子、トランジスタ、EL素子、そのほかの発光素子、トランジスタと容量とスイッチなどで構成された電流源回路、任意の回路が接続された配線でもよいし、信号線、信号線とそれに接続された画素でもよい。その画素には、EL素子やFEDで用いる素子、その他電流を流して駆動する素子を含んでいてもよい。

[0155] なお、負荷は、出力動作の時に電流源トランジスタ(図1の場合は、電流源トランジスタ102に相当)が電流を供給する負荷(図1の場合は、負荷901に相当)であってもよいし、それとは別の負荷であってもよい。その場合、出力動作の時に電流を供給する負荷と、電圧電流特性が等しくてもよいし、比例関係にあってもよい。

[0156] 本実施の形態で示したオペアンプなどのような増幅回路の入力端子のいずれか1つの端子への電位の供給方法を、実施の形態1〜5と組み合わせて実施することができる。

実施の形態7

[0157] 本実施の形態は、実施の形態6で示す構成の好適な具体例を示す。

- [0158] 図36に、図31と図16とを組み合わせた場合の構成について示す。図36では、負荷は、出力動作の時に電流を供給する負荷901である。また、図31のトランジスタ3302は、図16のカレントトランジスタ1602と共用されている。増幅回路107の第2入力端子110は、端子3310(トランジスタ1602のドレイン端子)とスイッチ3601を介して接続されている。ただし、これに限定されず、スイッチ3601は、動作に支障がない場合は、削除してもよい。
- [0159] 次に、図36の構成の動作について述べる。まず、図37に示すように、スイッチ903、904、3601をオンにして、設定動作を行う。このとき、オペアンプ407の動作によって、トランジスタ1602、102は、ドレイン端子の電位が、概ね等しくなるように動作する。次に、図38に示すように、スイッチ903、904、3601をオフにして、出力動作を行う。以上のように動作させることによって、設定動作時と出力動作時とで、 V_{gs} 、 V_{ds} を概ね等しくさせて動作させることが出来る。
- [0160] なお、図37と図38の動作の間に、図39のような動作を入れても良い。つまり、図37の後、スイッチ3601をオフにして、第2入力端子110の電位が変化しない状態にして、設定動作を続けても良い。
- [0161] なお、増幅回路107の第2入力端子110は、端子3310(トランジスタ1602のドレイン端子)とスイッチ3601を介して接続されているが、これに限定されず、図40に示すように、間に増幅回路4007を挿入してもよい。増幅回路としては、例えば、電圧フォロワ回路やソースフォロワ回路、オペアンプなど、さまざまな回路を用いればよい。また、入力電位が上がれば、出力電位も上がるような回路でもよいし、出力電位は下がるような回路でもよい。回路全体として、安定化するように、帰還回路が形成されていけばよい。
- [0162] なお、図36や図40に対して、初期状態を設定するようにしてもよい。つまり、図41～図43に示すように、ある端子や配線や接点などを、ある電位状態に初期化する。そのような状態で一旦動作させてから、通常の設定動作を行ってもよい。
- [0163] 次に、図36などの構成の場合、設定動作の時に電流を供給されるトランジスタ(図36ではトランジスタ102)と、出力動作の時に電流を供給するトランジスタ(図36ではトランジスタ1602)とは、同一のトランジスタではない。したがって、それらのトランジスタの

電流特性がばらつけば、負荷901に供給される電流もばらついてしまう。そこで、設定動作時と出力動作時とで、同一のトランジスタを用いて、共用する場合を、図44に示す。まず、設定動作時には、図45に示すように、スイッチ3601、4404、903、904をオンにして、スイッチ4403をオフにする。そして、増幅回路107の第2入力端子110は、トランジスタ1802のドレイン端子とスイッチ3601を介して接続される。そして、出力動作の時には、図46に示すように、スイッチ3601、4404、903、904をオフにして、スイッチ4403をオンにする。そして、負荷901には、トランジスタ102を用いて電流を供給する。

[0164] このようにすることにより、設定動作時と出力動作時とでは、同一のトランジスタを用いて、同一の V_{gs} で電流を供給する。ただし、 V_{ds} は、同一のトランジスタを用いていないため、バラツキの影響を受ける。しかし、設定動作時と出力動作時とで、飽和領域で動作させる場合は、バラツキの影響は小さい。

[0165] 次に、設定動作時と出力動作時とでは、同一のトランジスタを用いて、かつ、同一の V_{gs} と同一の V_{ds} の場合について述べる。そのときの構成を図47に示す。この場合、設定動作時と出力動作時とで、 V_{gs} と V_{ds} とを概ね同一にするため、同様の動作を任意回数だけ繰り返す必要がある。

[0166] まず、図48に示すように、スイッチ4704、903、904をオンにする。これは、初期化動作に相当する。つまり、配線4705から電位を供給して、それを端子110に入力して、設定動作を行う。この設定動作によって、トランジスタ102のゲート電位が設定される。そこで、それを元にして、図49に示すように、負荷901に電流を供給する。これは、出力動作と同様の動作であるが、容量素子4703に、トランジスタ102のドレイン電位を保存しておく。そして次に、容量素子4703に保存された電位を用いて、図50に示すように、再び設定動作を行う。このとき、容量素子4703には、出力動作を行うときと、概ね等しい電位が保存されている。したがって、図50における設定動作においては、トランジスタ102の V_{ds} は、出力動作のときの V_{ds} と概ね等しい。そしてその後、図51に示すように、負荷901に電流を供給して、出力動作を行う。

[0167] なお、図50の動作の後、図51のように、出力動作を行ったが、これに限定されない。再び、図49のように、容量素子4703に電位を保存して、図50のように設定動作を

行っても良い。また、図49、50の動作は、任意回数だけ繰り返しても良い。このように繰り返すことにより、出力動作時のトランジスタ102の V_{gs} 、 V_{ds} の値と、設定動作時のトランジスタ102の V_{gs} 、 V_{ds} の値がそれぞれ近くなっていく。

[0168] 次に、別の電流源回路6401を用いた場合の構成例を、図64に示す。まず、図65に示すように、スイッチ6403、3601、903、904をオンにして、設定動作を行う。図64の構成の場合、設定動作の時と、出力動作の時とで、同じトランジスタ102を用いるため、電流源回路6401の電流の大きさは、電流源回路101の電流の大きさと等しくすることが望ましい。このようにして、負荷901に電流が流れた時の電位を、増幅回路107の第2入力端子110に入力するようにする。その結果、設定動作時において、電流源トランジスタ102のドレイン電位が、出力動作時のドレイン電位と概ね等しくすることが出来る。そして、図66に示すように、スイッチ4703をオンにして、出力動作を行う。以上の動作を行うことにより、出力動作の時と、設定動作の時とで、トランジスタ102の V_{gs} 、 V_{ds} が概ね等しい大きさとなる。

[0169] なお、図41ー図43、図44、図47、図64などにおいても、図40と同様に、増幅回路107の第2入力端子110と、端子3310(トランジスタ1602のドレイン端子)と間に、増幅回路4007を挿入してもよい。

[0170] これまでは、負荷やトランジスタなどを用いて電位を生成し、それを、オペアンプなどのような増幅回路の入力端子のいずれか1つの端子に供給していた。次に、回路の中のある端子と、オペアンプなどのような増幅回路の入力端子のいずれか1つの端子を接続する場合の構成について、例を示す。

[0171] まず、図1において、電流源回路101に関して、トランジスタを用いて実現した場合の構成図を図52に示す。トランジスタ5201を用い、ゲート端子5202が、所定の大きさの電位になっている。そして、飽和領域で動作させることによって、電流源回路として動作させることが出来る。

[0172] そこで、電流源回路101を構成しているトランジスタ5201のゲート端子と、オペアンプなどのような増幅回路の入力端子のいずれか1つの端子とを接続した場合の構成図を図53に示す。

[0173] この場合、電流源回路101から出力される電流値が小さい場合は、トランジスタ52

01のゲート・ソース間電圧の絶対値が小さい場合に相当する。したがって、トランジスタ5201のゲート電位は、高くなる場合に相当する。その場合は、トランジスタ102に対する設定動作を行う場合、トランジスタ102の V_{ds} は、大きくなる。したがって、負荷901に電流を供給する出力動作のときと、トランジスタ102の V_{ds} は近づくことになる。よって、キンク(アーリー)効果の影響を低減し、電流が負荷905に流れすぎてしまうことを防ぐことが出来る。

[0174] なお、電流源回路101として、図53のトランジスタ5201のゲート電位を変化させることによって電流値を変化させる場合もあるが、図54に示すように、電流源として動作する複数のトランジスタ5401a、5401b、5401c、などがあり、各々の電流が出力を、スイッチ5403a、5403b、5403c、などによって制御するタイプ、つまり、DA変換機能]を有するような電流源回路101もある。そのような場合は、トランジスタ5401a、5401b、5401c、のゲート端子の少なくとも1つと、オペアンプなどのような増幅回路の入力端子のいずれか1つの端子とを接続すればよい。なお、図54では、電流源として動作するトランジスタとスイッチが3個ずつ記載されているが、これに限定されない。任意の個数だけ配置すればよい。

[0175] なお、本実施の形態では、図1、図9、図16などに対して適応させたものを主に述べたが、これに限定されない。同様に、電流源回路101から電流源トランジスタ102の方へ電流が流れて、かつ、電流源トランジスタがNチャネル型の場合について示しているが、これに限定されない。電流の流れる向きを変更したり、各々のトランジスタの極性を変更することも出来る。

[0176] なお、本実施の形態では、簡単のため、図1の構成や、増幅回路としてオペアンプを用いた構成(図4)などを用いて説明したが、これに限定されない。容易に、図2～図8などで説明したような別の構成に適用することが可能である。

[0177] なお、本実施の形態で説明した内容は、実施の形態1～6で説明した構成を利用したもの相当するが、これに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。

[0178] また、本実施の形態で示した構成を、実施の形態1～6と組み合わせて実施することができる。

実施の形態8

- [0179] 本実施の形態では、表示装置、および、信号線駆動回路などの構成とその動作について、説明する。信号線駆動回路の一部や画素に、本発明の回路を適用することができる。
- [0180] 表示装置は、図55に示すように、画素配列5501、ゲート線駆動回路5502、信号線駆動回路5510を有している。ゲート線駆動回路5502は、画素配列5501に選択信号を順次出力する。信号線駆動回路5510は、画素配列5501にビデオ信号を順次出力する。画素配列5501では、ビデオ信号に従って、光の状態を制御することにより、画像を表示する。信号線駆動回路5510から画素配列5501へ入力するビデオ信号は、電流である場合が多い。つまり、各画素に配置された表示素子や表示素子を制御する素子は、信号線駆動回路5510から入力されるビデオ信号(電流)によって、状態を変化させる。画素に配置する表示素子の例としては、EL素子やFED(フィールドエミッションディスプレイ)で用いる素子などがあげられる。
- [0181] なお、ゲート線駆動回路5502や信号線駆動回路5510は、複数配置されていてもよい。
- [0182] 信号線駆動回路5510は、構成を複数の部分に分けられる。一例として、シフトレジスタ5503、第1ラッチ回路(LAT1)5504、第2ラッチ回路(LAT2)5505、デジタル・アナログ変換回路5506に分けられる。デジタル・アナログ変換回路5506には、電圧を電流に変換する機能も有しており、ガンマ補正を行う機能も有していてもよい。つまり、デジタル・アナログ変換回路5506には、画素に電流(ビデオ信号)を出力する回路、すなわち、電流源回路を有しており、そこに本発明を適用することが出来る。
- [0183] なお、図29に示したように、画素の構成によっては、ビデオ信号用のデジタル電圧信号と、画素の中の電流源回路のための制御用の電流とを、画素に入力する場合がある。その場合は、デジタル・アナログ変換回路5506は、デジタル・アナログ変換機能ではなく、電圧を電流に変換する機能を有しており、その電流を制御用の電流として画素に出力する回路、すなわち、電流源回路を有しており、そこに本発明を適用することが出来る。
- [0184] また、画素は、EL素子などの表示素子を有している。その表示素子に電流(ビデオ

信号)を出力する回路、すなわち、電流源回路を有しており、そこにも、本発明を適用することが出来る。

[0185] そこで、信号線駆動回路5510の動作を簡単に説明する。シフトレジスタ5503は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK)、スタートパルス(SP)、クロック反転信号(S-CLKb)が入力される、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

[0186] シフトレジスタ5503より出力されたサンプリングパルスは、第1ラッチ回路(LAT1)5504に入力される。第1ラッチ回路(LAT1)5504には、ビデオ信号線5508より、ビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。なお、デジタル・アナログ変換回路5506を配置している場合は、ビデオ信号はデジタル値である。また、この段階でのビデオ信号は、電圧であることが多い。

[0187] ただし、第1ラッチ回路5504や第2ラッチ回路5505が、アナログ値を保存できる回路である場合は、デジタル・アナログ変換回路5506は省略できる場合が多い。その場合、ビデオ信号は、電流であることも多い。また、画素配列5501に出力するデータが2値、つまり、デジタル値である場合は、デジタル・アナログ変換回路5506は省略できる場合が多い。

[0188] 第1ラッチ回路(LAT1)5504において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、ラッチ制御線5509よりラッチパルス(Latch Pulse)が入力され、第1ラッチ回路(LAT1)5504に保持されていたビデオ信号は、一斉に第2ラッチ回路(LAT2)5505に転送される。その後、第2ラッチ回路(LAT2)5505に保持されたビデオ信号は、1行分が同時に、デジタル・アナログ変換回路5506へと入力される。そして、デジタル・アナログ変換回路5506から出力される信号は、画素配列5501へ入力される。

[0189] 第2ラッチ回路(LAT2)5505に保持されたビデオ信号がデジタル・アナログ変換回路5506に入力され、そして、画素5501に入力されている間、シフトレジスタ5503においては再びサンプリングパルスが出力される。つまり、同時に2つの動作が行われる。これにより、線順次駆動が可能となる。以後、この動作を繰り返す。

- [0190] なお、デジタル・アナログ変換回路5506が有している電流源回路が、設定動作と出力動作とを行うような回路である場合、つまり、別の電流源回路から電流を入力して、トランジスタの特性バラツキの影響を受けない電流を出力できるような回路である場合、その電流源回路に、電流を流す回路が必要となる。そのような場合、リファレンス用電流源回路5514が配置されている。
- [0191] なお、電流源回路に対して設定動作を行う場合、そのタイミングを制御する必要がある。その場合、設定動作を制御するために、専用の駆動回路(シフトレジスタなど)を配置してもよい。あるいは、LAT1回路を制御するためのシフトレジスタから出力される信号を用いて、電流源回路への設定動作を制御してもよい。つまり、一つのシフトレジスタで、LAT1回路と電流源回路とを両方制御するようにしてもよい。その場合は、LAT1回路を制御するためのシフトレジスタから出力される信号を直接、電流源回路に入力してもよいし、LAT1回路への制御と電流源回路への制御を切り分けるため、その切り分けを制御する回路を介して、電流源回路を制御してもよい。あるいは、LAT2回路から出力される信号を用いて、電流源回路への設定動作を制御してもよい。LAT2回路から出力される信号は、通常、ビデオ信号であるため、ビデオ信号として使用する場合と電流源回路を制御する場合とを切り分けるため、その切り替えを制御する回路を介して、電流源回路を制御すればよい。このように、設定動作や出力動作を制御するための回路構成や、回路の動作等については、国際公開第 03/038793号パンフレット、国際公開第 03/038794号パンフレット、国際公開第 03/038795号パンフレット、に記載されており、その内容を本発明に適用することが出来る。
- [0192] なお、信号線駆動回路やその一部(電流源回路や増幅回路など)は、画素配列5501と同一基板上に存在せず、例えば、外付けのICチップを用いて構成されることもある。
- [0193] なお、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよいし、どのような基板上に形成されていてもよい。したがって、図1や図79や図82などで示したような回路が、全てガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。あるいは、図55や図56な

どにおける回路の一部が、ある基板に形成されており、図55や図56などにおける回路の別の一部が、別の基板に形成されていてもよい。つまり、図55や図56などにおける回路の全てが同じ基板上に形成されていなくてもよい。例えば、画素とゲート線駆動回路とは、ガラス基板上にTFTを用いて形成し、信号線駆動回路(もしくはその一部)は、単結晶基板上に形成し、そのICチップをCOG(Chip On Glass)で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB(Tape Auto Bonding)やプリント基板を用いてガラス基板と接続してもよい。

[0194] なお、信号線駆動回路などの構成は、図55に限定されない。

[0195] 例えば、第1ラッチ回路5504や第2ラッチ回路5505が、アナログ値を保存できる回路である場合、図56に示すように、リファレンス用電流源回路5514から第1ラッチ回路(LAT1)5504に、ビデオ信号(アナログ電流)が入力されることもある。また、図56において、第2ラッチ回路5505が存在しない場合もある。そのような場合は、第1ラッチ回路5504に、より多くの電流源回路が配置されている場合が多い。

[0196] このような場合、図55における、デジタル・アナログ変換回路5506の中の電流源回路に、本発明を適用することが出来る。デジタル・アナログ変換回路5506の中に、沢山のユニット回路があり、リファレンス用電流源回路5514に、電流源回路101や増幅回路107が配置されている。

[0197] あるいは、図56における、第1ラッチ回路(LAT1)5504の中の電流源回路に、本発明を適用することが出来る。第1ラッチ回路(LAT1)5504の中に、沢山のユニット回路があり、リファレンス用電流源回路5514に、基本電流源101や追加電流源103が配置されている。

[0198] あるいは、図55、図56における画素配列5501の中の画素(その中の電流源回路)に、本発明を適用することが出来る。画素配列5501の中に、沢山のユニット回路があり、信号線駆動回路5510に、電流源回路101や増幅回路107が配置されている。

[0199] つまり、回路の様々な部分に、電流を供給するような回路が存在する。そのような電流源回路は、正確な電流を出力する必要がある。そのため、別の電流源回路を用いて、トランジスタが正確な電流が出力できるように設定を行う。別の電流源回路も、正

確な電流を出力する必要がある。したがって、図57ー図59に示すように、基本となる電流源回路があり、そこから電流源トランジスタを次々に設定していく。それにより、電流源回路は、正確な電流を出力することが可能となる。よって、そのような部分に、本発明を適用することが出来る。

[0200] 本実施の形態で示した構成を、実施の形態1ー7と組み合わせて実施することができる。

実施の形態9

[0201] 本発明は電子機器の表示部を構成する回路に用いることができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc (DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それらの電子機器の具体例を図60に示す。つまり、これらの表示部を構成する画素や、画素を駆動する信号線駆動回路等に本発明を適用することができる。

[0202] 図60(A)は発光装置(ここで、発光装置とは自発光型の発光素子を表示部に用いた表示装置をいう。)であり、筐体13001、支持台13002、表示部13003、スピーカー部13004、ビデオ入力端子13005等を含む。本発明は表示部13003を構成する画素や信号線駆動回路等に用いることができる。また本発明により、図60(A)に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

[0203] 図60(B)はデジタルスチルカメラであり、本体13101、表示部13102、受像部13103、操作キー13104、外部接続ポート13105、シャッター13106等を含む。本発明は、表示部13102を構成する画素や信号線駆動回路等に用いることができる。また本発明により、図60(B)に示すデジタルスチルカメラが完成される。

[0204] 図60(C)はコンピュータであり、本体13201、筐体13202、表示部13203、キーボ

ード13204、外部接続ポート13205、ポインティングマウス13206等を含む。本発明は、表示部13203を構成する画素や信号線駆動回路等に用いることができる。また本発明により、図60(C)に示す発光装置が完成される。

[0205] 図60(D)はモバイルコンピュータであり、本体13301、表示部13302、スイッチ13303、操作キー13304、赤外線ポート13305等を含む。本発明は、表示部13302を構成する画素や信号線駆動回路等に用いることができる。また本発明により、図60(D)に示すモバイルコンピュータが完成される。

[0206] 図60(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体13401、筐体13402、表示部A13403、表示部B13404、記録媒体(DVD等)読み込み部13405、操作キー13406、スピーカー部13407等を含む。表示部A13403は主として画像情報を表示し、表示部B13404は主として文字情報を表示するが、本発明は、表示部A、B13403、13404を構成する画素や信号線駆動回路等に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図60(E)に示すDVD再生装置が完成される。

[0207] 図60(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体13501、表示部13502、アーム部13503を含む。本発明は、表示部13502を構成する画素や信号線駆動回路等に用いることができる。また本発明により、図60(F)に示すゴーグル型ディスプレイが完成される。

[0208] 図60(G)はビデオカメラであり、本体13601、表示部13602、筐体13603、外部接続ポート13604、リモコン受信部13605、受像部13606、バッテリー13607、音声入力部13608、操作キー13609等を含む。本発明は、表示部13602を構成する画素や信号線駆動回路等に用いることができる。また本発明により、図60(G)に示すビデオカメラが完成される。

[0209] 図60(H)は携帯電話であり、本体13701、筐体13702、表示部13703、音声入力部13704、音声出力部13705、操作キー13706、外部接続ポート13707、アンテナ13708等を含む。本発明は、表示部13703を構成する画素や信号線駆動回路等に用いることができる。なお、表示部13703は黒色の背景に白色の文字を表示す

ることで携帯電話の消費電流を抑えることができる。また本発明により、図60(H)に示す携帯電話が完成される。

- [0210] なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。
- [0211] また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。
- [0212] また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。
- [0213] 以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態1〜4に示したいずれの構成の半導体装置を用いても良い。

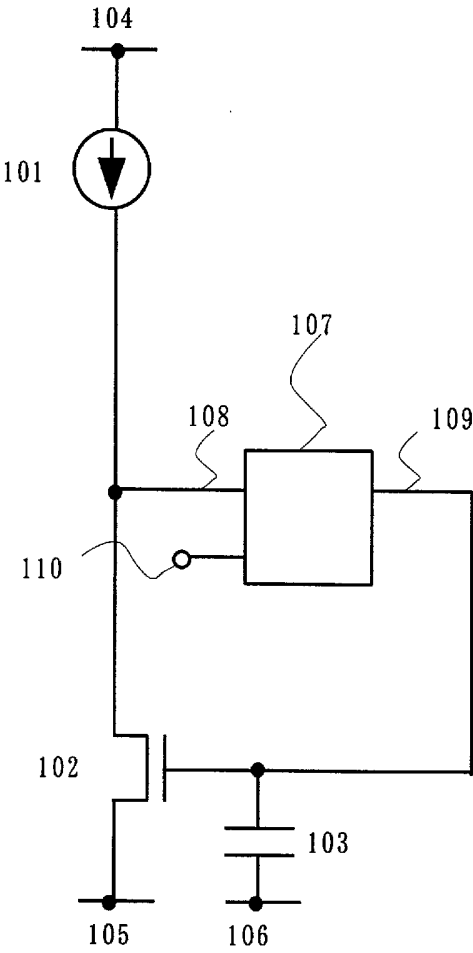
請求の範囲

- [1] 負荷に供給する電流をトランジスタで制御する回路を具備し、前記トランジスタのソースまたはドレインが電流源回路と接続され、前記電流源回路から前記トランジスタに電流が供給されたとき、前記トランジスタのゲート・ソース間電圧とドレイン・ソース間電圧とを制御する増幅回路が備えられていることを特徴とする半導体装置。
- [2] 負荷に供給する電流をトランジスタで制御する回路を具備し、前記トランジスタのソースまたはドレインが電流源回路と接続され、前記トランジスタのドレイン電位もしくはソース電位が所定の電位になるように、前記トランジスタのゲート電位を安定化させる増幅回路が備えられていることを特徴とする半導体装置。
- [3] 負荷に供給する電流をトランジスタで制御する回路を具備し、前記トランジスタのソースまたはドレインが電流源回路と接続され、前記トランジスタのドレイン電位もしくはソース電位が所定の電位になるように、前記トランジスタのゲート電位を安定化させる帰還回路が備えられていることを特徴とする半導体装置。
- [4] 負荷に供給する電流を制御するトランジスタと、オペアンプを具備し、電流源回路に接続する前記トランジスタのドレイン端子側に前記オペアンプの非反転入力端子が接続され、前記オペアンプの出力端子は、前記ゲート端子に接続されていることを特徴とする半導体装置。
- [5] 請求項1乃至4のいずれか一項に記載の半導体装置を表示部に有することを特徴とする発光装置。
- [6] 請求項1乃至4のいずれか一項に記載の半導体装置を表示部に有することを特徴とするデジタルスチルカメラ。
- [7] 請求項1乃至4のいずれか一項に記載の半導体装置を表示部に有することを特徴とするコンピュータ。
- [8] 請求項1乃至4のいずれか一項に記載の半導体装置を表示部に有することを特徴とするモバイルコンピュータ。
- [9] 請求項1乃至4のいずれか一項に記載の半導体装置を表示部に有することを特徴とする画像再生装置。
- [10] 請求項1乃至4のいずれか一項に記載の半導体装置を表示部に有することを特徴と

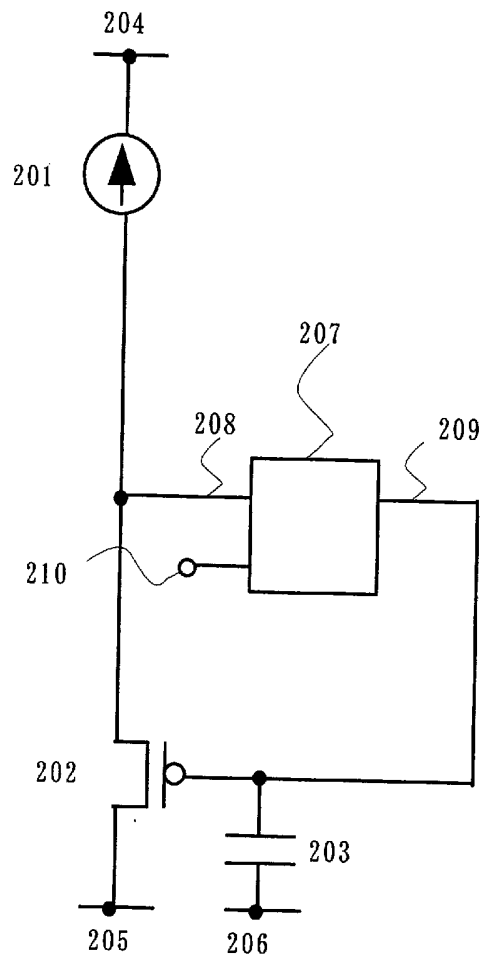
するゴーグル型ディスプレイ。

- [11] 請求項1乃至4のいずれか一項に記載の半導体装置を表示部に有することを特徴とするビデオカメラ。
- [12] 請求項1乃至4のいずれか一項に記載の半導体装置を表示部に有することを特徴とする携帯電話。

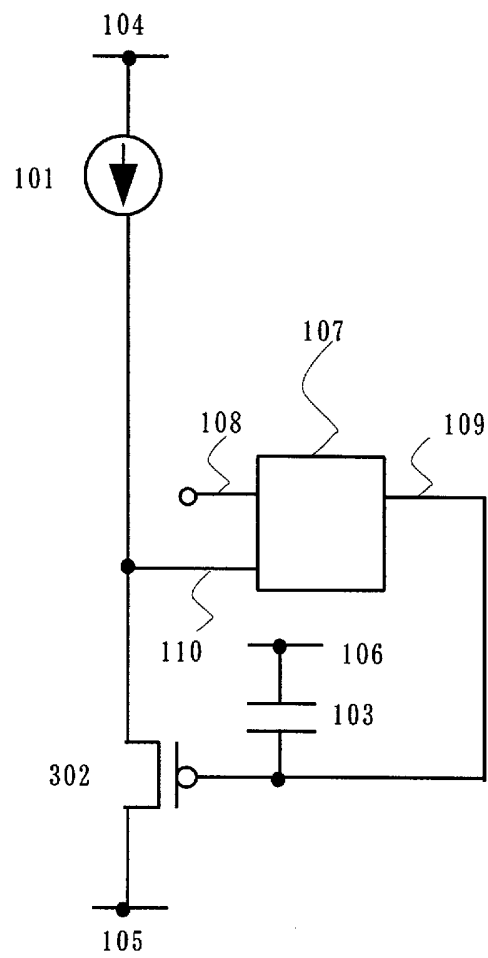
[図1]



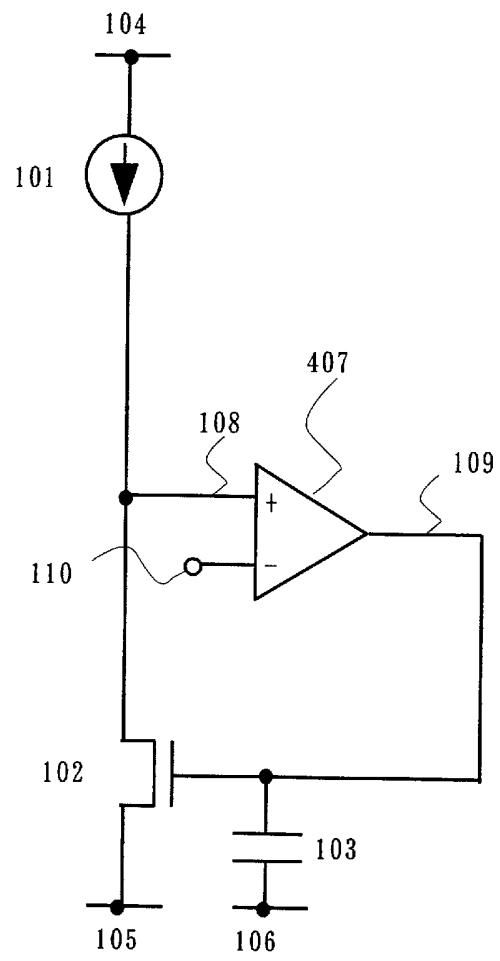
[図2]



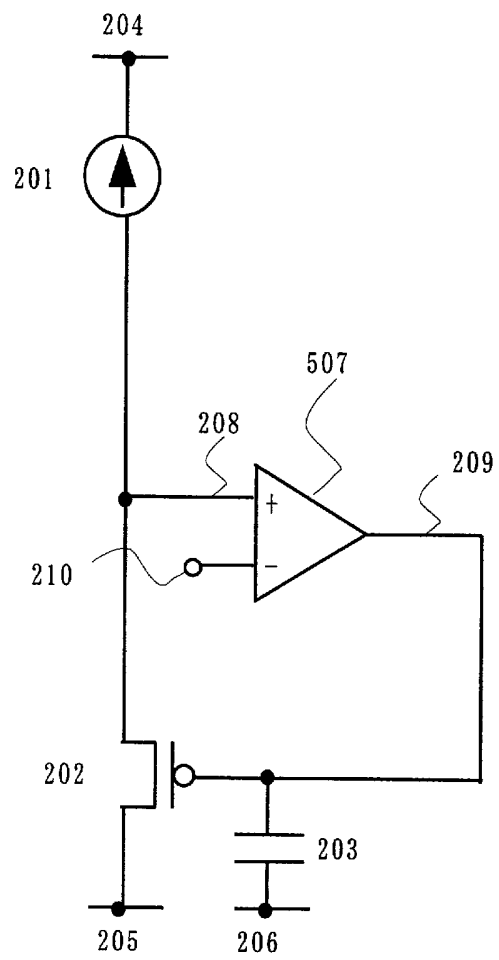
[図3]



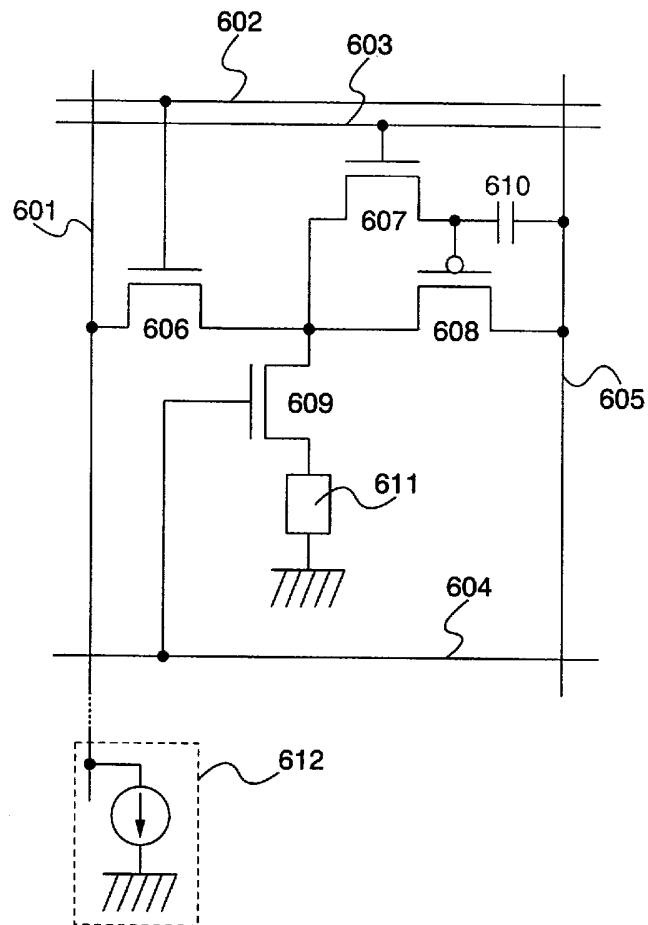
[図4]



[図5]

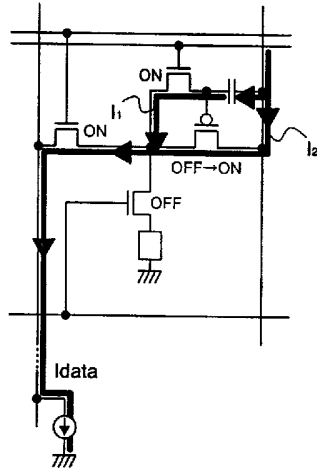


[図6]

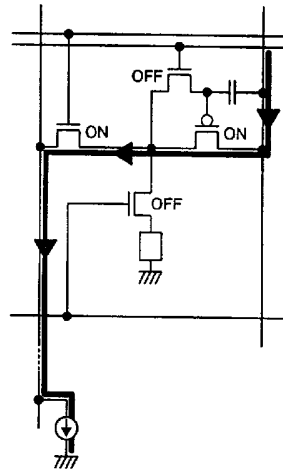


[図7]

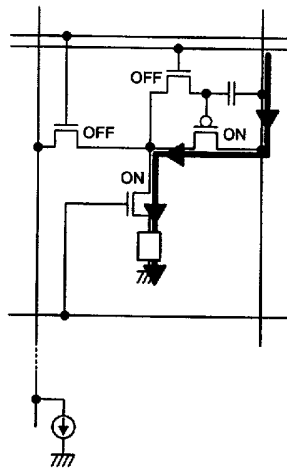
(A)



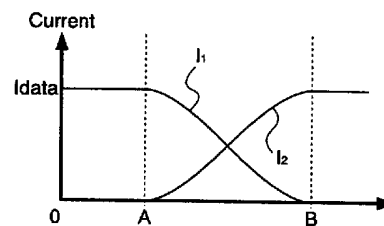
(B)



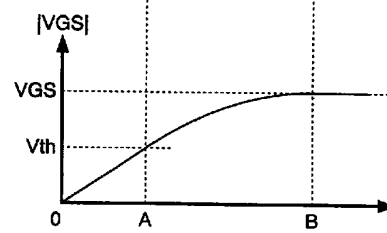
(C)



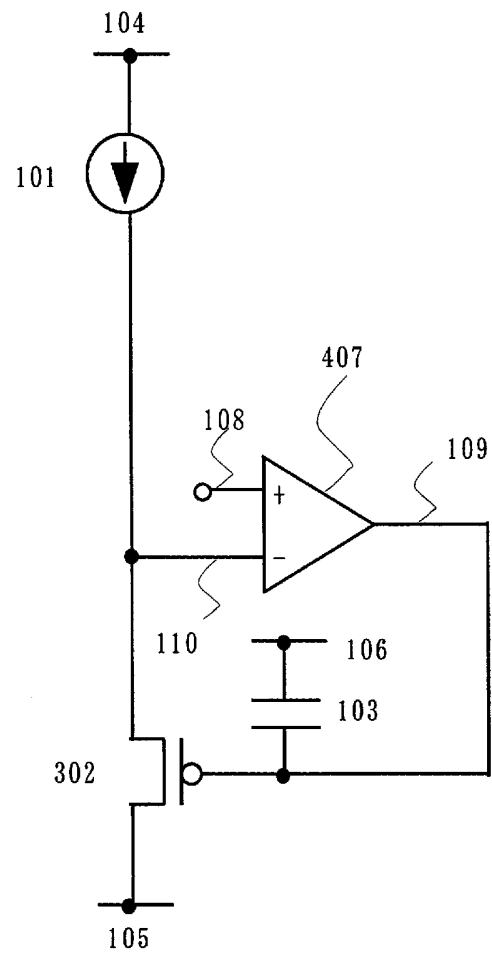
(D)



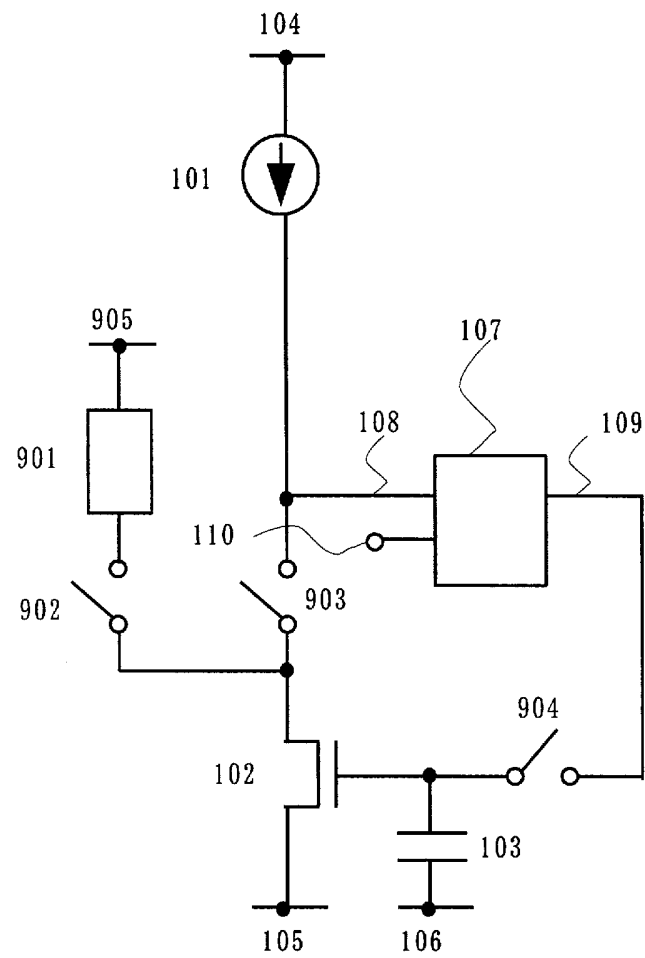
(E)



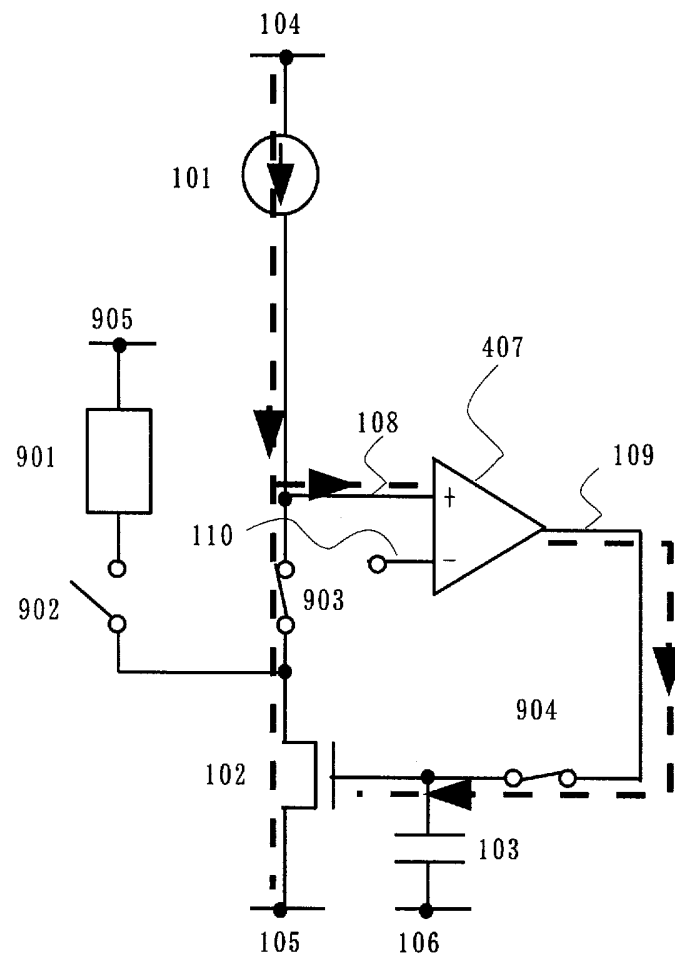
[図8]



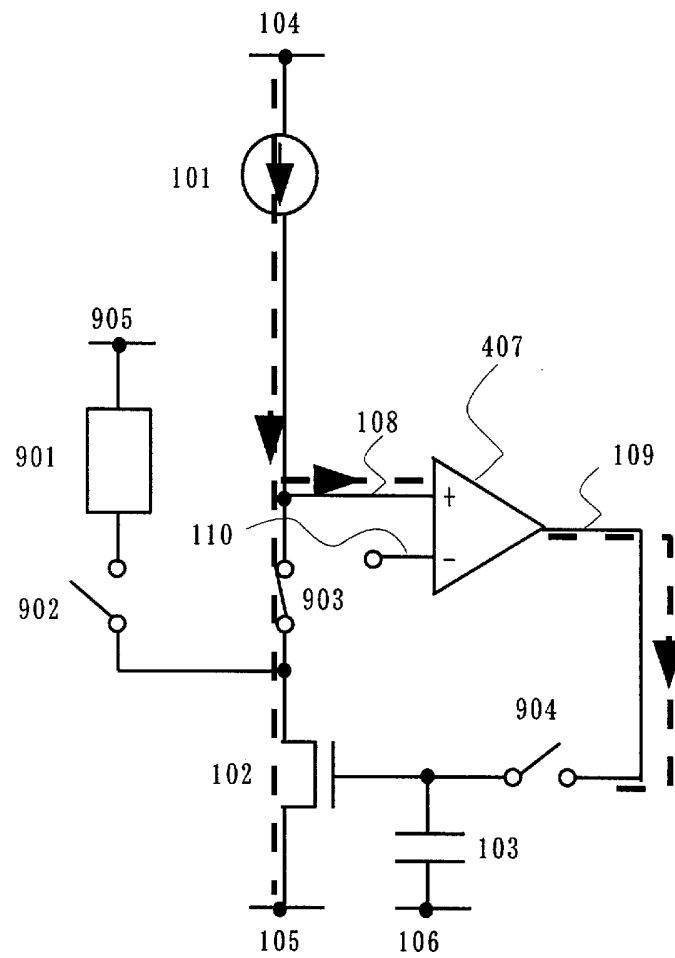
[図9]



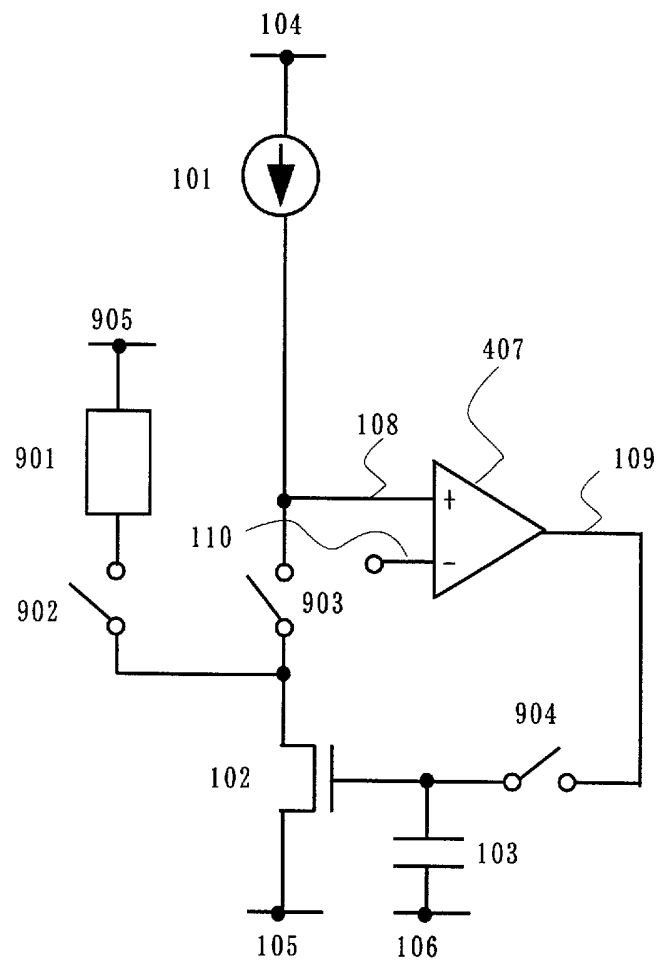
[図10]



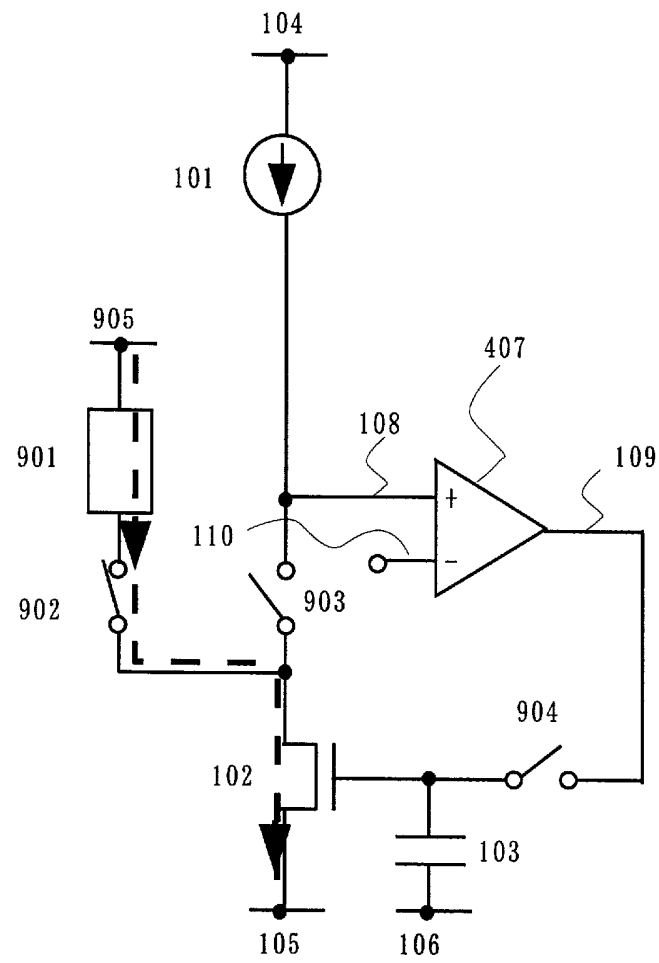
[図11]



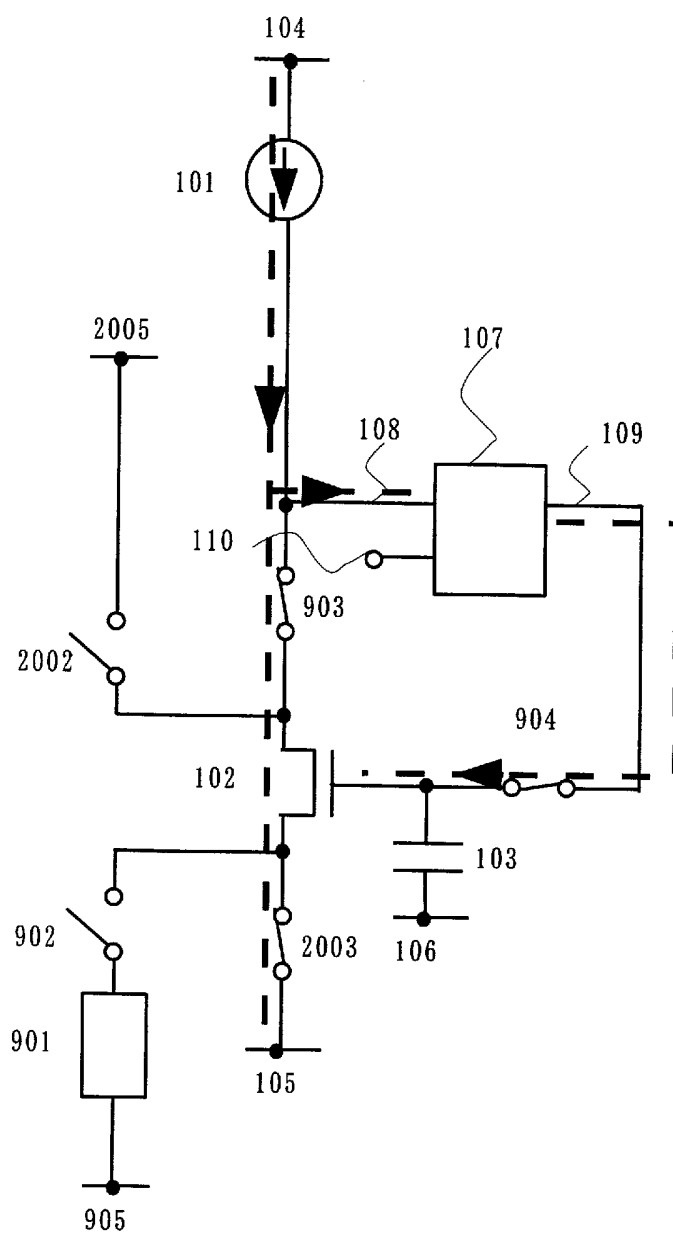
[図12]



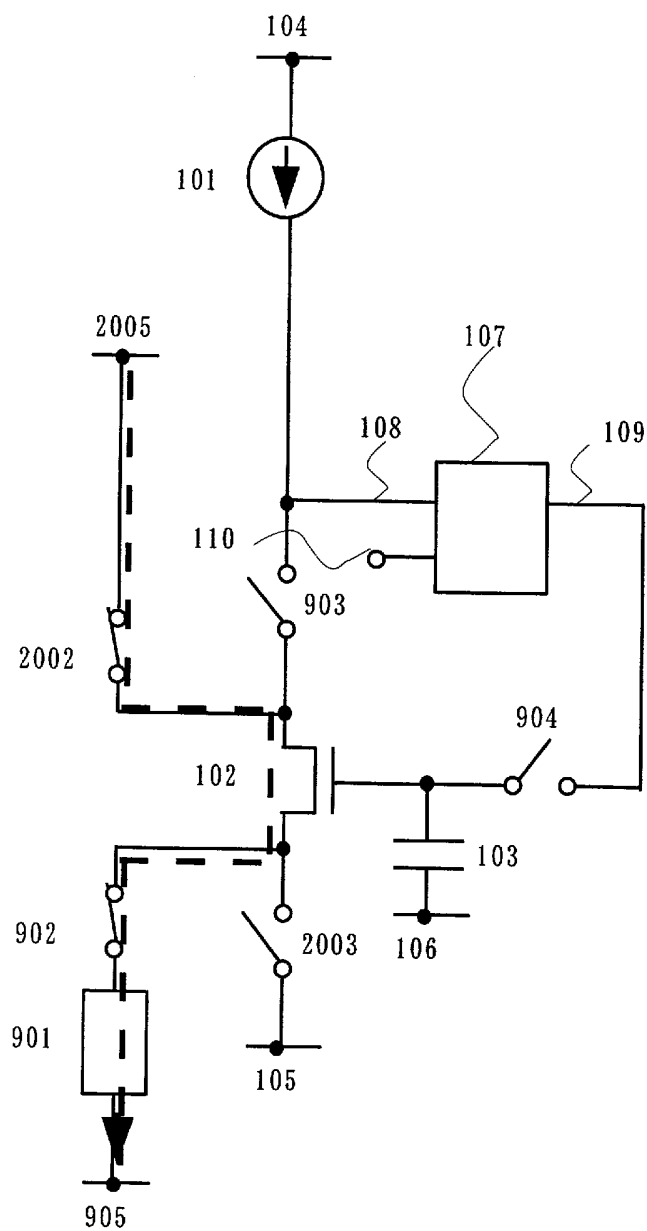
[図13]



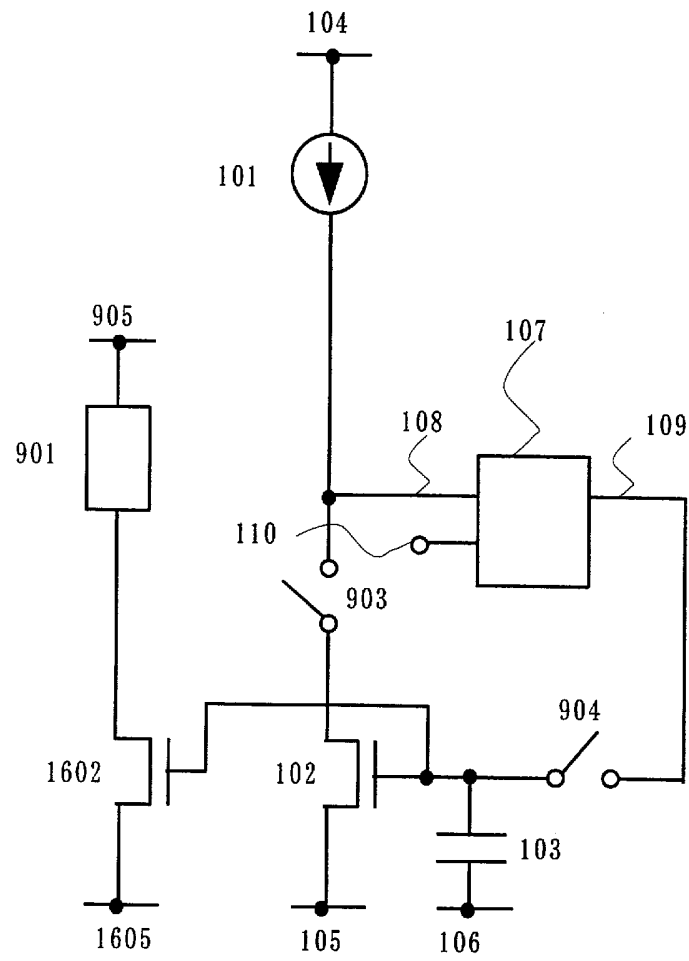
[図14]



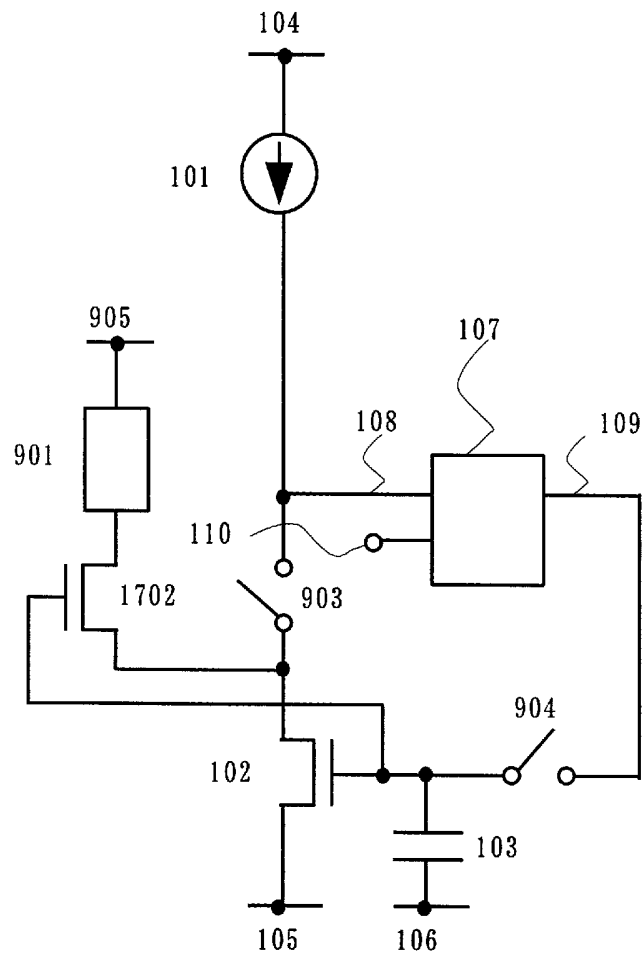
[図15]



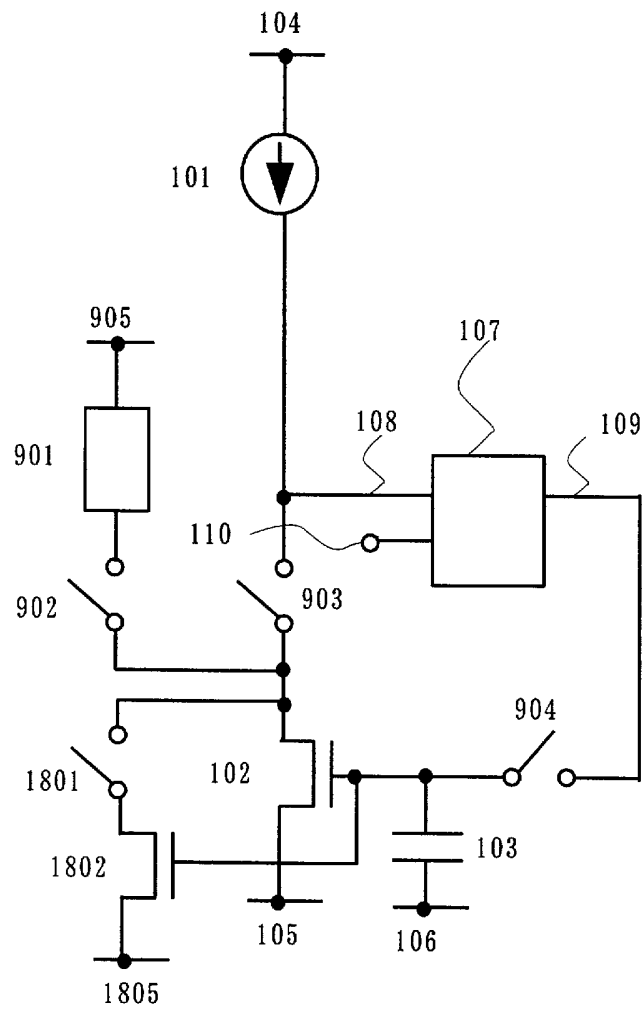
[図16]



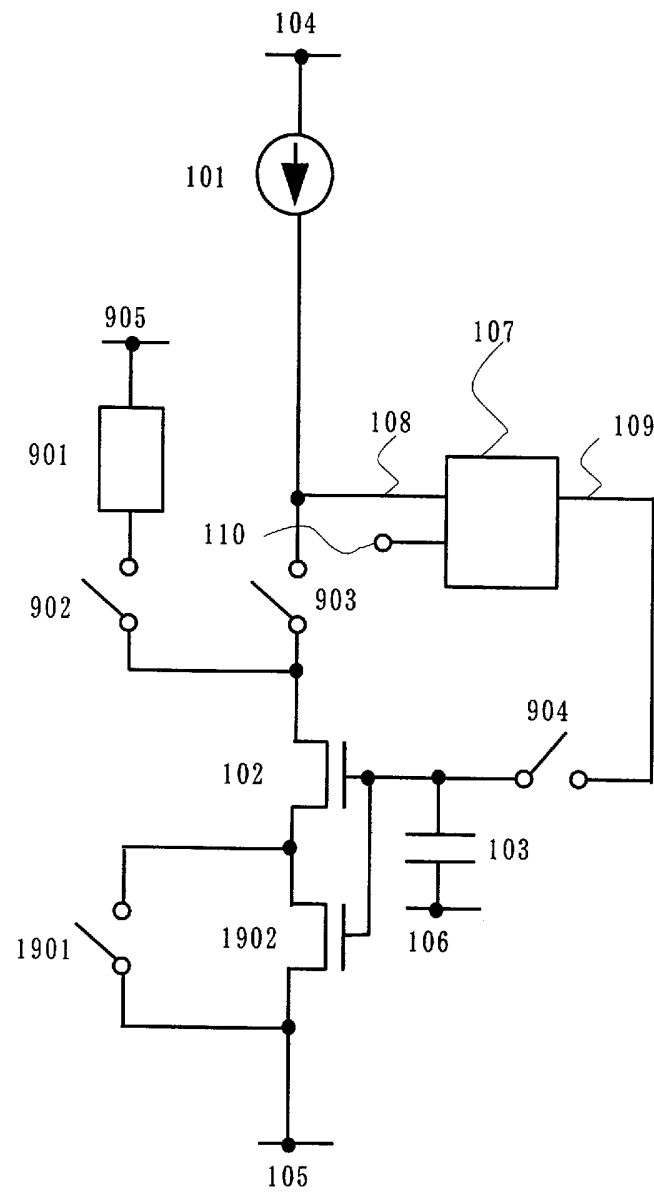
[図17]



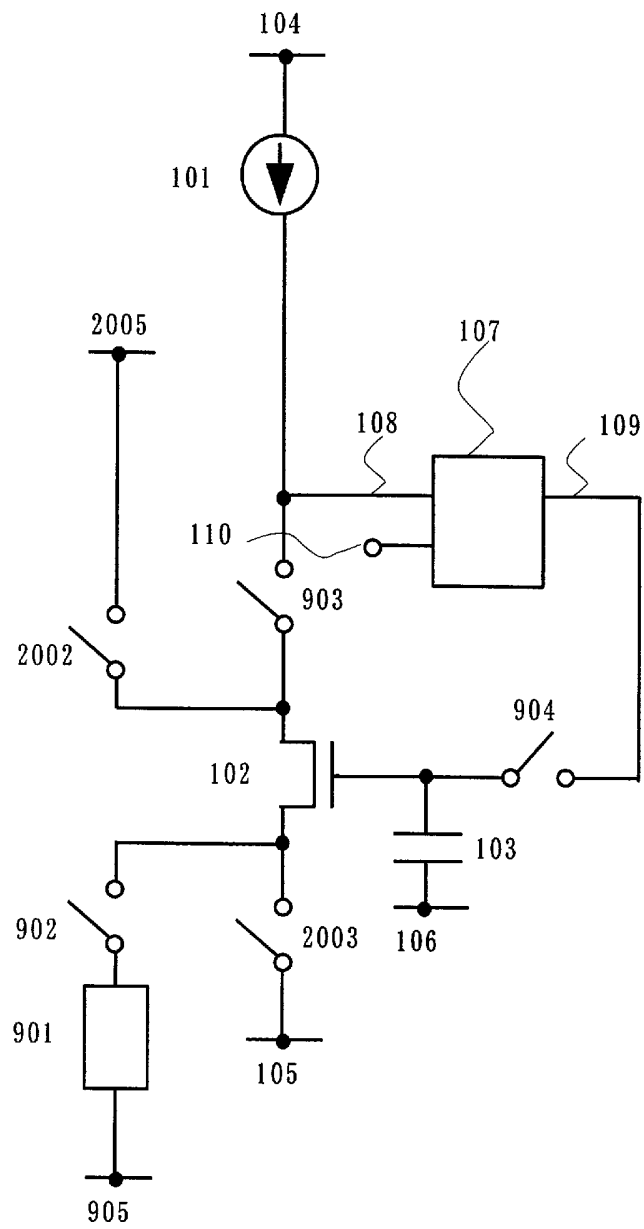
[図18]



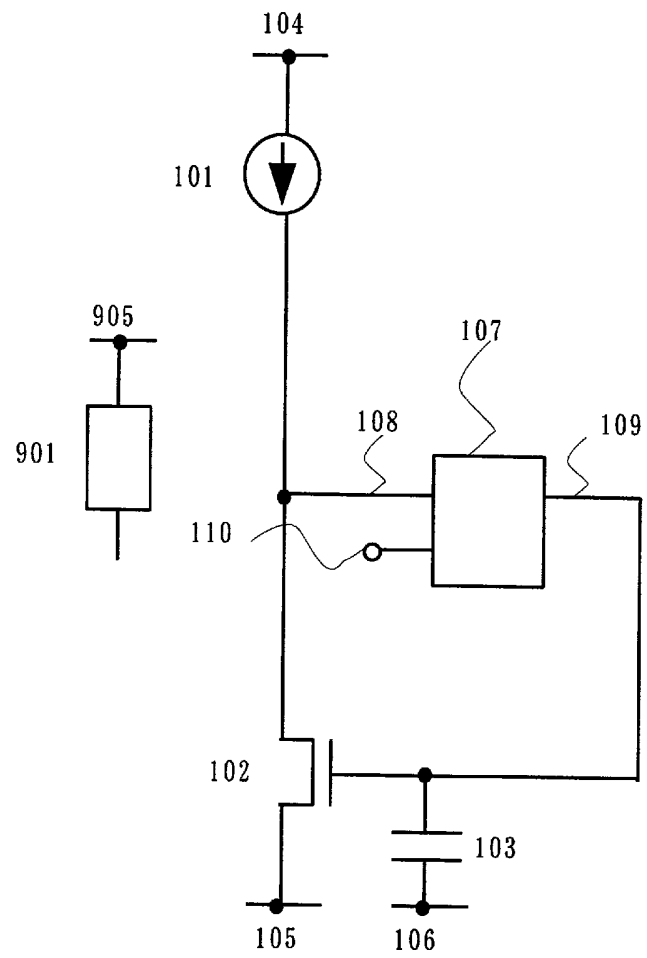
[図19]



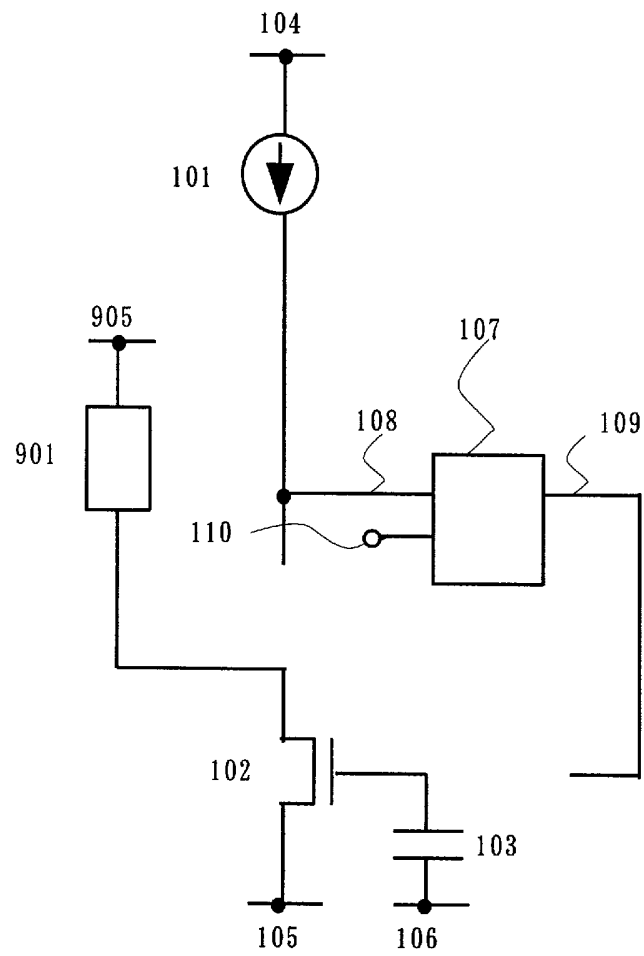
[図20]



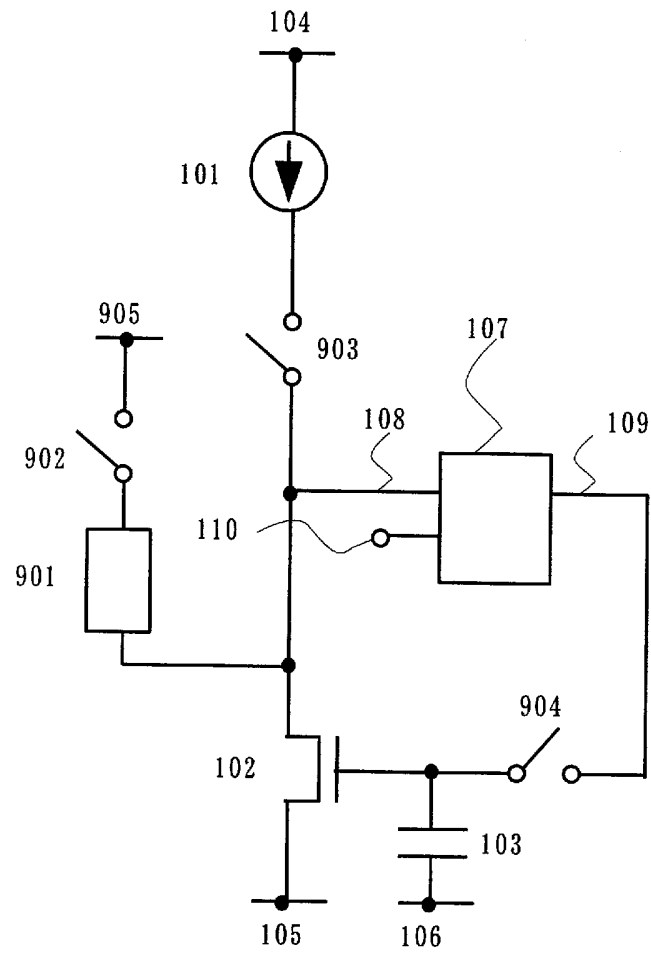
[図21]



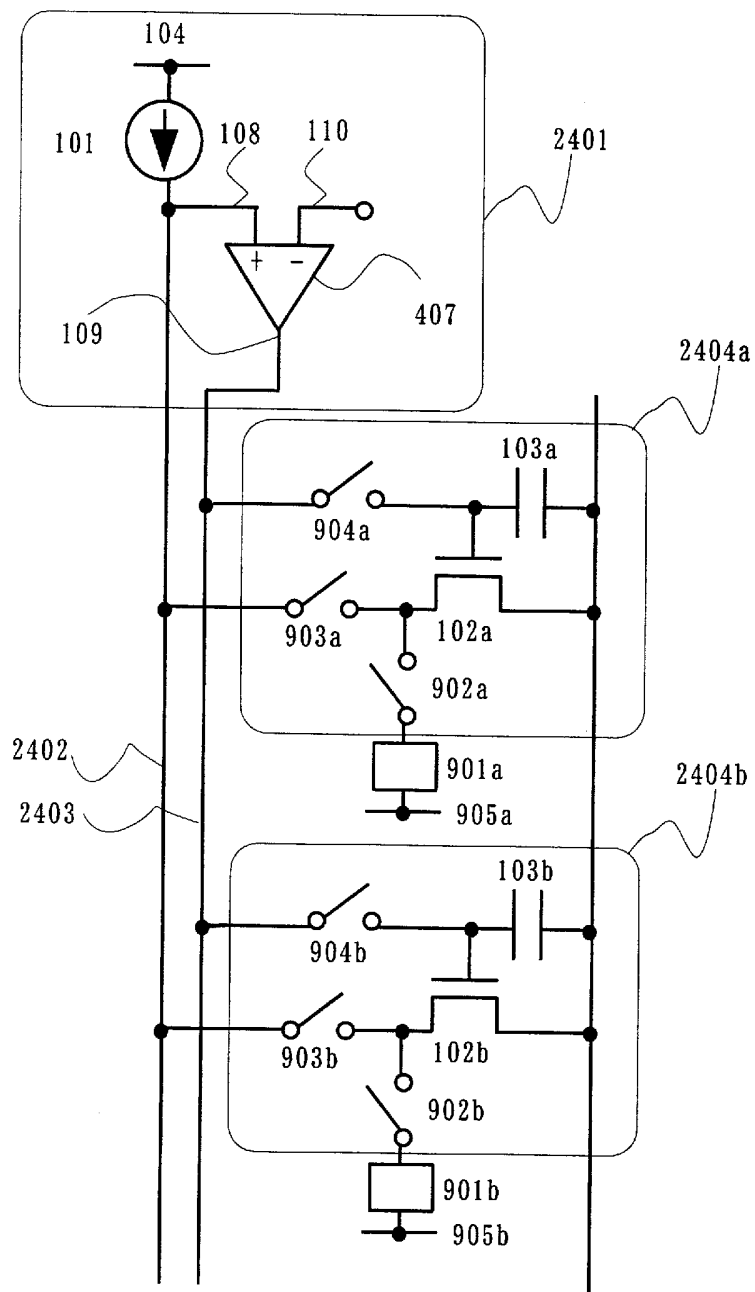
[図22]



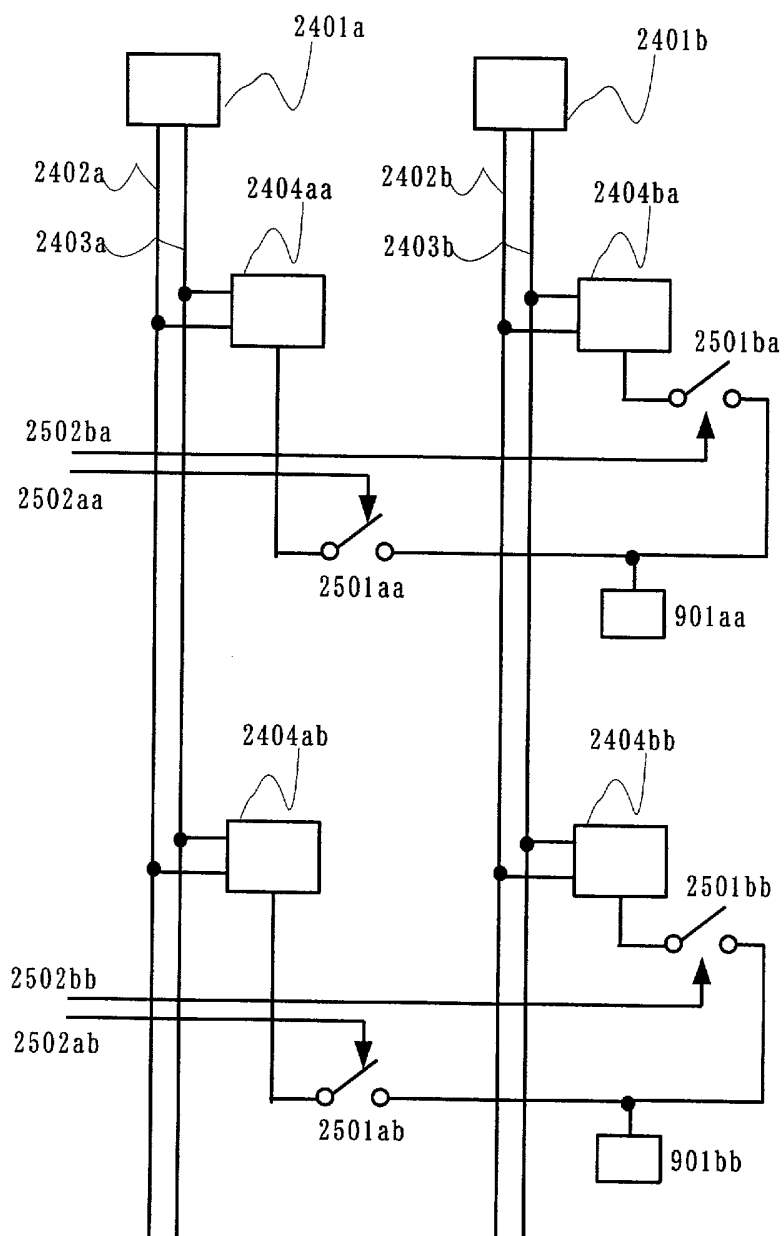
[図23]



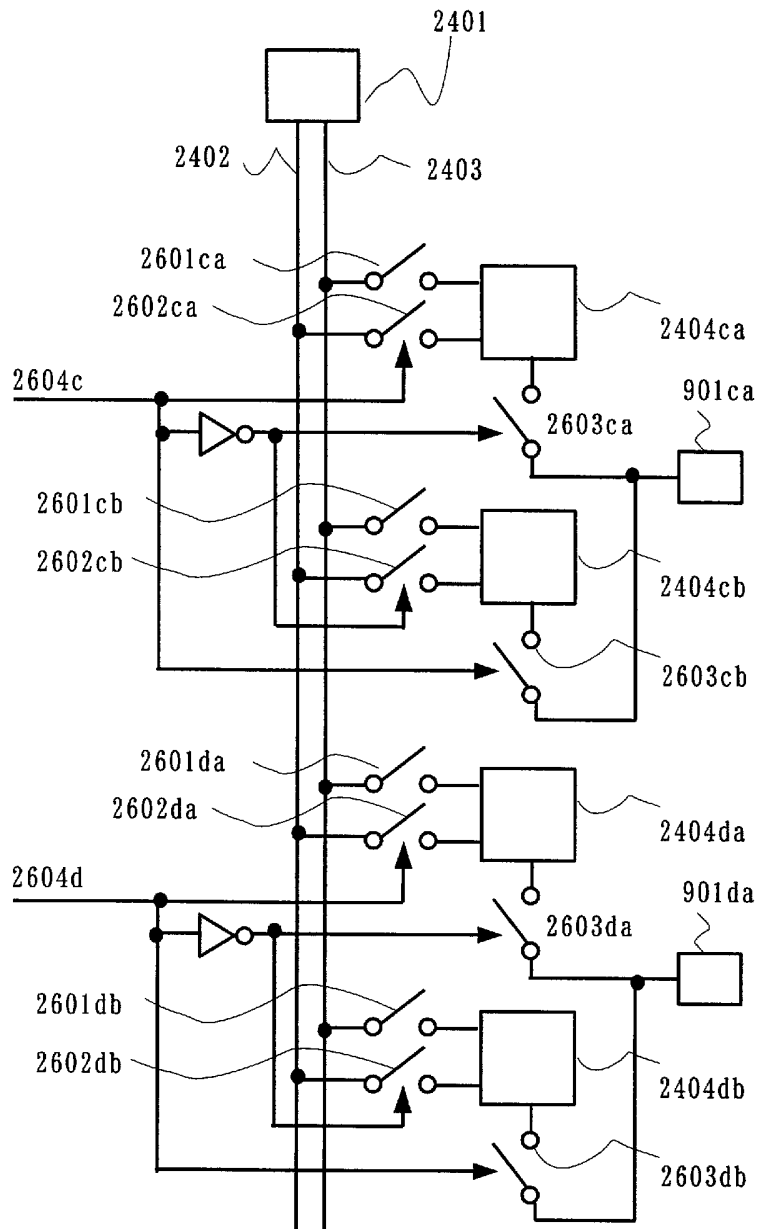
[図24]



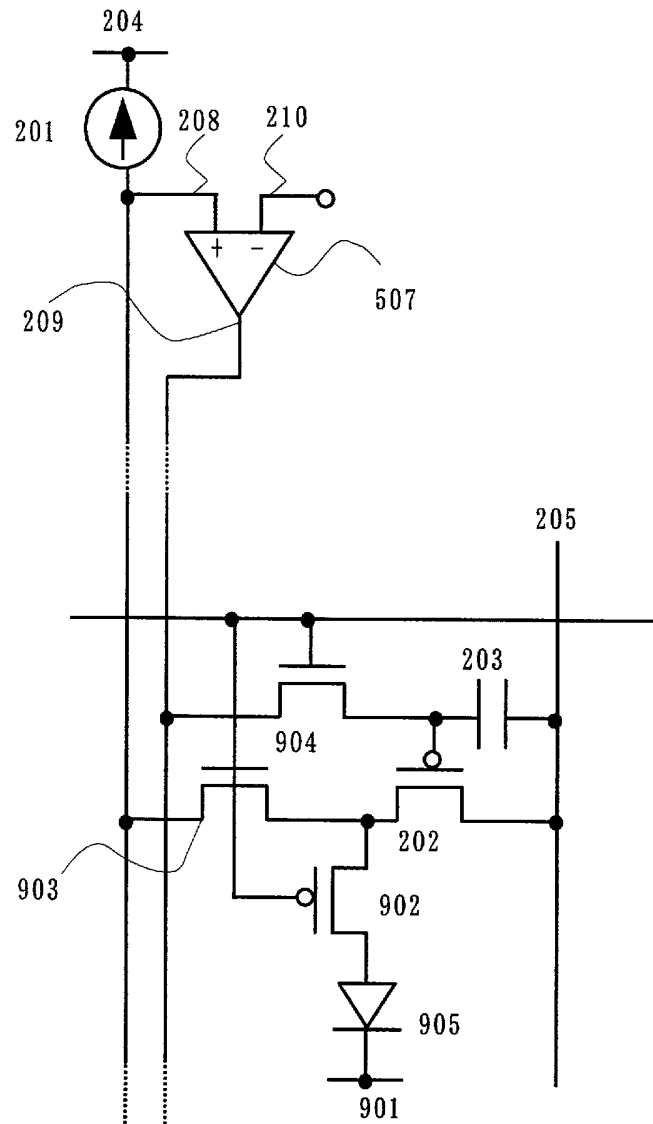
[図25]



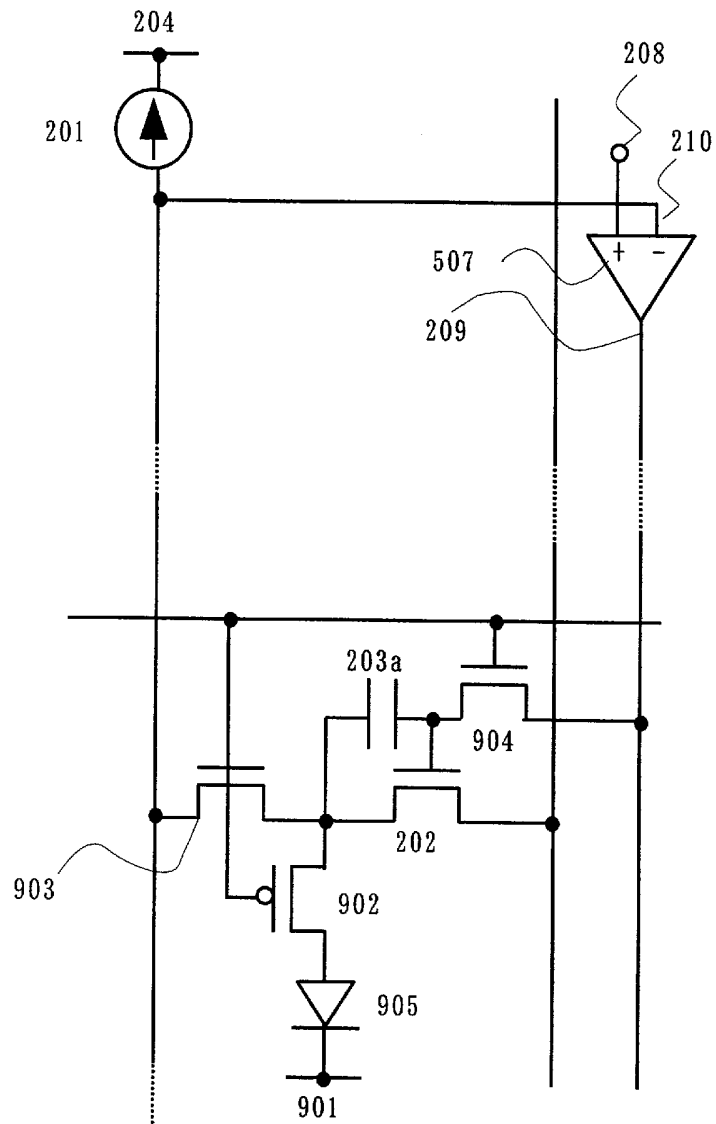
[図26]



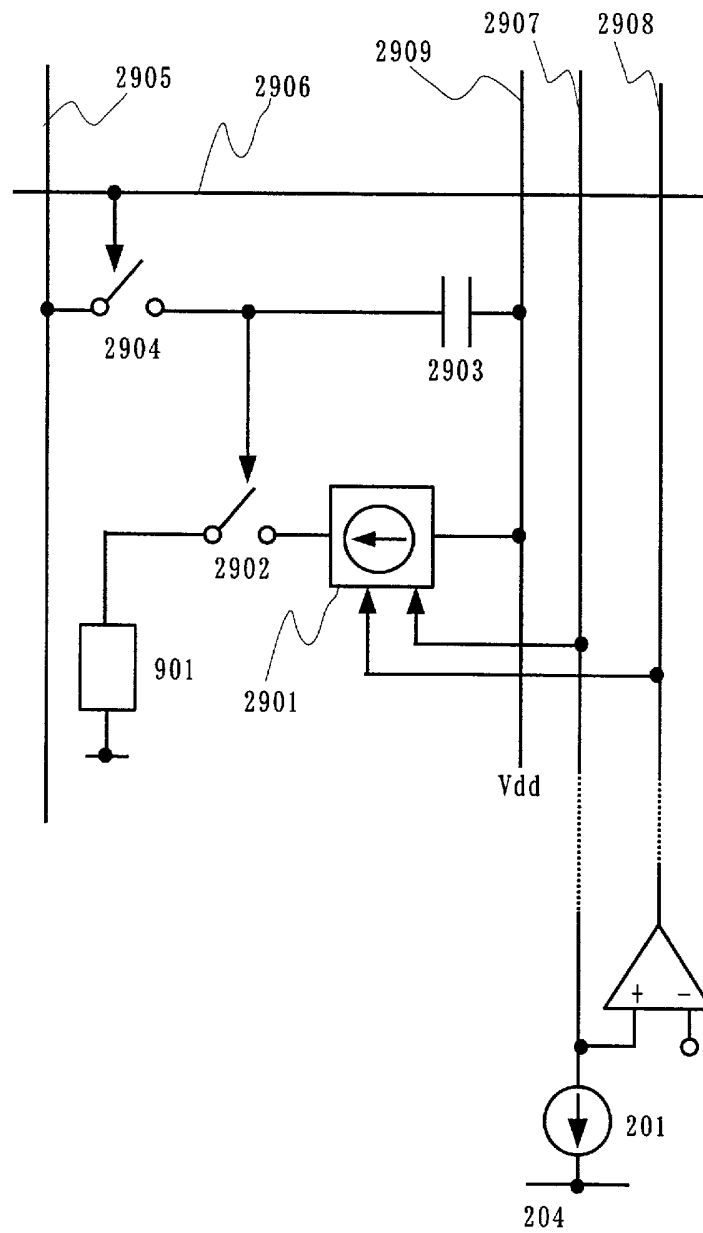
[図27]



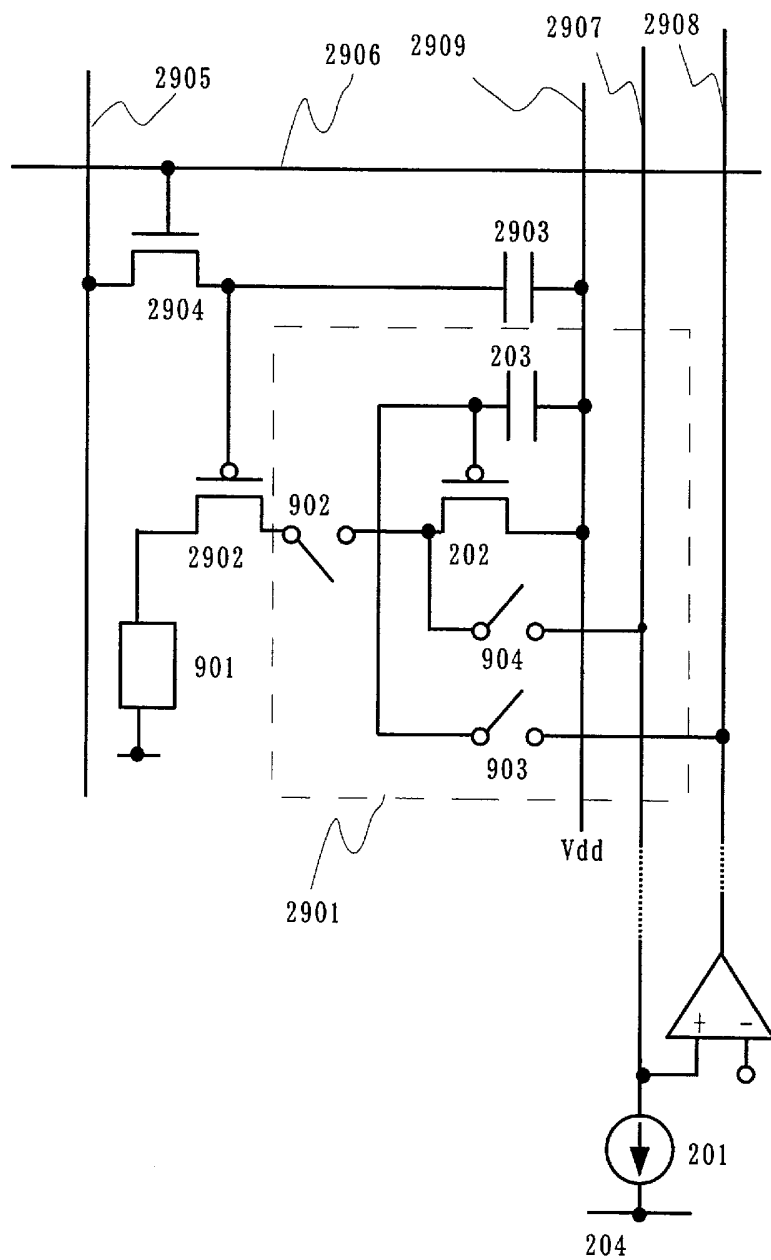
[図28]



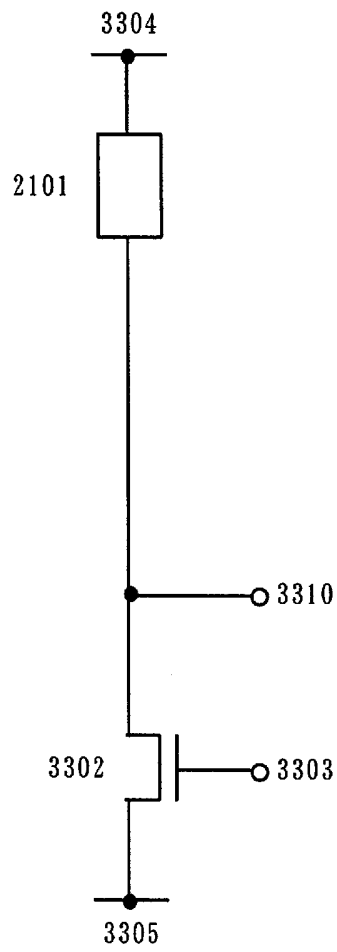
[図29]



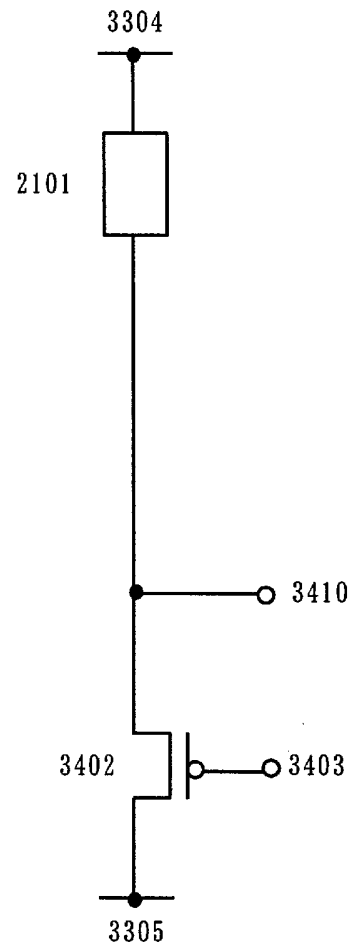
[図30]



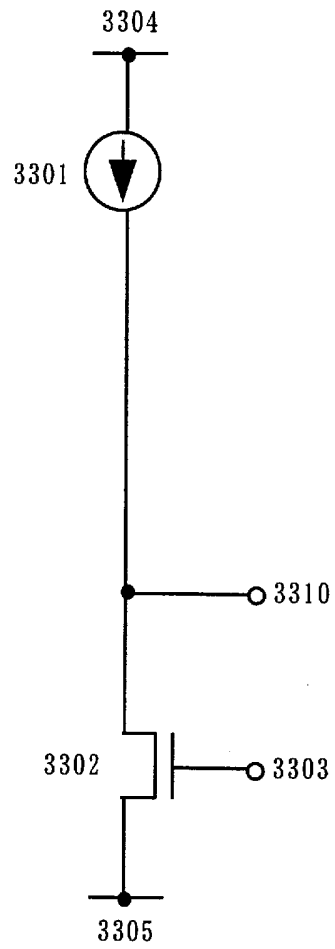
[図31]



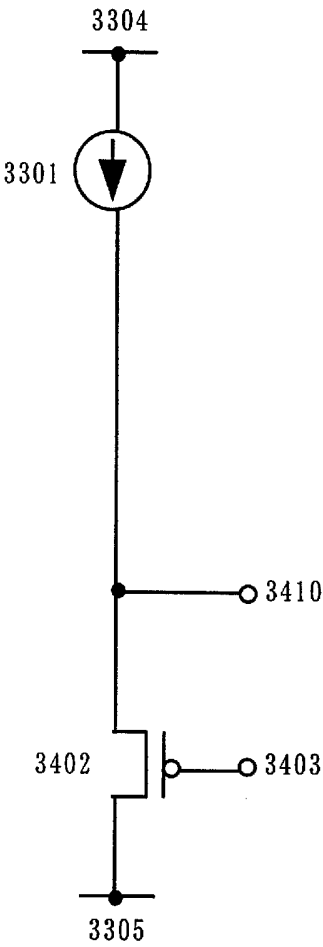
[図32]



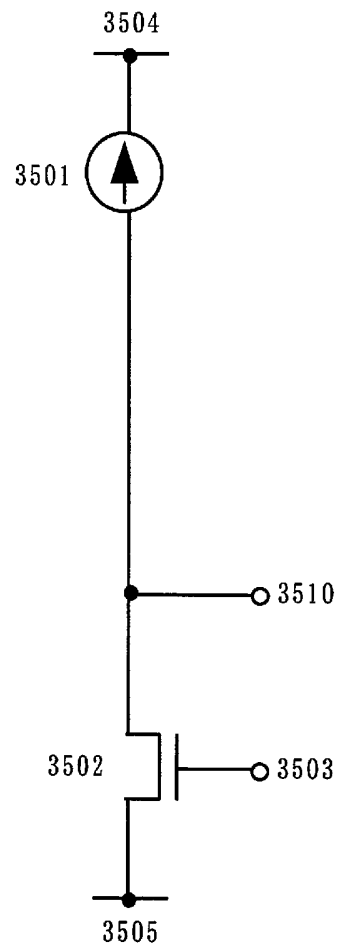
[図33]



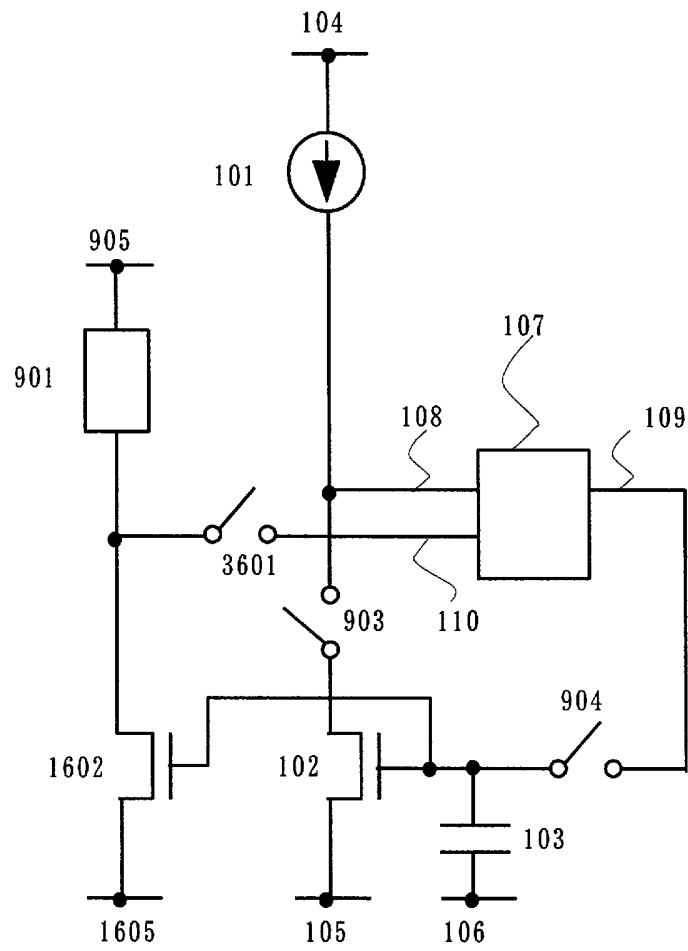
[図34]



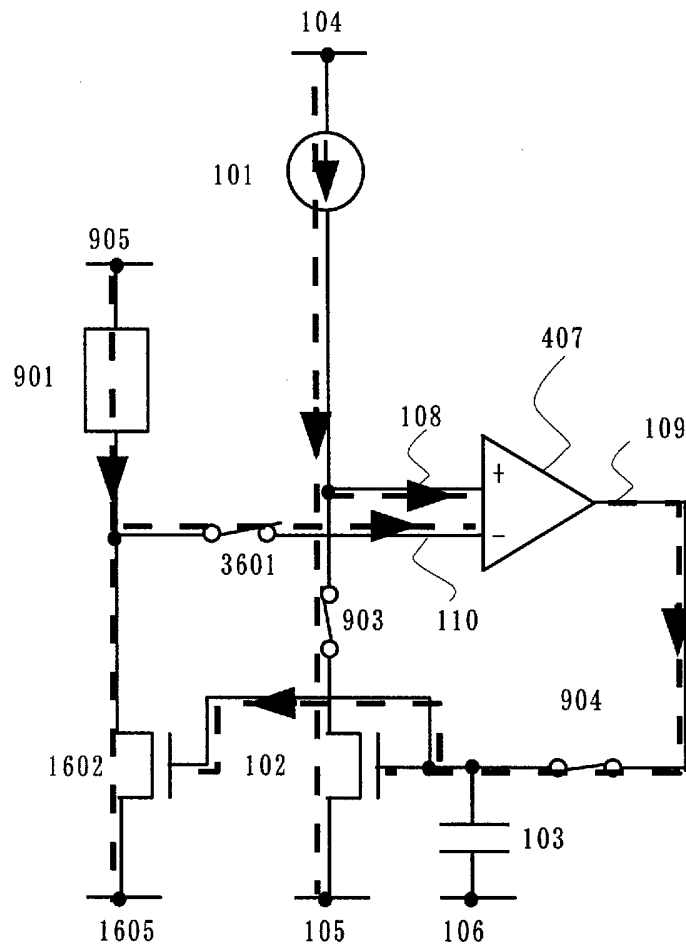
[図35]



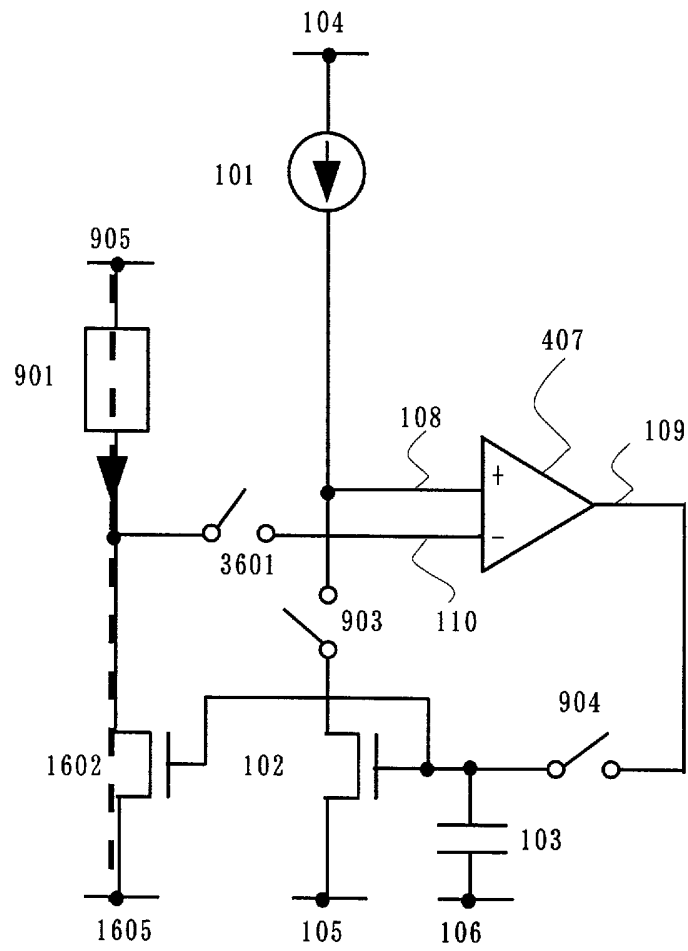
[図36]



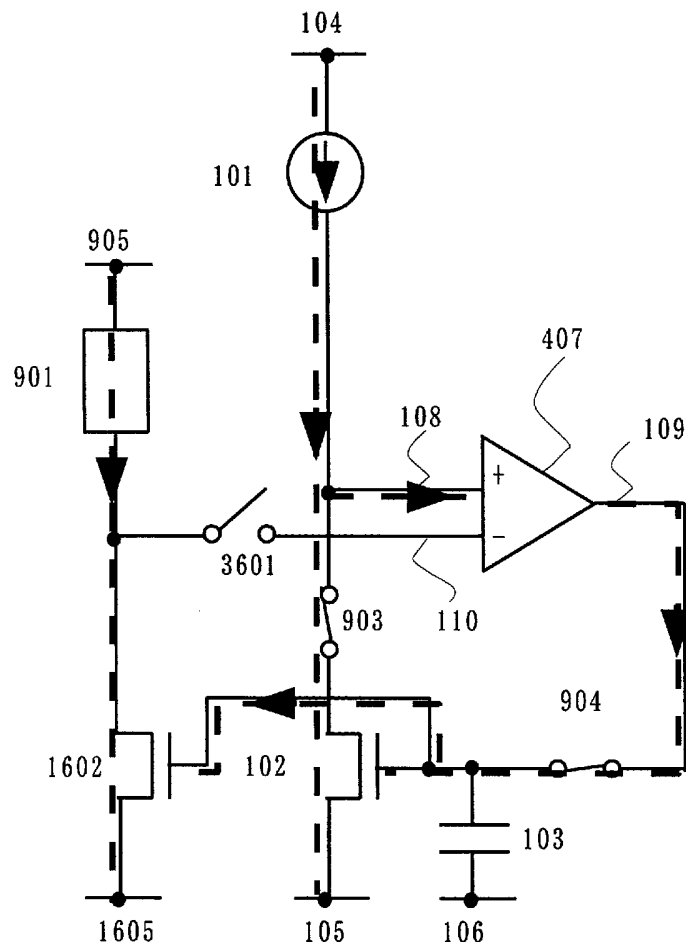
[図37]



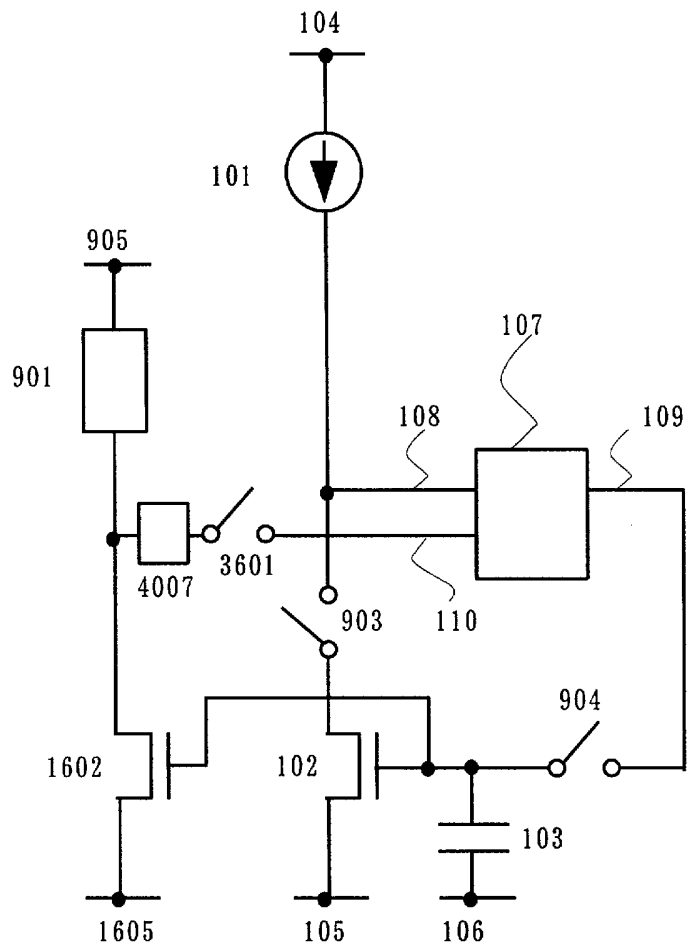
[図38]



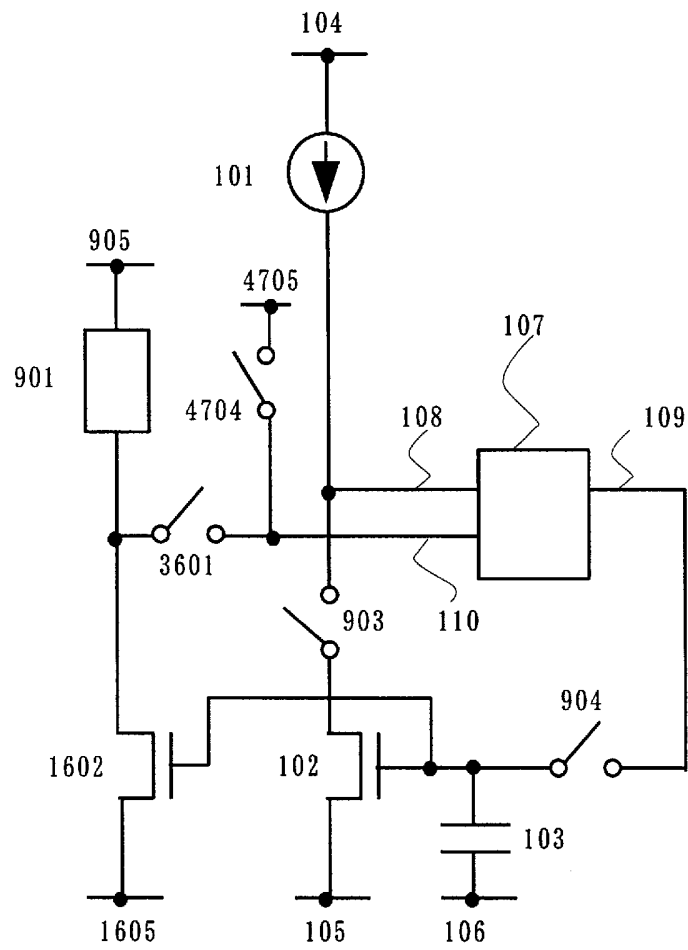
[図39]



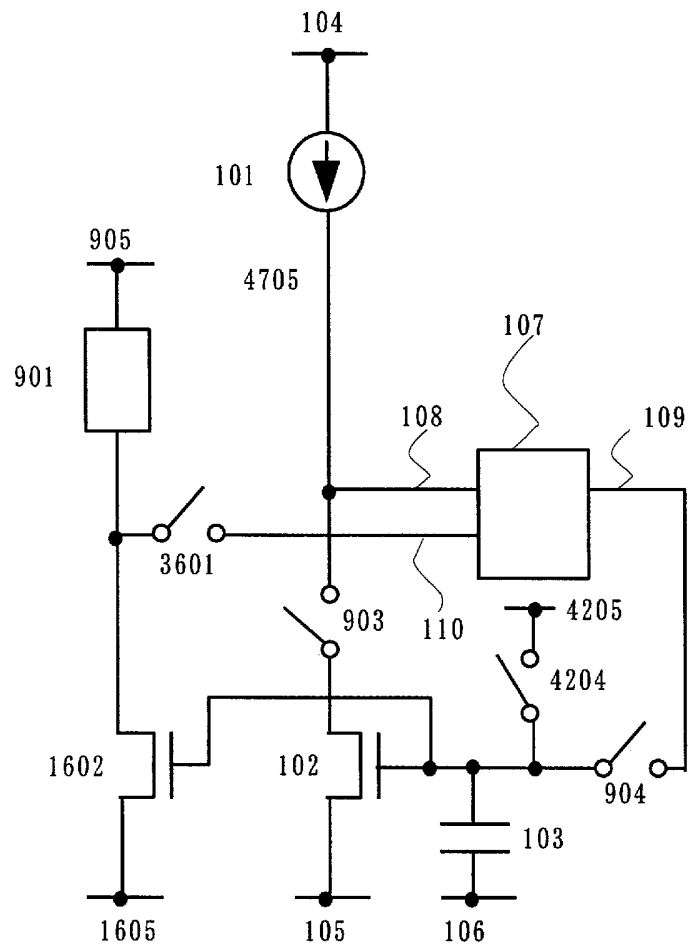
[図40]



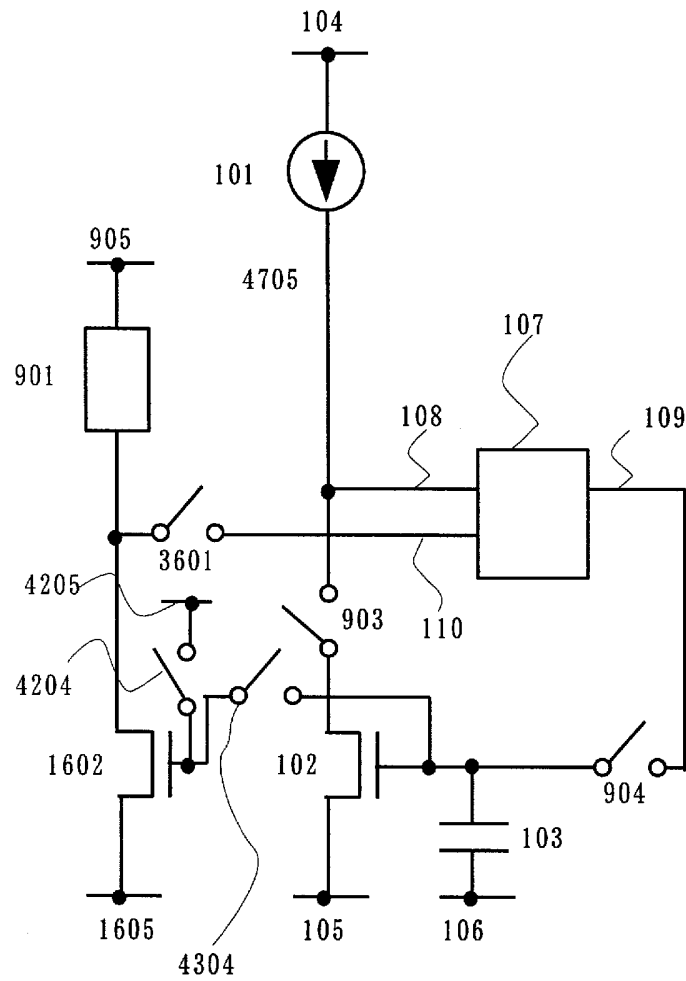
[図41]



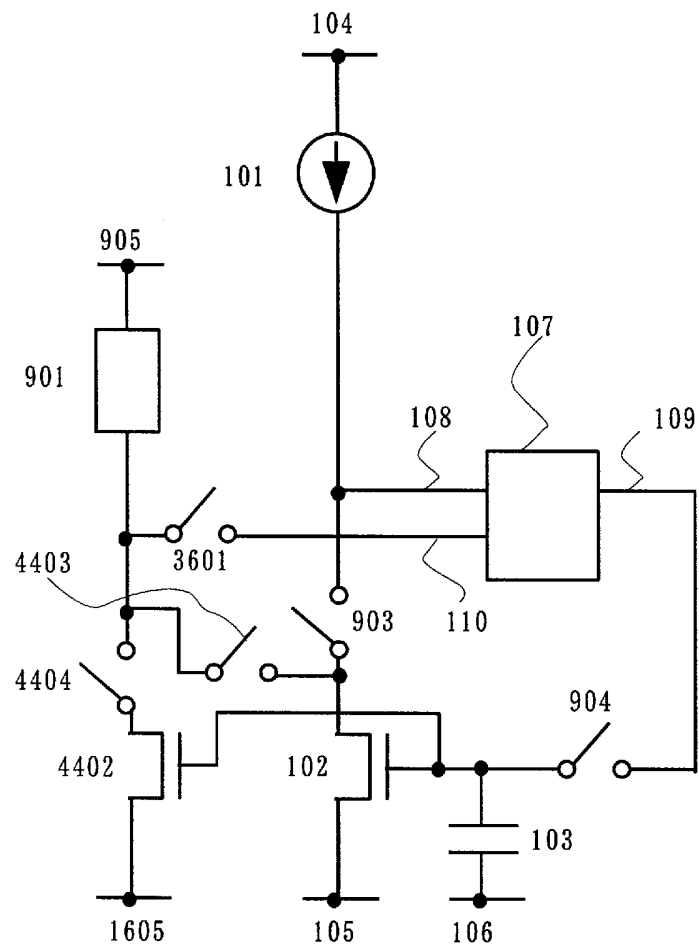
[図42]



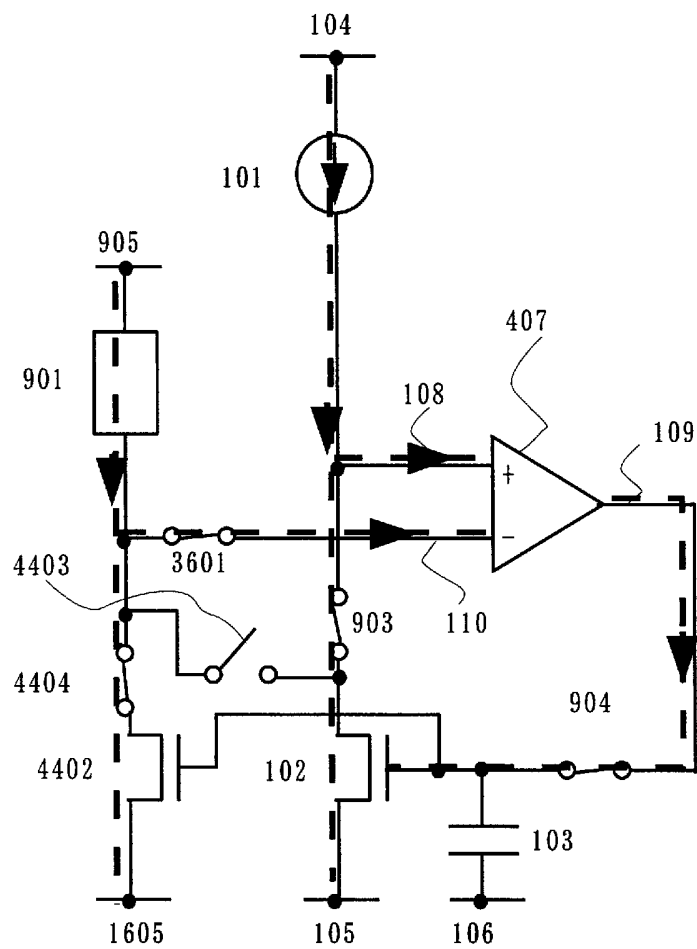
[図43]



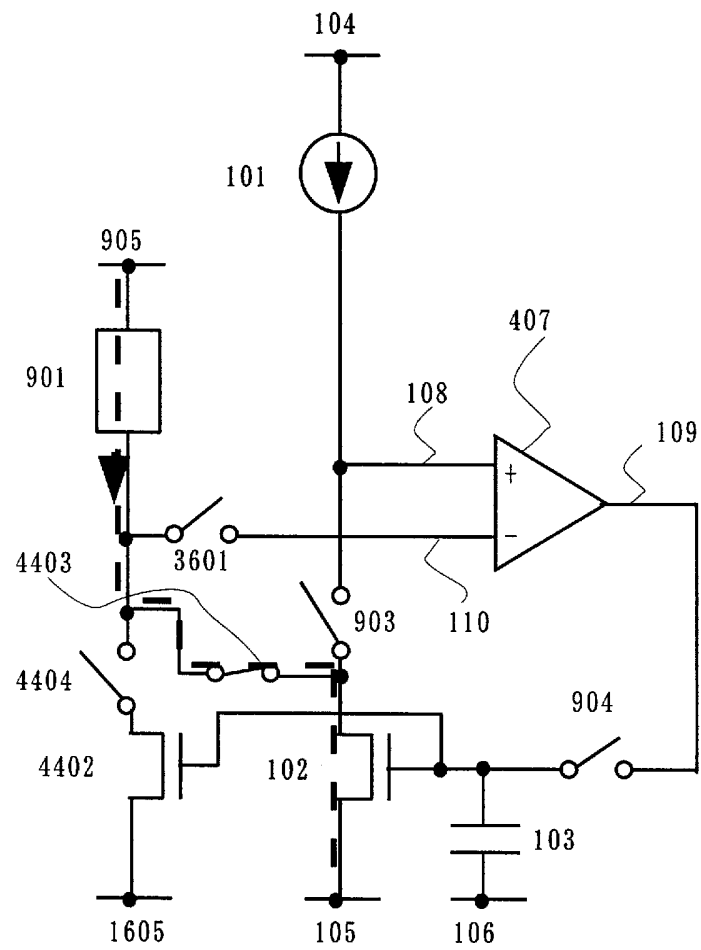
[図44]



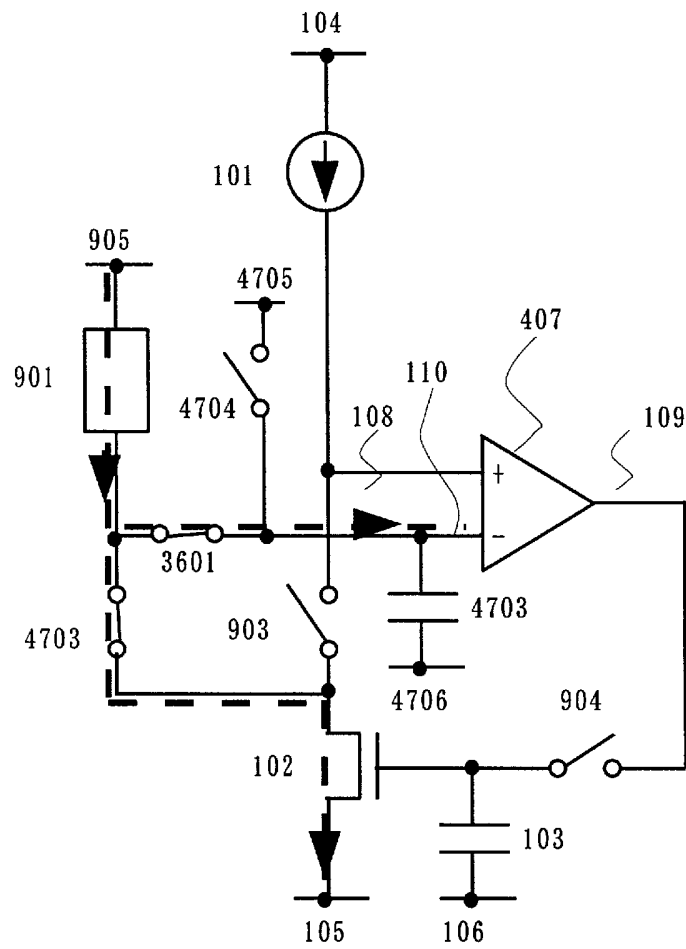
[図45]



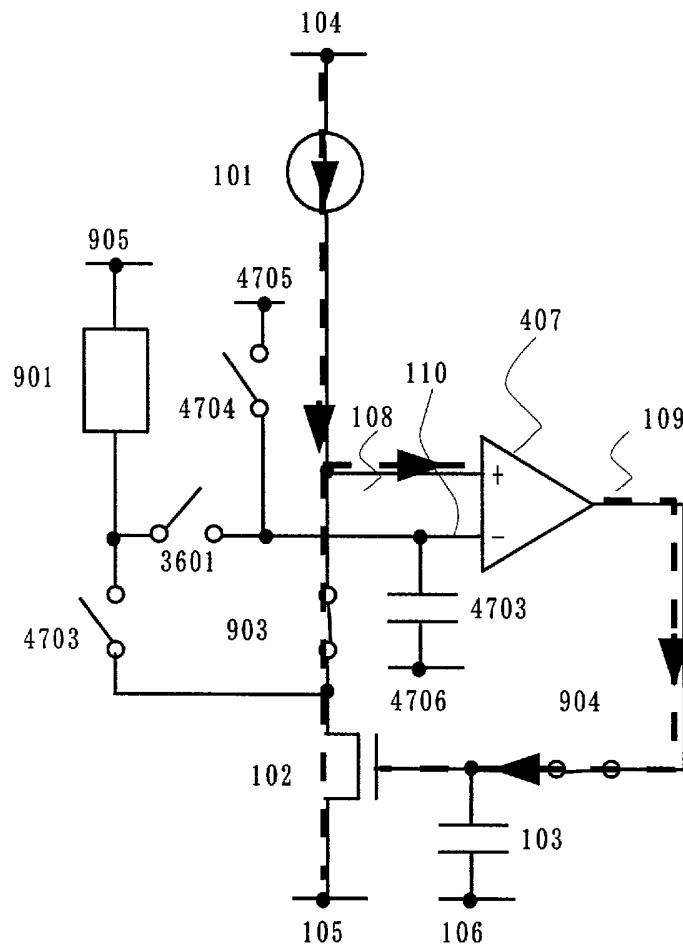
[図46]



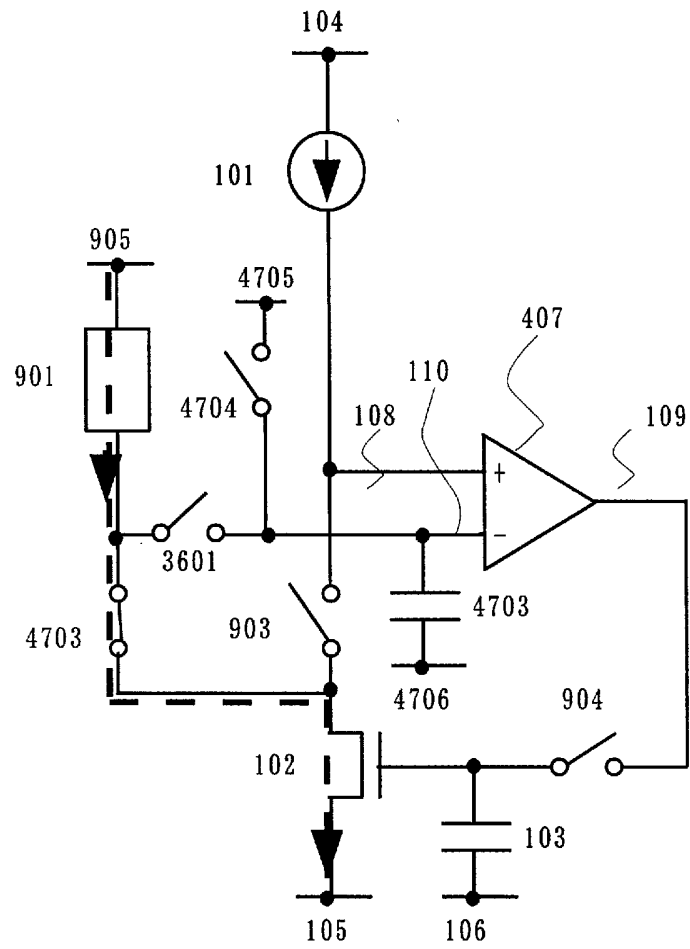
[図49]



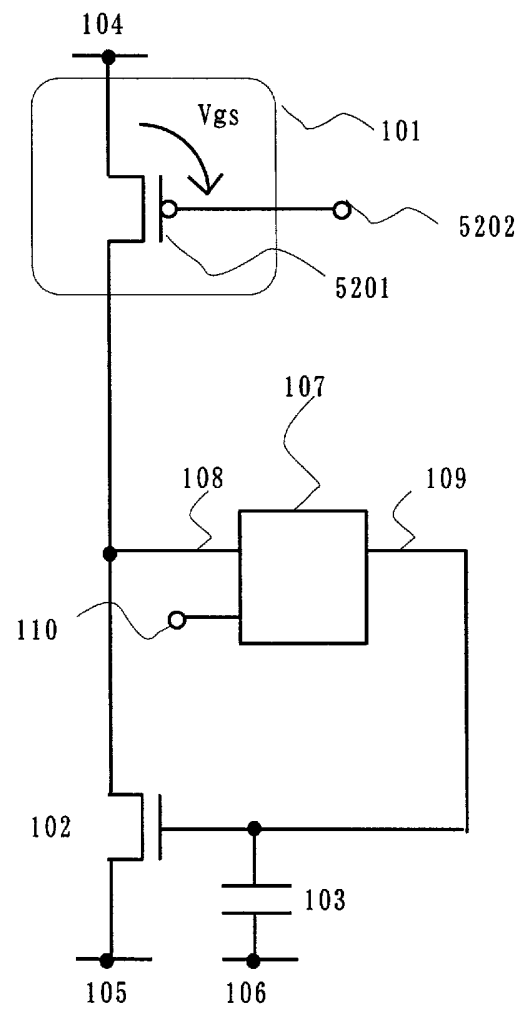
[図50]



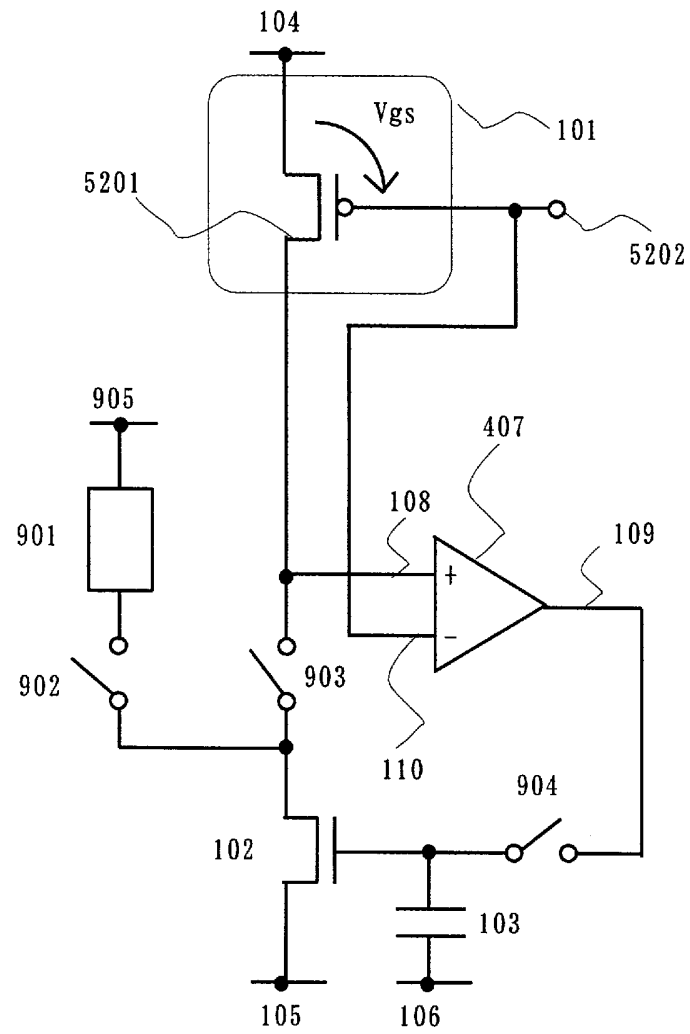
[図51]



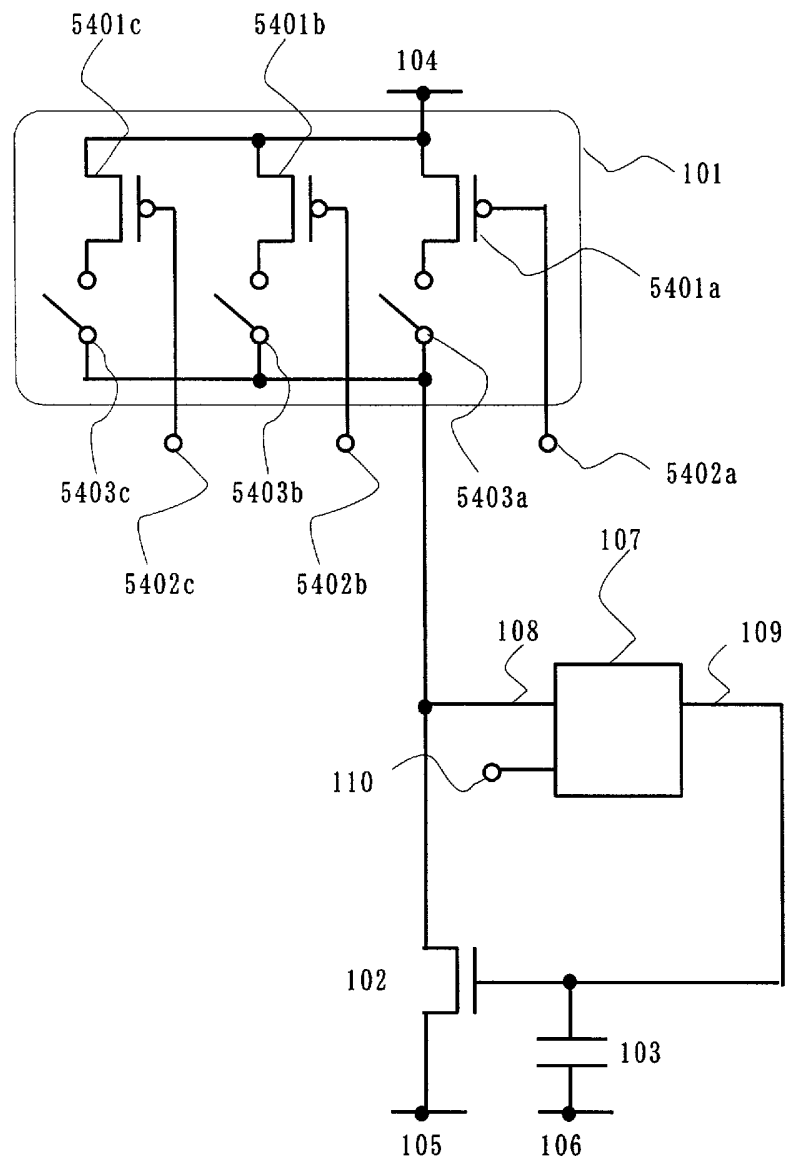
[図52]



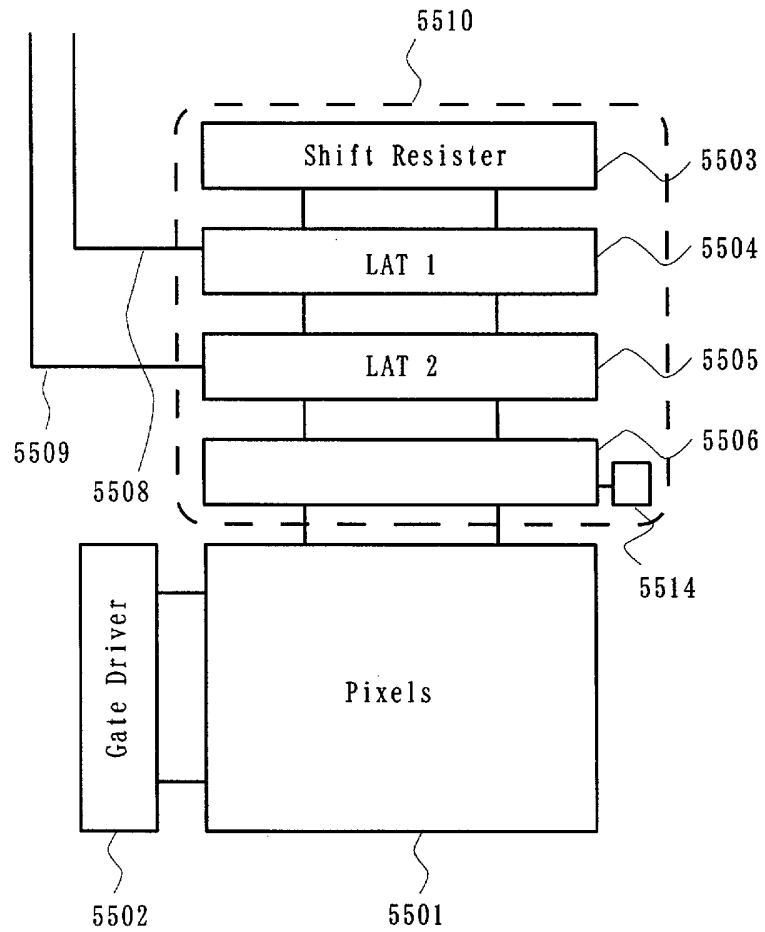
[図53]



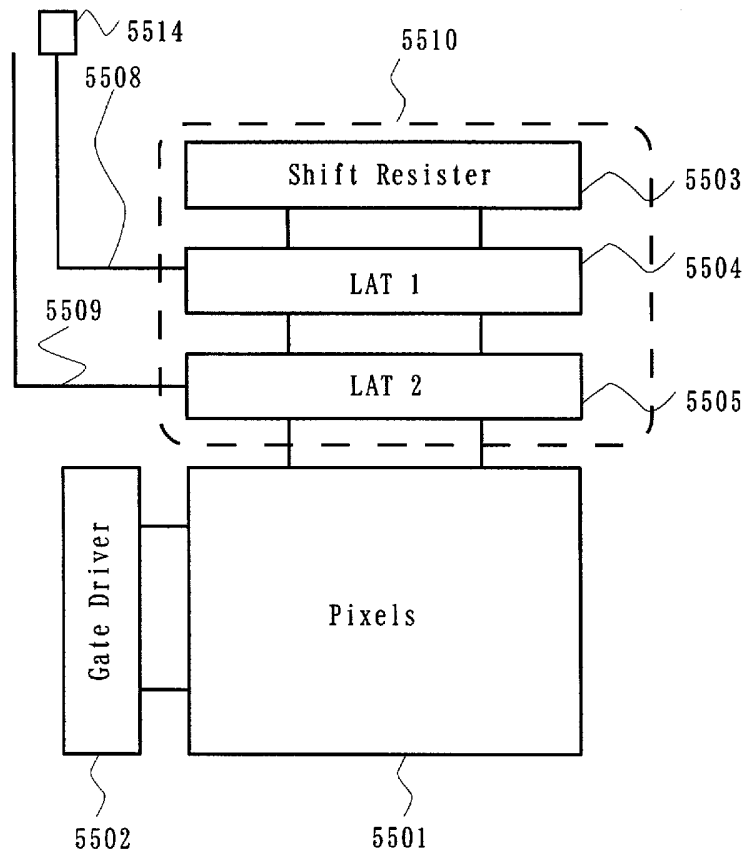
[図54]



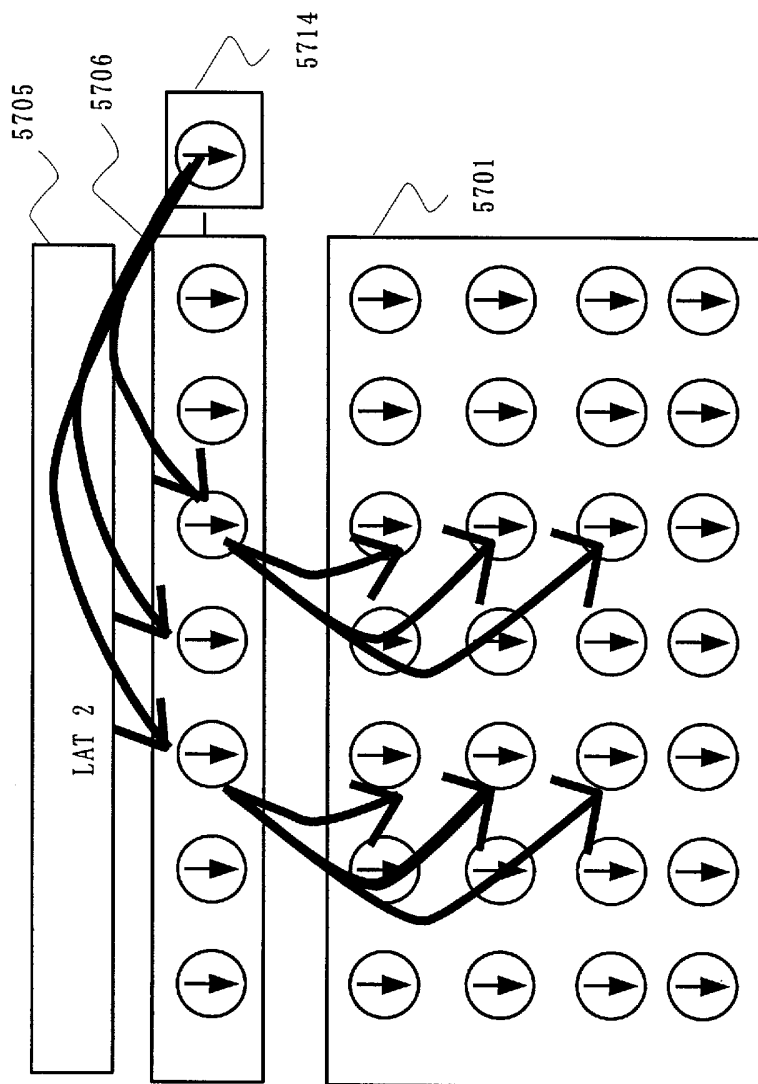
[図55]



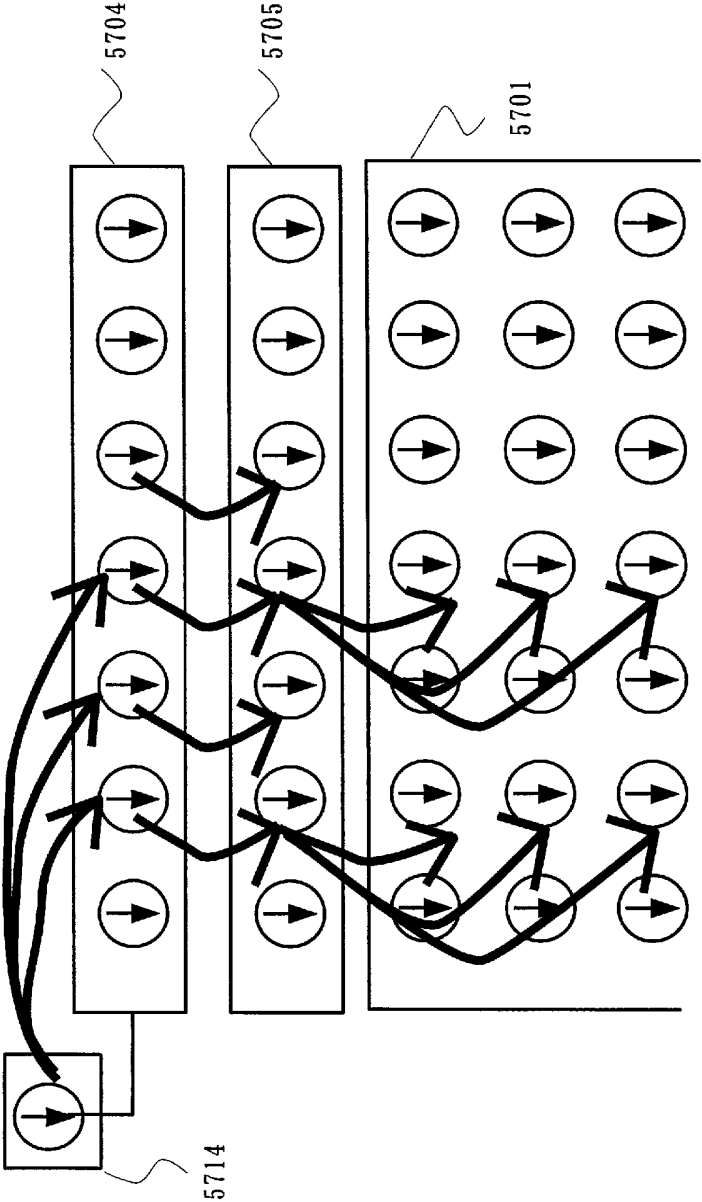
[図56]



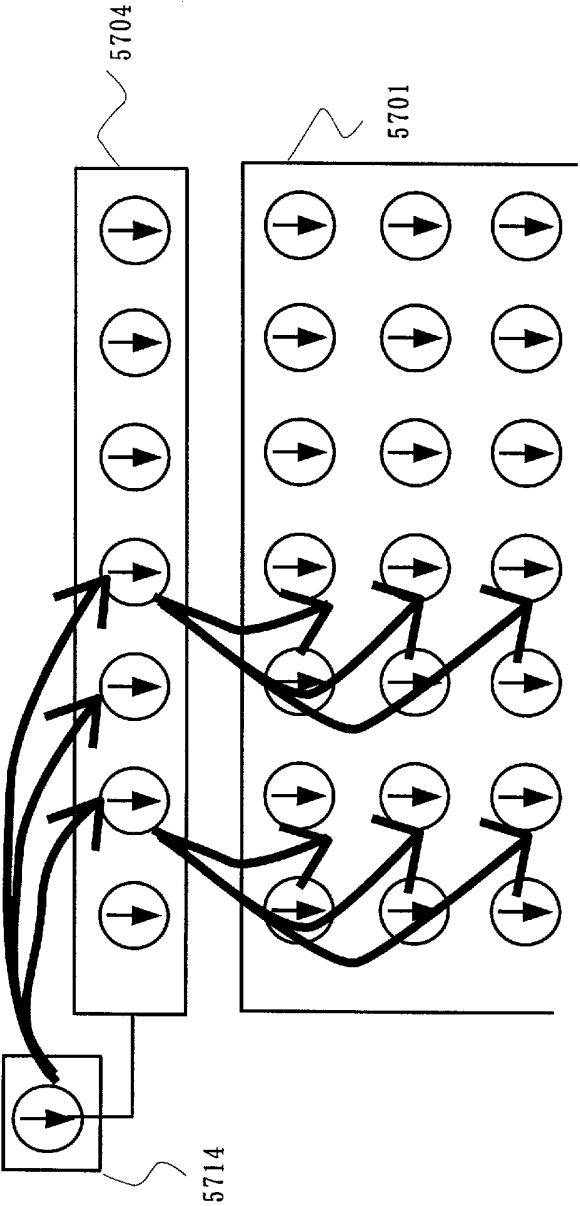
[図57]



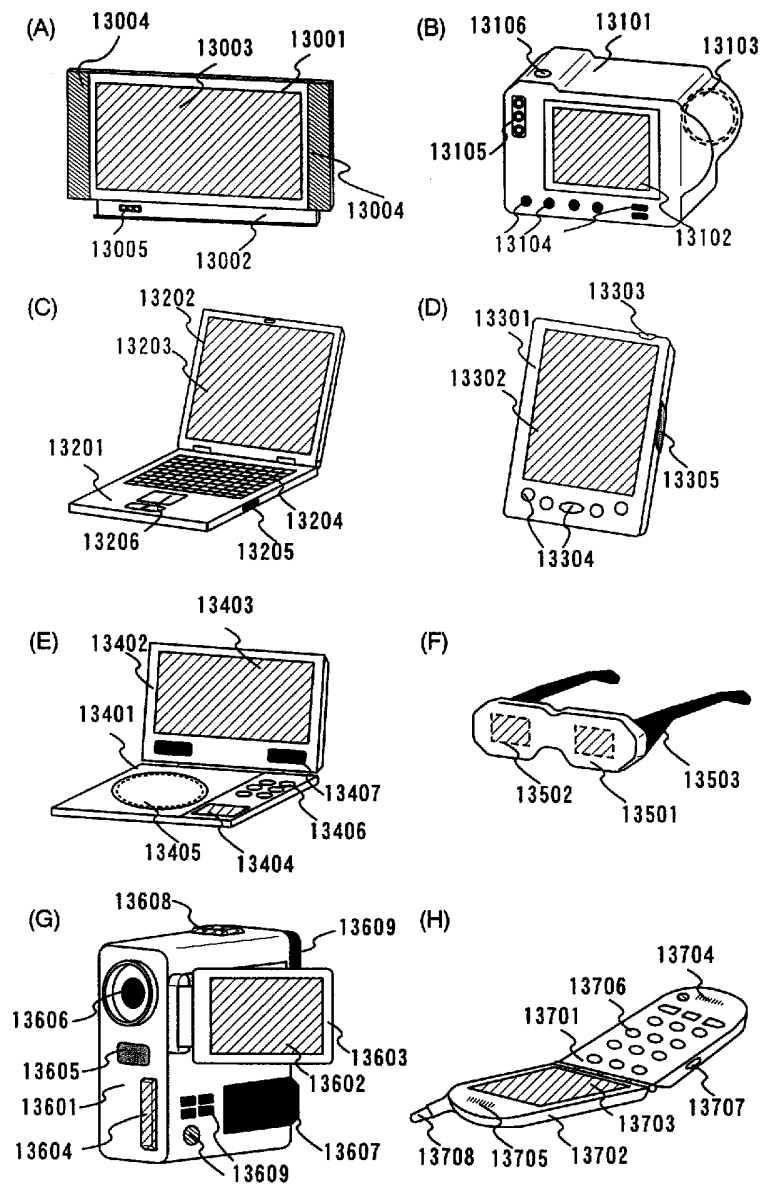
[図58]



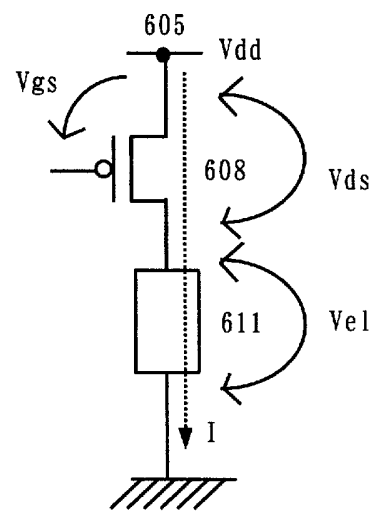
[図59]



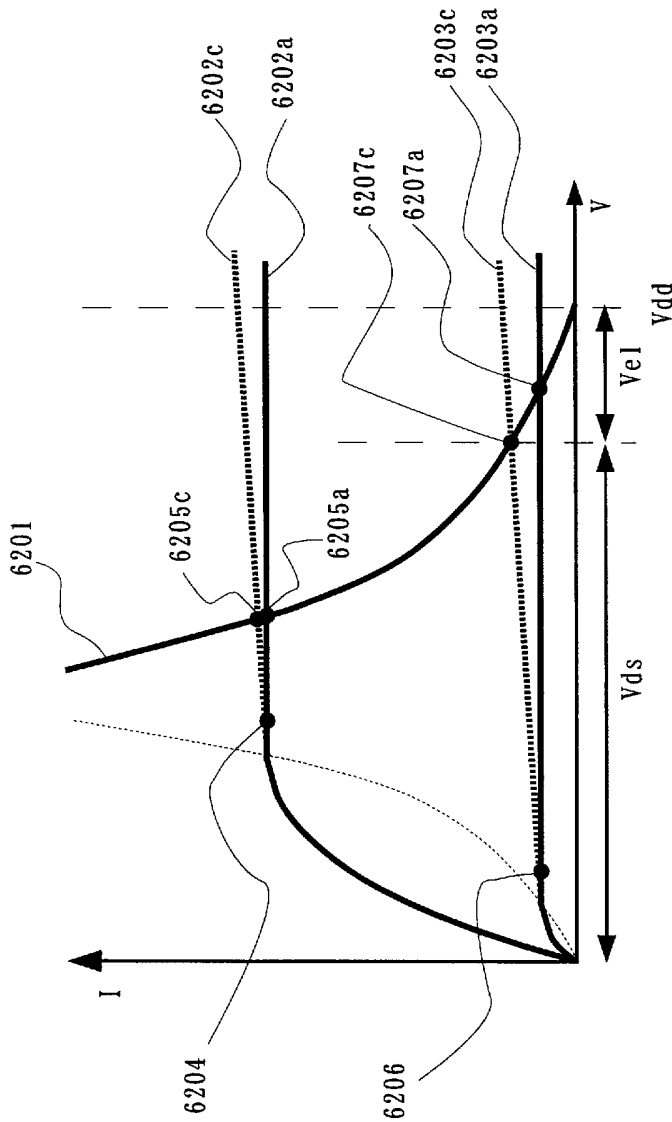
[図60]



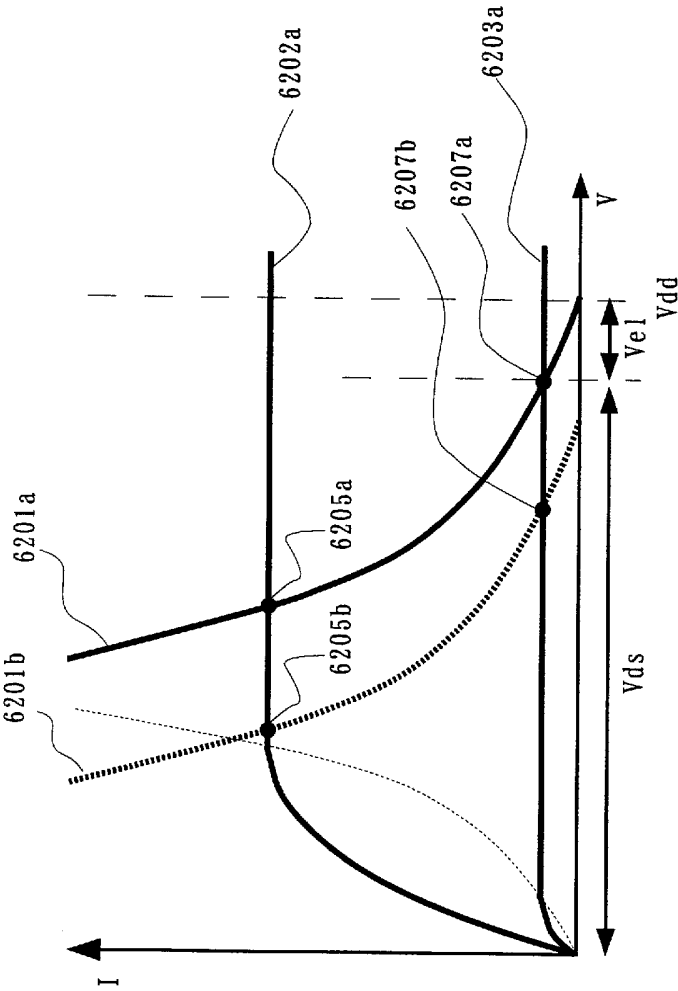
[図61]



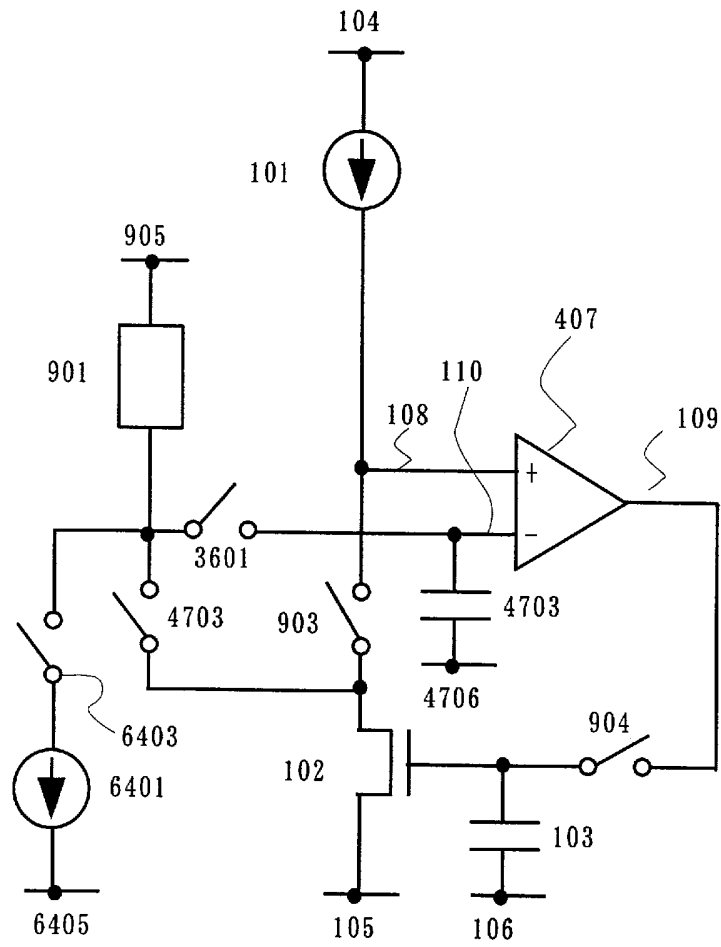
[図62]



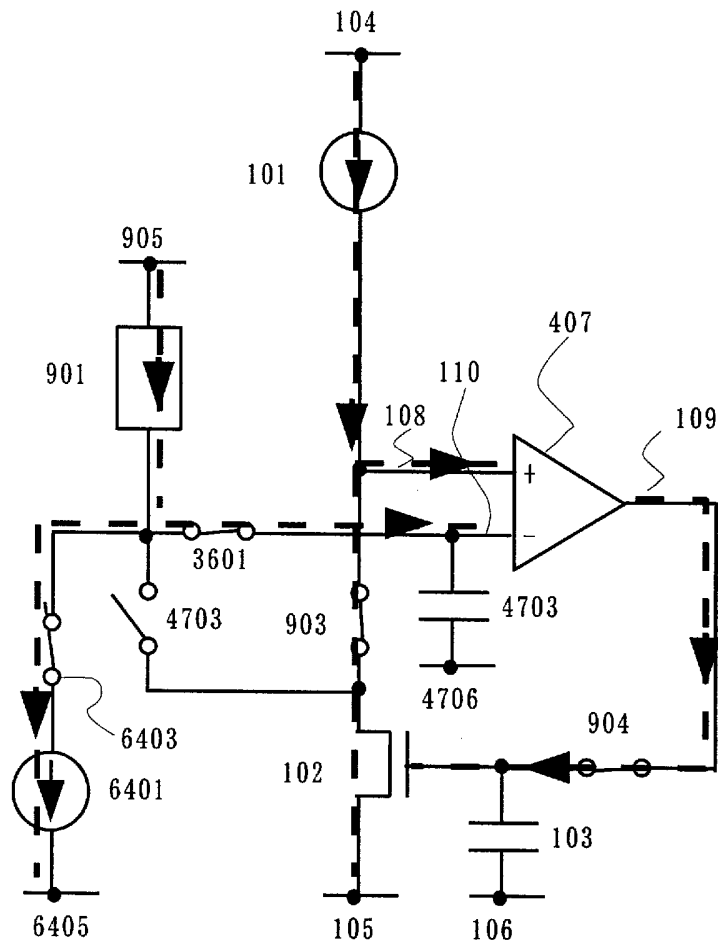
[図63]



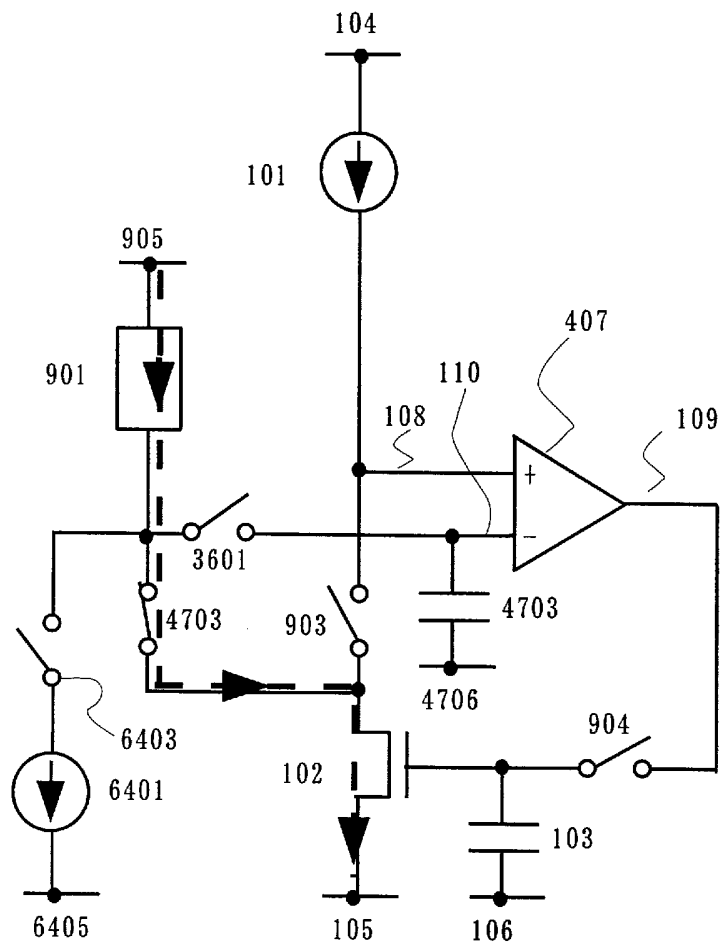
[図64]



[図65]



[図66]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007367

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/30, 3/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/30, 3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-81920 A (Canon Inc.),	1-4
Y	21 March, 2000 (21.03.00), Par. Nos. [0019] to [0023]; Fig. 1 & US 6222357 B1	5-12
Y	JP 2002-351357 A (Semiconductor Energy Laboratory Co., Ltd.), 06 December, 2002 (06.12.02), Par. Nos. [0310] to [0322]; Fig. 26 & US 2002/135312 A1	5-12

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 August, 2004 (17.08.04)Date of mailing of the international search report
31 August, 2004 (31.08.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ G09G3/30, 3/20

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ G09G3/30, 3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2000-81920 A (キヤノン株式会社)	1~4
Y	2000.03.21, 段落0019~0023, 図1 & US 6222357 B1	5~12
Y	J P 2002-351357 A (株式会社半導体エネルギー研 究所) 2002.12.06, 段落0310~0322, 図26 & US 2002/135312 A1	5~12

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

17.08.2004

国際調査報告の発送日

31.8.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J-P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

濱本 禎広

2G

9509

電話番号 03-3581-1101 内線 3226