

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2004-254190
(P2004-254190A)

(43) 公開日 平成16年9月9日(2004.9.9)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H03M 1/74	H03M 1/74	3K007
G09G 3/20	G09G 3/20 611H	5C080
G09G 3/30	G09G 3/20 612F	5J022
H03K 17/00	G09G 3/20 623F	5J055
H03K 17/693	G09G 3/20 641D	
審査請求 未請求 請求項の数 35 O L (全 25 頁) 最終頁に続く		

(21) 出願番号	特願2003-44351 (P2003-44351)	(71) 出願人	000002369
(22) 出願日	平成15年2月21日 (2003.2.21)		セイコーエプソン株式会社
			東京都新宿区西新宿 2 丁目 4 番 1 号
		(74) 代理人	100095728
			弁理士 上柳 雅普
		(74) 代理人	100107076
			弁理士 藤綱 英吉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	城 宏明
			長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
		F ターム (参考)	3K007 AB17 BA06 DB03 GA00
		最終頁に続く	

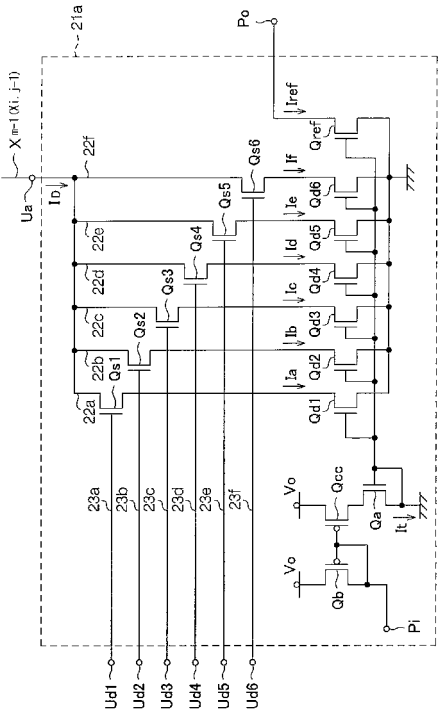
(54) 【発明の名称】 電子回路、電子装置、電気光学装置及び電子機器

(57) 【要約】

【課題】トランジスタの特性ばらつきを抑制することができる電子回路、電子装置、電気光学装置及び電子機器を提供する。

【解決手段】単一ラインドライバを構成するデジタル・アナログ変換回路 2 1 a を第 1 及び第 2 の変換用トランジスタ Q a , Q b、電流用トランジスタ Q c c、第 1 ~ 6 の電流供給用トランジスタ Q d 1 ~ Q d 6、第 1 ~ 6 のスイッチング用トランジスタ Q s 1 ~ Q s 6 及び基準電流生成用トランジスタ Q r e f で構成した。また、第 1 の変換用トランジスタ Q a と第 1 ~ 6 の電流供給用トランジスタ Q d 1 ~ Q d 6 とがカレントミラー回路を構成するようにした。そして、第 1 の変換用トランジスタ Q a とカレントミラー回路を構成する基準電流生成用トランジスタ Q r e f を形成した。また、基準電流生成用トランジスタ Q r e f の出力端子 P o を隣接して形成される他の単一ラインドライバのデジタル・アナログ変換回路 2 1 a の入力端子 P i に接続した。

【選択図】 図 5



【特許請求の範囲】

【請求項 1】

第 1 の制御用端子を備えた、ダイオード接続された第 1 のトランジスタと、
第 2 の制御用端子を備え、前記第 1 の制御用端子に前記第 2 の制御用端子が接続された複数の第 2 のトランジスタと、
各々が信号線に接続された第 3 の制御用端子を備え、前記複数の第 2 のトランジスタの各々に直列に接続された複数の第 3 のトランジスタと、
第 4 の制御用端子を備え、前記第 1 の制御用端子に前記第 4 の制御用端子が接続された第 4 のトランジスタと、を含み、
前記複数の第 3 のトランジスタのうち、前記信号線を介して供給されるオン信号によりオン状態とされた第 3 のトランジスタと、前記複数の第 2 のトランジスタのうち、前記オン状態とされた第 3 のトランジスタと直列に接続された第 2 のトランジスタと、からなる電流経路は一つの出力端子に接続され、
前記第 4 のトランジスタは前記一つの出力端子には接続されないことを特徴とする電子回路。

【請求項 2】

請求項 1 に記載の電子回路において、
前記第 4 のトランジスタの利得係数は、前記第 1 のトランジスタの利得係数と同じであることを特徴とする電子回路。

【請求項 3】

請求項 1 または 2 に記載の電子回路において、
第 5 の制御用端子を備え、前記第 1 のトランジスタと直列に接続された第 5 のトランジスタと、
第 6 の制御用端子を備え、前記第 5 の制御用端子が前記第 6 の制御用端子に接続された、ダイオード接続された第 6 のトランジスタと
を備えたことを特徴とする電子回路。

【請求項 4】

第 1 の制御用端子を備えた、ダイオード接続された第 1 のトランジスタと、
前記第 1 の制御用端子の電圧レベルを基準値とした電流を出力する複数の第 2 のトランジスタと、
各々が第 3 の制御用端子を備え、前記第 3 の制御用端子に入力されるオン・オフ信号に応じて前記複数の第 2 のトランジスタの各々から出力される電流を制御する第 3 のトランジスタと、
第 4 の制御用端子を備え、前記第 1 の制御用端子の電圧レベルを基準値とした電流を出力する第 4 のトランジスタと、を含み、
前記第 4 のトランジスタから出力される電流は、前記複数の第 2 のトランジスタの各々から出力される電流経路には流れないようにしたことを特徴とする電子回路。

【請求項 5】

第 1 の制御用端子を備えた、ダイオード接続された第 1 のトランジスタと、
前記第 1 の制御用端子の電圧レベルを基準値とした電流を出力する複数の第 2 のトランジスタと、
各々が第 3 の制御用端子を備え、前記第 3 の制御用端子に入力されるオン・オフ信号に応じて前記複数の第 2 のトランジスタの各々から出力される電流を制御する第 3 のトランジスタと、
前記第 1 の制御用端子の電圧レベルを基準値とした電流を出力する第 4 のトランジスタと、を含み、
前記複数の第 3 のトランジスタのうち、前記オン・オフ信号によりオン状態とされた第 3 のトランジスタと、前記複数の第 2 のトランジスタのうち、前記オン状態とされた第 3 のトランジスタと直列に接続された第 2 のトランジスタと、からなる電流経路には、前記第 4 のトランジスタは設けられていないことを特徴とする電子回路。

【請求項 6】

請求項 4 または 5 に記載の電子回路において、
前記第 4 のトランジスタの利得係数は、前記第 1 のトランジスタの利得係数と同じであることを特徴とする電子回路。

【請求項 7】

請求項 4 乃至 6 のいずれか 1 つに記載の電子回路において、
第 5 の制御用端子を備え、前記第 1 のトランジスタと直列に接続された第 5 のトランジスタと、
第 6 の制御用端子を備え、前記第 5 の制御用端子が前記第 6 の制御用端子に接続された、ダイオード接続された第 6 のトランジスタと
を備えたことを特徴とする電子回路。

10

【請求項 8】

複数の単位回路を備えた電子装置において、
前記複数の単位回路の各々は、
第 1 の制御用端子を備えた、ダイオード接続された第 1 のトランジスタと、
第 2 の制御用端子を備え、前記第 1 の制御用端子に前記第 2 の制御用端子が接続された複数の第 2 のトランジスタと、
各々が信号線に接続された第 3 の制御用端子を備え、前記複数の第 2 のトランジスタの各々に直列に接続された複数の第 3 のトランジスタと、
第 4 の制御用端子を備え、前記第 1 の制御用端子に前記第 4 の制御用端子が接続されるとともに、前記信号線を介して供給されるオン信号によりオン状態とされた前記第 3 のトランジスタと直列に接続された第 2 のトランジスタからなる電流経路には設けられていない第 4 のトランジスタと、を含み、
前記第 4 のトランジスタは、接続線を介して他の単位回路に接続され、前記第 4 のトランジスタから出力される電流レベルに応じて、他の単位回路に含まれる第 1 の制御用端子の電圧レベルを制御することを特徴とする電子装置。

20

【請求項 9】

請求項 8 に記載の電子装置において、
前記複数の単位回路の各々の前記第 4 のトランジスタの利得係数は、前記第 1 のトランジスタの利得係数と同じであることを特徴とする電子装置。

30

【請求項 10】

請求項 8 または 9 に記載の電子装置において、
前記複数の単位回路の各々は、
第 5 の制御用端子を備え、前記第 1 のトランジスタと直列に接続された第 5 のトランジスタと、
第 6 の制御用端子を備え、前記第 5 の制御用端子が前記第 6 の制御用端子に接続された、ダイオード接続された第 6 のトランジスタと
を備えたことを特徴とする電子装置。

【請求項 11】

複数の単位回路を備えた電子装置において、
前記複数の単位回路の各々は、
第 1 の制御用端子を備えた、ダイオード接続された第 1 のトランジスタと、
前記第 1 の制御用端子の電圧レベルを基準値とした電流を出力する複数の第 2 のトランジスタと、
各々が第 3 の制御用端子を備え、前記第 3 の制御用端子に入力されるオン・オフ信号に応じて前記複数の第 2 のトランジスタの各々から出力される電流を制御する第 3 のトランジスタと、
第 4 の制御用端子を備え、前記第 1 の制御用端子の電圧レベルを基準値とした電流を出力する第 4 のトランジスタと、を含み、
前記第 4 のトランジスタから出力される電流は、前記オン・オフ信号によりオン状態とさ

40

50

れた前記第3のトランジスタと直列に接続された第2のトランジスタからなる電流経路には供給されず、他の単位回路に供給されることを特徴とする電子装置。

【請求項12】

複数の単位回路を備えた電子装置において、

前記複数の単位回路の各々は、

第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、

前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、

各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、

第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、

前記第4のトランジスタから出力される電流は、他の単位回路の第1の制御用端子の電圧レベルを設定する基準電流となることを特徴とする電子装置。

【請求項13】

請求項11または12に記載の電子装置において、

前記複数の単位回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであることを特徴とする電子装置。

【請求項14】

請求項11乃至13のいずれか1つに記載の電子装置において、

複数の前記単位回路は、カスケード接続されていることを特徴とする電子装置。

【請求項15】

請求項11乃至14のいずれか1つに記載の電子装置において、

前記複数の単位回路の各々は、

第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、

第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとが設けられていることを特徴とする電子装置。

【請求項16】

複数の単位回路を備えた電子装置において、

前記複数の単位回路の各々は、

第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、

前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、

各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、

第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、

第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、

第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタと、を含み、

前記第4のトランジスタは、同第4のトランジスタが含まれる単位回路の、前記オン・オフ信号によりオン状態とされた前記第3のトランジスタと直列に接続された第2のトランジスタとは接続されず、他の単位回路に含まれる前記第6のトランジスタに接続されていることを特徴とする電子装置。

【請求項17】

10

20

30

40

50

請求項 16 に記載の電子装置において、

前記複数の単位回路の各々の前記第 4 のトランジスタの利得係数は、前記第 1 のトランジスタの利得係数と同じであることを特徴とする電子装置。

【請求項 18】

請求項 16 または 17 に記載の電子装置において、

複数の前記単位回路は、カスケード接続されていることを特徴とする電子装置。

【請求項 19】

複数の走査線と、複数のデータ線と、これら各前記走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、

10

前記データ電流供給回路は、

第 1 の制御用端子を備えた、ダイオード接続された第 1 のトランジスタと、

第 2 の制御用端子を備え、前記第 1 の制御用端子に前記第 2 の制御用端子が接続された複数の第 2 のトランジスタと、

各々が画像データを供給する信号線に接続された第 3 の制御用端子を備え、前記複数の第 2 のトランジスタの各々と直列に接続された複数の第 3 のトランジスタと、

第 4 の制御用端子を備え、前記第 1 の制御用端子に前記第 4 の制御用端子が接続された第 4 のトランジスタと

を含み、

20

前記第 4 のトランジスタは、接続線を介して他のデータ電流供給回路に接続され、前記第 4 のトランジスタから出力される電流レベルに応じて、他のデータ電流供給回路に含まれる第 1 の制御用端子の電圧レベルを制御することを特徴とする電気光学装置。

【請求項 20】

請求項 19 に記載の電気光学装置において、

前記第 4 のトランジスタの利得係数は、前記第 1 のトランジスタの利得係数と同じであることを特徴とする電気光学装置。

【請求項 21】

請求項 19 または 20 に記載の電気光学装置において、

前記データ電流供給回路は、

30

第 5 の制御用端子を備え、前記第 1 のトランジスタと直列に接続された第 5 のトランジスタと、

第 6 の制御用端子を備え、前記第 5 の制御用端子が前記第 6 の制御用端子に接続された、ダイオード接続された第 6 のトランジスタと

を備えたことを特徴とする電気光学装置。

【請求項 22】

複数の走査線と、複数のデータ線と、これら各前記走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、

40

前記各データ電流供給回路は、

第 1 の制御用端子を備えた、ダイオード接続された第 1 のトランジスタと、

前記第 1 の制御用端子の電圧レベルを基準値とした電流を出力する複数の第 2 のトランジスタと、

各々が第 3 の制御用端子を備え、前記第 3 の制御用端子に入力される画像データに応じて前記複数の第 2 のトランジスタの各々から出力される電流を制御する第 3 のトランジスタと、

第 4 の制御用端子を備え、前記第 1 の制御用端子の電圧レベルを基準値とした電流を出力する第 4 のトランジスタと、を含み、

前記第 4 のトランジスタから出力される電流は、前記画像データによりオン状態とされた

50

前記第3のトランジスタと直列に接続された第2のトランジスタからなる電流経路には供給されず、他の単位回路に供給されることを特徴とする電気光学装置。

【請求項23】

複数の走査線と、複数のデータ線と、これら各前記走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、

前記各データ電流供給回路は、

第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、

前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、

各々が第3の制御用端子を備え、前記第3の制御用端子に入力される画像データに応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、

第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、

前記第4のトランジスタから出力される電流は、他の単位回路の第1の制御用端子の電圧レベルを設定する基準電流となることを特徴とする電気光学装置。

【請求項24】

請求項22または23に記載の電気光学装置において、

前記複数のデータ電流供給回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであることを特徴とする電気光学装置。

【請求項25】

請求項22乃至24のいずれか1つに記載の電気光学装置において、

複数の前記データ電流供給回路は、カスケード接続されていることを特徴とする電気光学装置。

【請求項26】

請求項22乃至25のいずれか1つに記載の電気光学装置において、

前記各データ電流供給回路は、

第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、

第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとが設けられていることを特徴とする電気光学装置。

【請求項27】

複数の走査線と、複数のデータ線と、これら各前記走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、

前記データ電流供給回路は、

第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、

前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、

各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、

第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、

第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、

10

20

30

40

50

第 6 の制御用端子を備え、前記第 5 の制御用端子が前記第 6 の制御用端子に接続された、ダイオード接続された第 6 のトランジスタと、を含み、
前記第 4 のトランジスタは、同第 4 のトランジスタが含まれる単位回路の前記オン・オフ信号によりオン状態とされた前記第 3 のトランジスタと直列に接続された第 2 のトランジスタには接続されず、他の単位回路に含まれる前記第 6 のトランジスタに接続されていることを特徴とする電気光学装置。

【請求項 28】

請求項 27 に記載の電気光学装置において、
前記複数のデータ電流供給回路の各々の前記第 4 のトランジスタの利得係数は、前記第 1 のトランジスタの利得係数と同じであることを特徴とする電気光学装置。

10

【請求項 29】

請求項 27 または 28 に記載の電気光学装置において、
複数の前記データ電流供給回路は、カスケード接続されていることを特徴とする電気光学装置。

【請求項 30】

請求項 27 乃至 29 のいずれか 1 つに記載の電気光学装置において、
前記データ電流供給回路は、
第 5 の制御用端子を備え、前記第 1 のトランジスタと直列に接続された第 5 のトランジスタと、
第 6 の制御用端子を備え、前記第 5 の制御用端子が前記第 6 の制御用端子に接続された、ダイオード接続された第 6 のトランジスタと
を備えたことを特徴とする電気光学装置。

20

【請求項 31】

請求項 30 に記載の電気光学装置において、
前記第 6 のトランジスタの利得係数は、前記第 1 のトランジスタの利得係数と同じであることを特徴とする電気光学装置。

【請求項 32】

請求項 19 乃至 31 のいずれか 1 つに記載の電気光学装置において、
前記電気光学素子は、EL 素子であることを特徴とする電気光学装置。

【請求項 33】

請求項 32 に記載の電気光学装置において、
前記 EL 素子は、発光層が有機材料で構成されていることを特徴とする電気光学装置。

30

【請求項 34】

請求項 8 乃至 18 のいずれか 1 つに記載の電子装置を実装したことを特徴とする電子機器。

【請求項 35】

請求項 19 乃至 33 のいずれか 1 つに記載の電気光学装置を実装したことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

40

【発明の属する技術分野】

本発明は、電子回路、電子装置、電気光学装置及び電子機器に関するものである。

【0002】

【従来の技術】

有機 EL 素子を用いた表示装置の一つに、画素回路毎に有機 EL 素子を制御する駆動トランジスタを備えたアクティブマトリクス型表示装置がある。

【0003】

この種の表示装置は、デジタルデータである画像データに応じたデータ電流をデータ線を介して前記画素回路に出力するデータ線駆動回路を備えている。このデータ線駆動回路は、その内部に複数のデジタル・アナログ変換回路を備えた単一ラインドライバを有してお

50

り、そのデジタル・アナログ変換回路にて前記画像データをアナログ信号に変換した後にデータ線を介して各画素回路に出力する（例えば、特許文献１）。

【０００４】

【特許文献１】

特開２０００－１２２６０８号公報

【０００５】

【発明が解決しようとする課題】

ところで、一般に画素回路の数は非常に多く、そのため、複数の単一ラインドライバを互いに電氣的に接続して一つのデータ線駆動回路を形成する場合がある。しかしながら、各単一ラインドライバは、そのデジタル・アナログ変換回路を構成するトランジスタの特性ばらつきによって、同じ画像データに対して異なった大きさのデータ電流がそれぞれ出力されてしまう。その結果、有機ＥＬ素子は、同じ画像データに対して、接続された単一ラインドライバによって異なった輝度で発光することとなる。このことによって、表示品位が優れた電気光学装置を提供することができない。

10

【０００６】

本発明は上記問題点を解消するためになされたものであって、その目的は、トランジスタの特性ばらつきを抑制することができる電子装置、電気光学装置及び電子機器を提供することにある。

【０００７】

【課題を解決するための手段】

20

本発明における電子回路は、第１の制御用端子を備えた、ダイオード接続された第１のトランジスタと、第２の制御用端子を備え、前記第１の制御用端子に前記第２の制御用端子が接続された複数の第２のトランジスタと、各々が信号線に接続された第３の制御用端子を備え、前記複数の第２のトランジスタの各々に直列に接続された複数の第３のトランジスタと、第４の制御用端子を備え、前記第１の制御用端子に前記第４の制御用端子が接続された第４のトランジスタと、を含み、前記複数の第３のトランジスタのうち、前記信号線を介して供給されるオン信号によりオン状態とされた第３のトランジスタと、前記複数の第２のトランジスタのうち、前記オン状態とされた第３のトランジスタと直列に接続された第２のトランジスタと、からなる電流経路は一つの出力端子に接続され、前記第４のトランジスタは前記一つの出力端子には接続されない。

30

【０００８】

これによれば、信号線を介して第３トランジスタに供給するデジタルデータに応じた大きさのアナログ電流を出力するデジタル・アナログ変換回路を構成するとともに、前記アナログ電流とは関係がない第１のトランジスタを基準値とした電流を出力する電子回路を提供することができる。

【０００９】

この電子回路において、前記第４のトランジスタの利得係数は、前記第１のトランジスタの利得係数と同じであってもよい。

これによれば、第４のトランジスタから出力されるアナログ電流の電流レベルは、第１のトランジスタを流れる電流の電流レベルと同じにすることができる。

40

【００１０】

この電子回路において、第５の制御用端子を備え、前記第１のトランジスタと直列に接続された第５のトランジスタと、第６の制御用端子を備え、前記第５の制御用端子が前記第６の制御用端子に接続された、ダイオード接続された第６のトランジスタとを備えていてもよい。

これによれば、第１の制御用端子に生じる電圧の電圧レベルを第６のトランジスタに流れる電流の電流レベルで制御することができる。

【００１１】

本発明の電子回路は、第１の制御用端子を備えた、ダイオード接続された第１のトランジスタと、前記第１の制御用端子の電圧レベルを基準値とした電流を出力する複数の第２の

50

トランジスタと、各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、前記第4のトランジスタから出力される電流は、前記複数の第2のトランジスタの各々から出力される電流経路には流れないようにした。

【0012】

これによれば、信号線を介して第3トランジスタに供給するデジタルデータに応じた大きさのアナログ電流を出力するデジタル・アナログ変換回路を構成するとともに、前記アナログ電流とは関係がない第1のトランジスタを基準値とした電流を出力する電子回路を提供することができる。

【0013】

本発明の電子回路は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、前記複数の第3のトランジスタのうち、前記オン・オフ信号によりオン状態とされた第3のトランジスタと、前記複数の第2のトランジスタのうち、前記オン状態とされた第3のトランジスタと直列に接続された第2のトランジスタと、からなる電流経路には、前記第4のトランジスタは設けられていない。

【0014】

これによれば、信号線を介して第3トランジスタに供給するデジタルデータに応じた大きさのアナログ電流を出力するデジタル・アナログ変換回路を構成するとともに、前記アナログ電流とは関係がない第1のトランジスタを基準値とした電流を出力する電子回路を提供することができる。

【0015】

この電子回路において、前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであってもよい。

これによれば、第4のトランジスタから出力されるアナログ電流の電流レベルは、第1のトランジスタを流れる電流の電流レベルと同じにすることができる。

【0016】

この電子回路において、第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとを備えていてもよい。

これによれば、第1の制御用端子に生じる電圧の電圧レベルを第6のトランジスタに流れる電流の電流レベルで制御することができる。

【0017】

本発明の電子装置は、複数の単位回路を備えた電子装置において、前記複数の単位回路の各々は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、第2の制御用端子を備え、前記第1の制御用端子に前記第2の制御用端子が接続された複数の第2のトランジスタと、各々が信号線に接続された第3の制御用端子を備え、前記複数の第2のトランジスタの各々に直列に接続された複数の第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子に前記第4の制御用端子が接続されるとともに、前記信号線を介して供給されるオン信号によりオン状態とされた前記第3のトランジスタと直列に接続された第2のトランジスタからなる電流経路には設けられていない第4のトランジスタと、を含み、前記第4のトランジスタは、接続線を介して他の単位回路に接続され、前記第4のトランジスタから出力される電流レベルに応じて、他の単位回路に含まれる第1の制御用端子の電圧レベルを制御する。

【0018】

これによれば、1つの単位回路にて生成される電流を基準電流とし、その基準電流を他の各単位回路の第1のトランジスタに供給する。そして、その基準電流に応じて他の各単位回路の第1のトランジスタの第1の制御用端子の電圧を制御する。第1のトランジスタは、この基準電流を基準値として駆動するので、単位回路間の前記第1のトランジスタの閾値電圧といった特性ばらつきによるを抑制することができる。その結果、各単位回路は、その各第3のトランジスタに入力されるオン・オフ信号に応じた電流を精度良く出力することができる。

【0019】

この電子装置において、前記複数の単位回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであってもよい。 10

これによれば、1つの単位回路の第1のトランジスタに流れる電流の電流レベルを他の単位回路の全ての第1のトランジスタに流れる電流の電流レベルと同じにすることができる。

【0020】

この電子装置において、前記複数の単位回路の各々は、第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとを備えていてもよい。

これによれば、第1の制御用端子に生じる電圧の電圧レベルを第6のトランジスタに流れる電流の電流レベルで制御することができる。 20

【0021】

本発明の電子装置は、複数の単位回路を備えた電子装置において、前記複数の単位回路の各々は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、前記第4のトランジスタから出力される電流は、前記オン・オフ信号によりオン状態とされた前記第3のトランジスタと直列に接続された第2のトランジスタからなる電流経路には供給されず、他の単位回路に供給される。 30

【0022】

これによれば、各単位回路は、各第3のトランジスタに入力されるオン・オフ信号に応じた電流レベルを有するアナログ電流を出力するとともに、第4のトランジスタからは前記アナログ電流と関係なく独立した電流を他の単位回路に供給する。そして、他の各単位回路は、前記第4のトランジスタから出力された電流を基準電流として各単位回路に含まれる第1のトランジスタの第1の制御用端子の電圧を設定する。このことによって、前記単位回路の各々は、その第1のトランジスタの特性にバラツキを抑制することができる。従って、各単位回路から出力されるアナログ電流を精度良く制御することができる。 40

【0023】

本発明の電子装置は、複数の単位回路を備えた電子装置において、前記複数の単位回路の各々は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、前記第4のトランジスタから出力される電流は、他の単位回路の第1の制御用端子の電圧レベルを設定する基準電流となる。

【0024】

これによれば、各単位回路は、各第3のトランジスタに入力されるオン・オフ信号に応じた電流レベルを有するアナログ電流を出力するとともに、第4のトランジスタからは前記アナログ電流と関係なく独立した電流を他の単位回路に供給する。そして、他の各単位回路は、前記第4のトランジスタから出力された電流を基準電流として各単位回路に含まれる第1のトランジスタの第1の制御用端子の電圧を設定する。このことによって、前記単位回路の各々は、その第1のトランジスタの特性にバラツキを抑制することができる。従って、各単位回路から出力されるアナログ電流を精度良く制御することができる。

【0025】

この電子装置において、前記複数の単位回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであってもよい。

10

これによれば、1つの単位回路の第1のトランジスタに流れる電流の電流レベルを他の単位回路の全ての基準電流とする。

【0026】

この電子装置において、複数の前記単位回路は、カスケード接続されていてもよい。

これによれば、カスケード接続された単位回路にて生成されるアナログ電流を前記第3の制御用端子に入力されるオン・オフ信号に応じて精度良く制御することができる。

【0027】

この電子装置において、前記複数の単位回路の各々は、第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6

20

【0028】

これによれば、第1の制御用端子に生じる電圧の電圧レベルを第6のトランジスタに流れる電流の電流レベルで制御することができる。

本発明の電子装置は、複数の単位回路を備えた電子装置において、前記複数の単位回路の各々は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、各々が第3の制御用端子を備え、前記第3の制御用端子に入力されるオン・オフ信号に応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタと、を含み、前記第4のトランジスタは、同第4のトランジスタが含まれる単位回路の、前記オン・オフ信号によりオン状態とされた前記第3のトランジスタと直列に接続された第2のトランジスタとは接続されず、他の単位回路に含まれる前記第6のトランジスタに接続されている。

30

【0029】

これによれば、各単位回路は、各第3のトランジスタに入力されるオン・オフ信号に応じた電流レベルを有するアナログ電流を出力するとともに、第4のトランジスタからは前記アナログ電流と関係なく独立した電流を他の単位回路に供給する。そして、他の各単位回路は、前記第4のトランジスタから出力された電流を基準電流として各単位回路に含まれる第6のトランジスタに供給される。そして、第6のトランジスタを流れる基準電流によって第1のトランジスタの第1の制御用端子の電圧を設定する。このことによって、前記単位回路の各々は、その第1のトランジスタの特性にバラツキを抑制することができる。従って、各単位回路から出力されるアナログ電流を精度良く制御することができる。

40

【0030】

この電子装置において、前記複数の単位回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであってもよい。

これによれば、1つの単位回路の第1のトランジスタに流れる電流の電流レベルを他の単

50

位回路の全ての第1のトランジスタに流れる電流の電流レベルと同じにすることができる。

【0031】

この電子装置において、複数の前記単位回路は、カスケード接続されていてもよい。これによれば、カスケード接続された単位回路にて生成されるアナログ電流を前記第3の制御用端子に入力されるオン・オフ信号に応じて精度良く制御することができる。

【0032】

本発明の電気光学装置は、複数の走査線と、複数のデータ線と、これら各前記走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、前記データ電流供給回路は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、第2の制御用端子を備え、前記第1の制御用端子に前記第2の制御用端子が接続された複数の第2のトランジスタと、各々が画像データを供給する信号線に接続された第3の制御用端子を備え、前記複数の第2のトランジスタの各々と直列に接続された複数の第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子に前記第4の制御用端子が接続された第4のトランジスタとを含み、前記第4のトランジスタは、接続線を介して他のデータ電流供給回路に接続され、前記第4のトランジスタから出力される電流レベルに応じて、他のデータ電流供給回路に含まれる第1の制御用端子の電圧レベルを制御する。

10

20

【0033】

これによれば、画像データに応じた大きさのアナログ電流を出力するデジタル・アナログ変換回路を構成するとともに、前記アナログ電流とは関係がない第1のトランジスタを基準値とした電流を出力することができる。このことによって、各単位回路の第1のトランジスタの特性バラツキを抑制することができるので、前記画像データに応じた大きさのアナログ電流を精度良く出力することができる。その結果、優れた表示品位を備えた電気光学装置を提供することができる。

【0034】

この電気光学装置において、前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであってもよい。

30

これによれば、1つの単位回路の第1のトランジスタに流れる電流の電流レベルを他の単位回路の全ての第1のトランジスタに流れる電流の電流レベルと同じにすることができる。

【0035】

この電気光学装置において、前記データ電流供給回路は、第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、第6の制御用端子を備え、前記第5の制御用端子が前記第6の制御用端子に接続された、ダイオード接続された第6のトランジスタとを備えていてもよい。

【0036】

これによれば、第1の制御用端子に生じる電圧の電圧レベルを第6のトランジスタに流れる電流の電流レベルで制御することができる。

40

本発明の電気光学装置は、複数の走査線と、複数のデータ線と、これら各前記走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、前記各データ電流供給回路は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、各々が第3の制御用端子を備え、前記第3の制御用端子に入力される画像データに応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値

50

とした電流を出力する第4のトランジスタと、を含み、前記第4のトランジスタから出力される電流は、前記画像データによりオン状態とされた前記第3のトランジスタと直列に接続された第2のトランジスタからなる電流経路には供給されず、他の単位回路に供給される。

【0037】

これによれば、各単位回路は、各第3のトランジスタに入力されるオン・オフ信号に応じた電流レベルを有するアナログ電流を出力するとともに、第4のトランジスタからは前記アナログ電流と関係なく独立した電流を他の単位回路に供給する。そして、他の各単位回路は、前記第4のトランジスタから出力された電流を基準電流として各単位回路に含まれる第1のトランジスタの第1の制御用端子の電圧を設定する。このことによって、前記単位回路の各々は、その第1のトランジスタの特性にバラツキを抑制することができる。従って、各単位回路から出力されるアナログ電流を精度良く制御することができる。この結果、優れた表示品位を備えた電気光学装置を提供することができる。

10

【0038】

本発明の電気光学装置は、複数の走査線と、複数のデータ線と、これら各前記走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、前記各データ電流供給回路は、第1の制御用端子を備えた、ダイオード接続された第1のトランジスタと、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する複数の第2のトランジスタと、各々が第3の制御用端子を備え、前記第3の制御用端子に入力される画像データに応じて前記複数の第2のトランジスタの各々から出力される電流を制御する第3のトランジスタと、第4の制御用端子を備え、前記第1の制御用端子の電圧レベルを基準値とした電流を出力する第4のトランジスタと、を含み、前記第4のトランジスタから出力される電流は、他の単位回路の第1の制御用端子の電圧レベルを設定する基準電流となる。

20

【0039】

これによれば、各単位回路は、各第3のトランジスタに入力されるオン・オフ信号に応じた電流レベルを有するアナログ電流を出力するとともに、第4のトランジスタからは前記アナログ電流と関係なく独立した電流を他の単位回路に供給する。そして、他の各単位回路は、前記第4のトランジスタから出力された電流を基準電流として各単位回路に含まれる第1のトランジスタの第1の制御用端子の電圧を設定する。このことによって、前記単位回路の各々は、その第1のトランジスタの特性にバラツキを抑制することができる。従って、各単位回路から出力されるアナログ電流を精度良く制御することができる。この結果、優れた表示品位を備えた電気光学装置を提供することができる。

30

【0040】

この電気光学装置において、前記複数のデータ電流供給回路の各々の前記第4のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであってもよい。

これによれば、1つの単位回路の第1のトランジスタに流れる電流の電流レベルを他の単位回路の全ての第1のトランジスタに流れる電流の電流レベルと同じにすることができる。

40

【0041】

この電気光学装置において、複数の前記データ電流供給回路は、カスケード接続されていてもよい。

これによれば、カスケード接続されたデータ電流供給回路にて生成されるアナログ電流を前記第3の制御用端子に入力されるオン・オフ信号に応じて精度良く制御することができる。

【0042】

この電気光学装置において、前記各データ電流供給回路は、第5の制御用端子を備え、前記第1のトランジスタと直列に接続された第5のトランジスタと、第6の制御用端子を備

50

え、前記第 5 の制御用端子が前記第 6 の制御用端子に接続された、ダイオード接続された第 6 のトランジスタとが設けられていてもよい。

これによれば、第 1 の制御用端子に生じる電圧の電圧レベルを第 6 のトランジスタに流れる電流の電流レベルで制御することができる。

【0043】

本発明の電気光学装置は、複数の走査線と、複数のデータ線と、これら各前記走査線と各前記データ線との交差部に対応してそれぞれ配設された電気光学素子とを備えるとともに、各前記データ線にデータ電流を供給するデータ電流供給回路を備え、各前記電気光学素子に前記データ電流に応じた駆動電流量を供給する電気光学装置において、前記データ電流供給回路は、第 1 の制御用端子を備えた、ダイオード接続された第 1 のトランジスタと、前記第 1 の制御用端子の電圧レベルを基準値とした電流を出力する複数の第 2 のトランジスタと、各々が第 3 の制御用端子を備え、前記第 3 の制御用端子に入力されるオン・オフ信号に応じて前記複数の第 2 のトランジスタの各々から出力される電流を制御する第 3 のトランジスタと、第 4 の制御用端子を備え、前記第 1 の制御用端子の電圧レベルを基準値とした電流を出力する第 4 のトランジスタと、第 5 の制御用端子を備え、前記第 1 のトランジスタと直列に接続された第 5 のトランジスタと、第 6 の制御用端子を備え、前記第 5 の制御用端子が前記第 6 の制御用端子に接続された、ダイオード接続された第 6 のトランジスタと、を含み、前記第 4 のトランジスタは、同第 4 のトランジスタが含まれる単位回路の前記オン・オフ信号によりオン状態とされた前記第 3 のトランジスタと直列に接続された第 2 のトランジスタには接続されず、他の単位回路に含まれる前記第 6 のトランジスタに接続されている。

【0044】

これによれば、各単位回路は、各第 3 のトランジスタに入力されるオン・オフ信号に応じた電流レベルを有するアナログ電流を出力するとともに、第 4 のトランジスタからは前記アナログ電流と関係なく独立した電流を他の単位回路に供給する。そして、他の各単位回路は、前記第 4 のトランジスタから出力された電流を基準電流として各単位回路に含まれる第 6 のトランジスタに供給される。そして、第 6 のトランジスタを流れる基準電流によって第 1 のトランジスタの第 1 の制御用端子の電圧を設定する。このことによって、前記単位回路の各々は、その第 1 のトランジスタの特性にバラツキを抑制することができる。従って、各単位回路から出力されるアナログ電流を精度良く制御することができる。この結果、優れた表示品位を備えた電気光学装置を提供することができる。

【0045】

この電気光学装置において、前記複数のデータ電流供給回路の各々の前記第 4 のトランジスタの利得係数は、前記第 1 のトランジスタの利得係数と同じであってもよい。

【0046】

これによれば、1 つの単位回路の第 1 のトランジスタに流れる電流の電流レベルを他の単位回路の全ての第 1 のトランジスタに流れる電流の電流レベルと同じにすることができる。

【0047】

この電気光学装置において、複数の前記データ電流供給回路は、カスケード接続されてもよい。

これによれば、カスケード接続された単位回路にて生成されるアナログ電流を前記第 3 の制御用端子に入力されるオン・オフ信号に応じて精度良く制御することができる。

【0048】

この電気光学装置において、前記データ電流供給回路は、第 5 の制御用端子を備え、前記第 1 のトランジスタと直列に接続された第 5 のトランジスタと、第 6 の制御用端子を備え、前記第 5 の制御用端子が前記第 6 の制御用端子に接続された、ダイオード接続された第 6 のトランジスタとを備えていてもよい。

【0049】

これによれば、第 1 の制御用端子に生じる電圧の電圧レベルを第 6 のトランジスタに流れ

る電流の電流レベルで制御することができる。

【0050】

この電気光学装置において、前記第6のトランジスタの利得係数は、前記第1のトランジスタの利得係数と同じであってもよい。

これによれば、第1の制御用端子に生じる電圧の電圧レベルを第6のトランジスタに流れる電流の電流レベルで制御することができる。

【0051】

この電気光学装置において、前記電気光学素子は、EL素子であってもよい。これによれば、EL素子を備えた電気光学装置の表示品位を向上させることができる。

【0052】

この電気光学装置において、前記EL素子は、発光層が有機材料で構成されていてもよい。

これによれば、有機EL素子を備えた電気光学装置の表示品位を向上させることができる。

【0053】

本発明における電子機器は、上記電子装置を実装している。

これによれば、デジタルデータに応じて精度良く制御する電子機器を提供することができる。

【0054】

本発明における電子機器は、上記電気光学装置を実装している。

これによれば、表示品位の優れた電気光学装置を提供することができる。

【0055】

【発明の実施の形態】

（第1実施形態）

以下、本発明を具体化した第1実施形態を図1～図5に従って説明する。図1は、有機ELディスプレイの電氣的構成を示すブロック回路図である。図2は、表示パネル部の回路構成を示すブロック回路図である。図3は、画素回路の回路図である。

【0056】

有機ELディスプレイ10は、信号生成回路11、表示パネル部12、走査線駆動回路13及びデータ線駆動回路14を備えている。尚、本実施形態における有機ELディスプレイ10は、アクティブマトリクス駆動方式の有機ELディスプレイである。

【0057】

有機ELディスプレイ10の信号生成回路11、走査線駆動回路13及びデータ線駆動回路14は、それぞれが独立した電子部品によって構成されていてもよい。例えば、信号生成回路11、走査線駆動回路13及びデータ線駆動回路14が、各々1チップの半導体集積回路装置によって構成されていてもよい。又、信号生成回路11、走査線駆動回路13及びデータ線駆動回路14の全部若しくは一部がプログラマブルなICチップで構成され、その機能がICチップに書き込まれたプログラムによりソフトウェア的に実現されてもよい。

【0058】

信号生成回路11は、図示しない外部装置からの画像制御信号に基づいて表示パネル部12に画像を表示するための走査制御信号及びデータ制御信号を作成する。そして、信号生成回路11は、走査制御信号を走査線駆動回路13に出力するとともに、データ制御信号をデータ線駆動回路14に出力する。データ制御信号は、本実施形態においては、6ビットの画像データまたは信号としての画像デジタルデータである。

【0059】

表示パネル部12は、図2に示すように、その行方向に沿って延びるn本の走査線Y1, Y2, ..., Ynを備えている。また、表示パネル部12は、その列方向に沿って延びるm本のデータ線X1, X2, ..., Xmを備えている。そして、表示パネル部12は、前記各走査線Y1, Y2, ..., Ynと前記各データ線X1, X2, ..., Xmと

10

20

30

40

50

の交差部に対応した位置に画素回路 15 が配設されている。前記各画素回路 15 は、前記走査線 Y_1, Y_2, \dots, Y_n を介して走査線駆動回路 13 に接続されている。又、各画素回路 15 は、前記データ線 X_1, X_2, \dots, X_m を介してデータ線駆動回路 14 に接続されている。ここで、前記 m 本のデータ線 X_1, X_2, \dots, X_m は、 i 個の組に区分され、その区分された各組に予め定めた本数 (j 本) のデータ線が割り当てられた構成になっている。そして、説明の便宜上、 m 本のデータ線 X_1, X_2, \dots, X_m を、他の組のデータ線と区別する場合には、データ線 $X_{i.1}, X_{i.2}, \dots, X_{i.j}$ と表記する。尚、データ線 $X_{1.1}, X_{1.2}, \dots, X_{1.j}, X_{2.1}, X_{2.2}, \dots, X_{2.j}, X_{i.1}, X_{i.2}, \dots, X_{i.j}$ は、この記載した順番で図 2 において左から右に形成されているものとする。更に、各画素回路 15 は、列方向に伸びる m 本の電源線 L_1, L_2, \dots, L_m と接続されている。電源線 L_1, L_2, \dots, L_m はそれぞれ前記画素回路 15 を構成する後記する変換トランジスタ T_c 及び駆動トランジスタ T_d に駆動電圧 V_{dd} を供給する。

10

【0060】

図 3 は、 m 番目のデータ線 $X_m (i.j)$ と n 番目の走査線 Y_n との交差部にそれぞれ対応して配設された画素回路 15 の回路図である。

画素回路 15 は、その発光層が有機材料で構成された有機 EL 素子 16、駆動トランジスタ T_d 、第 1 及び第 2 のスイッチングトランジスタ T_{sw1}, T_{sw2} 、変換トランジスタ T_c 及び保持キャパシタ C_o を備えている。駆動トランジスタ T_d 、変換トランジスタ T_c 及び第 2 のスイッチングトランジスタ T_{sw2} は、それぞれ、 p 型 TFT である。また、第 1 のスイッチングトランジスタ T_{sw1} は n 型 TFT である。

20

【0061】

駆動トランジスタ T_d は、そのドレインが有機 EL 素子 16 の陽極に接続されている。有機 EL 素子 16 の陰極は接地されている。駆動トランジスタ T_d のゲートは変換トランジスタ T_c のゲートに接続されている。また、駆動トランジスタ T_d のソースは、変換トランジスタ T_c のソースに接続されている。さらに、駆動トランジスタ T_d のソースは、駆動電圧 V_{dd} を供給する m 番目の電源線 L_m に接続されている。また、駆動トランジスタ T_d のソース/ゲート間には、保持キャパシタ C_o が接続されている。つまり、前記変換トランジスタ T_c と駆動トランジスタ T_d とでカレントミラー回路を構成している。

【0062】

前記変換トランジスタ T_c のドレインは、第 1 のスイッチングトランジスタ T_{sw1} を介して m 番目のデータ線 $X_m (X_{i.j})$ に接続されている。また、変換トランジスタ T_c のドレインは、第 2 のスイッチングトランジスタ T_{sw2} を介して前記保持キャパシタ C_o に接続されている。

30

【0063】

前記第 1 のスイッチングトランジスタ T_{sw1} のゲートは n 番目の第 1 の副走査線 Y_{n1} に接続されている。また、前記第 2 のスイッチングトランジスタ T_{sw2} のゲートは n 番目の第 2 の副走査線 Y_{n2} に接続されている。前記第 1 の副走査線 Y_{n1} と第 2 の副走査線 Y_{n2} とで n 番目の走査線 Y_n を構成している。

【0064】

尚、本実施形態においては、画素回路 15 を、有機 EL 素子 16 と、駆動トランジスタ T_d と、第 1 及び第 2 のスイッチングトランジスタ T_{sw1}, T_{sw2} と、変換トランジスタ T_c と、保持キャパシタ C_o とで構成したが、これに限定されるものではなく、適宜変更してもよい。

40

【0065】

走査線駆動回路 13 は、信号生成回路 11 から出力される前記走査制御信号に基づいて、表示パネル部 12 に設けられた前記 n 本の走査線 Y_1, Y_2, \dots, Y_n のうち、1 本の走査線を選択し、その選択された走査線に走査信号を出力する。そして、その走査信号によって、前記画素回路 15 の有機 EL 素子 16 が発光するタイミング及び保持キャパシタ C_o へ後記するデータ電流 I_D に応じた電荷を書き込むタイミングを制御する。

50

【0066】

データ線駆動回路14は、信号生成回路11から出力された前記画像デジタルデータに基づいてデータ電流IDを生成するとともに、その生成されたデータ電流IDを対応する前記データ線X1, X2, ..., Xmに供給する。そして、データ電流IDは、その対応する前記データ線X1, X2, ..., Xmを介して各画素回路15に出力される。

【0067】

そして、走査線駆動回路13から出力される前記走査信号によって選択された走査線Y1, Y2, ..., Yn上の各画素回路15においては、その第1及び第2のスイッチングトランジスタTsw1, Tsw2がそれぞれオン状態に設定される。このことによって、データ線駆動回路14から出力されたデータ電流IDに対応した電荷が前記第1及び第2のスイッチングトランジスタTsw1, Tsw2を介して保持キャパシタCoに書き込まれる。その後、走査線駆動回路13から出力される前記走査信号によって第2のスイッチングトランジスタTsw2がオフ状態に設定される。

10

【0068】

すると、前記変換トランジスタTcには保持キャパシタCoに書き込まれた電荷に応じた電流が流れる。そして、前記変換トランジスタTcとカレントミラー回路を構成する前記駆動トランジスタTdに前記電流に応じた大きさの駆動電流Ie1が流れる。このことによって、有機EL素子16が前記駆動電流Ie1に応じた輝度階調で発光する。通常、書き込み速度を速くするために、データ電流ID(変換トランジスタTcに流れる電流)は駆動電流(駆動トランジスタTdに流れる電流)より大きな電流とする。つまり、変換トランジスタTcと駆動トランジスタTdとはその利得係数を変えている。このため、駆動トランジスタTdに流れる電流はその利得係数の比に応じた電流である。

20

【0069】

次に、このように構成された有機ELディスプレイ10のデータ線駆動回路14について図4及び図5に従って詳述する。

図4は、データ線駆動回路14の内部構成図である。図4に示すように、データ線駆動回路14は、制御回路20と複数(本実施形態では、前記データ線X1, X2, ..., Xmを区分した組数であるi個)の単一ラインドライバRD1~RDiとを備えている。制御回路20は、i個の単一ラインドライバRD1~RDiの各々と電氣的に接続されている。

30

【0070】

制御回路20は、信号生成回路11から出力される前記6ビットの画像デジタルデータを各単一ラインドライバRD1~RDiに供給する。

各単一ラインドライバRD1~RDiは、それぞれ前記区分した各組毎に対応して設けられている。各単一ラインドライバRD1~RDiは接続線Lpを介してカスケード接続されている。そして、第1の単一ラインドライバRD1はデータ線X1.1~X1.jが、第2の単一ラインドライバRD2はデータ線X2.1~X2.jが、...、第iの単一ラインドライバRDiはデータ線Xi.1~Xi.jがそれぞれアナログ出力端子Uaを介して接続されている。本実施形態では、データ線X1.1~X1.jと接続する第1の単一ラインドライバRD1をマスタードライバといい、第2~第iの単一ラインドライバRD2~RDiをスレーブドライバという。

40

【0071】

各単一ラインドライバRD1~RDiは、それぞれ前記データ線の組に割り当てられたデータ線の本数に対応した数(j個)のデジタル・アナログ変換回路21aがそれぞれ備えている。そのj個のデジタル・アナログ変換21は、カスケード接続されている。そして、第1の単一ラインドライバRD1のデータ線X1.1に接続されたデジタル・アナログ変換回路21aの入力端子Piに基準電圧Vrefが供給されるようになっている。

【0072】

次に、前記したデジタル・アナログ変換回路21aを図5に従って説明する。尚、各単一ラインドライバRD1~RDiに設けられた各デジタル・アナログ変換回路21aの回路

50

構成は実質同じなので、説明の便宜上、 $m - 1$ 番目のデータ線 $X_{m-1} (X_{i,j-1})$ と接続されるデジタル・アナログ変換回路 21a について説明する。

【0073】

デジタル・アナログ変換回路 21a は、本実施形態においては 6 ビットの電流出力型デジタル・アナログ型変換回路である。デジタル・アナログ変換回路 21a は、第 1 及び第 2 の変換用トランジスタ Q_a, Q_b 、電流用トランジスタ Q_{cc} 、第 1 ~ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ 、第 1 ~ 6 のスイッチング用トランジスタ $Q_{s1} \sim Q_{s6}$ 及び基準電流生成用トランジスタ Q_{ref} を含んでいる。また、デジタル・アナログ変換回路 21a は、6 本のアナログ信号線 22a ~ 22f と 6 本のデジタル信号線 23a ~ 23f とを備えている。

10

【0074】

第 1 及び第 2 の変換用トランジスタ Q_a, Q_b 、第 1 ~ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ 、電流用トランジスタ Q_{cc} 及び基準電流生成用トランジスタ Q_{ref} はそれぞれ所定の電流レベルを出力する定電流源として機能するトランジスタである。また、第 1 ~ 6 のスイッチング用トランジスタ $Q_{s1} \sim Q_{s6}$ は、前記画像デジタルデータに応じてオン・オフ制御されるスイッチング素子として機能するトランジスタである。尚、本実施形態においては、前記第 1 の変換用トランジスタ Q_a 、第 1 ~ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ 、第 1 ~ 6 のスイッチング用トランジスタ $Q_{s1} \sim Q_{s6}$ 及び基準電流生成用トランジスタ Q_{ref} の導電型は、それぞれ、 n 型である。また、前記第 2 の変換用トランジスタ Q_b 及び電流用トランジスタ Q_{cc} の導電型は、それぞれ、 p 型である。

20

【0075】

アナログ信号線 22a ~ 22f は互いに並列に配列され、その一端がそれぞれ前記アナログ出力端子 U_a に接続されている。アナログ出力端子 U_a は、データ線 $X_{m-1} (X_{i,j-1})$ に接続されている。

【0076】

また、アナログ信号線 22a ~ 22f は、それぞれ、対応する第 1 ~ 6 のスイッチング用トランジスタ $Q_{s1} \sim Q_{s6}$ のドレインに接続されている。前記第 1 ~ 6 のスイッチング用トランジスタ $Q_{s1} \sim Q_{s6}$ は、その各ゲートがそれぞれ対応する第 1 ~ 6 のデジタル信号線 23a ~ 23f を介して第 1 ~ 6 のデジタル入力端子 $U_{d1} \sim U_{d6}$ に接続されている。第 1 ~ 6 のデジタル入力端子 $U_{d1} \sim U_{d6}$ はそれぞれ前記制御回路 20 に接続されている。そして、前記第 1 ~ 6 のスイッチング用トランジスタ $Q_{s1} \sim Q_{s6}$ は、後記するように、前記制御回路 20 から出力される前記画像デジタルデータに応じてオン・オフ制御される。

30

【0077】

また、前記第 1 ~ 6 のスイッチング用トランジスタ $Q_{s1} \sim Q_{s6}$ の各ソースは、対応する第 1 ~ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ の各ドレインに接続されている。また、前記第 1 ~ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ のそれぞれのソースは共通して接地されている。即ち、前記第 1 ~ 6 のスイッチング用トランジスタ $Q_{s1} \sim Q_{s6}$ と第 1 ~ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ とからなる電流経路は、アナログ出力端子 U_a に接続されている。

40

【0078】

また、前記第 1 ~ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ は、その各利得係数 β に応じたレベルの電流が流れる。ここで、第 1 ~ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ は、その各利得係数 β の相対比が、それぞれ、 $1 : 2 : 4 : 8 : 16 : 32$ となるように設定されている。トランジスタの利得係数 β は、 $\beta = (\mu C W / L)$ で定義される。ここで、 μ はキャリアの移動度、 C はゲート容量、 W はチャネル幅、 L はチャネル長である。従って、各第 1 ~ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ の電流駆動能力比は、 $1 : 2 : 4 : 8 : 16 : 32$ となり、第 1 ~ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ からそれぞれ出力される電流の大きさ $I_a \sim I_f$ は、以下の関係になる。

50

【 0 0 7 9 】

$I_a = I_b / 2 = I_c / 4 = I_d / 8 = I_e / 16 = I_f / 32$

そして、前記第 1 ～ 6 のスイッチング用トランジスタ $Q_{s1} \sim Q_{s6}$ は、前記制御回路 20 から出力される 6 ビットの前記画像デジタルデータの各ビットに対応している。例えば、画像デジタルデータの最下位ビットは、利得係数が最も小さな（即ち の相対値が 1 の）第 1 のスイッチング用トランジスタ Q_{s1} に供給され、最上位ビットは、利得係数が最も大きな（即ち の相対値が 32 の）第 6 のスイッチング用トランジスタ Q_{s6} に出力されるようになっている。

【 0 0 8 0 】

また、前記第 1 ～ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ の各ゲートは互いに接続されるとともに、ダイオード接続された第 1 の変換用トランジスタ Q_a のゲートに接続されている。 10

【 0 0 8 1 】

従って、前記第 1 の変換用トランジスタ Q_a は、第 1 ～ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ のそれぞれとカレントミラー回路を構成している。つまり、各第 1 ～ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ は、前記第 1 の変換用トランジスタ Q_a のゲートの電圧レベルを基準値とした電流 $I_a \sim I_f$ をそれぞれ出力する。尚、本実施形態においては、前記第 1 の変換用トランジスタ Q_a の利得係数は、前記第 1 の電流供給用トランジスタ Q_{d1} の利得係数と同じである。従って、前記第 1 の変換用トランジスタ Q_a に流れる電流 I_t と同じ電流レベルを有する電流が第 1 の電流供給用トランジスタ Q_{d1} に電流 I_a 20 として流れる。

【 0 0 8 2 】

前記第 1 の変換用トランジスタ Q_a のソースは接地されている。また、前記第 1 の変換用トランジスタ Q_a のドレインは、電流用トランジスタ Q_{cc} のドレインに接続されている。電流用トランジスタ Q_{cc} のソースには電源電圧 V_o が供給されるようになっている。即ち、前記第 1 の変換用トランジスタ Q_a は、電流用トランジスタ Q_{cc} と直列に接続されている。

【 0 0 8 3 】

また、電流用トランジスタ Q_{cc} のゲートは、ダイオード接続された第 2 の変換用トランジスタ Q_b のゲートに接続されている。第 2 の変換用トランジスタ Q_b のソースには前記 30 電源電圧 V_o が供給されるようになっている。また、第 2 の変換用トランジスタ Q_b のドレインは入力端子 P_i が接続されている。

【 0 0 8 4 】

従って、前記電流用トランジスタ Q_{cc} と前記第 2 の変換用トランジスタ Q_b とはカレントミラー回路を構成している。つまり、電流用トランジスタ Q_{cc} は、第 2 の変換用トランジスタ Q_b のゲートの電圧レベルを基準値とした電流を出力する。

【 0 0 8 5 】

そして、前記入力端子 P_i に基準電圧 V_{ref} が供給されるとともに、前記第 1 ～ 6 のデジタル入力端子 $U_{d1} \sim U_{d6}$ に前記画像デジタルデータが入力される。すると、その入力された画像デジタルデータに応じて第 1 ～ 6 のスイッチング用トランジスタ $Q_{s1} \sim Q_{s6}$ 40 がオン・オフ制御される。つまり、前記第 1 ～ 6 のスイッチング用トランジスタ $Q_{s1} \sim Q_{s6}$ は、第 1 ～ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ からそれぞれ出力される電流 $I_a \sim I_f$ を制御する。

【 0 0 8 6 】

そして、前記画像デジタルデータに応じて第 1 ～ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ からそれぞれ出力される電流 $I_a \sim I_f$ が重畳されることで、同画像デジタルデータに応じた大きさを有するデータ電流 I_D がアナログ出力端子 U_a から出力される。つまり、デジタル・アナログ変換回路 21a は、6 ビットの画像デジタルデータに応じて有機 EL 素子 16 を 64 階調で制御することができる。

【 0 0 8 7 】

このように構成されたデジタル・アナログ変換回路 21a には、前記第 1 の変換用トランジスタ Q_a とカレントミラー回路を構成する基準電流生成用トランジスタ Q_{ref} が形成されている。詳しくは、基準電流生成用トランジスタ Q_{ref} は、そのソースが前記第 1 ~ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ の各ソースに接続されている。また、基準電流生成用トランジスタ Q_{ref} のドレインは出力端子 P_o に接続されている。そして、基準電流生成用トランジスタ Q_{ref} のドレインは前記出力端子 P_o を介して隣接する他のデジタル・アナログ変換回路 21a の入力端子 P_i に接続されている。即ち、基準電流生成用トランジスタ Q_{ref} は、前記電流 $I_a \sim I_f$ が流れる前記第 1 ~ 6 のスイッチング用トランジスタ $Q_{s1} \sim Q_{s6}$ と第 1 ~ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ とからなる電流経路には設けられていない。従って、前記基準電流生成用トランジスタ Q_{ref} から出力される基準電流 I_{ref} は、前記画像データによりオン状態とされた前記第 1 ~ 6 のスイッチング用トランジスタ $Q_{s1} \sim Q_{s6}$ と直列に接続された前記第 1 ~ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ からなる電流経路には供給されず、他のデジタル・アナログ変換回路 21a に供給される。

10

【0088】

また、前記基準電流生成用トランジスタ Q_{ref} は、その利得係数 r_{ref} が前記第 1 の変換用トランジスタ Q_a の利得係数と等しくなるように設定されている。従って、基準電流生成用トランジスタ Q_{ref} に流れる基準電流 I_{ref} の電流レベルは、第 1 の変換用トランジスタ Q_a 及び第 1 の電流供給用トランジスタ Q_{d1} に流れる電流の電流レベルと同じである。

20

【0089】

このように、前記基準電流生成用トランジスタ Q_{ref} は、前記第 1 の電流供給用トランジスタ Q_{d1} に流れる電流と同じ電流レベルを有する基準電流 I_{ref} を前記出力端子 P_o から出力することができる。そして、この出力端子 P_o から出力される基準電流 I_{ref} は、前記アナログ出力端子 U_a から出力されるデータ電流 I_D とは関係なく独立した電流である。そして、前記基準電流 I_{ref} は、前記接続線 L_p を介してデータ線 X_m に接続されたデジタル・アナログ変換回路 21a の第 2 の変換用トランジスタ Q_b に出力される。

【0090】

前記データ線 X_m に接続されたデジタル・アナログ変換回路 21a の第 2 の変換用トランジスタ Q_b は、前記データ線 $X_m - 1$ に接続されたデジタル・アナログ変換回路 21a の出力端子 P_o から出力される基準電流 I_{ref} が供給される。すると、そのデジタル・アナログ変換回路 21a の電流用トランジスタ Q_{cc} のゲートの電圧が前記第 2 の変換用トランジスタ Q_b に流れる電流 I_t のレベルに応じて設定される。そして、この第 1 の変換用トランジスタ Q_a に流れる電流 I_t に応じた電圧が各第 1 ~ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ のゲートとともに基準電流生成用トランジスタ Q_{ref} に供給される。

30

【0091】

従って、データ線 X_m に接続されたデジタル・アナログ変換回路 21a に含まれる各第 1 ~ 6 の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ は、前記データ線 $X_m - 1$ に接続されたデジタル・アナログ変換回路 21a の基準電流生成用トランジスタ Q_{ref} を流れる前記基準電流 I_{ref} を基準値とした電流 $I_a \sim I_f$ を出力する。つまり、データ線 X_m に接続されたデジタル・アナログ変換回路 21a は、前記データ線 $X_m - 1$ に接続されたデジタル・アナログ変換回路 21a の基準電流生成用トランジスタ Q_{ref} を流れる前記基準電流 I_{ref} を基準値としたデータ電流 I_D を前記画像デジタルデータに基づいて生成することができる。

40

【0092】

このように、1 つのデジタル・アナログ変換回路 21a が生成した基準電流 I_{ref} は、次段のデジタル・アナログ変換回路 21a の基準電流 I_{ref} として使用される。つまり、第 1 の単一ラインドライバ R_{D1} にある先頭のデジタル・アナログ変換回路 21a が生成した基準電流 I_{ref} が順次間にある各デジタル・アナログ変換回路 21a に利用され

50

且つ値を維持しつつ、第 i の単一ラインドライバ $R D i$ にある最終段のデジタル・アナログ変換回路 $21a$ にまで供給される。従って、異なった単一ラインドライバ $R D 1 \sim R D i$ 間において、各デジタル・アナログ変換回路 $21a$ の第 $1 \sim 6$ の電流供給用トランジスタ $Q d 1 \sim Q d 6$ の閾値電圧等の特性ばらつきによって、同一画像デジタルデータに対して異なった大きさのデータ電流 $I D$ が出力されない。

【0093】

つまり、異なった単一ラインドライバ $R D 1 \sim R D i$ のデジタル・アナログ変換回路 $21a$ 間においては、その第 $1 \sim 6$ の電流供給用トランジスタ $Q d 1 \sim Q d 6$ に特性ばらつきが生じてしまう。そのため、基準電圧 $V r e f$ を基準値として、異なった単一ラインドライバ $R D 1 \sim R D i$ のデジタル・アナログ変換回路 $21a$ 間の第 $1 \sim 6$ の電流供給用トランジスタ $Q d 1 \sim Q d 6$ の各ゲートに前記基準電圧 $V r e f$ を供給すると、各単一ラインドライバ $R D 1 \sim R D i$ 間で同じ画像デジタルデータに対して異なった大きさのデータ電流 $I D$ が出力されることとなる。これに対して、本発明の有機 $E L$ ディスプレイ 10 は、各単一ラインドライバ $R D 1 \sim R D i$ は基準電流 $I r e f$ を基準値とするため、各第 $1 \sim 6$ の電流供給用トランジスタ $Q d 1 \sim Q d 6$ はその閾値電圧の影響を受けることはない。その結果、異なった単一ラインドライバ $R D 1 \sim R D i$ 間において、同一画像デジタルデータに対して異なった大きさのデータ電流 $I D$ が出力されることはない。従って、画像デジタルデータに応じてデータ電流 $I D$ を精度良く制御することができる。この結果、有機 $E L$ ディスプレイ 10 の表示品位を向上させることができる。

10

【0094】

また、前記デジタル・アナログ変換回路 $21a$ は前記したように構成することによって、全てのデータ線 $X 1 \sim X m$ に対して同じ回路構成で 사용할ことができる。即ち、マスタードライバの第 1 のデータ線 $X 1$ と接続されたデジタル・アナログ変換回路 $21a$ においては、その入力端子には基準電圧 $V r e f$ を供給するようにする。一方、他のデジタル・アナログ変換回路 $21a$ の入力端子には基準電流 $I r e f$ を供給するようにする。この結果、単一ラインドライバ $R D 1 \sim R D i$ を全て同じ回路構成で製造することができるので、その製造コストを削減することができる。

20

【0095】

尚、有機 $E L$ ディスプレイ 10 、デジタル・アナログ変換回路 $21a$ 、及び、データ線駆動回路 14 は、特許請求の範囲に記載の電気光学装置、電子回路、及び、データ電流供給回路または電子装置に対応している。また、前記第 1 の変換用トランジスタ $Q a$ 及び第 2 の変換用トランジスタ $Q b$ は、それぞれ、特許請求の範囲に記載の第 1 のトランジスタ及び第 6 のトランジスタに対応している。更に、第 $1 \sim 6$ の電流供給用トランジスタ $Q d 1 \sim Q d 6$ 及び第 $1 \sim 6$ のスイッチング用トランジスタ $Q s 1 \sim Q s 6$ は、それぞれ、特許請求の範囲に記載の複数の第 2 のトランジスタ及び第 3 のトランジスタに対応している。基準電流生成用トランジスタ $Q r e f$ 及びデータ電流 $I D$ は、特許請求の範囲に記載の第 4 のトランジスタ及び駆動電流量にそれぞれ対応している。

30

【0096】

また、前記第 $1 \sim 6$ のデジタル信号線 $23a \sim 23f$ 及びアナログ出力端子 $U a$ は、特許請求の範囲に記載の信号線及び出力端子にそれぞれ対応している。さらに、前記第 2 の変換用トランジスタ $Q b$ のゲート、第 $2 \sim 6$ の電流供給用トランジスタのゲート及び第 $1 \sim 6$ のスイッチング用トランジスタ $Q s 1 \sim Q s 6$ のゲートは、それぞれ、特許請求の範囲に記載の第 1 の制御用端子、第 2 の制御用端子及び第 3 の制御用端子に対応している。また、前記基準電流生成用トランジスタのゲート、第 1 の電流供給用トランジスタのゲート、第 1 の変換用トランジスタ $Q a$ のゲートは、それぞれ、特許請求の範囲に記載の第 4 の制御用端子、第 5 の制御用端子及び第 6 の制御用端子に対応している。

40

【0097】

前記実施形態の有機 $E L$ ディスプレイによれば、以下のような特徴を得ることができる。

(1) 前記実施形態では、単一ラインドライバ $R D 1 \sim R D i$ のデジタル・アナログ変換回路 $21a$ に第 $1 \sim 6$ の電流供給用トランジスタ $Q d 1 \sim Q d 6$ の各々とカレントミラ

50

一回路を構成する第1の変換用トランジスタ Q_a と、カレントミラー回路を構成する基準電流生成用トランジスタ Q_{ref} を形成した。そして、その基準電流生成用トランジスタ Q_{ref} の利得係数 r_{ref} を前記第1の変換用トランジスタ Q_a の利得係数と等しくなるように設定した。また、前記基準電流生成用トランジスタ Q_{ref} の出力端子 P_o を隣接して形成される他の単一ラインドライバ $R_{D1} \sim R_{Di}$ のデジタル・アナログ変換回路21aの入力端子 P_i に接続した。

【0098】

このようにすることによって、前記他の単一ラインドライバのデジタル・アナログ変換回路21aでは前記基準電流 I_{ref} を基準値として画像デジタルデータに応じたデータ電流 I_D を出力することができる。このとき、データ電流 I_D は、前記第1～6の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ の閾値電圧の影響を受けることはない。その結果、異なった単一ラインドライバ $R_{D1} \sim R_{Di}$ 間において、同一画像デジタルデータに対して異なった大きさのデータ電流 I_D が出力されることはない。従って、画像デジタルデータに応じてデータ電流 I_D を精度良く制御することができる。その結果、有機ELディスプレイ10の表示品位を向上させることができる。

10

【0099】

(2) 前記実施形態では、基準電流 I_{ref} を生成するマスタードライバとその基準電流 I_{ref} に応じて駆動するスレーブドライバの回路構成は全て同じである。従って、前記マスタードライバと前記スレーブドライバとを区別して使用する必要はない。この結果、単一ラインドライバの製造コストを削減することができる。

20

【0100】

(第2実施形態)

次に、第1実施形態で説明した電気光学装置としての有機ELディスプレイ10の電子機器の適用について図6に従って説明する。有機ELディスプレイ10は、モバイル型のパーソナルコンピュータ、携帯電話、デジタルカメラ等種々の電子機器に適用できる。

【0101】

図6は、モバイル型パーソナルコンピュータの構成を示す斜視図を示す。図6において、パーソナルコンピュータ30は、キーボード31を備えた本体部32と、前記有機ELディスプレイ10を用いた表示ユニット33とを備えている。この場合においても、有機ELディスプレイ10を用いた表示ユニット33の表示品位を向上させることができる。

30

【0102】

尚、発明の実施形態は、上記実施形態に限定されるものではなく、以下のように実施してもよい。

上記実施形態では、画像デジタルデータを6ビットとし、その6ビットの画像デジタルデータに応じて、デジタル・アナログ変換回路21aを6ビットの電流出力型デジタル・アナログ型変換回路に適用した。これを6ビット以外のデジタル・アナログ型変換回路に適用してもよい。このようにすることで、上記実施形態と同様の効果を得ることができる。

【0103】

上記実施形態では、デジタル・アナログ変換回路21aを構成する第1及び第2の変換用トランジスタ Q_a 、 Q_b 、第1～6の電流供給用トランジスタ $Q_{d1} \sim Q_{d6}$ の導電型をn型としたが、p型にしてもよい。このようにすることで、上記実施形態と同様の効果を得ることができる。

40

【0104】

上記実施形態では、1色からなる有機EL素子16の画素回路15を設けた有機ELディスプレイ10であったが、赤色、緑色及び青色の3色の有機EL素子16に対して各色用の画素回路15を設けたELディスプレイに適用しても良い。

【0105】

上記実施形態では、画素回路15に具体化して好適な効果を得たが、有機EL素子21以外の例えばLEDやFED等の発光素子のような電流駆動素子を駆動する単位回路に具

50

体化してもよい。RAM等（特にMRAM）の記憶装置に具体化してもよい。

【0106】

上記第1実施形態では、電流駆動素子として有機EL素子16について具体化した但、無機EL素子に具体化してもよい。つまり、無機EL素子からなる無機ELディスプレイに応用しても良い。

【図面の簡単な説明】

【図1】第1実施形態の有機ELディスプレイの電氣的構成を示すブロック回路図である。

【図2】表示パネル部の回路構成を示すブロック回路図である。

【図3】画素回路の回路図である。

【図4】データ線駆動回路の内部構成図である。

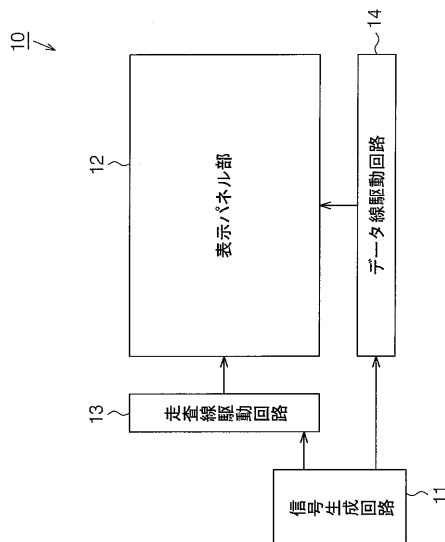
【図5】デジタル・アナログ変換回路の回路図である。

【図6】第2実施形態を説明するためのモバイル型パーソナルコンピュータの構成を示す斜視図である。

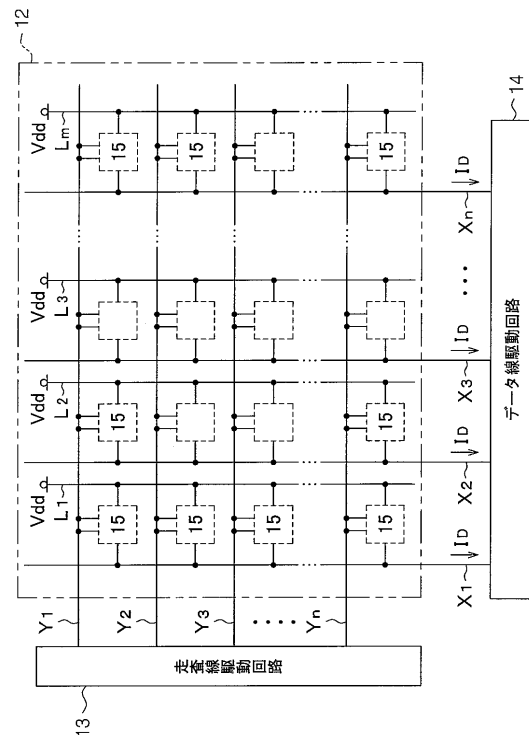
【符号の説明】

ID・・・駆動電流量としてのデータ電流、Qa・・・第1のトランジスタとしての第1の変換用トランジスタ、Qb・・・第6のトランジスタとしての第2の変換用トランジスタ、Qd1～Qd6・・・第2のトランジスタとしての第1～第6の電流生成用トランジスタ、Qs1～Qs6・・・第3のトランジスタとしての第1～第6のスイッチング用トランジスタ、Qref・・・第4のトランジスタとしての基準電流生成用トランジスタ、10・・・電気光学装置としての有機ELディスプレイ、14・・・電子装置またはデータ電流供給回路としてのデータ線駆動回路、15・・・画素回路、16・・・電気光学素子としての有機EL素子、20・・・制御回路、21a・・・電子回路としてのデジタル・アナログ変換回路、70・・・電子機器としてのモバイル型パーソナルコンピュータ。

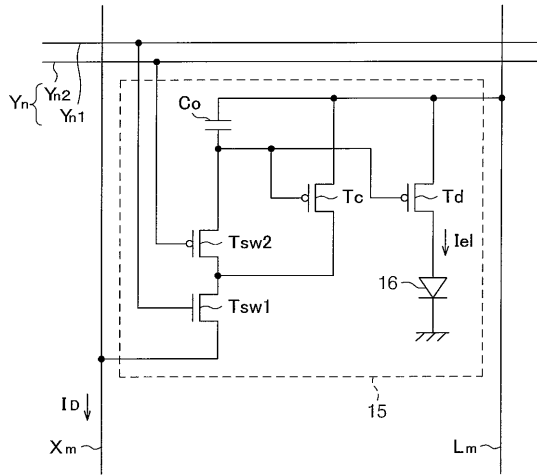
【図1】



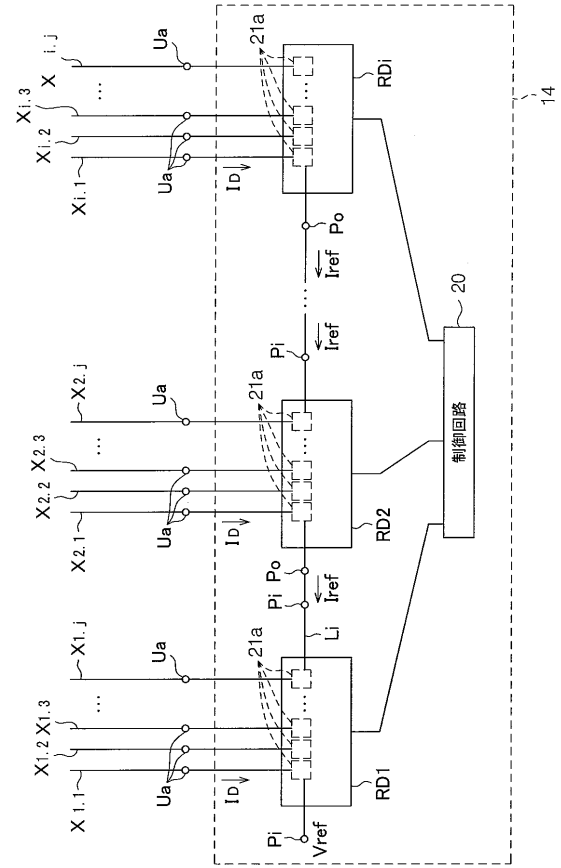
【図2】



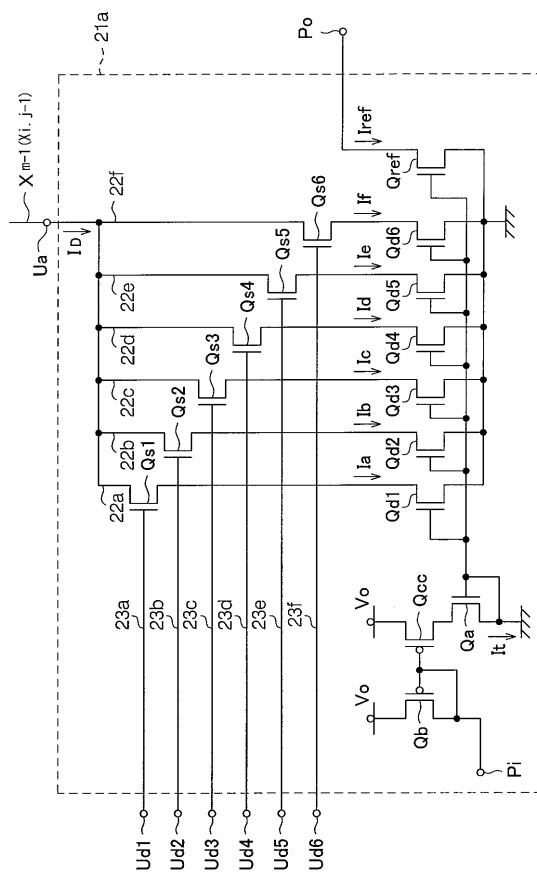
【図 3】



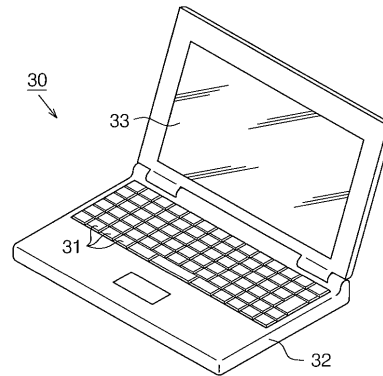
【図 4】



【図 5】



【図 6】



 フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 5 B 33/14	G 0 9 G 3/30	K
	H 0 3 K 17/00	M
	H 0 3 K 17/693	C
	H 0 5 B 33/14	A

F ターム(参考) 5C080 AA06 BB05 DD05 DD27 EE29 FF03 FF11 HH09 JJ02 JJ03
 JJ06 KK04
 5J022 AB04 BA01 CB03 CF04 CF07
 5J055 AX48 BX09 CX29 DX12 DX22 EX07 EX33 EY21 EZ04 EZ68
 FX05 FX12 FX28 GX01 GX02