



(21) 申請案號：107127534

(22) 申請日：中華民國 107 (2018) 年 08 月 08 日

(51) Int. Cl. :

G01R31/317 (2006.01)**G11C7/10 (2006.01)****G11C7/22 (2006.01)**

(30) 優先權：2017/08/22

美國

15/683,430

(71) 申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72) 發明人：殿千秋 DONO, CHIAKI (JP)

(74) 代理人：陳長文

申請實體審查：有 申請專利範圍項數：27 項 圖式數：6 共 43 頁

(54) 名稱

半導體記憶體裝置

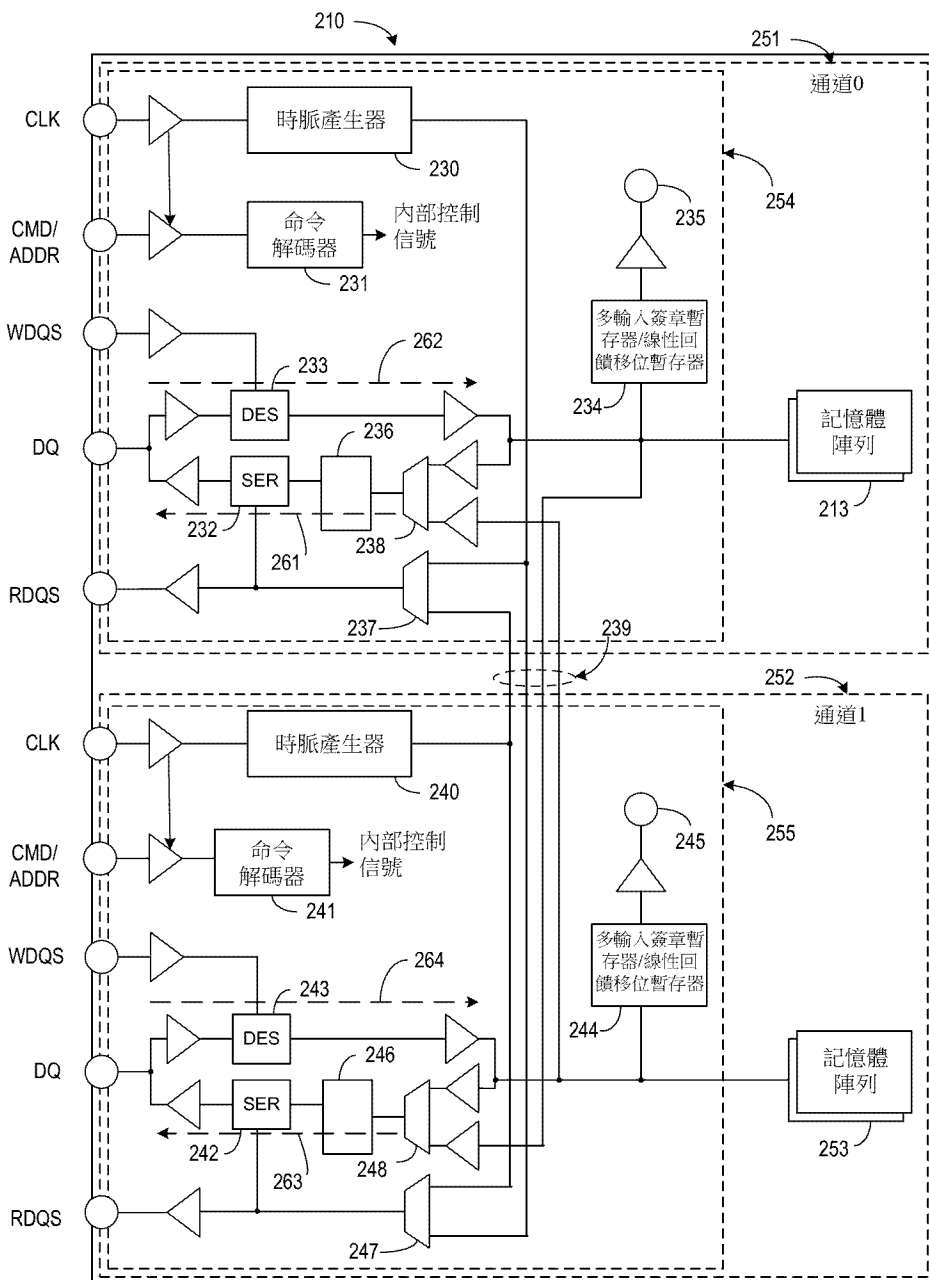
SEMICONDUCTOR MEMORY DEVICE

(57) 摘要

本發明提供用於使用整合式測試資料路徑之記憶體 I/O 測試之技術。在一實例中，一種用於操作一記憶體設備之輸入/輸出資料路徑之方法可包括：在一第一模式期間，於該記憶體設備之一第一通道之一資料端子處經由一第一資料路徑自該第一通道之一記憶體陣列接收非測試資訊；在一第一測試模式期間，於該第一通道之該資料端子處自一第一額外資料路徑接收第一測試資訊，該第一額外資料路徑耦合該第一通道與該記憶體設備之一第二通道，並且其中該記憶體設備之一介面晶粒包括該第一資料路徑及該額外資料路徑。

Techniques for memory I/O tests using integrated test data paths are provided. In an example, a method for operating input/output data paths of a memory apparatus can include receiving, during a first mode, non-test information at a data terminal of a first channel of the memory apparatus from a memory array of the first channel via a first data path, receiving during a first test mode, first test information at the data terminal of the first channel from a first additional data path coupling the first channel with a second channel of the memory apparatus, and wherein an interface die of the memory apparatus includes the first data path and the additional data path.

指定代表圖：



【圖2A】

符號簡單說明：

210 . . . 多通道單一
半導體記憶體晶片/記
憶體子系統

213 . . . 記憶體陣
列/通道0 記憶體陣列

230 . . . 選用時脈產
生器

231 . . . 命令解碼器

232 . . . 資料序列化
器/序列化器

233 . . . 資料解串列
化器/解串列化器

234 . . . 多功能暫存
器系統/暫存器

235 . . . 串列輸出端
子/串列測試輸出

236 . . . 讀取先進先
出緩衝器

237 . . . 讀取資料選
通多工器

238 . . . 讀取資料多
工器

239 . . . 額外通道互
連件

240 . . . 選用時脈產
生器

241 . . . 命令解碼器

242 . . . 資料序列化
器/序列化器

243 . . . 資料解串列
化器/解串列化器

244 . . . 多功能暫存
器系統/暫存器

245 . . . 串列輸出端
子/串列測試輸出

246 . . . 讀取先進先
出緩衝器

- 247 . . . 讀取資料選
通多工器
- 248 . . . 讀取資料多
工器
- 251 . . . 通道/通道 0
- 252 . . . 通道/通道 1
- 253 . . . 記憶體陣列
- 254 . . . 輸入/輸出
邏輯電路/實例輸入/輸
出邏輯電路/邏輯電路
- 255 . . . 輸入/輸出
邏輯電路/實例輸入/輸
出邏輯電路/邏輯電路
- 261 . . . 第一資料路
徑/資料路徑
- 262 . . . 第二資料路
徑/資料路徑
- 263 . . . 第三資料路
徑/資料路徑
- 264 . . . 第四資料路
徑/資料路徑

【發明說明書】

【中文發明名稱】

半導體記憶體裝置

【英文發明名稱】

SEMICONDUCTOR MEMORY DEVICE

【技術領域】

【先前技術】

【0001】一種環回測試(loopback test)已用於評估大規模積體(LSI)電路之輸入及輸出(I/O)端子操作之操作。然而，對某些形式之記憶體執行一環回測試係困難的。舉例而言，對於應用於組合至一系統級封裝(SIP)中之裝置的非組件形式之記憶體、具有大數目個I/O之一記憶體或一高速記憶體，此類測試係困難的，此乃因此類記憶體難以組態在一額外測試裝備或一外部測試板上。當記憶體經組態用於SIP時，因為可存取性且因為外部I/O連接之大數目及密度，若干個記憶體I/O無法經受經由外部測試裝備進行直接測試。為提供可組態一環回測試之測試裝備，將需要SIP系統之不合意擴大及顯著成本。此擴大將導致提供至I/O端子之可靠實體連接性或導致容納用於產生及收集所測試I/O電路之測試資料的額外端子或專門電路。

【0002】對於諸如高頻寬記憶體(HBM)之多個記憶體系統，其中裸DRAM經堆疊且與一記憶體控制器一起安裝於一基板上，例如一矽(Si)中介層，當至I/O之測試介面可包括直徑為25 μm 之1280或更多個微凸塊(μ 凸塊)時，可靠地組態及執行諸如一個八通道經堆疊記憶體子系統之一探測測試係困難且資源昂貴的。

【發明內容】**【圖式簡單說明】**

【0003】 在圖式(其未必按比例繪製)中，相似編號可在不同視圖中闡述類似組件。具有不同字母後綴的相似編號可表示類似組件之不同例項。圖式通常以實例方式而非限制方式圖解說明本文件中所論述之各種實施例。

圖1A及圖1B大體上圖解說明習用外部環回測試系統。

圖2A至圖2C大體上圖解說明用於一單一半導體多通道記憶體裝置之兩個通道之實例I/O邏輯電路，其允許在無需晶片外資料路徑之情形下對每一通道之I/O邏輯電路執行環回測試。

圖3大體上圖解說明可裝運至一供應商以便整合至一記憶體系統中之實例記憶體子系統。

圖4大體上圖解說明一實例記憶體封裝。

圖5A至圖5C大體上圖解說明用於一經堆疊多通道記憶體子系統之兩個通道之實例I/O邏輯電路，其允許在無需晶片外資料路徑之情形下對每一通道之I/O邏輯電路執行環回測試。

圖6大體上圖解說明用於在進行一I/O環回測試時操作一經堆疊記憶體子系統之一實例方法之一流程圖。

【實施方式】

【0004】 本發明解決用於提供一積體電路封裝之I/O電路之環回測試之設備及方法之問題，其可避免積體電路之擴大及/或昂貴的配接器以將I/O連接至外部測試裝備。圖1A大體上圖解說明習用外部環回測試系統100。在一實例中，測試系統100可包括：一第一記憶體電路101，其包括

一第一I/O電路111；一第二記憶體電路102，其包括一第二I/O電路112；及一外部測試板103。舉例而言，可藉由以下操作進行第一環回測試：自第一記憶體電路101中之一記憶體陣列113提供資料，使用第一記憶體電路101之I/O電路111將資料發送至外部測試板103，在第二記憶體電路102之I/O電路112處自測試板103接收資料，使用第二記憶體電路102之一記憶體陣列114保存資料，並比較所產生資料與所保存資料以評估各別I/O電路111、112之操作。一第二環回測試可產生測試資料並將測試資料自第二記憶體電路102傳遞至第一記憶體電路101。習用環回測試依賴於兩個記憶體電路101、102之功能。

【0005】圖1B圖解說明另一種習用外部環回測試系統100'，其可運用安裝至一母板105之記憶體電路101執行環回測試。在此設置中，亦安裝至母板105之一記憶體控制器104可使用例如記憶體電路101之一I/O電路111之寫入路徑產生測試資料並將測試資料發送至記憶體電路101。測試資料可儲存於記憶體電路101之一特定暫存器106中。測試資料使用例如I/O電路111之一讀取路徑傳輸回至記憶體控制器104。然後可比較所產生測試資料與自記憶體I/O電路111所接收之測試資料以評估記憶體I/O電路111之操作。在某些實例中，一環回測試系統100可使用一特定暫存器106來儲存測試資料，使得記憶體陣列113之操作不影響I/O電路111之測試。

【0006】圖2A至圖2C大體上圖解說明用於一多通道單一半導體記憶體晶片210之兩個通道251、252之實例I/O邏輯電路，其允許在無需晶片外資料路徑(諸如，以上關於圖1所論述之資料路徑)之情形下對每一通道之I/O邏輯電路254、255執行環回測試資料。在某些實例中，每一通道

251、252之I/O邏輯電路254、255可包括：與微凸塊、接合墊、接腳、端子或諸如此類(諸如一時脈端子(CLK))相關聯之外部連接；一或多個命令及位址端子(CMD/ADDR)；一寫入資料選通輸入(WDQS)、一讀取資料選通輸出(RDQS)及一或多個資料端子(DQ)。每一通道251、252之I/O邏輯電路254、255可進一步包括：一選用時脈產生器230、240；一命令解碼器231、241，資料串列化器232、242；資料解串列化器233、243；一控制器(未展示)及若干個緩衝器(Δ)。每一邏輯電路可耦合至一記憶體陣列213、215。與用於多通道記憶體系統之習用I/O邏輯電路不同，實例I/O邏輯電路254、255可各自包括一多功能暫存器系統234、244，一或多個串列輸出端子235、245，一讀取先進先出緩衝器236、246，一讀取資料選通多工器237、247，一讀取資料多工器238、248及額外通道互連件239，以允許對每一通道251、252之邏輯電路254、255進行環回測試。在某些實例中，一記憶體介面電路212可包括I/O邏輯電路254、255。

【0007】 在某些實例中，每一通道251、252之多功能暫存器系統234、244可耦合至該通道之對應記憶體陣列213、253之資料匯流排。在某些實例中，多功能暫存器系統234、244可包括一線性回饋移位暫存器(LFSR)、一多輸入簽章暫存器(MISR)或其組合。

【0008】 一般而言，通道0可包括：一第一資料路徑261，其用於經由一資料信號將資訊自舉例而言諸如多功能暫存器系統234或記憶體陣列213之一內部電路移動至通道0之資料端子(DQ)；及一第二資料路徑262，其用於經由一資料信號將資訊自舉例而言資料端子(DQ)移動至內部電路。舉例而言，第二資料路徑262可用於將資訊移動至通道0之一記憶體陣列213，此乃因在某些實例中，記憶體陣列213之資料匯流排可形成內

部電路之部分。此一操作可係至通道0記憶體陣列213之一寫入操作之部分。舉例而言，第一資料路徑261可用於自通道0之記憶體陣列213讀取資訊。

【0009】 類似地，通道1可包括：一第三資料路徑263，其用於經由一資料信號將資訊舉例而言自通道1之內部電路移動至通道1之資料端子；及一第四資料路徑264，其用於將資訊自通道1之資料端子移動至通道1之內部電路。舉例而言，第三資料路徑263可用於自通道1之一記憶體陣列253讀取資訊，此乃因在某些實例中，記憶體陣列253之資料匯流排可形成通道1之內部電路之一部分。舉例而言，第四資料路徑264可用於將資訊寫入至通道1之記憶體陣列253。

【0010】 圖2B大體上圖解說明：實例I/O邏輯電路254、255，其用於一多通道單一半導體記憶體晶片210之兩個通道251、252；及資料路徑261至264，其用於在每一通道251、252之資料端子與內部電路之間傳遞或運送資料，以及在一第一通道(在此實例中，係通道0(251))之I/O邏輯電路之一環回測試期間在兩個通道之間傳遞或運送測試資料。在通道0(251)之環回測試期間，可啟用一第一額外資料路徑265以在第一資料路徑261及通道1之內部電路之間移動資訊。在某些實例中，在通道0之一環回測試期間，通道1之內部電路可產生測試資訊，且可使用一信號及第一額外資料路徑265亦經由第一資料路徑261以將測試資訊自通道1之內部電路移動至通道0之資料端子(DQ)。另外，第二資料路徑262可將測試資訊自通道0之資料端子(DQ)移動至通道0之內部電路。在通道0之環回測試期間，通道1之內部電路之暫存器244可包括一LFSR以產生測試資訊，且通道0之暫存器234可包括一MISR以接收測試資料。在某些實例中，可使用額外

通道互連件239中之一或多者並選擇通道0(251)之讀取資料多工器238之適當路徑來形成或啟動第一額外資料路徑265。在某些實例中，可將由LFSR產生之測試資訊及於MISR處接收之測試資訊供應至外部測試裝備供用於比較及分析。在某些實例中，每一I/O邏輯電路254、255之一串列測試輸出235、245可用於將對應測試資訊供應至外部測試裝備。在某些實例中，串列測試輸出235、245可根據諸如JTAG或IEEE標準1500(P1500)之一標準提供測試資訊。

【0011】 在某些實例中，可將來自通道1(252)之一時脈信號多工成不僅應用於通道1之讀取資料選通輸出(RDQS)，且亦應用於通道0之讀取資料選通輸出(RDQS)。可藉由選擇穿過每一讀取資料選通多工器237、247之適當路徑來形成此一時脈路徑。此一時脈信號可在通道0之環回測試期間調步(pace)資訊之移動。

【0012】 總之，對於某些實例，用於通道0(251)之I/O邏輯電路254之一環回測試之測試資料之流動可於通道1(252)之暫存器244處開始且前進通過以下元件及路徑：自通道1至通道0之額外資料路徑265，經由串列化器232之資料路徑261、通道0之資料端子(DQ)，經由解串列化器233之資料路徑262及通道0之暫存器234。另外，來自通道1之一時脈信號可經由額外通道互連件239之一額外時脈路徑流動，以調步通道0之串列化器232。於通道0之寫入資料選通輸入(WDQS)處接收之一時脈信號可調步通道0之解串列化器233。

【0013】 圖2C大體上圖解說明：實例I/O邏輯電路254、255，其用於一多通道單一半導體記憶體晶片210之兩個通道251、252；及資料路徑261至264，其用於在每一通道251、252之資料端子與內部電路之間傳遞

資料，以及在一第一通道(在此實例中，係通道1(252))之I/O邏輯電路之一環回測試期間在兩個通道之間傳遞測試資料。在通道1(252)之環回測試期間，可啟用一第二額外資料路徑266以在通道0之內部電路與通道1之內部電路之間移動資訊。在某些實例中，在通道1之一環回測試期間，通道0之內部電路可產生測試資訊，且可使用一信號及第二額外資料路徑266亦經由第三資料路徑263以將測試資訊自通道0之內部電路移動至通道1之資料端子(DQ)。另外，第四資料路徑264可將測試資訊自通道1之資料端子(DQ)移動至通道1之內部電路。在通道1之環回測試期間，通道0之內部電路之暫存器234可包括一LFSR以產生測試資訊，且通道1之暫存器244可包括一MISR以接收測試資料。在某些實例中，可使用額外通道互連件239中之一或多者並選擇通道1(252)之讀取資料多工器248之適當路徑來形成或啟動第二額外資料路徑266。在某些實例中，可將由LFSR產生之測試資訊及於MISR處接收之測試資訊供應至外部測試裝備供用於比較及分析。在某些實例中，每一I/O邏輯電路254、255之一串列測試輸出235、245可用於將對應測試資訊供應至外部測試裝備。在某些實例中，串列測試輸出235、245可根據諸如JTAG或IEEE標準1500(P1500)之一標準提供測試資訊。

【0014】 在某些實例中，可將來自通道0(251)之一時脈信號多工成不僅應用於通道0之讀取資料選通輸出(RDQS)，且亦應用於通道1之讀取資料選通輸出(RDQS)。可藉由選擇穿過每一讀取資料選通多工器237、247之適當路徑來形成此一時脈路徑。此一信號可在通道1之環回測試期間調步資訊之移動。

【0015】 總之，對於某些實例，用於通道1(252)之I/O邏輯電路255

之一環回測試之測試資料之流動可於通道0(251)之暫存器234處開始且前進通過以下元件及路徑：自通道0至通道1之額外資料路徑266，經由串列化器242之資料路徑263、通道1之資料端子(DQ)，經由解串列化器243之資料路徑264及通道1之暫存器244。另外，來自通道0之一時脈信號可經由額外通道互連件239之一額外時脈路徑流動以調步通道1之串列化器242。於通道1之寫入資料選通輸入(WDQS)處接收之一時脈信號可調步通道1之解串列化器243。

【0016】 在某些實例中，且如在圖2B及圖2C之實例中可觀察到，可在多通道單一半導體記憶體晶片210外部沒有一資料環迴路徑之情形下達成該多通道單一半導體記憶體晶片210之I/O電路之環回測試。另外，舉例而言，可在多通道單一半導體記憶體晶片210之記憶體介面電路212中併入經添加跡線及邏輯電路以提供額外資料路徑265、266，使得記憶體子系統210極少或沒有實體擴展。

【0017】 在某些實例中，在非測試模式期間，讀取資料多工器238、248可隔離額外資料路徑265、266以免在通道0與通道1之間交換資料。在測試模式期間，通道0之讀取資料多工器238可將通道1之記憶體陣列與第三資料路徑263隔離，且通道1之讀取資料多工器248可將通道0之記憶體陣列與第一資料路徑261隔離。

【0018】 圖3大體上圖解說明可裝運至一供應商以便整合至一記憶體系統中之一實例記憶體子系統310。記憶體子系統310可包括記憶體電路311或記憶體晶粒之一堆疊，及一記憶體介面電路312。在某些實例中，每一記憶體電路/晶粒311可包括一多記憶體陣列313。一或多個記憶體陣列313可與記憶體子系統310之對應通道(通道A-H)相關聯。在某些實例

中，記憶體子系統可包括高頻寬記憶體(HBM) (其可具有多種形式，具有可自Micron Technology, Inc購得之混合記憶體立方體且根據來自Hybrid Memory Cube Consortium之一或多個規範)、寬I/O(WIO)記憶體或諸如雙資料速率型五同步圖形隨機存取記憶體(GDDR5X)之高速記憶體。此等技術可包括或可用於提供多通道記憶體電路。在某些實例中，與單通道記憶體電路相比，多通道記憶體電路可獨立於其他通道使用每一通道，且可導致記憶體頻寬之大幅增加。所圖解說明之記憶體子系統310包括可獨立操作以存取記憶體陣列313的八個通道(通道A-H)。在某些實例中，記憶體介面電路312包括促進對堆疊於其上之記憶體電路311之控制及/或管理之邏輯功能。舉例而言，在非測試模式中，記憶體介面電路312可提供介面電路以自一記憶體控制器接收控制資訊且使用獨立通道(通道A-H)在記憶體陣列313與外部電路之間移動非測試資訊。如本文中所闡述，記憶體介面電路312亦可經構造以達成記憶體介面電路313之測試模式操作，如下文所論述。

【0019】圖4大體上圖解說明一實例記憶體封裝420。在某些實例中，該記憶體封裝可包括一封裝基板421、一中介層422、一記憶體控制器423、一記憶體子系統410及一殼體424。封裝基板421可提供一基礎結構，記憶體封裝420之其他組件可安裝於該基礎結構上。封裝基板421亦可提供至外部組件之電連接。中介層422可在封裝基板421與記憶體子系統410及記憶體控制器423中之每一者之間提供外部信號傳送。中介層422亦可在記憶體控制器423與記憶體子系統410之間提供內部信號傳送。殼體424可保護記憶體封裝420之組件。記憶體子系統410可包括記憶體電路411之一堆疊及一記憶體介面電路412。在某些實例中，可使用穿矽(或基

板)導通體426(TSV)或連接接腳在經堆疊電路之間傳遞信號。可使用微凸塊427以電方式及機械方式將每一電路安裝至一毗鄰電路或中介層422。

【0020】 接收記憶體子系統410之一供應商可將記憶體子系統410整合至一記憶體封裝420中，該記憶體封裝420可包括記憶體控制器423、中介層422、封裝基板421及殼體424。在某些實例中，記憶體子系統410之記憶體介面電路可包括若干個微凸塊427用於與中介層420介接。在一實例中，可將一通道之微凸塊427指配用於資料(128)、行命令/位址(8)、列命令/位址(8)、資料匯流排反轉(16)、資料遮罩/錯誤檢查(16)、選通(16)、時脈(2)及時脈啟用(1)。對於一個八通道記憶體子系統，記憶體介面電路412可包括1280或更多個微凸塊427。由於微凸塊427之大小及密度，出於測試模式之目的與記憶體子系統410之I/O電路介接可係困難且昂貴的。應理解，對於多通道記憶體子系統之不同實施例，每通道微凸塊之不同數目係可能的，且此等子系統在本發明標的物之範疇內。

【0021】 本發明標的物提供在不增加記憶體子系統410之大小或不依賴於昂貴測試裝備以與記憶體介面電路412之微凸塊427介接之情形下用於實施記憶體子系統410之I/O電路測試之設備及方法。

【0022】 圖5A至圖5C大體上圖解說明用於一多通道記憶體子系統510之兩個通道551、552之實例I/O邏輯電路，其允許在不需諸如以上關於圖1所論述之資料路徑之電路外資料路徑之情形下對每一通道之I/O邏輯電路554、555執行環回測試。在某些實例中，每一通道551、552之I/O邏輯電路554、555可包括：與諸如一時脈端子(CLK)之微凸塊527(繪示為圓圈)或探針墊508(繪示為正方形)相關聯之外部連接，一或多個命令及位址端子(CMD/ADDR)，一寫入資料選通輸入(WDQS)，一讀取資料選通輸

出(RDQS)及一或多個資料端子(DQ)。在某些實例中，探針墊508可由測試裝備590經由一測試板上之一基板591用於提供信號至多通道記憶體子系統510。每一通道551、552之I/O邏輯電路554、555可進一步包括：一選用時脈產生器530、540，一命令解碼器531、541，資料串列化器532、542，資料解串列化器533、543，一控制器(未展示)及若干個緩衝器(Δ)。每一邏輯電路可耦合至一或多個記憶體裝置511之一記憶體陣列513、553。與用於多通道記憶體系統之習用I/O邏輯電路不同，實例I/O邏輯電路554、555可各自包括：一多功能暫存器系統534、544，一或多個串列輸出端子535、545，一讀取先進先出緩衝器536、546，一讀取資料選通多工器537、547，一讀取資料多工器538、548及額外通道互連件539，以允許對每一通道551、552之邏輯電路554、555進行環回測試。在某些實例中，一記憶體介面電路512可包括I/O邏輯電路554、555。在某些實例中，記憶體陣列513、553可與記憶體介面電路512堆疊。在此等實例中，穿矽導通體(TSV)526可提供導體，用於在記憶體陣列513、553與記憶體介面電路512之I/O邏輯電路554、555之間傳遞信號。

【0023】 在某些實例中，每一通道551、552之多功能暫存器系統534、544可耦合至該通道之對應記憶體陣列513、553之資料匯流排。在某些實例中，多功能暫存器系統534、544可包括一線性回饋移位暫存器(LFSR)、一多輸入簽章暫存器(MISR)或其組合。

【0024】 一般而言，通道0可包括：一第一資料路徑561，其經由一資料信號將資訊舉例而言自諸如多功能暫存器系統534或記憶體陣列513之一內部電路移動至通道0之資料端子(DQ)；及一第二資料路徑562，其經由一資料信號將資訊舉例而言自資料端子(DQ)移動至內部電路。第二

資料路徑562可用於將資訊舉例而言移動至通道0之一記憶體陣列513，此乃因在某些實例中，記憶體陣列513之資料匯流排可形成內部電路之部分。此一操作可係至通道0記憶體陣列513之一寫入操作之部分。舉例而言，第一資料路徑561可用於自通道0之記憶體陣列513讀取資訊。

【0025】 類似地，通道1可包括：一第三資料路徑563，其經由一資料信號將資訊舉例而言自通道1之內部電路移動至通道1之資料端子；及一第四資料路徑564，其用於將資訊自通道1之資料端子移動至通道1之內部電路。舉例而言，第三資料路徑563可用於自通道1之一記憶體陣列553讀取資訊，此乃因在某些實例中，記憶體陣列553之資料匯流排可形成通道1之內部電路之一部分。舉例而言，第四資料路徑564可用於將資訊寫入至通道1之記憶體陣列553。

【0026】 圖5B大體上圖解說明實例I/O邏輯電路554、555，其用於一多通道單一半導體記憶體晶片510之兩個通道551、552；及資料路徑561至564，其用於在每一通道551、552之資料端子與內部電路之間傳遞資料，以及在一第一通道(在此實例中，係通道1(552))之I/O邏輯電路之一環回測試期間傳遞測試資料。在通道1(552)之環回測試期間，可啟用一第二額外資料路徑566以在通道0之內部電路與通道1之內部電路之間移動資訊。在某些實例中，在通道1之一環回測試期間，通道0之內部電路可產生測試資訊，且可使用一信號及第二額外資料路徑566亦經由第三資料路徑563以將測試資訊自通道0之內部電路移動至通道1之資料端子(DQ)。另外，第四資料路徑564可將測試資訊自通道1之資料端子(DQ)移動至通道1之內部電路。在通道1之環回測試期間，通道0之內部電路之暫存器534可包括一LFSR以產生測試資訊，且通道1之暫存器544可包括一MISR以接

收測試資料。在某些實例中，可使用額外通道互連件539中之一或多者並選擇通道1(552)之讀取資料多工器548之適當路徑來形成或啟動第二額外資料路徑566。在某些實例中，可將由LFSR產生之測試資訊及於MISR處接收之測試資訊供應至外部測試裝備供用於比較及分析。在某些實例中，每一I/O邏輯電路554、555之一串列測試輸出535、545可用於將對應測試資訊供應至外部測試裝備。在某些實例中，串列測試輸出535、545可根據諸如JTAG或IEEE標準1500(P1500)之一標準提供測試資訊。

【0027】 在某些實例中，來自通道0(551)之一時脈信號可經多工而不僅施加於通道0之讀取資料選通輸出(RDQS)，且亦施加於通道1之讀取資料選通輸出(RDQS)。可藉由選擇穿過每一讀取資料選通多工器537、547之適當路徑來形成此一時脈路徑。此一時脈信號可於通道1之環回測試期間調步資訊之移動。

【0028】 總而言之，對於某些實例，用於通道0(551)之I/O邏輯電路554之一環回測試之測試資料之流動可於通道1(552)之暫存器544處開始，並前進穿過以下元件及路徑：自通道1至通道0之額外資料路徑565，經由串列化器532之資料路徑561、通道0之資料端子(DQ)，經由通道0之解串列化器533及通道0之暫存器534之資料路徑562。另外，來自通道1之一時脈信號可經由額外通道互連件539之一額外時脈路徑流動，以調步通道0之串列化器532。於通道0之寫入資料選通輸入(WDQS)處接收之一時脈信號可調步通道0之解串列化器533。

【0029】 圖5C大體上圖解說明實例I/O邏輯電路554、555，其用於一多通道子系統510之兩個通道551、552，及資料路徑561-564，其用於在資料端子與每一通道551、552之內部電路之間傳遞或運送資料，以及

在一第一通道(在此實例中，係通道0(551))之I/O邏輯電路之一環回測試期間於兩個通道之間傳遞或運送測試資料。在通道0(551)之環回測試期間，可啟用一第一額外資料路徑565以在第一資料路徑561及通道1之內部電路之間移動資訊。在某些實例中，在通道0之一環回測試期間，通道1之內部電路可產生測試資訊，且可使用一信號及第一額外資料路徑365亦經由第一資料路徑561以將測試資訊自通道1之內部電路移動至通道0之資料端子(DQ)。另外，第二資料路徑562可將測試資訊自通道0之資料端子(DQ)移動至通道0之內部電路。在通道0之環回測試期間，通道1之內部電路之暫存器544可包括一LFSR以產生測試資訊，且通道0之暫存器534可包括一MISR以接收測試資料。在某些實例中，可使用額外通道互連件539中之一或多者並選擇通道0(551)之讀取資料多工器538之適當路徑來形成或啟動第一額外資料路徑565。在某些實例中，可將由LFSR產生之測試資訊及於MISR處接收之測試資訊供應至外部測試裝備供用於比較及分析。在某些實例中，每一I/O邏輯電路554、555之一串列測試輸出535、545可用於將對應測試資訊供應至外部測試裝備。在某些實例中，串列測試輸出535、545可根據諸如JTAG或IEEE標準1500(P1500)之一標準提供測試資訊。

【0030】 在某些實例中，來自通道1(552)之一時脈信號可經多工而不僅施加於通道1之讀取資料選通輸出(RDQS)，且亦施加於通道0之讀取資料選通輸出(RDQS)。可藉由選擇穿過每一讀取資料選通多工器537、547之適當路徑來形成此一時脈路徑。此一時脈信號可於通道0之環回測試期間調步資訊之移動。

【0031】 總而言之，對於某些實例，用於通道1(552)之I/O邏輯電路

555之一環回測試之測試資料之流動可於通道0(551)之暫存器534處開始，並前進穿過以下元件及路徑：通道0至通道1之額外資料路徑566，經由串列化器542之資料路徑563、通道1之資料端子(DQ)，經由通道1之解串列化器543及暫存器544之資料路徑564。另外，來自通道0之一時脈信號可經由額外通道互連件539之一額外時脈路徑流動，以調步通道1之串列化器542。於通道1之寫入資料選通輸入(WDQS)處接收之一時脈信號可調步通道1之解串列化器543。

【0032】 在某些實例中，且如在圖5B及圖5C之實例中可觀察到，可在沒有一經堆疊記憶體子系統510外部之一資料環迴路徑之情形下達成經堆疊記憶體子系統510之I/O電路之環回測試。另外，舉例而言，在記憶體子系統510很少有或沒有實體擴展時，可將用於提供額外資料路徑565、566之所添加跡線及邏輯電路併入於記憶體子系統510之記憶體介面電路512中。

【0033】 在某些實例中，在非測試模式期間，讀取資料多工器538、548可隔離額外資料路徑565、566以免在通道0與通道1之間交換資料。在測試模式期間，通道0之讀取資料多工器538可將通道1之記憶體陣列與第三資料路徑563隔離，且通道1之讀取資料多工器548可將通道0之記憶體陣列與第一資料路徑561隔離。

【0034】 圖6大體上圖解說明用於操作一多通道記憶體電路之一實例方法600之一流程圖。方法600可包括執行一I/O環回測試。在601處，記憶體設備可在通道資料端子與通道記憶體陣列之間移動非測試資訊。在某些實例中，可使用記憶體設備之八個獨立通道之資料路徑將非測試資料儲存於記憶體陣列上並自記憶體陣列擷取。在某些實例中，記憶體設備可包

括上文關於圖2A至圖2C所論述的一單一半導體記憶體設備。在某些實例中，記憶體設備可包括上文關於圖3、圖4及圖5A至圖5C所論述的一經堆疊記憶體設備。此步驟601可係選用的且因此係可省略的，或可於步驟605之後執行。

【0035】 在603處，在第一通道之I/O電路之一測試模式期間，可於第一通道之資料端子處自一額外資料路徑接收測試資訊，該額外資料路徑將第一通道耦合至另一第二通道。在某些實例中，第一通道之一讀取資料多工器可用於經由第一通道之一第一資料路徑及經堆疊記憶體設備之第一額外資料路徑將資料傳送至第一通道之資料端子。在某些實例中，經堆疊記憶體設備之額外資料路徑可耦合至記憶體設備之通道中之至少一者之一資料匯流排。在某些實例中，可於經堆疊記憶體設備之一記憶體介面電路上實體地實施額外資料路徑。在某些實例中，可於第二通道處使用一LFSR產生測試資料。

【0036】 在605處，可於第一通道之一暫存器處經由第一通道之一第二資料路徑自第一通道之資料端子接收測試資料。在某些實例中，該暫存器可係一MISR。在某些實例中，可於第一通道之一讀取資料選通端子處接收自第二通道接收之一讀取時脈信號。該讀取時脈信號可用於調步該測試資料之移動，例如，測試資料穿過第一通道之一資料路徑之一串列化器之移動。在某些實例中，在第一通道之I/O電路之測試模式期間，可於第一通道之一寫入資料選通端子處接收一寫入時脈信號。該寫入時脈信號可用於調步該測試資料之移動。舉例而言，該寫入時脈信號可經由第一通道之一資料路徑之一解串列化器，調步自第一通道之資料端子至MISR之測試資料之移動。

【0037】在某些實例中，經堆疊記憶體子系統之複數個額外資料路徑可耦合若干對通道，以允許每一通道之I/O電路測試，而無需一外部測試板以提供測試資料之環回測試路徑。在經堆疊記憶體子系統內提供額外資料路徑可消除對昂貴裝備之需要，同時增加包括顯著數目微凸塊I/O連接之經堆疊記憶體子系統之I/O測試可靠性。

【0038】

額外注釋

以上實施方式包括對形成實施方式之一部分之附圖之參考。該等圖式以圖解說明之方式展示其中可實踐本發明之具體實施例。此等實施例在本文中亦稱為「實例」。此等實例可包括除所展示或所闡述之彼等元件之外的元件。然而，本發明人亦預期其中僅提供所展示或所闡述之彼等元件之實例。此外，本發明人亦預期使用關於一特定實例(或其一或多個態樣)或關於本文中所展示或所闡述之其他實例(或其一或多個態樣)所展示或所闡述之彼等元件之任何組合或排列之實例(或其一或多個態樣)。

【0039】此文件中所參考之所有公開案、專利及專利文件以全文引用方式併入本文中，好像個別地以引用方式併入。在此文件與以引用方式併入之彼等文件之間存在使用不一致的情況下，應將所併入之參考文獻之使用視為對此文件之使用之補充；對於不可調和之不一致性，以此文件之使用為準。

【0040】在此文件中，如在專利文件中常見，使用術語「一(a或an)」來包括一個或一個以上，此獨立於「至少一個」或「一或多個」之任何其他例項或使用。在此文件中，除非另有指示，否則使用術語「或」來指代一非排他性，或使得「A或B」包括「A但非B」、「B但非A」及「A

及B」。在隨附申請專利範圍中，將術語「包括(including)」及「其中(in which)」用作各別術語「包含(comprising)」及「其中(wherein)」之普通英語等效形式。同樣，在以下申請專利範圍中，術語「包括(including)」及「包含(comprising)」係開放式的，亦即，包括除列於一請求項中之此一術語之後的彼等元件以外的元件之一系統、裝置、物件或程序仍被視為歸屬於彼請求項之範疇內。此外，在以下申請專利範圍中，術語「第一」、「第二」及「第三」等僅用作標記，且並不意欲對其物件施加數位要求。

【0041】 在各種實例中，本文所闡述之組件、控制器、處理器、單元、引擎或表格，除其他之外可包括儲存於一實體裝置上之實體電路或韌體。如本文中所使用，「處理器」意指任何類型的計算電路，例如(但不限於)一微處理器、一微控制器、一圖形處理器、一數位信號處理器(DSP)或任何其他類型的處理器或處理電路，包括處理器或多芯裝置之一群組。

【0042】 根據本發明並在本文中所闡述之各種實施例包括利用記憶體單元之一垂直結構(例如，記憶體單元之NAND串)之記憶體。如本文所使用，將相對於在其上形成記憶體單元之一基板之一表面採用方向性形容詞(亦即，一垂直結構將被視為遠離基板表面延伸，該垂直結構之一底端將被視為最接近該基板表面之端部，且該垂直結構之一頂端將被視為距離該基板表面最遠之端部。)

【0043】 如本文所使用，除非另有說明，否則方向形容詞，例如水平的(horizontal)、垂直的(vertical)、法向的(normal)、平行的(parallel)、正交的(perpendicular)等可指相對定向，並且不意欲要求嚴格遵守特定的幾何性質。舉例而言，如本文所使用，一垂直結構無需嚴格正

交於一基板之一表面，而是可替代地大體上正交於基板之表面，並且可與該基板之表面形成一銳角(例如，介於60度與120度之間，等)。

【0044】應理解，當將一元件稱為在另一元件「上」、「連接至」另一元件或「與」另一元件「耦合」時，其可直接在另一元件上、與另一元件連接或耦合，或可存在介入元件。相比而言，當將一元件稱為「直接在」另一元件「上」、「直接連接至」另一元件或「與」另一元件「直接耦合」時，不存在介入元件或層。若在附圖中用連接兩個元件之一線展示兩個元件，則除非另有說明，否則該兩個元件可耦合或直接耦合。

【0045】本文所闡述之方法實例可係至少部分地機器或電腦實施的。某些實例可包括用指令編碼之一電腦可讀媒體或機器可讀媒體，所述指令可操作以組態一電子裝置以執行如以上實例中所闡述之方法。此等方法之一實施方案可包含代碼，例如微代碼、匯編語言代碼、一較高階語言代碼及諸如此類。此代碼可包括電腦可讀指令以用於執行各種方法。所述代碼可形成電腦程式產品之部分。此外，所述代碼可在諸如執行期間或其他時間有形地儲存於一或多個揮發性或非揮發性有形電腦可讀媒體上。此等有形電腦可讀媒體之實例可包括(但不限於)硬碟片、可移式磁碟、可移式光碟(例如，壓縮碟片及數位視訊碟片)、磁帶盒、記憶卡或記憶條、隨機存取記憶體(RAM)、唯讀記憶體(ROM)及諸如此類。

【0046】上文說明意欲為說明性而非限制性。舉例而言，上文所闡述之實例(或其一或多個樣態)可以彼此組合方式使用。例如，熟悉此項技術者可在審閱以上說明後旋即使用其他實施例。此外，在以上具體實施方式中，各種特徵可分組在一起以簡化本發明。此不應解釋為意指一未主張之所揭示特徵對任一請求項為必要的。而是，發明性標的物可在於少於一

特定所揭示實施例之所有特徵。因此，以下請求項在此併入至具體實施方式中，其中每一請求項自身作為一單獨實施例，並且預期此等實施例可以各種組合或排列方式彼此組合。本發明之範疇應參考隨附申請專利範圍連同授權於此等請求項之等效物之整個範疇一起來判定。

【符號說明】**【0047】**

- 100 習用外部環回測試系統/測試系統/環回測試系統
- 100' 習用外部環回測試系統
- 101 第一記憶體電路/記憶體電路
- 102 第二記憶體電路/記憶體電路
- 103 外部測試板/測試版
- 104 記憶體控制器
- 105 母板
- 106 記憶體電路/特定暫存器
- 111 第一輸入/輸出電路/輸入/輸出電路/記憶體輸入/輸出電路
- 112 第二輸入/輸出電路/輸入/輸出電路
- 113 記憶體陣列
- 114 記憶體陣列
- 210 多通道單一半導體記憶體晶片/記憶體子系統
- 213 記憶體陣列/通道0記憶體陣列
- 230 選用時脈產生器
- 231 命令解碼器
- 232 資料序列化器/序列化器

- 233 資料解序列化器/解序列化器
- 234 多功能暫存器系統/暫存器
- 235 串列輸出端子/串列測試輸出
- 236 讀取先進先出緩衝器
- 237 讀取資料選通多工器
- 238 讀取資料多工器
- 239 額外通道互連件
- 240 選用時脈產生器
- 241 命令解碼器
- 242 資料序列化器/序列化器
- 243 資料解序列化器/解序列化器
- 244 多功能暫存器系統/暫存器
- 245 串列輸出端子/串列測試輸出
- 246 讀取先進先出緩衝器
- 247 讀取資料選通多工器
- 248 讀取資料多工器
- 251 通道/通道0
- 252 通道/通道1
- 253 記憶體陣列
- 254 輸入/輸出邏輯電路/實例輸入/輸出邏輯電路/邏輯電路
- 255 輸入/輸出邏輯電路/實例輸入/輸出邏輯電路/邏輯電路
- 261 第一資料路徑/資料路徑
- 262 第二資料路徑/資料路徑
- 263 第三資料路徑/資料路徑

- 264 第四資料路徑/資料路徑
- 265 第一額外資料路徑/額外資料路徑
- 266 第二額外資料路徑/額外資料路徑
- 310 實例記憶體子系統/記憶體子系統
- 311 記憶體電路/記憶體晶粒
- 312 記憶體介面電路
- 313 多記憶體陣列/記憶體陣列/記憶體介面電路
- 410 記憶體子系統
- 411 記憶體電路
- 412 記憶體介面電路
- 420 實例記憶體封裝/記憶體封裝/中介層
- 421 封裝基板
- 422 中介層
- 423 記憶體控制器
- 424 殼體
- 426 穿矽(或基板)導通體
- 427 微凸塊
- 508 探針墊
- 510 經堆疊記憶體子系統/記憶體子系統/多通道記憶體子系統/多
通道單一半導體記憶體晶片/多通道子系統
- 511 記憶體裝置
- 512 記憶體介面電路
- 513 記憶體陣列/通道0記憶體陣列

- 526 穿矽導通體
- 527 微凸塊
- 530 選用時脈產生器
- 531 命令解碼器
- 532 資料序列化器/序列化器
- 533 資料解序列化器/解序列化器
- 534 多功能暫存器系統/暫存器
- 535 串列輸出端子/串列測試輸出
- 536 讀取先進先出緩衝器
- 537 讀取資料選通多工器
- 538 讀取資料多工器
- 539 額外通道互連件
- 540 選用時脈產生器
- 541 命令解碼器
- 542 資料序列化器/序列化器
- 543 資料解序列化器/解序列化器
- 544 多功能暫存器系統/暫存器
- 545 串列輸出端子/串列測試輸出
- 546 讀取先進先出緩衝器
- 547 讀取資料選通多工器
- 548 讀取資料多工器
- 551 通道/通道0
- 552 通道/通道1

- 553 記憶體陣列
- 554 輸入/輸出邏輯電路/實例輸入/輸出邏輯電路/邏輯電路
- 555 輸入/輸出邏輯電路/實例輸入/輸出邏輯電路/邏輯電路
- 561 第一資料路徑/資料路徑
- 562 第二資料路徑/資料路徑
- 563 第三資料路徑/資料路徑
- 564 第四資料路徑/資料路徑
- 565 第一額外資料路徑/額外資料路徑
- 566 第二額外資料路徑/額外資料路徑
- 590 測試裝備
- 591 基板
- 600 實例方法/方法
- 601 步驟
- 603 步驟
- 605 步驟
- CLK 時脈端子
- CMD/ 命令及位址端子
- ADDR
- DQ 資料端子
- RDQS 讀取資料選通輸出
- WDQS 寫入資料選通輸出



201920977

【發明摘要】**【中文發明名稱】**

半導體記憶體裝置

【英文發明名稱】

SEMICONDUCTOR MEMORY DEVICE

【中文】

本發明提供用於使用整合式測試資料路徑之記憶體I/O測試之技術。在一實例中，一種用於操作一記憶體設備之輸入/輸出資料路徑之方法可包括：在一第一模式期間，於該記憶體設備之一第一通道之一資料端子處經由一第一資料路徑自該第一通道之一記憶體陣列接收非測試資訊；在一第一測試模式期間，於該第一通道之該資料端子處自一第一額外資料路徑接收第一測試資訊，該第一額外資料路徑耦合該第一通道與該記憶體設備之一第二通道，並且其中該記憶體設備之一介面晶粒包括該第一資料路徑及該額外資料路徑。

【英文】

Techniques for memory I/O tests using integrated test data paths are provided. In an example, a method for operating input/output data paths of a memory apparatus can include receiving, during a first mode, non-test information at a data terminal of a first channel of the memory apparatus from a memory array of the first channel via a first data path, receiving during a first test mode, first test information at the data terminal of the first channel from a first additional data path coupling the first channel with a second channel of the memory apparatus, and

wherein an interface die of the memory apparatus includes the first data path and the additional data path.

【指定代表圖】

圖2A

【代表圖之符號簡單說明】

- 210 多通道單一半導體記憶體晶片/記憶體子系統
- 213 記憶體陣列/通道0記憶體陣列
- 230 選用時脈產生器
- 231 命令解碼器
- 232 資料序列化器/序列化器
- 233 資料解序列化器/解序列化器
- 234 多功能暫存器系統/暫存器
- 235 串列輸出端子/串列測試輸出
- 236 讀取先進先出緩衝器
- 237 讀取資料選通多工器
- 238 讀取資料多工器
- 239 額外通道互連件
- 240 選用時脈產生器
- 241 命令解碼器
- 242 資料序列化器/序列化器
- 243 資料解序列化器/解序列化器
- 244 多功能暫存器系統/暫存器
- 245 串列輸出端子/串列測試輸出

- 246 讀取先進先出緩衝器
- 247 讀取資料選通多工器
- 248 讀取資料多工器
- 251 通道/通道0
- 252 通道/通道1
- 253 記憶體陣列
- 254 輸入/輸出邏輯電路/實例輸入/輸出邏輯電路/邏輯電路
- 255 輸入/輸出邏輯電路/實例輸入/輸出邏輯電路/邏輯電路
- 261 第一資料路徑/資料路徑
- 262 第二資料路徑/資料路徑
- 263 第三資料路徑/資料路徑
- 264 第四資料路徑/資料路徑

【發明申請專利範圍】

【第1項】

一種記憶體設備，其包含：

多個記憶體陣列，其界定多個記憶體通道；

邏輯介面電路，其耦合至該多個記憶體陣列，該邏輯介面電路具有分別與該多個記憶體通道相關聯之多個資料路徑，其中該邏輯介面電路含有可操作以在該邏輯介面電路內執行包括將測試資料自一第一記憶體通道傳送至一第二記憶體通道之測試操作的電路。

【第2項】

如請求項1之記憶體設備，其中該測試資料係自與該第一記憶體通道相關聯之一第一資料路徑讀取至與該第二記憶體通道相關聯之一第二資料路徑。

【第3項】

如請求項1之記憶體設備，其中該等第一及第二記憶體通道中之每一者包含一各別I/O匯流排，且其中該等第一及第二記憶體通道之該等I/O匯流排被組態為彼此選擇性地通信。

【第4項】

如請求項1之記憶體設備，其中該第一記憶體通道包括一線性回饋移位暫存器，該線性回饋移位暫存器經組態以產生該測試資料。

【第5項】

如請求項1之記憶體設備，其中該第二記憶體通道包括一多輸入簽章移位暫存器，該多輸入簽章暫存器經組態以接收該測試資料。

【第6項】

如請求項1之記憶體設備，其中一單一半導體包括該多個記憶體陣列及該邏輯介面電路。

【第7項】

如請求項1之記憶體設備，其中一或多個第一半導體晶粒包括該多個記憶體陣列；

其中一第二半導體晶粒包括該邏輯介面電路；且

其中該一或多個第一半導體晶粒及該等第二半導體晶粒以一堆疊方式配置。

【第8項】

一種設備，其包含：

一第一通道；

一第二通道；

其中該第一通道包含：

一第一內部電路；

一第一端子；

一第一資料路徑，其介於該第一內部電路與該第一端子之間，以將一第一資料信號自該第一內部電路運送至該第一端子；及

一第二資料路徑，其介於該第一內部電路及該第一端子之間，以將一第二資料信號自該第一端子運送至該第一內部電路；

其中該第二通道包含：

一第二內部電路；

一第二端子；

一第三資料路徑，其介於該第二內部電路與該第二端子之間，

以將一第三資料信號自該第二內部電路運送至該二端子；及

一第四資料路徑，其介於該第二內部電路與該第二端子之間，

以將一第四資料信號自該第二端子運送至該第二內部電路；且

其中該設備進一步包含一第一額外路徑，其介於該第一資料路徑與該第二內部電路之間，該第一額外路徑經組態以在啟動時藉由該第一額外路徑及該第一資料路徑將一第五資料信號自該第二內部電路運送至該第一端子。

【第9項】

如請求項8之設備，其中該第二資料路徑經組態以在啟動該第一額外路徑時將該第五資料信號自該第一端子運送至該第一內部電路。

【第10項】

如請求項9之設備，其中該設備進一步包含一第二額外路徑，其介於該第三資料路徑與該第一內部電路之間，該第二額外路徑經組態以在啟動時藉由該第二額外路徑及該第三資料路徑將一第六資料信號自該第一內部電路運送至該第二端子。

【第11項】

如請求項10之設備，其中該第四資料路徑經組態以在啟動該第二額外路徑時將該第六資料信號自該第二端子運送至該第二內部電路。

【第12項】

如請求項8之設備，其中該設備進一步包含一介面邏輯晶粒及堆疊在該介面邏輯晶粒上方的至少一個記憶體晶粒。

【第13項】

如請求項12之設備，其中該介面邏輯晶粒包括該第一資料路徑、該

第二資料路徑及該第一額外路徑。

【第14項】

如請求項10之設備，其中該設備進一步包含一介面邏輯晶粒及堆疊在該介面邏輯晶粒上方的至少一個記憶體晶粒；且

其中該介面邏輯晶粒包括該第一資料路徑、該第二資料路徑、該第三資料路徑、該第四資料路徑、該第一額外路徑及該第二額外路徑。

【第15項】

如請求項12之設備，其中該第一內部電路包括一多輸入簽章暫存器(MISR)。

【第16項】

如請求項12之設備，其中該第一內部電路包括一線性回饋移位暫存器(LFSR)。

【第17項】

如請求項12之設備，

其中該至少一個記憶體晶粒包含第一及第二記憶體陣列；

其中該第一資料信號包含自該第一記憶體陣列讀出之資料，且該第二資料信號包含待寫入於該第一記憶體陣列中之資料；且

其中該第三資料信號包含自該第二記憶體陣列讀出之資料，且該第四資料信號包含待寫入於該第二記憶體陣列中之資料。

【第18項】

如請求項8之設備，其中該第一額外路徑在一測試模式中啟動，且該第五資料信號包含由該第二內部電路產生之測試資料。

【第19項】

如請求項8之設備，其中該第一通道包括一讀取資料選通多工器，其經組態以在一第一模式中將該第一通道之一讀取資料選通輸出耦合至該第一通道之一第一時脈信號，且在一測試模式中將該第一通道之該讀取資料選通輸出耦合至該第二通道之一第二時脈信號。

【第20項】

一種用於一記憶體設備之方法，該方法包含：

使該記憶體設備進入一測試模式，該記憶體設備包括一第一通道及一第二通道，且該第一通道包括一第一資料端子及耦合至該第一資料端子之一第一資料路徑；及

在該測試模式之第一狀態期間，於該第一通道之該第一資料端子處接收自耦合該第一通道與該第二通道之一第一額外資料路徑接收第一測試資訊；且

其中該記憶體設備之一介面電路包括該第一資料路徑及該第一額外資料路徑。

【第21項】

如請求項20之方法，其包括：

在該測試模式之該第一狀態期間，於該第一通道之一多輸入簽章暫存器(MISR)處，使用耦合至該第一通道之該第一資料端子之一第二資料路徑接收第一測試資訊；及

在該測試模式之該第一狀態期間，於該第二通道之一線性回饋移位暫存器(LFSR)處產生該第一測試資訊。

【第22項】

如請求項20之方法，其進一步包含：

在該測試模式之一第二狀態期間，於該第二通道之一第二資料端子處自耦合該第一通道與該第二通道之一第二額外資料路徑接收第二測試資訊；及

在該測試模式之該第二狀態期間，於該第二通道之一多輸入簽章暫存器(MISR)處接收該第二測試資訊。

【第23項】

如請求項22之方法，其進一步包含在該測試模式之該第二狀態期間於該第一通道之一線性回饋移位暫存器(LFSR)處接收該第二測試資訊。

【第24項】

如請求項22之方法，其進一步包含：

在該測試模式之該第一狀態期間使用該第一通道之一讀取資料多工器將該第一額外資料路徑耦合至該第一資料路徑；及

在該測試模式之該第一狀態期間使用該第一通道之該讀取資料多工器將該第一通道之一記憶體陣列與該第一資料路徑隔離。

【第25項】

如請求項22之方法，其進一步包含：

在該測試模式之該第二狀態期間使用該第二通道之一讀取資料多工器將該第二額外資料路徑耦合至一第三資料路徑，該第三資料路徑耦合至該第二資料端子；及

在該測試模式之該第二狀態期間使用該第二通道之該讀取資料多工器將該第二通道之一記憶體陣列與該第三資料路徑隔離。

【第26項】

如請求項22之方法，其進一步包含：

在該測試模式之該第一狀態期間使用該第一通道之一讀取資料選通多工器將該第二通道之一時脈信號耦合至該第一通道之一讀取資料選通輸出端子；及

在該測試模式之該第一狀態期間使用該第一通道之該讀取資料選通多工器將該第一通道之一時脈信號與該第一通道之該讀取資料選通輸出端子隔離。

【第27項】

如請求項22之方法，其進一步包括：

在該測試模式之該第二狀態期間使用該第二通道之一讀取資料選通多工器將該第一通道之一時脈信號耦合至該第二通道之一讀取資料選通輸出端子；及

在該測試模式之該第二狀態期間使用該第二通道之該讀取資料選通多工器將該第二通道之一時脈信號與該第二通道之該讀取資料選通輸出端子隔離。

