



(10) 授权公告号 CN 102656696 B

(21) 申请号 201080056215.5

(22) 申请日 2010.10.21

(30) 优先权数据

12/603,028 2009.10.21 US

(85) PCT国际申请进入国家阶段日

2012. 06. 11

(86) PCT国际申请的申请数据

PCT/US2010/053617 2010. 10. 21

(87) PCT国际申请的公布数据

W02011/050207 EN 2011. 04. 28

(73) 专利权人 维西埃-硅化物公司

地址 美国加利福尼亚州

(72)发明人 Y. 高 K-I. 陈 K. 特里尔 S. 史

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 李国华 沙捷

(51) Int. Cl.

H01L 29/78(2006.01)

H01L 21/336(2006.01)

(56) 对比文件

CN 101238581 A, 2008. 08. 06, 说明书第 4 页
第 1 行 - 第 8 页第 20 行, 图 2A-2L.

CN 101238581 A, 2008. 08. 06, 说明书第 4 页
第 1 行 - 第 8 页第 20 行, 图 2A-2L.

US 2005/0151190 A1, 2005.07.14, 说明书第 [0060] - [0073] 段, 图 3A I - 3G V.

CN 101180737 A, 2008.05.14, 全文.

US 2009/0050959 A1, 2009. 02. 26, 全文.

审查员 陈燕坤

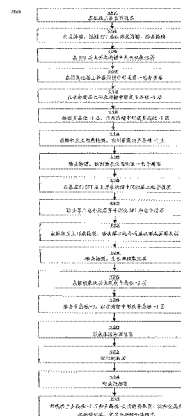
权利要求书2页 说明书7页 附图8页

(54) 发明名称

具有弧形栅极氧化物轮廓的分栅式半导体装置

(57) 摘要

分栅式半导体装置包括沟槽式栅极,其具有第一电极区和第二电极区,该第一电极区和第二电极区通过栅极氧化层和相邻的电介质层彼此分开。该栅极氧化层和电介质层的边界是弧形的,以避免在栅极氧化层交会沟槽侧壁处为尖锐转角。



1. 一种半导体装置,包括:
源极区;
漏极区;和
形成在沟槽中的沟槽式栅极,所述沟槽式栅极包括:
第一层,该第一层包括热氧化层和第一电介质层,其中,所述热氧化层沿所述沟槽的底部表面和侧壁表面,并且所述第一电介质层在所述热氧化层之上;
与所述第一电介质层相邻的第一电极区,其中所述第一层的高度小于所述第一电极区的高度;
与所述第一层和所述第一电极区相邻的第二电介质层;
与所述第二电介质层相邻的栅极氧化层,其中,所述栅极氧化层和所述第二电介质层的边界是弧形的;和
与所述栅极氧化层相邻的第二电极区。
2. 如权利要求 1 所述的半导体装置,其中,所述第一电极区和所述第二电极区包括多晶硅。
3. 如权利要求 1 所述的半导体装置,其中,所述边界相对于所述第二电介质层是凹进的,并且相对于所述栅极氧化层是凸起的。
4. 如权利要求 1 所述的半导体装置,其中,所述第一电介质层和所述第二电介质层均包括次大气压未掺杂硅玻璃 (SAUSG)。
5. 如权利要求 1 所述的半导体装置,包括功率金属氧化物半导体场效应晶体管 (MOSFET) 装置。
6. 如权利要求 1 所述的半导体装置,其中,所述栅极氧化层还将所述第二电极区与所述源极区分开。
7. 如权利要求 1 所述的半导体装置,其中,在整个所述第二电介质层中存在相同材料。
8. 一种半导体装置,包括:
源极区;
漏极区;和
栅极,其在所述半导体装置中的沟槽中形成,其中所述栅极包括:
热氧化层,沿所述沟槽的底部形成衬底并且仅延伸至所述沟槽侧壁向上的部分高度;
第一电介质区,其与所述热氧化层相邻并且延伸到一个高度,该高度不超过所述热氧化层的高度;
与所述第一电介质区相邻的第一电极区,其中所述热氧化层和所述第一电介质区的高度小于所述第一电极区的高度;
第二电极区,其在所述沟槽中的所述第一电极区之上;以及
与所述热氧化层、所述第一电介质区和所述第一电极区相邻的第二电介质区,并且其中,所述第二电介质区具有横贯在所述第一和第二电极区之间的所述沟槽的整个宽度的表面,其中,所述表面是凹进的。
9. 如权利要求 8 所述的半导体,其中,所述第一电极区和所述第二电极区包括多晶硅。
10. 如权利要求 8 所述的半导体装置,进一步包括栅极氧化层,其将所述第二电介质区与所述第二电极区分开。

11. 如权利要求 10 所述的半导体装置, 其中, 所述第二电介质区将所述第一电介质区与所述栅极氧化层分开。

12. 如权利要求 8 所述的半导体装置, 其中, 所述第一电介质区和所述第二电介质区均包括次大气压未掺杂硅玻璃 (SAUSG)。

13. 如权利要求 8 所述的半导体装置, 包括功率金属氧化物半导体场效应晶体管 (MOSFET) 装置。

14. 如权利要求 10 所述的半导体装置, 其中, 所述栅极氧化层还将所述第二电极区和所述源极区分开。

15. 如权利要求 8 所述的半导体装置, 其中, 在整个所述第二电介质层中存在相同材料。

16. 一种制作在半导体装置中的分裂式栅极的方法, 所述方法包括:

沿沟槽的底部表面和侧壁表面生成热氧化层;

在所述热氧化层之上形成第一电介质区, 其中第一层包括所述热氧化层和所述第一电介质区;

在所述第一电介质区之上形成第一栅极电极区;

去除所述第一层的一些部分使得所述第一层的高度小于所述第一栅极电极区的高度;

通过在所述第一层和所述第一栅极电极区之上沉积电介质层, 在所述沟槽中形成第二电介质区;

回蚀所述第二电介质区, 以形成延伸贯穿所述沟槽的整个宽度并且到达所述沟槽的侧壁的凹进表面; 以及

在所述沟槽中形成第二栅极电极区。

17. 如权利要求 16 所述的方法, 进一步包括, 在所述沟槽中形成所述第二电介质区的步骤之前, 回蚀所述第一电介质区。

18. 如权利要求 16 所述的方法, 进一步包括, 在所述沟槽中形成所述第二栅极电极区的步骤之前, 在所述凹进表面上并沿所述侧壁产生栅极氧化层。

19. 如权利要求 16 所述的方法, 进一步包括, 在形成所述第一电介质区之前, 沿所述侧壁产生热氧化层。

20. 如权利要求 16 所述的方法, 进一步包括, 形成源极和漏极区。

21. 如权利要求 16 所述的方法, 其中, 所述半导体装置包括功率金属氧化物半导体场效应晶体管 (MOSFET) 装置。

22. 如权利要求 16 所述的半导体装置, 其中, 在整个所述第二电介质层中存在相同材料。

具有弧形栅极氧化物轮廓的分栅式半导体装置

技术领域

[0001] 依据本发明的实施例大体上属于半导体装置。

背景技术

[0002] 为了节约功率,降低晶体管中功率损耗是很重要的。在金属氧化物半导体场效应晶体管(MOSFET)装置中,并且尤其在被熟知为功率 MOSFET 的 MOSFET 种类中,可通过降低装置的漏极到源极的接通电阻(R_{dson})来降低功率损耗。

[0003] 分栅式功率 MOSFET,也被公知为屏蔽栅极沟槽式 MOSFET,利用外延层中较大的掺杂浓度来降低 R_{dson} 。分栅式功率 MOSFET 结合沟槽式栅极,该沟槽式栅极包括第一电极(例如,多晶硅,或多晶硅-1),其通过隔离层(例如,差分氧化层)与第二电极(例如,多晶硅,或多晶硅-2)分开。从制造的观点看,适当形成隔离层可能是具有挑战性的。

[0004] 在一种常规的制造处理中,隔离层是在形成栅极氧化物的同时,在暴露的第一多晶硅(多晶硅-1)区上生长的。但是,隔离层在多晶硅-1 顶部上比沿多晶硅-1 区的侧壁生长快得多。结果,当用于第二电极的多晶硅(多晶硅-2)沉积到隔离层上时,形成了尖锐转角。由于点放电效应,锐角转角可能会影响隔离层的可靠性,并且还可能会增加在栅极到源极与栅极到漏极之间的重叠部分,因此增加了 C_{iss} (栅-源电容和栅-漏电容的总和)。而且,因为隔离层符合下面的多晶硅-1 区的轮廓,在多晶硅-1 表面上的任何空缺或瑕疵将被转化为变形的氧化物轮廓,这可能显著地降低多晶硅-1/多晶硅-2 的击穿。此外,由于隔离层和栅极氧化物是同时形成的,它们的厚度高度相关。因此,不能使隔离层更厚来补偿缺陷或其它制造问题,而不使栅极氧化物也更厚。

[0005] 在另一个常规的制造处理中,用于第一电极的侧壁氧化物和多晶硅沉积在沟槽中。然后第一多晶硅区被蚀刻成凹处,而沟槽被重新填充以具有与侧壁氧化物类似的蚀刻速率的电介质材料。在平坦化以后,电介质材料和侧壁氧化物被回蚀以形成隔离层。但是,要针对电介质和氧化物获得一致的蚀刻速率可能是较困难的。蚀刻速率的差异可影响隔离层的均匀性,这可能影响装置的接通电阻以及输入电容。而且,在进行蚀刻之后,在沟槽中的剩余材料交会沟槽侧壁处形成锐角转角。锐角转角可明显延迟栅极氧化物的厚度,这继而明显降低了栅极氧化物的击穿。

发明内容

[0006] 据此,避免以上所描述的缺陷的半导体装置,和产生这样的装置的可行方法,将是有利的。

[0007] 在依据本发明的一个实施例中,分栅式半导体装置(例如,功率 MOSFET)包括具有第一电极(例如,多晶硅-1)区和第二电极(例如,多晶硅-2)区的沟槽式栅极,该第一电极区和第二电极区通过栅极氧化层和相邻的电介质层彼此分开。栅极氧化层和电介质层的边界是弧形的,以避免在栅极氧化层交会沟槽侧壁处具有锐角转角。

[0008] 在一个实施例中,在制作过程中,多晶硅-1 区被蚀刻成凹处,且侧壁氧化物被蚀

刻掉。使用电介质材料重新填充凹处,并且凹处被平坦化;因此,在多晶硅-1区以上的区包含相同类型的材料(电介质材料)。然后电介质材料被回蚀;由于在整个区上存在相同的材料,避免了针对不同材料试图达到一致蚀刻速率的问题。对电介质区进行蚀刻以形成弧形(例如,凹进)的轮廓。当形成了过氧化层时,其将符合电介质区的形状,并因此也将具有弧形的轮廓。从而避免了在电介质区和氧化层交会沟槽侧壁处的锐角转角。

[0009] 相对于常规方法,在栅极到源极和栅极到漏极之间的重叠部分较少,这降低了Ciss。当用电介质重新填充凹处时,在多晶硅-1表面上的任何瑕疵或缺陷将被填满,因此,获得了适当的轮廓,而不是变形的轮廓。没有锐角转角解决了与常规方法相关的栅极氧化延迟的问题。

[0010] 在阅读以下在不同的附图中说明的详细描述之后,那些本领域技术人员将认识到本发明的这些以及其它目的和优点。

附图说明

[0011] 被结合在本说明书中并成为本说明书的一部分的附图说明了本发明的实施例,并且,与本说明书一起用于揭示本发明的原理。贯穿附图和说明,相似的编号指代相似的元件。

[0012] 图 1A、图 1B,和图 1C 说明了依据本发明的实施例,在制作半导体器件时使用的处理的流程图;

[0013] 图 2、图 3、图 4、图 5、图 6、图 7、图 8、图 9、图 10、图 11、图 12、图 13、图 14、图 15、图 16、图 17 和图 18 依据本发明的实施例,示出在制作半导体装置过程中选定阶段的横截面视图;

[0014] 图 19 是示出在依据本发明的实施例中的半导体装置元件的横截面视图。

具体实施方式

[0015] 在以下对本发明的详细说明中,为了提供对本发明的透彻理解,阐述了多个特定细节。但是,一个本领域的技术人员将认识到,没有这些特定细节或使用其等同物也可以实现本发明。在其它情况下,为了不使本发明的方面没有必要地难以理解,而没有详细地描述熟知的方法、过程、部件,和电路。

[0016] 下面的详细说明的一些部分将以用于制作半导体装置的操作的过程、逻辑框、处理和其它符号表达的方式来表达。这些说明和表达是那些半导体装置制作领域的技术人员使用的手段,以将他们的工作的实质最有效地传达给其它本领域技术人员。在本申请中,过程、逻辑框、处理或类似物,被认为是导致所期望的结果的步骤或指令的前后一致序列。这些步骤是对于物理量所需的物理操纵。但是,应该记得,所有这些的和类似的术语与适当的物理量关联,并且仅是应用于这些量的简易的标签。除非根据以下讨论显而易见地特地做出其它陈述,否则可体会到,贯穿本申请,利用诸如“形成”、“执行”、“产生”、“沉积”、“生长”、“蚀刻”或类似术语的讨论涉及了对半导体装置制作的行为和处理(例如,图 1A、图 1B 和图 1C 中的流程图 100)。

[0017] 附图并未按比例描绘,并且仅是结构的一部分,以及形成那些结构的不同的层,可在附图中被示出。而且,制作过程和步骤可连同在此所讨论的过程和步骤执行;也就是说,

在此示出和描述的步骤之前、之间和 / 或之后,可能还存在许多处理步骤。重要的是,依据本发明的实施例可结合其它(可能是常规的)处理和步骤被实现,而不会产生明显干扰。大体上说,依据本发明的实施例,可替代常规处理的部分,而不明显影响外围的处理和步骤。

[0018] 正如在此所使用的,字母“n”是指 n 型掺杂剂而字母“p”是指 p 型掺杂剂,加号“+”或减号“-”分别用于表达相对高或相对低的掺杂剂浓度。

[0019] 在此以普遍使用的方式使用术语“沟道”。即,在沟道中电流在 FET 之内从源极连接移动到漏极连接。沟道可由 n 型或 p 型半导体材料制成;相应地,FET 被指定为 n 型沟道或 p 型沟道装置。其中一些附图是在 n 型沟道装置(特别是 n 型沟道功率 MOSFET)的上下文中讨论的;但是,依据本发明的实施例并没有受到这样的限制。即,在此所描述的特征也能够 p 型沟道装置中使用。通过用 p 型掺杂剂和材料取代相应的 n 型掺杂剂和材料,对 n 型沟道装置的讨论能够容易地映射到 p 型装置,反之亦然。

[0020] 图 1A、1B, 和 1C 说明了一种用于制造半导体装置(如图 19 中部分说明的装置)的处理的一个实施例的流程图 100。虽然在流程图 100 中揭示了特定的步骤,但是这样的步骤是示范性的。也就是说,依据本发明的实施例可适合于执行各种其它步骤或在流程图 100 中记载的步骤的变型。结合图 2 至图 18 讨论了流程图 100,图 2 至图 18 示出了依据本发明的实施例,在半导体装置的制造中选定阶段的横截面视图。

[0021] 在图 1A 的框 102 中,同时参考图 2,在基板 202 上(这在后续图中可能未示出)生长外延(epi)层 204。在 n 型沟道装置中,外延层包括 p 型掺杂剂,并且其在 n+ 型基板上生长。该结构包括在基板 202 底部表面上的漏极区 203。

[0022] 在图 1A 的框 104 中,同时参考图 3,在 epi 层 204 的选定部分上形成光阻材料(photoresist)掩膜 306。然后,将 epi 层 204 的暴露部分蚀刻掉以形成沟槽式腔,其被称为沟槽 308。然后如图 4 所示,去除掩膜 306。

[0023] 在图 1A 的框 106 中,同时参考图 5,在 epi 层 204 上以及沿沟槽 308 的侧壁和底部表面产生(生长)热氧化层 510。在一个实施例中,热氧化层的厚度为大致 300 埃(Angstrom, A),即 30 纳米。

[0024] 在框 108 中,在热氧化层 510 上形成电介质层 512(在此也称为第一电介质层),其如图 5 所示,沿沟槽 308 的侧壁和底部延伸到沟槽 308 中。在一个实施例中,电介质层 512 包括次大气压非掺杂硅玻璃(SAUSG)。在一个这样的实施例中,电介质层的厚度为大致 1300A,即 130 纳米。

[0025] 在图 1A 的框 110 中,同时参考图 6,在电介质层 512 上,并且在沟槽 308 中形成第一多晶硅层 614(在图 6 和后续图中,电介质层 512 和热氧化层 510 可被表示为单个层 511)。第一多晶硅层在此也可被称为多晶硅-1。

[0026] 在图 1A 的框 112 中,同时参考图 7,使用例如化学机械平坦化或抛光(CMP)处理去除多晶硅-1。还可将剩余的多晶硅-1 区 714 进行相对少量地回蚀(例如,大约 0.1 微米),使得多晶硅-1 的暴露的(例如,顶部)表面相对于层 511 稍微凹进。

[0027] 在图 1B 的框 114 中,同时参考图 8,在选定的多晶硅-1 区上形成 PR 掩膜 816,也就是说,使该结构的核心区仍旧暴露,同时用掩膜 816 覆盖该结构的拾取或终止区。在施加掩膜之后,回蚀(凹进蚀刻)暴露的多晶硅-1 以在核心区中形成多晶硅-1 区 818,其将沟槽 308 填充到比在拾取或终止区中的多晶硅-1 区 714 低的高度。

[0028] 在图 1B 的框 116 中,同时参考图 8,PR 掩膜 816 被去除,并且然后执行薄层缓冲氧化蚀刻(blanket buffered oxide etch,BOE)以去除层 511 的多个部分。更特定地,沿 epi 层 204 的台面(mesa),并从沟槽 308 的侧壁去除层 511,使多晶硅 -1 区 714 和 818 的侧面局部暴露出,如图 9 所示。将层 511 去除成高度稍低于区 714 和 818 的高度。

[0029] 在图 1B 的框 118 中,通过使用例如次大气压化学蒸汽沉积(SACVD)处理在 epi 层 204 的暴露的表面上并在沟槽 308 中沉积电介质层 1020,如图 10 所示。在一个实施例中,电介质层 1020 包括被浓密化的 SAUSG (例如,6K SAUSG)。当使用电介质重新填充凹进处时,在多晶硅 -1 区 714 和 818 的表面的任何缺损或孔隙将被填充,因此获得适当的轮廓,而不是变形的轮廓。

[0030] 在图 1B 的框 120 中,例如通过使用 CMP 处理去除电介质层 1020 的一部分,并且通过使用干燥蚀刻去除电介质层的剩余部分,以便使 epi 层 204 和电介质层 1020 的暴露表面平坦化,正如图 11 中示出的。因此,在多晶硅 -1 区 818 之上的区中为同一类型的材料(例如,SAUSG)。

[0031] 在图 1B 的框 122 中,在该结构的拾取或终止区上形成 PR 掩膜 1222,使核心区仍暴露,如图 12 所示。然后执行有专利权的氧化物蚀刻,以去除电介质层 1020 的一部分,以形成电介质层 1226 (在此也称为第二电介质层)。由于在整个电介质层 1020 中存在相同材料,避免了试图针对不同材料获得一致蚀刻速率的问题。

[0032] 明显地,电介质层 1226 的表面 1224 是弧形的。在图 12 中说明了该结构的横截面;在三个维度中,电介质层 1226 的表面 1224 是凹进的。因为表面 1224 是弧形的,从而避免了在电介质层 1226 与沟槽侧壁 1228 交会处的尖锐转角。

[0033] 在图 1B 的框 124 中,除去了 PR 掩膜 1222,并且在 epi 层 204、电介质层 1226 和电介质层 1020 的暴露表面上产生(生长出)栅极氧化层 1330,正如图 13 中所示出的。因为表面 1224 是弧形的,在电介质层 1226 之上栅极氧化层 1330 也将是弧形的(腔型)。因此,避免了与在常规方法中尖锐转角的存在相关联的栅极氧化延迟问题。而且,相对于常规方法,在栅极到源极和栅极到漏极之间的重叠更小,这降低了 Ciss。

[0034] 在图 1C 的框 126 中,接着在栅极氧化层 1330 上形成第二多晶硅层 1332。在本文中第二多晶硅层也可能被称为多晶硅 -2。

[0035] 在图 1C 的框 128 中,同时参考图 14,使用例如 CMP 处理除去多晶硅 -2,以形成多晶硅 -2 区 1434。还可相对少量地回蚀多晶硅 -2 区 1434,使得多晶硅 -2 的暴露表面(例如,顶部表面)相对于栅极氧化层 1330 稍微凹进。多晶硅 -1 区 818 和多晶硅 -2 区 1434 对应于分栅式功率 MOSFET 中的分裂式栅极的第一和第二电极。分栅式功率 MOSFET 也称为屏蔽栅式沟槽式 MOSFET。

[0036] 在图 1C 的框 130 中,同时参考图 15,执行体注入以形成体区 1536。在 n 型沟道装置中,例如,体区 1536 包括 p 型(p-)掺杂剂。然后可形成掩膜(未示出)以屏蔽拾取或终止区,并且然后实行源极注入以形成源极区 1538。在 n 型沟道装置中,例如源极区 1538 包括 n 型(n+)掺杂剂。然后除去掩膜。

[0037] 在图 1C 的框 132 中,低温氧化(LTO)层沉积之后,沉积硼磷硅玻璃(BPSG)层,在图 16 中这些层总体被标识为层 1640。

[0038] 在图 1C 的框 134 中,同时参考图 17,掩膜(未示出)被用于选择性地除去层 1640、

源极区 1538 和体区 1536 的一部分,形成开口 1742。在 n 型沟道装置中,在开口底部处,然后将掺杂剂注入以形成 p 型(p+) 接触区 1744。

[0039] 在图 1C 的框 136 中,可在选定区域上形成另一个掩膜(未示出),并且可将材料除去到掩膜的开口之下,以形成对多晶硅 -1 区 818 和 714 以及多晶硅 -2 区 1434 的拾取器(pickup)(未示出)。在该结构上可沉积金属层 1846,正如图 18 所示,并且然后可形成另一掩膜(未示出)以选择性地除去金属层的多个部分,以形成电连接。可选地可以沉积钝化层(未示出),并且然后,可施加另一掩膜(未示出),以对钝化层进行蚀刻,从而定义栅极和源极衬垫。

[0040] 图 19 说明了沟槽或分裂式栅极 1900 的实施例。栅极 1900 包括第一电极(例如,多晶硅,多晶硅 -1) 区 818 和第二电极(例如,多晶硅,多晶硅 -2) 区 1434,第一电极区和第二电极区通过与第二电介质层 1226 相邻的栅极氧化层 1330 被彼此分开。第二电介质层 1226 形成在第一电介质层 512 之后,并且将第一电介质层 512 与栅极氧化层 1330 分开。

[0041] 显然,栅极氧化层 1330 和第二电介质层 1226 的边界 1224 是弧形的。边界 1224 贯穿栅极沟槽 308 的宽度。更具体而言,该边界在形状上相对于下面的电介质层 1226 为凹进型(并且因此在形状上相对于栅极氧化层 1330 为凸起的)。

[0042] 避免了在第二电介质层 1226 与栅极氧化层 1330 交会沟槽 308 的侧壁处存在尖锐转角,因此,解决了与常规方法相关联的栅极氧化延迟问题。而且,相对常规方法来说,在栅极到源极以及栅极到漏极之间的重叠减小,从而降低了 Ciss。

[0043] 综上所述,说明了功率 MOSFET 装置的实施例,以及用于制作这样的装置的方法的实施例。对本发明的特定实施例的前述说明是为了说明和描述的目的提供的。它们并非旨在是穷举性地或是将本发明限制成所揭示的精确形式,并且依照以上教导,还可能有许多修正和变形。选择和描述实施例是为了最好地解释本发明的原理以及其实际应用,以因此能够使本领域其它技术人员能够通过各种变形最好地利用本发明和不同实施例,正如适合于所预期的特定应用。期望的是,本发明的范围通过随附的权利要求书以及它们的等同物来限定。

[0044] 概念 :

[0045] 本文至少揭示了以下概念 :

[0046] 概念 1. 一种半导体装置,包括 :

[0047] 源极区 ;

[0048] 漏极区 ;和

[0049] 沟槽式栅极,其包括通过与电介质层相邻的栅极氧化层被彼此分开的第一电极区和第二电极区,其中,所述栅极氧化层和所述电介质层的边界是弧形的。

[0050] 概念 2. 如概念 1 所述的半导体装置,其中,所述第一电极区和所述第二电极区包括多晶硅。

[0051] 概念 3. 如概念 1 所述的半导体装置,其中,所述电介质层包括第二电介质层,其中,所述第二电介质层形成于第一电介质层之后,并且将所述第一电介质层和所述栅极氧化层分开。

[0052] 概念 4. 如概念 1 所述的半导体装置,其中,所述边界相对于所述电介质层是凹进的,并且相对于所述栅极氧化层是凸起的。

[0053] 概念 5. 如概念 1 所述的半导体装置, 其中, 所述电介质层包括次大气压未掺杂硅玻璃 (SAUSG)。

[0054] 概念 6. 如概念 1 所述的半导体装置, 包括功率金属氧化物半导体场效应晶体管 (MOSFET) 装置。

[0055] 概念 7. 如概念 1 所述的半导体装置, 其中, 所述栅极氧化层还将所述第二电极区域与所述源极区分开。

[0056] 概念 8. 一种半导体装置, 包括:

[0057] 源极区;

[0058] 漏极区; 以及

[0059] 栅极, 其在所述半导体装置中的沟槽式腔中形成, 其中, 所述栅极包括:

[0060] 第一电极区;

[0061] 第二电极区; 以及

[0062] 电介质区, 其表面横贯所述第一和第二电极区之间的所述栅极的宽度, 其中, 所述表面为凹进的。

[0063] 概念 9. 如概念 8 所述的半导体装置, 其中, 所述第一电极区和所述第二电极区包括多晶硅。

[0064] 概念 10. 如概念 8 所述的半导体装置, 进一步包括栅极氧化层, 其将所述电介质区域与所述第二电极区分开。

[0065] 概念 11. 如概念 10 所述的半导体装置, 其中, 所述电介质区包括第二电介质层, 该第二电介质层形成于第一电介质层之后, 并且将所述第一电介质层与所述栅极氧化层分开。

[0066] 概念 12. 如概念 8 所述的半导体装置, 其中, 所述电介质区包括次大气压未掺杂硅玻璃 (SAUSG)。

[0067] 概念 13. 如概念 8 所述的半导体装置, 包括功率金属氧化物半导体场效应晶体管 (MOSFET) 装置。

[0068] 概念 14. 如概念 1 所述的半导体装置, 其中, 所述栅极氧化层还将所述第二电极区与所述源极区分开。

[0069] 概念 15. 一种制作在半导体装置中的分裂式栅极的方法, 所述方法包括:

[0070] 在所述半导体装置中, 沿沟槽式腔的侧壁形成第一电介质区;

[0071] 在所述腔内形成第一栅极电极区;

[0072] 在所述腔内形成第二电介质区;

[0073] 回蚀所述第二电介质区, 以形成凹进表面; 以及

[0074] 在所述腔内形成第二栅极电极区。

[0075] 概念 16. 如概念 15 所述的方法, 进一步包括, 在形成所述第二电介质区之前, 回蚀所述第一电介质区。

[0076] 概念 17. 如概念 15 所述的方法, 进一步包括, 在形成所述第二栅极电极区之前, 在所述凹进表面上并沿所述侧壁产生栅极氧化层。

[0077] 概念 18. 如概念 15 所述的方法, 进一步包括, 在形成所述第一电介质区之前, 沿所述侧壁产生热氧化层。

[0078] 概念 19. 如概念 15 所述的方法,进一步包括,形成源极和漏极区。

[0079] 概念 20. 如概念 15 所述的方法,其中,所述半导体装置包括功率金属氧化物半导体场效应晶体管(MOSFET)装置。

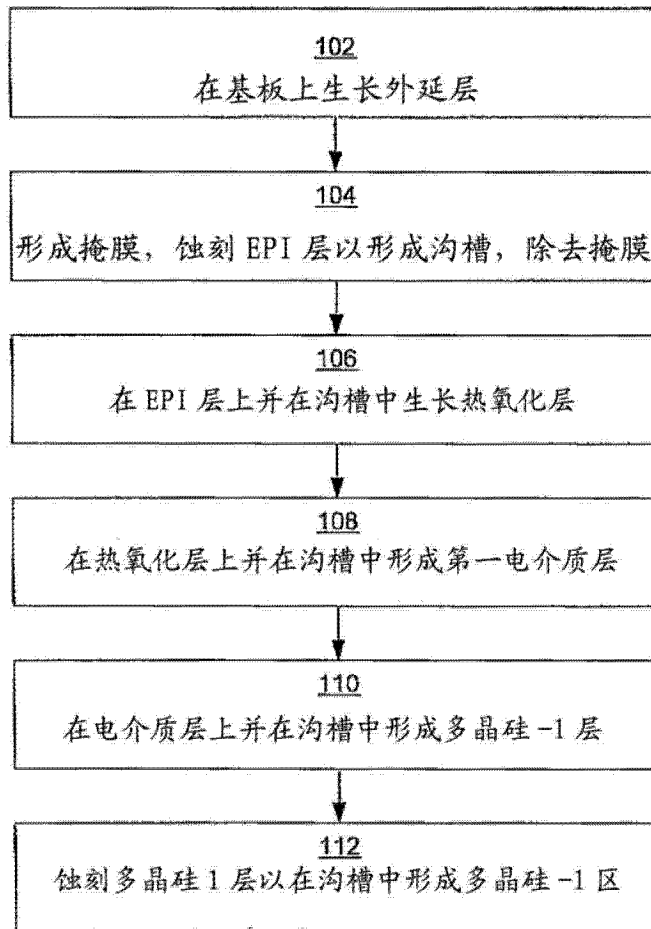
100

图 1A

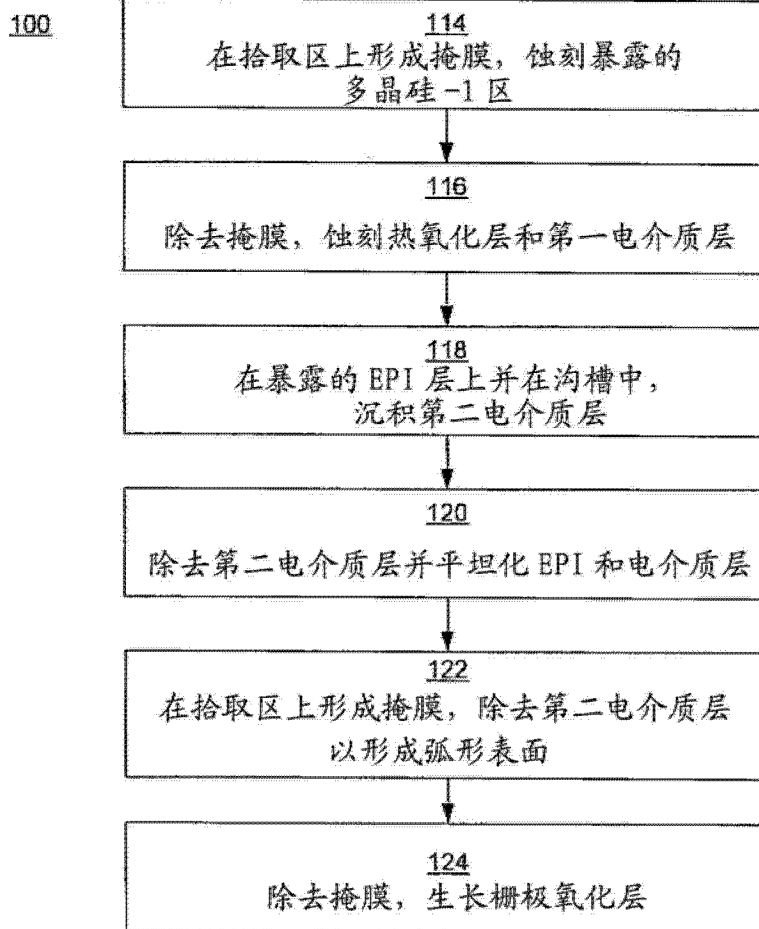


图 1B

100

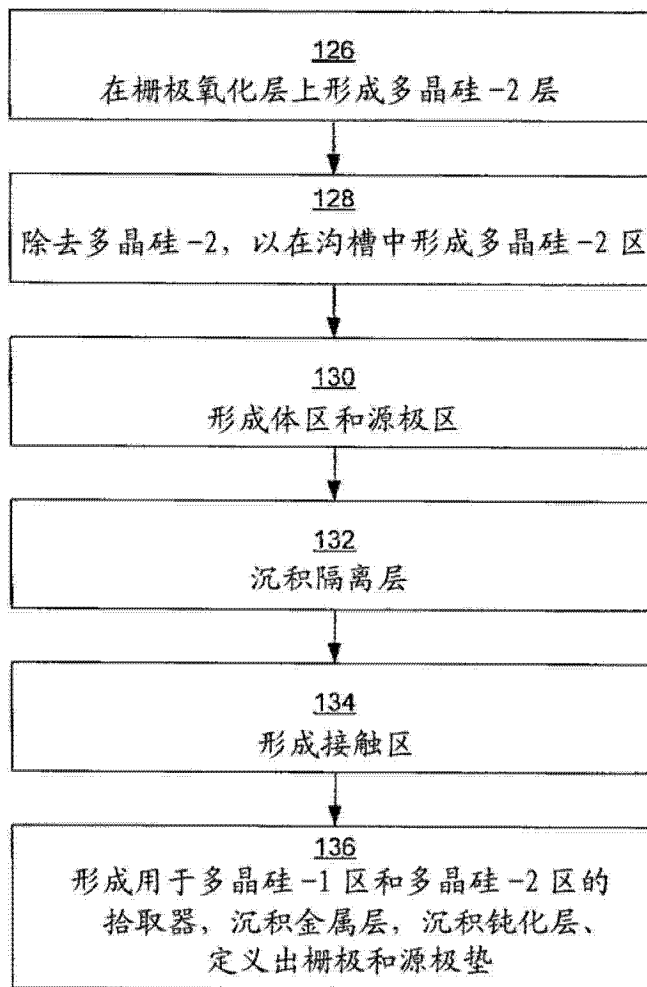


图 1C

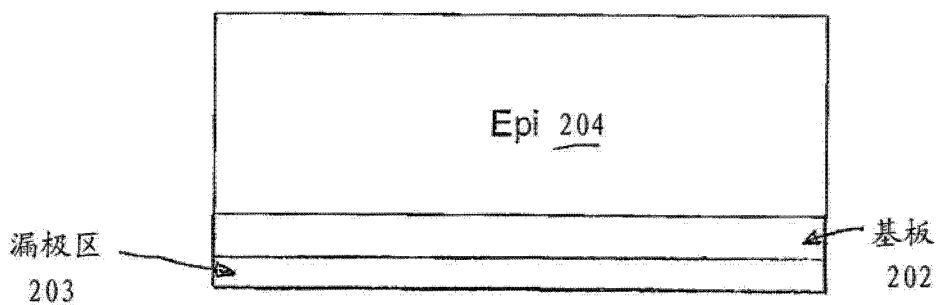


图 2

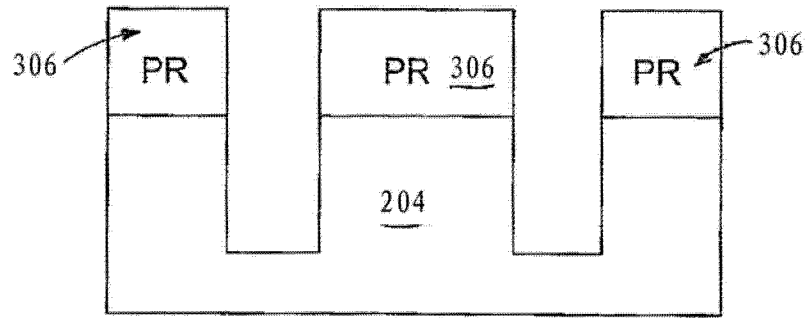


图 3

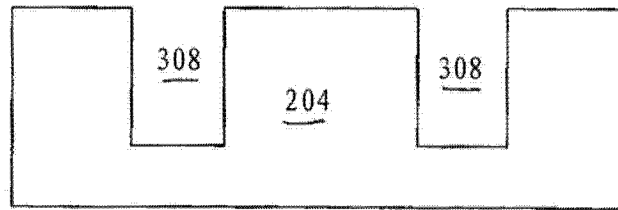


图 4

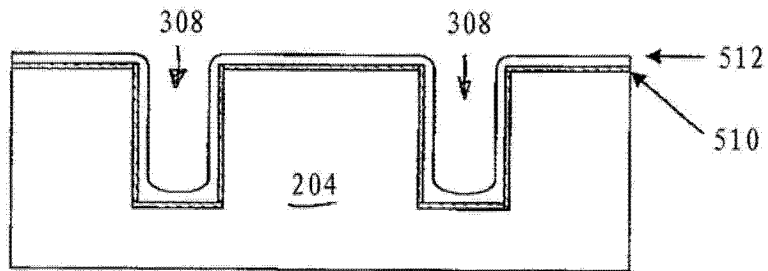


图 5

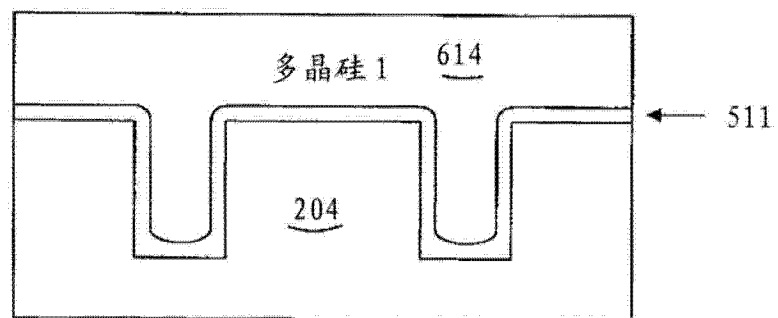


图 6

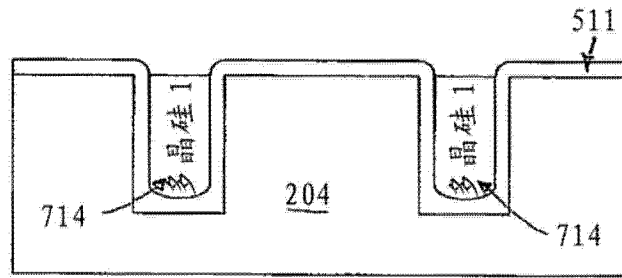


图 7

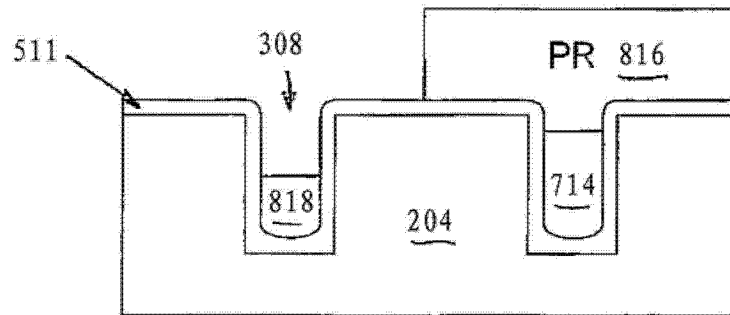


图 8

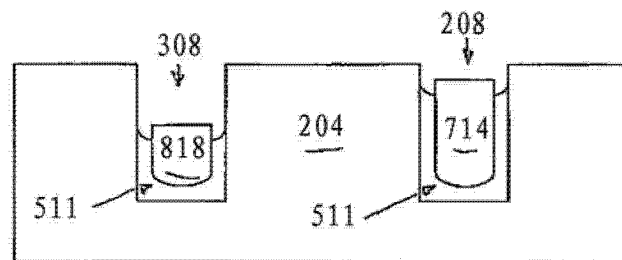


图 9

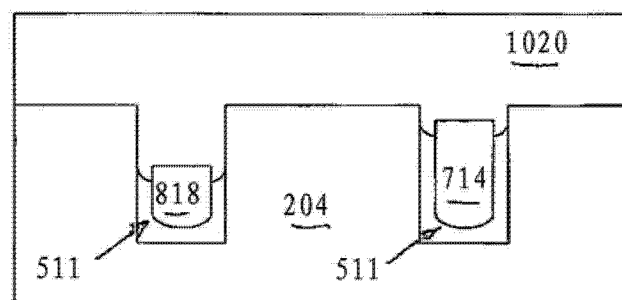


图 10

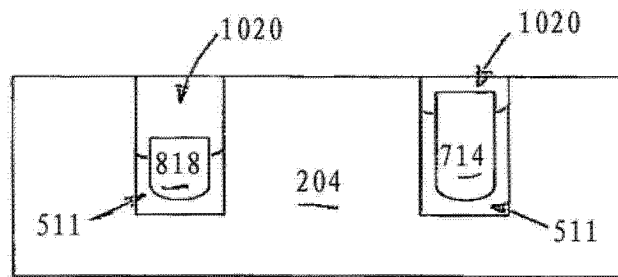


图 11

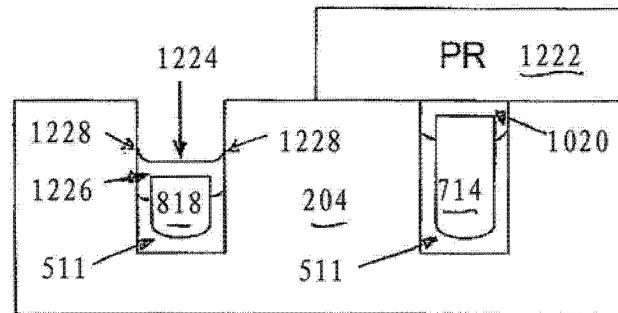


图 12

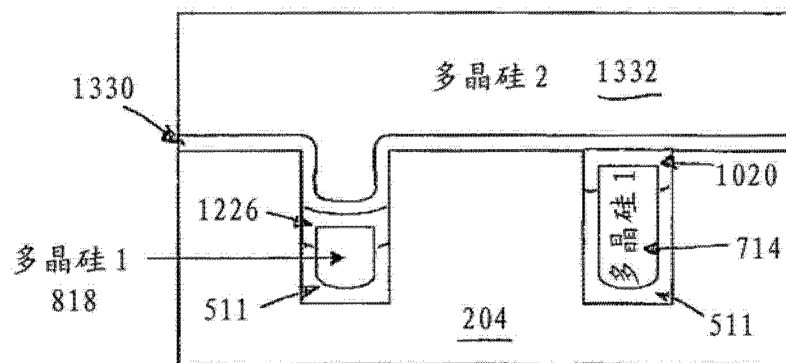


图 13

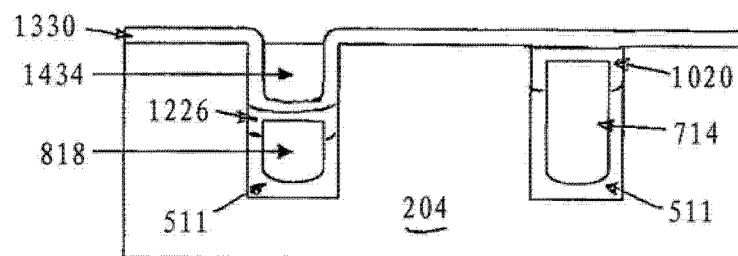


图 14

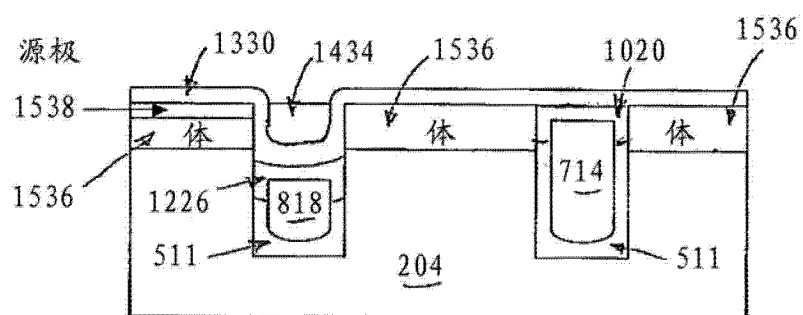


图 15

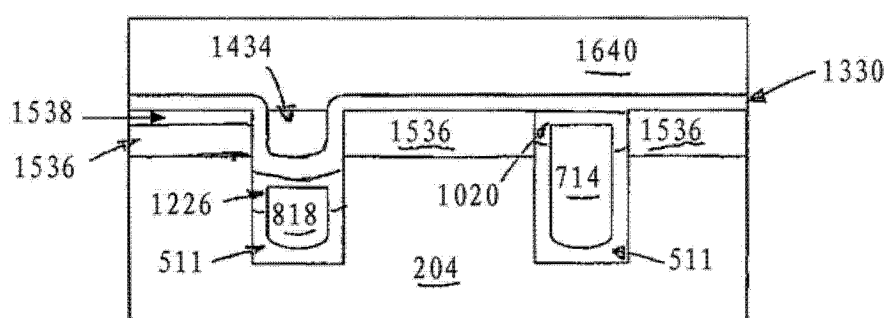


图 16

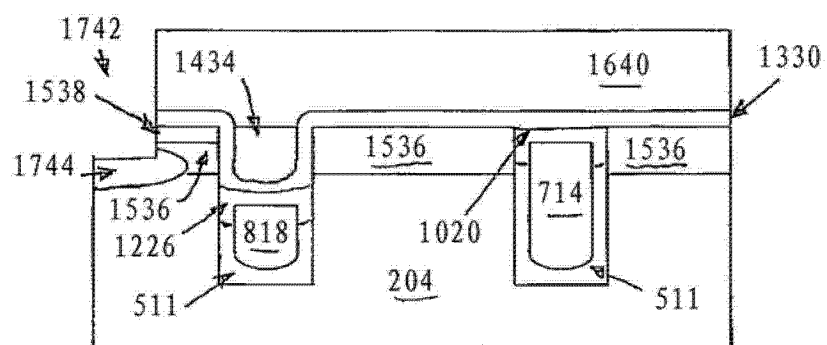


图 17

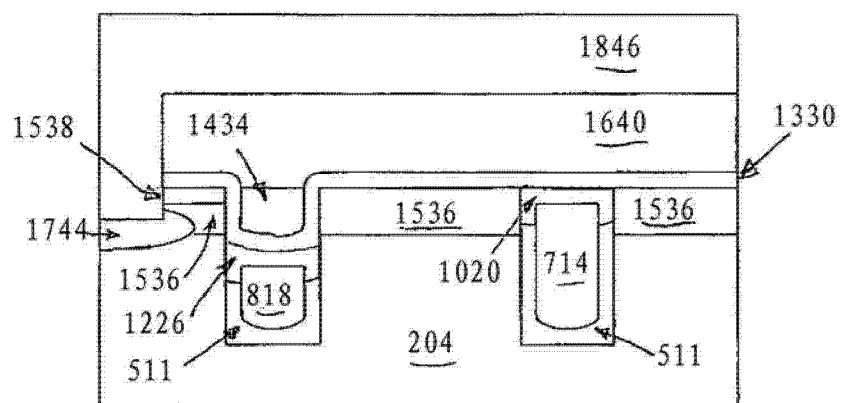


图 18

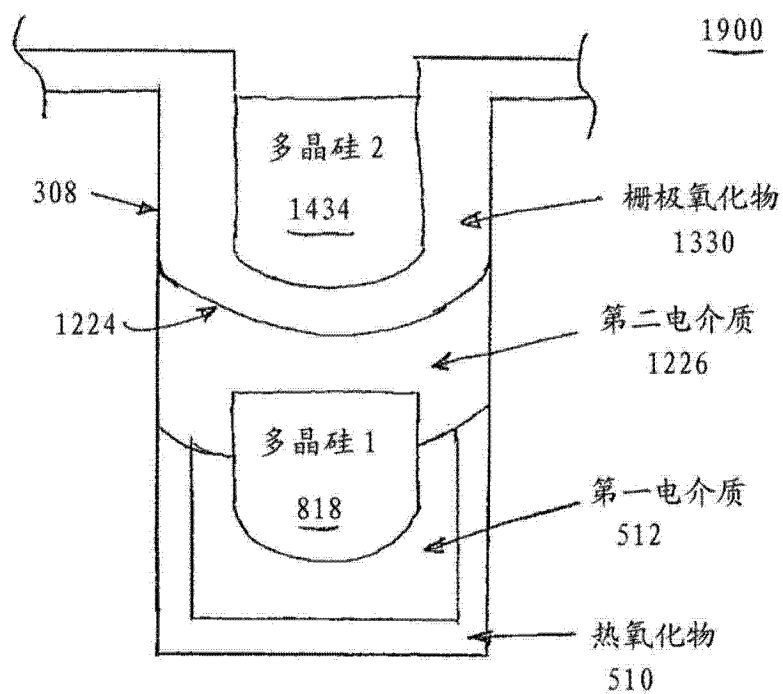


图 19