

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 2 月 10 日 (10.02.2005)

PCT

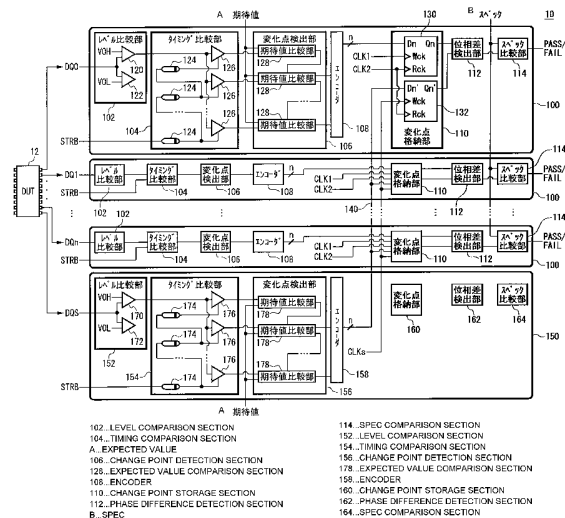
(10) 国際公開番号
WO 2005/012930 A1

- (51) 国際特許分類: G01R 31/28 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/010318 (75) 発明者/出願人 (米国についてのみ): 新島 啓克 (NI-IJIMA, Hirokatsu) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバンテスト内 Tokyo (JP).
(22) 国際出願日: 2004 年 7 月 20 日 (20.07.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2003-284470 2003 年 7 月 31 日 (31.07.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 Tokyo (JP).
(74) 代理人: 龍華 明裕 (RYUKA, Akihiro); 〒1600022 東京都新宿区新宿 1 丁目 2 4 番 1 2 号 東信ビル 6 階 Tokyo (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,

/ 続葉有 /

(54) Title: TEST DEVICE

(54) 発明の名称: 試験装置



(57) Abstract: A test device includes: a data sampler for acquiring data sample values of a data signal from a DUT; a data change point detection section for detecting a data change point from the sample values; a data change point storage section for writing a data change point at CLK1 and reading it at CLK2; a clock sampler for acquiring clock sample values of a clock signal from the DUT; a clock change point detection section for detecting a clock change point from the sample values; a clock change point storage section for writing a clock change point at CLKs and reading it at CLK2; a phase difference detection section for detecting a phase difference between the data change point and the clock change point which have been read out in synchronization with each other from the data change point storage section and the clock change point storage section; and a spec comparison section for comparing the phase difference with the spec to judge whether the DUT is preferable.

(57) 要約: 本発明の試験装置は、DUTからのデータ信号の複数のデータサンプル値を取得するデータサンブラと、サンプル値からデータ変化点を検出するデータ変化点検出部と、データ変化点をCLK1で書き込みCLK2で読み出すデータ変化点格納部と、DUTからのクロック信号の複数のクロックサンプル値を取得するクロックサンブラと、サンプル値からクロック変化点を検出するクロック変化点検出部と、クロック変化点をCLKsで書き込みCLK2で読み出すクロック変化点格納部と、データ変化点格納部とクロック変化点格納部とから同期して読み出されたデータ変化点とク

/ 続葉有 /



LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

試験装置

技術分野

- [0001] 本発明は、試験装置に関する。特に本発明は、データ信号とクロック信号とを同期させて出力する被試験デバイスを試験する試験装置に関する。

背景技術

- [0002] 半導体メモリには、クロック信号と共に入力されたデータ信号をクロック信号に同期させて書き込み、クロック信号と共にクロック信号に同期したデータ信号を出力してクロック信号のタイミングでデータ信号の受け渡しを行うものがある。このような半導体メモリでは、クロック信号の出力タイミングとデータ信号の出力タイミングが正確に同期していなければ所望の動作を行うことができない。そのため、このような半導体メモリの試験では、被試験デバイスである半導体メモリから出力されたクロック信号の変化点とデータ信号の変化点をマルチストロブ信号を用いて検出し、クロック信号とデータ信号との位相差を検出してスペックと比較して良否判定を行っている（例えば、特許文献1及び特許文献2参照。）。

特許文献1:特開2001-201532号公報

特許文献2:特開2001-356153号公報

発明の開示

発明が解決しようとする課題

- [0003] シンクロナスデバイスのような半導体メモリは、クロック信号に同期させて複数のデータ信号を出力する。そのため、複数のデータ信号のそれぞれとクロック信号との位相差を並行して検出するためには、クロック信号の変化点を示すデータを、複数のデータ信号に対応して設けられた位相差検出手段に分配して供給する必要がある。しかしながら、クロック信号の変化点を示すデータを分配する分配回路、クロック信号の変化点を示すデータを位相差検出手段に伝達する伝送路等における伝送遅延時間により、クロック信号の変化点のデータを複数の位相差検出手段に供給するのに時間を要してしまい、被試験デバイスの出力に並行してリアルタイムでクロック信号とデ

ータ信号との位相差を検出することができない場合がある。

- [0004] そこで本発明は、上記の課題を解決することができる試験装置を提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

課題を解決するための手段

- [0005] 本発明の第1の形態によると、データ信号とクロック信号とを同期させて出力する被試験デバイスを試験する試験装置であって、前記被試験デバイスから出力されたデータ信号を連続してサンプリングし、複数のデータサンプル値を取得するデータサンプラと、データサンプラが取得した複数のデータサンプル値に基づいて、データ信号の変化点であるデータ変化点を検出するデータ変化点検出部と、データ変化点検出部によって検出されたデータ変化点を、第1クロック信号に基づいて書き込み、第1クロック信号と周期が略同一で位相が異なる第2クロック信号に基づいて読み出すデータ変化点格納部と、被試験デバイスから出力されたクロック信号を連続してサンプリングし、複数のクロックサンプル値を取得するクロックサンプラと、クロックサンプラが取得した複数のクロックサンプル値に基づいて、クロック信号の変化点であるクロック変化点を検出するクロック変化点検出部と、クロック変化点検出部によって検出されたクロック変化点を、第3クロック信号に基づいて書き込み、第2クロック信号に基づいて読み出すクロック変化点格納部と、データ変化点格納部とクロック変化点格納部とから第2クロック信号に基づいて同期して読み出されたデータ変化点とクロック変化点とを比較し、データ信号とクロック信号との位相差を検出する位相差検出部と、位相差検出部が検出した位相差を予め定められたスペックと比較して被試験デバイスの良否判定を行うスペック比較部とを備える。
- [0006] 第1クロック信号と第2クロック信号との位相差は、データ変化点検出部からデータ変化点格納部までの伝送遅延時間と、クロック変化点検出部からクロック変化点格納部までの伝送遅延時間との差の時間以上であってもよい。
- [0007] データサンプラ、データ変化点検出部、データ変化点格納部、クロック変化点格納部、位相差検出部、及びスペック比較部が形成されたデータ信号処理ユニットと、クロックサンプラ及びクロック変化点検出部が形成されたクロック信号処理ユニットと、デ

ータ信号処理ユニットとクロック信号処理ユニットとを電氣的に接続し、クロック変化点検出部によって検出されたクロック変化点をクロック変化点格納部に供給する伝送路とを備え、第1クロック信号と第2クロック信号との位相差は、伝送路における伝送遅延時間以上であつてもよい。

[0008] 複数のデータ信号処理ユニットを備え、伝送路は、クロック信号処理ユニットと複数のデータ信号処理ユニットとを電氣的に接続し、クロック信号処理ユニットが有するクロック変化点検出部によって検出されたクロック変化点を、複数のデータ信号処理ユニットがそれぞれ有する複数のクロック変化点格納部に供給し、複数のクロック変化点格納部は、クロック変化点検出部によって検出されたクロック変化点を、第3クロック信号に基づいて書き込み、第2クロック信号に基づいて読み出してもよい。

[0009] 本発明の第2の形態によると、データ信号とクロック信号とを同期させて出力する被試験デバイスを試験する試験装置であつて、被試験デバイスから出力されたデータ信号の変化点であるデータ変化点を検出するデータ変化点検出部と、被試験デバイスから出力されたクロック信号の変化点であるクロック変化点を検出するクロック変化点検出部と、被試験デバイスがデータ信号及びクロック信号を出力する毎に、データ変化点とクロック変化点とを比較してデータ信号とクロック信号との位相差を検出し、位相差を予め定められた許容値と比較して被試験デバイスの良否判定を行う位相差検出部とを備える。

[0010] 位相差検出部は、データ変化点及びクロック変化点の一方から他方を減算し、位相差を出力する演算回路と、演算回路が出力した位相差を予め定められた最大許容値と比較して、最大許容値より小さい場合には論理値0を出力し、最大許容値より大きい場合には論理値1を出力する最大許容値比較回路と、演算回路が出力した位相差を予め定められた最小許容値と比較して、最小許容値より大きい場合には論理値0を出力し、最小許容値より小さい場合には論理値1を出力する最小許容値比較回路と、最大許容値比較回路が出力する論理値と最小許容値比較回路が出力する論理値との論理和演算を行う論理和回路とを有する。

[0011] 本発明の第3の形態によると、被試験デバイスを試験する試験装置であつて、被試験デバイスから出力されたデータ信号の変化点であるデータ変化点を検出し、検出

したデータ変化点を示す複数ビットのデータを出力する変化点検出部と、被試験デバイスから出力されたデータ信号の出力開始時においてデータ信号がH側閾値 (V_{OH}) 以上である場合に論理値0を出力し、H側閾値より小さい場合に論理値1を出力するスタート判定信号を出力するスタート判定信号出力部と、変化点検出部が出力した複数ビットのデータの論理和演算を行う第1論理和回路、及び論理和回路の出力を反転したものとスタート判定信号出力部の出力との論理積演算を行う論理積回路を有し、データ信号にデータ変化点がなく、かつ、データ信号がH側閾値より小さいことを検出して出力するルーズファンクション部とを備える。

[0012] 本発明の第4の形態によると、被試験デバイスを試験する試験装置であって、被試験デバイスから出力されたデータ信号の変化点であるデータ変化点を検出し、検出したデータ変化点を示す複数ビットのデータを出力する変化点検出部と、被試験デバイスから出力されたデータ信号の出力開始時においてデータ信号がL側閾値 (V_{OL}) 以下である場合に論理値0を出力し、L側閾値より大きい場合に論理値1を出力するスタート判定信号を出力するスタート判定信号出力部と、変化点検出部が出力した複数ビットのデータの論理和演算を行う第1論理和回路、及び論理和回路の出力を反転したものとスタート判定信号出力部の出力との論理積演算を行う論理積回路を有し、データ信号にデータ変化点がなく、かつ、データ信号がL側閾値より大きいことを検出して出力するルーズファンクション部とを備える。

[0013] データ信号にグリッチが発生したか否かを検出し、グリッチを検出した場合に論理値1を出力し、グリッチを検出なかった場合に論理値0を出力するグリッチ検出部をさらに備え、ルーズファンクション部は、論理積回路の出力とグリッチ検出部の出力との論理和演算を行う第2論理和演算回路をさらに有し、データ信号にグリッチが発生したことをさらに検出してもよい。

[0014] 本発明の第5の形態によると、被試験デバイスを試験する試験装置であって、被試験デバイスから出力されたデータ信号の変化点であるデータ変化点を検出し、検出したデータ変化点を示す複数ビットのデータを出力する変化点検出部と、被試験デバイスから出力されたデータ信号の出力開始時においてデータ信号がH側閾値以上である場合に論理値0を出力し、H側閾値より小さい場合に論理値1を出力するス

タート判定信号を出力するスタート判定信号出力部と、変化点検出部が出力した複数ビットのデータの論理和演算を行う第1論理和回路、及び論理和回路の出力とスタート判定信号出力部の出力を反転したものの論理積演算を行う論理積回路を有し、データ信号にデータ変化点があり、かつ、データ信号がH側閾値より小さいところからH側閾値以上に変化したことを検出して出力するルーズファンクション部とを備える。

[0015] 本発明の第6の形態によると、被試験デバイスを試験する試験装置であって、被試験デバイスから出力されたデータ信号の変化点であるデータ変化点を検出し、検出したデータ変化点を示す複数ビットのデータを出力する変化点検出部と、被試験デバイスから出力されたデータ信号の出力開始時においてデータ信号がL側閾値以下である場合に論理値0を出力し、L側閾値より大きい場合に論理値1を出力するスタート判定信号を出力するスタート判定信号出力部と、変化点検出部が出力した複数ビットのデータの論理和演算を行う第1論理和回路、及び論理和回路の出力とスタート判定信号出力部の出力を反転したものの論理積演算を行う論理積回路を有し、データ信号にデータ変化点があり、かつ、データ信号がL側閾値より大きいところからL側閾値以下に変化したことを検出して出力するルーズファンクション部とを備える。

[0016] 変化点検出部が出力した複数ビットのデータに基づいて、データ信号にグリッチが発生したことを検出し、グリッチを検出した場合に論理値1を出力し、グリッチを検出しなかった場合に論理値0を出力するグリッチ検出部をさらに備え、ルーズファンクション部は、論理積回路の出力とグリッチ検出部の出力との論理和演算を行う第2論理和演算回路をさらに有し、データ信号にグリッチが発生したことをさらに検出してもよい。

[0017] 本発明の第7の形態によると、被試験デバイスを試験する試験装置であって、被試験デバイスから出力されたデータ信号がH側閾値以上であるか否かを順次判定して出力するH側レベル比較部と、H側レベル比較部が出力したデータ信号の変化点であるH側データ変化点を検出するH側データ変化点検出部と、被試験デバイスから出力されたデータ信号がL側閾値(VOL)以下であるか否かを順次判定して出力するL側レベル比較部と、L側レベル比較部が出力したデータ信号の変化点であるL側

データ変化点を検出するL側データ変化点検出部と、被試験デバイスがデータ信号を出力する毎に、H側データ変化点とL側データ変化点とを比較してデータ信号の立ち上がり時間又は立ち下がり時間を検出し、立ち上がり時間又は立ち下がり時間を予め定められた許容値と比較して被試験デバイスの良否判定を行う位相差検出部とを備える。

[0018] 位相差検出部は、H側データ変化点及びL側データ変化点の一方から他方を減算し、立ち上がり時間又は立ち下がり時間を出力する演算回路と、演算回路が出力した立ち上がり時間又は立ち下がり時間を予め定められた最大許容値と比較して、最大許容値より小さい場合には論理値0を出力し、最大許容値より大きい場合には論理値1を出力する最大許容値比較回路と、演算回路が出力した立ち上がり時間又は立ち下がり時間を予め定められた最小許容値と比較して、最小許容値より大きい場合には論理値0を出力し、最小許容値より小さい場合には論理値1を出力する最小許容値比較回路と、最大許容値比較回路が出力する論理値と最小許容値比較回路が出力する論理値との論理和演算を行う論理和回路とを有する。

[0019] 本発明の第8の形態によると、被試験デバイスを試験する試験装置であって、被試験デバイスから出力されたデータ信号がH側閾値以上であるか否かを順次判定して出力するH側レベル比較部と、H側レベル比較部が出力したデータ信号の変化点であるH側データ変化点を検出するH側データ変化点検出部と、被試験デバイスから出力されたデータ信号がL側閾値以下であるか否かを順次判定して出力するL側レベル比較部と、L側レベル比較部が出力したデータ信号の変化点であるL側データ変化点を検出するL側データ変化点検出部と、被試験デバイスがデータ信号を出力する毎に、H側データ変化点とL側データ変化点との中点であるデータ信号の変化開始タイミングを検出し、変化開始タイミングを予め定められた許容値と比較して被試験デバイスの良否判定を行う出力タイミング位相検出部とを備える。

[0020] 出力タイミング位相検出部は、H側データ変化点及びL側データ変化点に基づいて変化開始タイミングを算出する演算回路と、演算回路が出力した変化開始タイミングを予め定められた最大許容値と比較して、最大許容値より小さい場合には論理値0を出力し、最大許容値より大きい場合には論理値1を出力する最大許容値比較回

路と、演算回路が出力した変化開始タイミングを予め定められた最小許容値と比較して、最小許容値より大きい場合には論理値0を出力し、最小許容値より小さい場合には論理値1を出力する最小許容値比較回路と、最大許容値比較回路が出力する論理値と最小許容値比較回路が出力する論理値との論理和演算を行う論理和回路とを有する。

[0021] なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又発明となりうる。

発明の効果

[0022] 本発明によれば、データ信号とクロック信号とを同期させて出力する被試験デバイスをリアルタイムで精度よく試験する試験装置を提供できる。

図面の簡単な説明

[0023] [図1]試験装置10の構成の一例を示す図である。

[図2]変化点格納部110の書き込み及び読み出しの動作の一例を示す図である。

[図3]試験装置30の構成の一例を示す図である。

[図4]DQS・DQ位相差検出部308の構成の一例を示す図である。

[図5]ルーズファンクション部310の構成の一例を示す図である。

[図6]出力タイミング位相検出部312の構成の一例を示す図である。

[図7]HL位相差検出部314の構成の一例を示す図である。

[図8]ルーズファンクション部310の構成の他の例を示す図である。

符号の説明

[0024] 10 試験装置
12 DUT
30 試験装置
100 データ信号処理ユニット
102 レベル比較部
104 タイミング比較部
106 変化点検出部
108 エンコーダ

- 110 変化点格納部
- 112 位相差検出部
- 114 スペック比較部
- 120 レベルコンパレータ
- 122 レベルコンパレータ
- 124 遅延回路
- 126 タイミングコンパレータ
- 128 期待値比較部
- 130 データ変化点格納部
- 132 クロック変化点格納部
- 150 クロック信号処理ユニット
- 152 レベル比較部
- 154 タイミング比較部
- 156 変化点検出部
- 158 エンコーダ
- 160 変化点格納部
- 162 位相差検出部
- 164 スペック比較部
- 170 レベルコンパレータ
- 172 レベルコンパレータ
- 174 遅延回路
- 176 タイミングコンパレータ
- 178 期待値比較部
- 300 データ信号処理ユニット
- 301 タイミングコンパレータ
- 302 H側信号処理部
- 304 L側信号処理部
- 306 HL選択部

- 307 エンコーダ／グリッチ検出部
- 308 DQS・DQ位相差検出部
- 310 ルーズファンクション部
- 312 出力タイミング位相検出部
- 314 HL位相差検出部
- 316 論理和回路
- 350 クロック信号処理ユニット
- 351 タイミングコンパレータ
- 352 H側信号処理部
- 354 L側信号処理部
- 356 HL選択部
- 357 エンコーダ／グリッチ検出部
- 358 DQS・DQ位相差検出部
- 360 ルーズファンクション部
- 362 出力タイミング位相検出部
- 364 HL位相差検出部
- 366 論理和回路
- 400 演算回路
- 402 最大許容値比較回路
- 404 最小許容値比較回路
- 406 論理和回路
- 408 セレクタ
- 410 論理積回路
- 500 論理和回路
- 502 論理積回路
- 504 論理和回路
- 506 セレクタ
- 508 論理積回路

510 論理和回路
512 論理和回路
514 論理積回路
600 演算回路
602 最大許容値比較回路
604 最小許容値比較回路
606 論理和回路
608 セレクタ
610 論理積回路
700 演算回路
702 最大許容値比較回路
704 最小許容値比較回路
706 論理和回路
708 セレクタ
710 論理積回路

発明を実施するための最良の形態

[0025] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲に係る発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0026] 図1は、本発明の第1実施形態に係る試験装置10の構成の一例を示す。試験装置10は、データ信号(DQ0〜DQn)とクロック信号(DQS)とを同期させて出力する、例えばシンクロナスデバイスのような被試験デバイス(DUT)12の試験をリアルタイムで精度よく行うことを目的とする。具体的には、DUT12が出力するDQ0〜DQnのそれぞれとDQSとの位相差を並列してリアルタイムで検出し、位相差をスペックと比較してDUT12の良否判定を行う。

[0027] 試験装置10は、DUT12が出力するDQ0〜DQnをそれぞれ処理する複数のデータ信号処理ユニット100と、DUT12が出力するDQSを処理するクロック信号処理ユニット150と、データ信号処理ユニット100とクロック信号処理ユニット150とを電氣的

に接続する伝送路140とを備える。複数のデータ信号処理ユニット100及びクロック信号処理ユニット150は、例えばASIC (Application Specific Integrated Circuit) であり、それぞれ異なる集積回路で構成される。

[0028] データ信号処理ユニット100には、レベル比較部102、タイミング比較部104、変化点検出部106、エンコーダ108、変化点格納部110、位相差検出部112、及びスペック比較部114が形成される。また、クロック信号処理ユニット150には、レベル比較部152、タイミング比較部154、変化点検出部156、エンコーダ158、変化点格納部160、位相差検出部162、及びスペック比較部164が形成される。データ信号処理ユニット100とクロック信号処理ユニット150とは、同一の集積回路によって形成され同一の構成を有するが、DQ0〜DQnのそれぞれとDQSとの位相差を検出するためには、クロック信号処理ユニット150が有する変化点格納部160、位相差検出部162、及びスペック比較部164は、動作しなくてもよい。

[0029] レベル比較部102は、DUT12が出力したDQをH側閾値電圧 (VOH) と比較し、DQのH論理の電圧値がVOH以上であるか否かを判定して出力するレベルコンパレータ120と、DUT12が出力したDQの電圧値をL側閾値電圧 (VOL) と比較し、DQのL論理の電圧値がVOL以上であるか否かを判定して出力するレベルコンパレータ122とを含む。また、レベル比較部152は、DUT12が出力したDQSの電圧値をH側閾値電圧 (VOH) と比較し、DQSのH論理の電圧値がVOH以上であるか否かを判定して出力するレベルコンパレータ170と、DUT12が出力したDQSをL側閾値電圧 (VOL) と比較し、DQSのL論理の電圧値がVOL以上であるか否かを判定して出力するレベルコンパレータ172とを含む。

[0030] タイミング比較部104は、本発明のデータサンプラの一例であり、DUT12から出力されたDQを連続してサンプリングし、複数のデータサンプル値を取得して出力する。具体的には、タイミング比較部104は、複数の遅延回路124及び複数のタイミングコンパレータ126を含む。複数の遅延回路124は、ストロブ信号 (STRB) に少しずつ位相差を加え、少しずつ位相が異なる複数のSTRBをタイミングコンパレータ126のそれぞれに供給する。複数のタイミングコンパレータ126は、複数の遅延回路124のそれぞれから供給されたSTRBに基づいて、レベルコンパレータ120又はレベルコ

ンパレータ122の出力を読み取って、複数のデータサンプル値を出力する。

[0031] また、タイミング比較部154は、本発明のクロックサンブラの一例であり、DUT12から出力されたDQSを連続してサンプリングし、複数のクロックサンプル値を取得して出力する。具体的には、タイミング比較部154は、複数の遅延回路174及び複数のタイミングコンパレータ176を含み、タイミング比較部104と同様に動作し、DQSの処理を行う。

[0032] 変化点検出部106及びエンコーダ108は、本発明のデータ変化点検出部の一例であり、タイミング比較部104が取得した複数のデータサンプル値に基づいて、DQの変化点であるデータ変化点を検出する。具体的には、変化点検出部106は、複数の期待値比較部128を含む。複数の期待値比較部128は、複数のタイミングコンパレータ126がそれぞれ出力したデータサンプル値と予め定められた期待値とを比較し、比較結果を後段の期待値比較部128に供給する。そして、複数の期待値比較部128は、前段の期待値比較部128から供給された比較結果と、自己の比較結果とが一致するか否かを判定して判定結果を出力する。そして、エンコーダ108は、複数の期待値比較部128から出力された判定結果と、複数のタイミングコンパレータ126にそれぞれ供給されたSTRBの位相との対応から、DQのデータ変化点を検出し、検出したデータ変化点を示す複数ビットのデータを出力する。

[0033] また、変化点検出部156及びエンコーダ158は、本発明のクロック変化点検出部の一例であり、タイミング比較部154が取得した複数のクロックサンプル値に基づいて、DQSの変化点であるクロック変化点を検出する。具体的には、変化点検出部156は、複数の期待値比較部178を含み、変化点検出部106と同様に動作し、DQSの処理を行う。

[0034] 伝送路140は、クロック信号処理ユニット150と複数のデータ信号処理ユニット100とを伝送路140に沿って連続して電氣的に接続する。そして、伝送路140は、クロック信号処理ユニット150が有する変化点検出部156及びエンコーダ158によって検出されたクロック変化点を、複数のデータ信号処理ユニット100がそれぞれ有する複数のクロック変化点格納部132にそれぞれ供給する。即ち、伝送路140は、クロック信号処理ユニット150の端子から出力されたクロック変化点を、クロック信号処理ユニ

ット150に隣接するデータ信号処理ユニット100に入力し、さらに当該データ信号処理ユニット100に入力されて当該データ信号処理ユニット100から出力されたクロック変化点を、当該データ信号処理ユニット100に隣接するデータ信号処理ユニット100に入力する。このように、複数のデータ信号処理ユニット100を連続して接続する伝送路140を介して、DQSとDQとの位相差を検出する複数のデータ信号処理ユニット100のすべてにクロック変化点を供給する。

[0035] 変化点格納部110は、変化点検出部106及びエンコーダ108によって検出されたデータ変化点を保持するデータ変化点格納部130と、変化点検出部156及びエンコーダ158によって検出されたクロック変化点を保持するクロック変化点格納部132とを有する。データ変化点格納部130及びクロック変化点格納部132は、例えばMRA M(Multi-port Random Access Memory)である。データ変化点格納部130は、変化点検出部106及びエンコーダ108によって検出されたデータ変化点をクロック信号(CLK1)に基づいて書き込み、クロック信号(CLK2)で読み出す。また、クロック変化点格納部132は、変化点検出部156及びエンコーダ158によって検出されたクロック変化点をクロック信号(CLKs)で書き込み、クロック信号(CLK2)で読み出す。即ち、データ変化点格納部130及びクロック変化点格納部132は、データ変化点及びクロック変化点のそれぞれを、異なるクロック信号(CLK1及びCLKs)で書き込みを行い、同一のクロック信号(CLK2)で同期させて読み出しを行う。

[0036] クロック信号(CLK1)及びクロック信号(CLK2)は、周期が略同一で位相が異なり、クロック信号(CLK1)、クロック信号(CLK2)の順に位相がずれている。クロック信号(CLK1)とクロック信号(CLK2)との位相差は、エンコーダ108からデータ変化点格納部130までのデータ変化点の伝送遅延時間と、エンコーダ158からクロック変化点格納部132までのクロック変化点の伝送遅延時間との差の時間以上である。また、クロック信号(CLK1)とクロック信号(CLK2)との位相差は、複数のデータ信号処理ユニット100のうちでクロック信号処理ユニット150から最も離れて設けられたデータ信号処理ユニット100と、クロック信号処理ユニット150との間の伝送路140における伝送遅延時間以上である。

[0037] 位相差検出部112は、データ変化点格納部130とクロック変化点格納部132とから

クロック信号(CLK2)に基づいて同期して読み出されたデータ変化点とクロック変化点とを比較する。そして、位相差検出部112は、データ変化点とクロック変化点との位相差を検出して出力する。スペック比較部114は、位相差検出部112が検出した位相差を予め定められたスペックと比較してDUT12の良否判定を行い、PASS又はFAILを示す情報を出力する。

[0038] 本実施形態に係る試験装置10によれば、クロック信号処理ユニット150において検出したDQSのクロック変化点を、複数のデータ信号処理ユニット100を連続して接続する伝送路140を介してデータ信号処理ユニット100に供給するので、クロック信号処理ユニット150における分配信号数及び端子数を低減することができる。また、データ変化点格納部130及びクロック変化点格納部132の書き込み及び読み出しを制御するクロック信号(CLK1、CLK2、及びCLKs)に上記のような位相差を持たせることにより、データ変化点及びクロック変化点の伝送遅延時間に差異がある場合であっても、DUT12によるDQS及びDQの出力に並行して順次DQS及びDQの位相差を検出することができる。そのため、DUT12の良否判定試験に要する時間を軽減することができる。

[0039] 図2は、第1実施形態に係る変化点格納部110の書き込み及び読み出しの動作の一例を示す。図2(a)は、データ変化点格納部130の書き込み及び読み出しの動作の一例を示し、図2(b)は、クロック変化点格納部132の書き込み及び読み出しの動作の一例を示す。

[0040] 図2(a)に示すように、データ変化点格納部130は、変化点検出部106及びエンコーダ108によって順次検出されたデータ変化点のデータDn(D1、D2、D3、D4、…)を、クロック信号(CLK1)をライトクロックとして順次異なるアドレスに書き込む。図2(b)に示すように、クロック変化点格納部132は、変化点検出部156及びエンコーダ158によって順次検出されたクロック変化点のデータDn'(D1'、D2'、D3'、D4'、…)を、クロック信号(CLKs)をライトクロックとして順次異なるアドレスに書き込む。そして、図2(a)及び(b)に示すように、データ変化点格納部130及びクロック変化点格納部132は、D1がデータ変化点格納部130に書き込まれ、D1'がクロック変化点格納部132に書き込まれた後、データ変化点格納部130が保持するデータ変化点のデ

ータDn (D1、D2、D3、D4、…)及びクロック変化点格納部132が保持するクロック変化点のデータDn' (D1'、D2'、D3'、D4'、…)を、クロック信号 (CLK2)をリードクロックとして同期させて順次読み出す。

[0041] 以上のようなクロック信号 (CLK1、CLK2、及びCLKs)を用いてデータ変化点格納部130及びクロック変化点格納部132の書き込み及び読み出し動作を制御することにより、DUT12によるDQS及びDQの出力に並行してリアルタイムで順次DQS及びDQの位相差を検出することができる。

[0042] 図3は、本発明の第2実施形態に係る試験装置30の構成の一例を示す。試験装置30は、データ信号 (DQ0〜DQn)とクロック信号 (DQS)とを同期させて出力する、例えばシンクロナスデバイスのようなDUT12の試験をリアルタイムで精度よく行うことを目的とする。具体的には、DUT12が出力するDQ0〜DQnのそれぞれとDQSとの位相差、DQ0〜DQn及びDQSの出力タイミング、立ち上がり時間、立ち上がり時間等を並列してリアルタイムで検出し、スペックと比較してDUT12の良否判定を行う。なお、第2実施形態に係る試験装置30は、以下に説明する部分を除き、第1実施形態に係る試験装置10と同様の構成であり、同様に動作する。

[0043] 試験装置30は、DUT12が出力するDQ0〜DQnをそれぞれ処理する複数のデータ信号処理ユニット300と、DUT12が出力するDQSを処理するクロック信号処理ユニット350とを備える。データ信号処理ユニット300は、レベル比較部102、H側信号処理部302、L側信号処理部304、HL選択部306、DQS・DQ位相差検出部308、ルーズファンクション部310、出力タイミング位相検出部312、HL位相差検出部314、及び論理和回路316を有する。クロック信号処理ユニット350は、レベル比較部152、H側信号処理部352、L側信号処理部354、HL選択部356、DQS・DQ位相差検出部358、ルーズファンクション部360、出力タイミング位相検出部362、HL位相差検出部364、及び論理和回路366を有する。データ信号処理ユニット300とクロック信号処理ユニット350とは、同一の集積回路によって形成され同一の構成を有するが、DQ0〜DQnのそれぞれとDQSとの位相差を検出するためには、クロック信号処理ユニット350が有するDQS・DQ位相差検出部358は、動作しなくてもよい。

[0044] レベル比較部102は、本発明のH側レベル比較部の一例であるレベルコンパレー

タ120と、本発明のL側レベル比較部の一例であるレベルコンパレータ122とを含む。レベルコンパレータ120は、DUT12から出力されたDQの電圧値がVOH以上であるか否かを順次判定してH側信号処理部302に出力する。レベルコンパレータ122は、DUT12から出力されたDQの電圧値がVOL以下であるか否かを順次判定してL側信号処理部304に出力する。

[0045] H側信号処理部302は、タイミング比較部104、変化点検出部106、タイミングコンパレータ301、及びエンコーダ／グリッチ検出部307を含む。H側信号処理部302は、本発明のH側データ変化点検出部の一例であり、レベルコンパレータ120の出力に対して処理を行い、DQのデータ変化点を検出する。なお、本発明の変化点検出部は、変化点検出部106及びエンコーダ／グリッチ検出部307を含む概念であってもよい。また、タイミング比較部104及び変化点検出部106は、図1に示したタイミング比較部104及び変化点検出部106と同様に動作するので説明を省略する。タイミングコンパレータ301は、本発明のスタート判定信号出力部の一例であり、STRBに基づいてレベルコンパレータ120の出力を読み取って、DQの出力開始時においてDQの電圧値がVOH以上であるか否かを示すスタート判定信号を出力する。具体的には、タイミングコンパレータ301は、DUT12によるDQの出力開始時においてDQの電圧値がVOH以上である場合に論理値0 (PASS)を出力し、DUT12によるDQの出力開始時においてDQの電圧値がVOHより小さい場合に論理値1 (FAIL)を出力する。

[0046] エンコーダ／グリッチ検出部307は、図1に示したエンコーダ108と同様の機能に加え、複数の期待値比較部128から出力された判定結果に基づいて、1テストサイクル内にDQのデータ変化点が2回以上あるか否かを検出して、データ変化点が2回以上あるか否か、即ちグリッチが発生したか否かを示すグリッチ検出信号を出力する。具体的には、エンコーダ／グリッチ検出部307は、DQにグリッチを検出した場合に論理値1 (FAIL)を出力し、DQにグリッチを検出しなかった場合に論理値0 (PASS)を出力する。なお、L側信号処理部304は、本発明のL側データ変化点検出部の一例であり、レベルコンパレータ122の出力に対して処理を行い、DQのデータ変化点を検出する。L側信号処理部304は、H側信号処理部302と同様の構成であり、同

様に動作する。

- [0047] レベル比較部152は、レベルコンパレータ170及びレベルコンパレータ172とを含む。レベルコンパレータ170は、DUT12から出力されたDQSの電圧値がVOH以上であるか否かを順次判定してH側信号処理部352に出力する。レベルコンパレータ172は、DUT12から出力されたDQSの電圧値がVOL以下であるか否かを順次判定してL側信号処理部354に出力する。
- [0048] H側信号処理部352は、タイミング比較部154、変化点検出部156、タイミングコンパレータ351、及びエンコーダ／グリッチ検出部357を含む。H側信号処理部352は、本発明のH側データ変化点検出部の一例であり、レベルコンパレータ170の出力に対して処理を行い、DQSのデータ変化点を検出する。タイミング比較部154及び変化点検出部156は、図1に示したタイミング比較部154及び変化点検出部156と同様に動作するので説明を省略する。タイミングコンパレータ351は、STRBに基づいてレベルコンパレータ170の出力を読み取って、DQSの出力開始時においてDQSの電圧値がVOH以上であるか否かを示すスタート判定信号を出力する。具体的には、タイミングコンパレータ351は、DUT12によるDQSの出力開始時においてDQSの電圧値がVOH以上である場合に論理値0 (PASS)を出力し、DUT12によるDQSの出力開始時においてDQSの電圧値がVOHより小さい場合に論理値1 (FAIL)を出力する。
- [0049] エンコーダ／グリッチ検出部357は、図1に示したエンコーダ158と同様の機能に加え、複数の期待値比較部178から出力された判定結果に基づいて、1テストサイクル内にDQSのデータ変化点が2回以上あるか否かを検出して出力する。なお、L側信号処理部354は、本発明のL側データ変化点検出部の一例であり、レベルコンパレータ172の出力に対して処理を行い、DQSのデータ変化点を検出する。L側信号処理部354は、H側信号処理部352と同様の構成であり、同様に動作する。
- [0050] HL選択部306は、H側信号処理部302の出力とL側信号処理部304の出力とを選択的に切り換えてDQS・DQ位相差検出部308及びルーズファンクション部310に供給する。HL選択部356は、H側信号処理部352の出力とL側信号処理部354の出力とを選択的に切り換えてDQS・DQ位相差検出部308及びルーズファンクショ

ン部360に供給する。

- [0051] DQS・DQ位相差検出部308は、DUT12がDQS及びDQを出力する毎に、HL選択部306から取得したデータ変化点とHL選択部356から取得したクロック変化点とを比較して、DQSとDQとの位相差を検出する。そして、DQS・DQ位相差検出部308は、検出した位相差を予め定められた許容値と比較してDUT12の良否判定を行い、PASS又はFAILを示す情報を論理和回路316に供給する。
- [0052] ルーズファンクション部310は、エンコーダ／グリッチ検出部307が検出したデータ変化点及びグリッチ検出信号、並びにタイミングコンパレータ301が出力したスタート判定信号をHL選択部306から取得する。そして、ルーズファンクション部310は、データ変化点、グリッチ検出信号、及びスタート判定信号に基づいて、DUT12がDQを出力する毎に、DQにグリッチが発生しているか否か、DQが期待値に対して常に反転しているか否か、及びDQが期待値に対して反転して変化しているか否かを検出してDUT12の良否判定を行い、PASS又はFAILを示す情報を論理和回路316に供給する。また、ルーズファンクション部360は、ルーズファンクション部310と同様に動作し、DQSに基づいてDUT12の良否判定を行う。
- [0053] 出力タイミング位相検出部312は、H側信号処理部302において検出されたデータ変化点であるH側データ変化点と、L側信号処理部304において検出されたデータ変化点であるL側データ変化点とを、H側信号処理部302とL側信号処理部304とのそれぞれから取得する。そして、出力タイミング位相検出部312は、DUT12がDQを出力する毎に、H側データ変化点とL側データ変化点との中点であるDQの変化開始タイミングを検出する。そして、出力タイミング位相検出部312は、検出した変化開始タイミングを予め定められた許容値と比較してDUT12の良否判定を行い、PASS又はFAILを示す情報を論理和回路316に供給する。また、出力タイミング位相検出部362は、出力タイミング位相検出部312と同様に動作し、DQSに基づいてDUT12の良否判定を行う。
- [0054] HL位相差検出部314は、H側信号処理部302において検出されたH側データ変化点と、L側信号処理部304において検出されたL側データ変化点とを、H側信号処理部302とL側信号処理部304とのそれぞれから取得する。そして、HL位相差検出

部314は、DUT12がDQを出力する毎に、H側データ変化点とL側データ変化点とを比較してDQの立ち上がり時間又は立ち下がり時間を検出する。そして、HL位相差検出部314は、立ち上がり時間又は立ち下がり時間を予め定められた許容値と比較してDUT12の良否判定を行い、PASS又はFAILを示す情報を論理和回路316に供給する。また、HL位相差検出部364は、HL位相差検出部314と同様に動作し、DQSに基づいてDUT12の良否判定を行う。

[0055] 本実施形態に係る試験装置30によれば、DUT12が出力するDQ0〜DQnのそれぞれとDQSとの位相差、DQ0〜DQn及びDQSの出力タイミング、立ち上がり時間、立ち上がり時間等を並列してリアルタイムで検出することができる。そのため、DUT12の良否判定試験に要する時間を軽減することができる。

[0056] 図4は、第2実施形態に係るDQS・DQ位相差検出部308の構成の一例を示す。DQS・DQ位相差検出部308は、演算回路400、最大許容値比較回路402、最小許容値比較回路404、論理和回路406、セクタ408、及び論理積回路410を有する。演算回路400は、エンコーダ／グリッチ検出部307から取得したデータ変化点及びエンコーダ／グリッチ検出部357から取得したクロック変化点の一方から他方を減算し、DQSとDQとの位相差を算出して出力する。最大許容値比較回路402は、演算回路400が出力した位相差を予め定められた最大許容値と比較して、最大許容値より小さい場合には論理値0 (PASS) を出力し、最大許容値より大きい場合には論理値1 (FAIL) を出力する。また、最小許容値比較回路404は、演算回路400が出力した位相差を予め定められた最小許容値と比較して、最小許容値より大きい場合には論理値0 (PASS) を出力し、最小許容値より小さい場合には論理値1 (FAIL) を出力する。

[0057] そして、論理和回路406は、最大許容値比較回路402が出力した論理値と最小許容値比較回路404が出力した論理値との論理和演算を行い、演算結果を出力する。即ち、論理和回路406は、DQSとDQとの位相差が最小許容値より大きく最大許容値よりも小さい場合に、DUT12のDQS・DQ位相差が正常であることを示す論理値0 (PASS) を出力する。セクタ408は、セレクト信号(SELO)に基づいて、入力A又はBを選択して出力する。入力Aには常に論理値0が入力されており、DQSとDQと

の位相差の試験が行われる場合には、入力Bが選択されて論理積回路410に出力される。論理積回路410は、セクタ408の出力と、ルーズファンクション部310が有する論理和回路500の出力との論理積演算を行い、演算結果を論理和回路316に出力する。即ち、論理積回路410は、DQにデータ変化点がある場合だけ、セクタ408の出力を論理和回路316に出力する。

[0058] 図5は、第2実施形態に係るルーズファンクション部310の構成の一例を示す。ルーズファンクション部310は、論理和回路500、論理積回路502、論理和回路504、セクタ506、論理積回路508、論理和回路510、論理和回路512、及び論理積回路514を有する。論理和回路500は、エンコーダ／グリッチ検出部307が出力したデータ変化点を示す複数ビットのデータの論理和演算を行った演算結果を、論理積回路502及び論理積回路508、DQS・DQ位相差検出部308が有する論理積回路410、出力タイミング位相検出部312が有する論理積回路610、並びにHL位相差検出部314が有する論理積回路710に出力する。論理積回路502は、論理和回路500の出力を反転したものと、タイミングコンパレータ301の出力との論理積演算を行う。また、論理積回路508は、論理和回路500の出力と、タイミングコンパレータ301の出力を反転したものの論理積演算を行う。また、論理積回路514は、エンコーダ／グリッチ検出部307から取得したグリッチ検出信号とセレクト信号(SEL3)との論理積演算を行う。即ち、グリッチの有無を試験する場合は、セレクト信号(SEL3)として論理値1の信号を論理積回路514に供給し、グリッチの有無以外を試験する場合には、セレクト信号(SEL3)として論理値0の信号を論理積回路514に供給する。

[0059] 論理和回路504は、論理積回路502の出力と論理積回路514の出力との論理和演算を行い、セクタ506の入力Bに入力する。即ち、H側信号処理部302の出力について検出している場合、DQにデータ変化点がなく、かつ、DQの電圧値がVOHより常に小さいことを検出すると、セクタ506の入力Bに論理値1 (FAIL)が入力され、それ以外の組み合わせ、例えばDQにデータ変化点がなく、かつ、DQの電圧値がVOHより大きいことを検出すると、セクタ506の入力Bに論理値0 (PASS)が入力される。また、L側信号処理部304の出力について検出している場合、DQにデータ変化点がなく、かつ、DQの電圧値がVOLより常に大きいことを検出すると、セクタ

506の入力Bに論理値1 (FAIL)が入力され、それ以外の組み合わせ、例えばDQにデータ変化点がなく、かつ、DQの電圧値がVOLより小さいことを検出すると、セクタ506の入力Bに論理値0 (PASS)が入力される。

[0060] 論理和回路510は、論理積回路508の出力と論理積回路514の出力との論理和演算を行い、セクタ506の入力Cに入力する。即ち、H側信号処理部302の出力について検出している場合、DQにデータ変化点があり、かつ、DQの電圧値がVOHより小さいところからVOH以上に変化したことを検出すると、セクタ506の入力Cに論理値0 (PASS)が入力され、DQにデータ変化点があり、かつ、DQの電圧値がVOH以上からVOHより小さいところに変化したことを検出すると、セクタ506の入力Cに論理値1 (FAIL)が入力される。また、L側信号処理部304の出力について検出している場合、DQにデータ変化点があり、かつ、DQの電圧値がVOLより大きいところからVOL以下に変化したことを検出すると、セクタ506の入力Cに論理値0 (PASS)が入力され、また、DQにデータ変化点があり、かつ、DQの電圧値がVOL以下からVOLより大きいところに変化したことを検出すると、セクタ506の入力Cに論理値1 (FAIL)が入力される。

[0061] 論理和回路512は、論理和回路504の出力と論理和回路510の出力との論理和演算を行い、セクタ506の入力Dに入力する。セクタ506は、セレクト信号 (SEL1及びSEL2)に基づいて、入力A、B、C、及びDのいずれかから入力された論理値を出力する。セクタ506は、通常入力Dが選択され、論理和回路512の出力を論理和回路316に出力する。また、レベル比較部102の出力が論理値1 (FAIL)であるときに論理値1 (FAIL)を出力させる場合には、入力Bが選択され、論理和回路504の出力を論理和回路316に出力してもよい。また、レベル比較部102の出力が論理値1 (FAIL)であり、かつDQにデータ変化点があるときに論理値1 (FAIL)を出力させる場合には、入力Cが選択され、論理和回路510の出力を論理和回路316に出力してもよい。

[0062] 図6は、第2実施形態に係る出力タイミング位相検出部312の構成の一例を示す。出力タイミング位相検出部312は、演算回路600、最大許容値比較回路602、最小許容値比較回路604、論理和回路606、及びセクタ608を有する。演算回路600

は、H側信号処理部302のエンコーダ／グリッチ検出部307から取得したH側データ変化点、及びL側信号処理部304のエンコーダ／グリッチ検出部357から取得したL側クロック変化点に基づいて、DQの変化開始タイミングを算出する。最大許容値比較回路602は、演算回路600が出力した変化開始タイミングを予め定められた最大許容値と比較して、最大許容値より小さい場合には論理値0(PASS)を出力し、最大許容値より大きい場合には論理値1(FAIL)を出力する。また、最小許容値比較回路604は、演算回路600が出力した変化開始タイミングを予め定められた最小許容値と比較して、最小許容値より大きい場合には論理値0(PASS)を出力し、最小許容値より小さい場合には論理値1(FAIL)を出力する。

[0063] そして、論理和回路606は、最大許容値比較回路602が出力した論理値と最小許容値比較回路604が出力した論理値との論理和演算を行い、演算結果を出力する。即ち、論理和回路606は、DQの変化開始タイミングが最小許容値より大きく最大許容値よりも小さい場合に、DUT12の変化開始タイミングが正常であることを示す論理値0(PASS)を出力する。セクタ608は、セレクト信号(SEL4)に基づいて、入力A又はBを選択して出力する。入力Aには常に論理値0が入力されており、DQの変化開始タイミングの試験が行われる場合には、入力Bが選択されて論理積回路610に出力される。論理積回路610は、セクタ608の出力と、ルーズファンクション部310が有する論理和回路500の出力との論理積演算を行い、演算結果を論理和回路316に出力する。即ち、論理積回路610は、DQにデータ変化点がある場合だけ、セクタ608の出力を論理和回路316に出力する。

[0064] 図7は、第2実施形態に係るHL位相差検出部314の構成の一例を示す。HL位相差検出部314は、演算回路700、最大許容値比較回路702、最小許容値比較回路704、論理和回路706、及びセクタ708を有する。演算回路700は、H側信号処理部302のエンコーダ／グリッチ検出部307から取得したH側データ変化点、及びL側信号処理部304のエンコーダ／グリッチ検出部357から取得したL側クロック変化点の一方から他方を減算し、DQの立ち上がり時間又は立ち下がり時間を出力する。最大許容値比較回路702は、演算回路700が出力した立ち上がり時間又は立ち下がり時間を予め定められた最大許容値と比較して、最大許容値より小さい場合には論理

値0 (PASS)を出力し、最大許容値より大きい場合には論理値1 (FAIL)を出力する。また、最小許容値比較回路704は、演算回路700が出力した立ち上がり時間又は立ち下がり時間を予め定められた最小許容値と比較して、最小許容値より大きい場合には論理値0 (PASS)を出力し、最小許容値より小さい場合には論理値1 (FAIL)を出力する。

[0065] そして、論理和回路706は、最大許容値比較回路702が出力した論理値と最小許容値比較回路704が出力した論理値との論理和演算を行い、演算結果を出力する。即ち、論理和回路706は、DQの立ち上がり時間又は立ち下がり時間が最小許容値より大きく最大許容値よりも小さい場合に、DUT12の立ち上がり時間又は立ち下がり時間が正常であることを示す論理値0 (PASS)を出力する。セクタ708は、セレクト信号(SEL5)に基づいて、入力A又はBを選択して出力する。入力Aには常に論理値0が入力されており、DQの立ち上がり時間又は立ち下がり時間の試験が行われる場合には、入力Bが選択されて論理積回路710に出力される。論理積回路710は、セクタ708の出力と、ルーズファンクション部310が有する論理和回路500の出力との論理積演算を行い、演算結果を論理和回路316に出力する。即ち、論理積回路710は、DQにデータ変化点がある場合だけ、セクタ708の出力を論理和回路316に出力する。

[0066] 図8は、第2実施形態に係るルーズファンクション部310の構成の他の例を示す。ルーズファンクション部310は、論理和回路800、セクタ802、レジスタ804、論理積回路806、及び論理和回路808を有する。論理和回路800は、エンコーダ／グリッチ検出部307が出力したデータ変化点を示す複数ビットのデータの論理和演算を行った演算結果を、セクタ802、DQS・DQ位相差検出部308が有する論理積回路410、出力タイミング位相検出部312が有する論理積回路610、及びHL位相差検出部314が有する論理積回路710に出力する。

[0067] レジスタ804は、セクタ802の入力A、B、C、及びDのそれぞれに入力すべきレジスタ値を予め格納している。セクタ802は、論理和回路800の出力をセレクト信号として入力S0から取得し、またタイミングコンパレータ301の出力をセレクト信号として入力S1から取得する。また、セクタ802は、レジスタ804が格納するレジスタ値を入

力A、B、C、及びDから取得する。そして、セクタ802は、DQにデータ変化点があるか否かを示す論理和回路800の出力と、スタート判定信号であるタイミングコンパレータ301の出力との組み合わせに基づいて、入力A、B、C、及びDのいずれかから入力された論理値を出力する。即ち、レジスタ804が格納するレジスタ値を変更することにより、図5に示したルーズファンクション部310と同様にDQの状態を検出することができる。

[0068] 具体的には、セクタ802は、論理和回路800の出力が論理値0であり、タイミングコンパレータ301の出力が論理値0である場合に、入力Aを選択して出力し、論理和回路800の出力が論理値0であり、タイミングコンパレータ301の出力が論理値1である場合に、入力Bを選択して出力し、論理和回路800の出力が論理値1であり、タイミングコンパレータ301の出力が論理値0である場合に、入力Cを選択して出力し、論理和回路800の出力が論理値1であり、タイミングコンパレータ301の出力が論理値1である場合に、入力Dを選択して出力する。そして、レジスタ804が、セクタ802の入力A、B、C、及びDにそれぞれ入力すべきレジスタ値として、論理値0、0、0、及び0をそれぞれ格納している場合、セクタ802は、図5に示したセクタ506の入力Aと同様の論理値を出力する。また、レジスタ804が、セクタ802の入力A、B、C、及びDにそれぞれ入力すべきレジスタ値として、論理値0、0、1、及び0をそれぞれ格納している場合、セクタ802は、図5に示したセクタ506の入力Bと同様の論理値を出力する。また、レジスタ804が、セクタ802の入力A、B、C、及びDにそれぞれ入力すべきレジスタ値として、論理値0、1、0、及び0をそれぞれ格納している場合、セクタ802は、図5に示したセクタ506の入力Cと同様の論理値を出力する。また、レジスタ804が、セクタ802の入力A、B、C、及びDにそれぞれ入力すべきレジスタ値として、論理値0、1、1、及び0をそれぞれ格納している場合、セクタ802は、図5に示したセクタ506の入力Dと同様の論理値を出力する。

[0069] 論理積回路806は、エンコーダ／グリッチ検出部307から取得したグリッチ検出信号とセレクト信号(SEL6)との論理積演算を行う。そして、論理和回路808は、セクタ802の出力と論理積回路806の出力との論理和演算を行い、演算結果を論理和回路316に出力する。即ち、グリッチの有無を試験する場合は、セレクト信号(SEL6

)として論理値1の信号を論理積回路806に供給し、グリッチの有無以外を試験する場合には、セレクト信号(SEL6)として論理値0の信号を論理積回路806に供給する。

[0070] 本実施形態に係る試験装置30によれば、図4、図5、図6、図7、及び図8に示したように、DQS・DQ位相差検出部308、ルーズファンクション部310、出力タイミング位相検出部312、及びHL位相差検出部314をハードウェア論理により構成することにより、高速で、DQとDQSとの位相差、DQ及びDQSの出力タイミング、立ち上がり時間、立ち上がり時間、グリッチ等を検出することができる。そのため、DUT12の出力に並列してリアルタイムでDUT12の試験を行うことができ、DUT12の良否判定試験に要する時間を軽減することができる。

[0071] 以上、実施形態を用いて本発明を説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。上記実施形態に、多様な変更又は改良を加えることができる。そのような変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

産業上の利用可能性

[0072] 上記説明から明らかなように、本発明によれば、データ信号とクロック信号とを同期させて出力する被試験デバイスをリアルタイムで精度よく試験する試験装置を提供できる。

請求の範囲

- [1] データ信号とクロック信号とを同期させて出力する被試験デバイスを試験する試験装置であって、
- 前記被試験デバイスから出力された前記データ信号を連続してサンプリングし、複数のデータサンプル値を取得するデータサンプラと、
- 前記データサンプラが取得した前記複数のデータサンプル値に基づいて、前記データ信号の変化点であるデータ変化点を検出するデータ変化点検出部と、
- 前記データ変化点検出部によって検出された前記データ変化点を、第1クロック信号に基づいて書き込み、前記第1クロック信号と周期が略同一で位相が異なる第2クロック信号に基づいて読み出すデータ変化点格納部と、
- 前記被試験デバイスから出力された前記クロック信号を連続してサンプリングし、複数のクロックサンプル値を取得するクロックサンプラと、
- 前記クロックサンプラが取得した前記複数のクロックサンプル値に基づいて、前記クロック信号の変化点であるクロック変化点を検出するクロック変化点検出部と、
- 前記クロック変化点検出部によって検出された前記クロック変化点を、前記第3クロック信号に基づいて書き込み、前記第2クロック信号に基づいて読み出すクロック変化点格納部と、
- 前記データ変化点格納部と前記クロック変化点格納部とから前記第2クロック信号に基づいて同期して読み出された前記データ変化点と前記クロック変化点とを比較し、前記データ信号と前記クロック信号との位相差を検出する位相差検出部と、
- 前記位相差検出部が検出した前記位相差を予め定められたスペックと比較して前記被試験デバイスの良否判定を行うスペック比較部と
- を備える試験装置。
- [2] 前記第1クロック信号と前記第2クロック信号との位相差は、前記データ変化点検出部から前記データ変化点格納部までの伝送遅延時間と、前記クロック変化点検出部から前記クロック変化点格納部までの伝送遅延時間との差の時間以上である請求項1に記載の試験装置。
- [3] 前記データサンプラ、前記データ変化点検出部、前記データ変化点格納部、前記

クロック変化点格納部、前記位相差検出部、及び前記スペック比較部が形成されたデータ信号処理ユニットと、

前記クロックサンブラ及び前記クロック変化点検出部が形成されたクロック信号処理ユニットと、

前記データ信号処理ユニットと前記クロック信号処理ユニットとを電氣的に接続し、前記クロック変化点検出部によって検出された前記クロック変化点を前記クロック変化点格納部に供給する伝送路とを備え、

前記第1クロック信号と前記第2クロック信号との位相差は、前記伝送路における伝送遅延時間以上である請求項1に記載の試験装置。

[4] 複数の前記データ信号処理ユニットを備え、

前記伝送路は、前記クロック信号処理ユニットと前記複数のデータ信号処理ユニットとを電氣的に接続し、前記クロック信号処理ユニットが有する前記クロック変化点検出部によって検出された前記クロック変化点を、前記複数のデータ信号処理ユニットがそれぞれ有する複数の前記クロック変化点格納部に供給し、

前記複数のクロック変化点格納部は、前記クロック変化点検出部によって検出された前記クロック変化点を、前記第3クロック信号に基づいて書き込み、前記第2クロック信号に基づいて読み出す請求項3に記載の試験装置。

[5] データ信号とクロック信号とを同期させて出力する被試験デバイスを試験する試験装置であって、

前記被試験デバイスから出力された前記データ信号の変化点であるデータ変化点を検出するデータ変化点検出部と、

前記被試験デバイスから出力された前記クロック信号の変化点であるクロック変化点を検出するクロック変化点検出部と、

前記被試験デバイスが前記データ信号及び前記クロック信号を出力する毎に、前記データ変化点と前記クロック変化点とを比較して前記データ信号と前記クロック信号との位相差を検出し、前記位相差を予め定められた許容値と比較して前記被試験デバイスの良否判定を行う位相差検出部と

を備え、

前記位相差検出部は、

前記データ変化点及び前記クロック変化点の一方から他方を減算し、前記位相差を出力する演算回路と、

前記演算回路が出力した前記位相差を予め定められた最大許容値と比較して、前記最大許容値より小さい場合には論理値0を出力し、前記最大許容値より大きい場合には論理値1を出力する最大許容値比較回路と、

前記演算回路が出力した前記位相差を予め定められた最小許容値と比較して、前記最小許容値より大きい場合には論理値0を出力し、前記最小許容値より小さい場合には論理値1を出力する最小許容値比較回路と、

前記最大許容値比較回路が出力する前記論理値と前記最小許容値比較回路が出力する前記論理値との論理和演算を行う論理和回路とを有する試験装置。

[6] 被試験デバイスを試験する試験装置であって、

前記被試験デバイスから出力されたデータ信号の変化点であるデータ変化点を検出し、検出した前記データ変化点を示す複数ビットのデータを出力する変化点検出部と、

前記被試験デバイスから出力された前記データ信号の出力開始時において前記データ信号がH側閾値以上である場合に論理値0を出力し、前記H側閾値より小さい場合に論理値1を出力するスタート判定信号を出力するスタート判定信号出力部と、

前記変化点検出部が出力した前記複数ビットのデータの論理和演算を行う第1論理和回路、及び前記論理和回路の出力を反転したものと前記スタート判定信号出力部の出力との論理積演算を行う論理積回路を有し、前記データ信号に前記データ変化点がなく、かつ、前記データ信号が前記H側閾値より小さいことを検出して出力するルーズファンクション部とを備える試験装置。

[7] 被試験デバイスを試験する試験装置であって、

前記被試験デバイスから出力されたデータ信号の変化点であるデータ変化点を検出し、検出した前記データ変化点を示す複数ビットのデータを出力する変化点検出部と、

前記被試験デバイスから出力された前記データ信号の出力開始時において前記データ信号がL側閾値以下である場合に論理値0を出力し、前記L側閾値より大きい場合に論理値1を出力するスタート判定信号を出力するスタート判定信号出力部と、

前記変化点検出部が出力した前記複数ビットのデータの論理和演算を行う第1論理和回路、及び前記論理和回路の出力を反転したものと前記スタート判定信号出力部の出力との論理積演算を行う論理積回路を有し、前記データ信号に前記データ変化点がなく、かつ、前記データ信号が前記L側閾値より大きいことを検出して出力するルーズファンクション部と

を備える試験装置。

- [8] 前記データ信号にグリッチが発生したか否かを検出し、グリッチを検出した場合に論理値1を出力し、グリッチを検出なかった場合に論理値0を出力するグリッチ検出部をさらに備え、

前記ルーズファンクション部は、前記論理積回路の出力と前記グリッチ検出部の出力との論理和演算を行う第2論理和演算回路をさらに有し、前記データ信号にグリッチが発生したことをさらに検出する請求項6又は7に記載の試験装置。

- [9] 被試験デバイスを試験する試験装置であって、

前記被試験デバイスから出力されたデータ信号の変化点であるデータ変化点を検出し、検出した前記データ変化点を示す複数ビットのデータを出力する変化点検出部と、

前記被試験デバイスから出力された前記データ信号の出力開始時において前記データ信号がH側閾値以上である場合に論理値0を出力し、前記H側閾値より小さい場合に論理値1を出力するスタート判定信号を出力するスタート判定信号出力部と、

前記変化点検出部が出力した前記複数ビットのデータの論理和演算を行う第1論理和回路、及び前記論理和回路の出力と前記スタート判定信号出力部の出力を反

転したものの論理積演算を行う論理積回路を有し、前記データ信号に前記データ変化点があり、かつ、前記データ信号が前記H側閾値より小さいところから前記H側閾値以上に変化したことを検出して出力するルーズファンクション部とを備える試験装置。

- [10] 被試験デバイスを試験する試験装置であって、
前記被試験デバイスから出力されたデータ信号の変化点であるデータ変化点を検出し、検出した前記データ変化点を示す複数ビットのデータを出力する変化点検出部と、
前記被試験デバイスから出力された前記データ信号の出力開始時において前記データ信号がL側閾値以下である場合に論理値0を出力し、前記L側閾値より大きい場合に論理値1を出力するスタート判定信号を出力するスタート判定信号出力部と、
前記変化点検出部が出力した前記複数ビットのデータの論理和演算を行う第1論理和回路、及び前記論理和回路の出力と前記スタート判定信号出力部の出力を反転したものの論理積演算を行う論理積回路を有し、前記データ信号に前記データ変化点があり、かつ、前記データ信号が前記L側閾値より大きいところから前記L側閾値以下に変化したことを検出して出力するルーズファンクション部とを備える試験装置。
- [11] 前記変化点検出部が出力した前記複数ビットのデータに基づいて、前記データ信号にグリッチが発生したことを検出し、グリッチを検出した場合に論理値1を出力し、グリッチを検出なかった場合に論理値0を出力するグリッチ検出部をさらに備え、
前記ルーズファンクション部は、前記論理積回路の出力と前記グリッチ検出部の出力との論理和演算を行う第2論理和演算回路をさらに有し、前記データ信号にグリッチが発生したことをさらに検出する請求項9又は10に記載の試験装置。
- [12] 被試験デバイスを試験する試験装置であって、
前記被試験デバイスから出力されたデータ信号がH側閾値以上であるか否かを順次判定して出力するH側レベル比較部と、
前記H側レベル比較部が出力した前記データ信号の変化点であるH側データ変化点を検出するH側データ変化点検出部と、

前記被試験デバイスから出力された前記データ信号がL側閾値以下であるか否かを順次判定して出力するL側レベル比較部と、

前記L側レベル比較部が出力した前記データ信号の変化点であるL側データ変化点を検出するL側データ変化点検出部と、

前記被試験デバイスが前記データ信号を出力する毎に、前記H側データ変化点と前記L側データ変化点との中点である前記データ信号の変化開始タイミングを検出し、前記変化開始タイミングを予め定められた許容値と比較して前記被試験デバイスの良否判定を行う出力タイミング位相検出部とを備え、

前記出力タイミング位相検出部は、

前記H側データ変化点及び前記L側データ変化点に基づいて前記変化開始タイミングを算出する演算回路と、

前記演算回路が出力した前記変化開始タイミングを予め定められた最大許容値と比較して、前記最大許容値より小さい場合には論理値0を出力し、前記最大許容値より大きい場合には論理値1を出力する最大許容値比較回路と、

前記演算回路が出力した前記変化開始タイミングを予め定められた最小許容値と比較して、前記最小許容値より大きい場合には論理値0を出力し、前記最小許容値より小さい場合には論理値1を出力する最小許容値比較回路と、

前記最大許容値比較回路が出力する前記論理値と前記最小許容値比較回路が出力する前記論理値との論理和演算を行う論理和回路とを有する試験装置。

[13] 被試験デバイスを試験する試験装置であって、

前記被試験デバイスから出力されたデータ信号がH側閾値以上であるか否かを順次判定して出力するH側レベル比較部と、

前記H側レベル比較部が出力した前記データ信号の変化点であるH側データ変化点を検出するH側データ変化点検出部と、

前記被試験デバイスから出力された前記データ信号がL側閾値以下であるか否かを順次判定して出力するL側レベル比較部と、

前記L側レベル比較部が出力した前記データ信号の変化点であるL側データ変化点を検出するL側データ変化点検出部と、

前記被試験デバイスが前記データ信号を出力する毎に、前記H側データ変化点と前記L側データ変化点とを比較して前記データ信号の立ち上がり時間又は立ち下がり時間を検出し、前記立ち上がり時間又は前記立ち下がり時間を予め定められた許容値と比較して前記被試験デバイスの良否判定を行う位相差検出部とを備え、

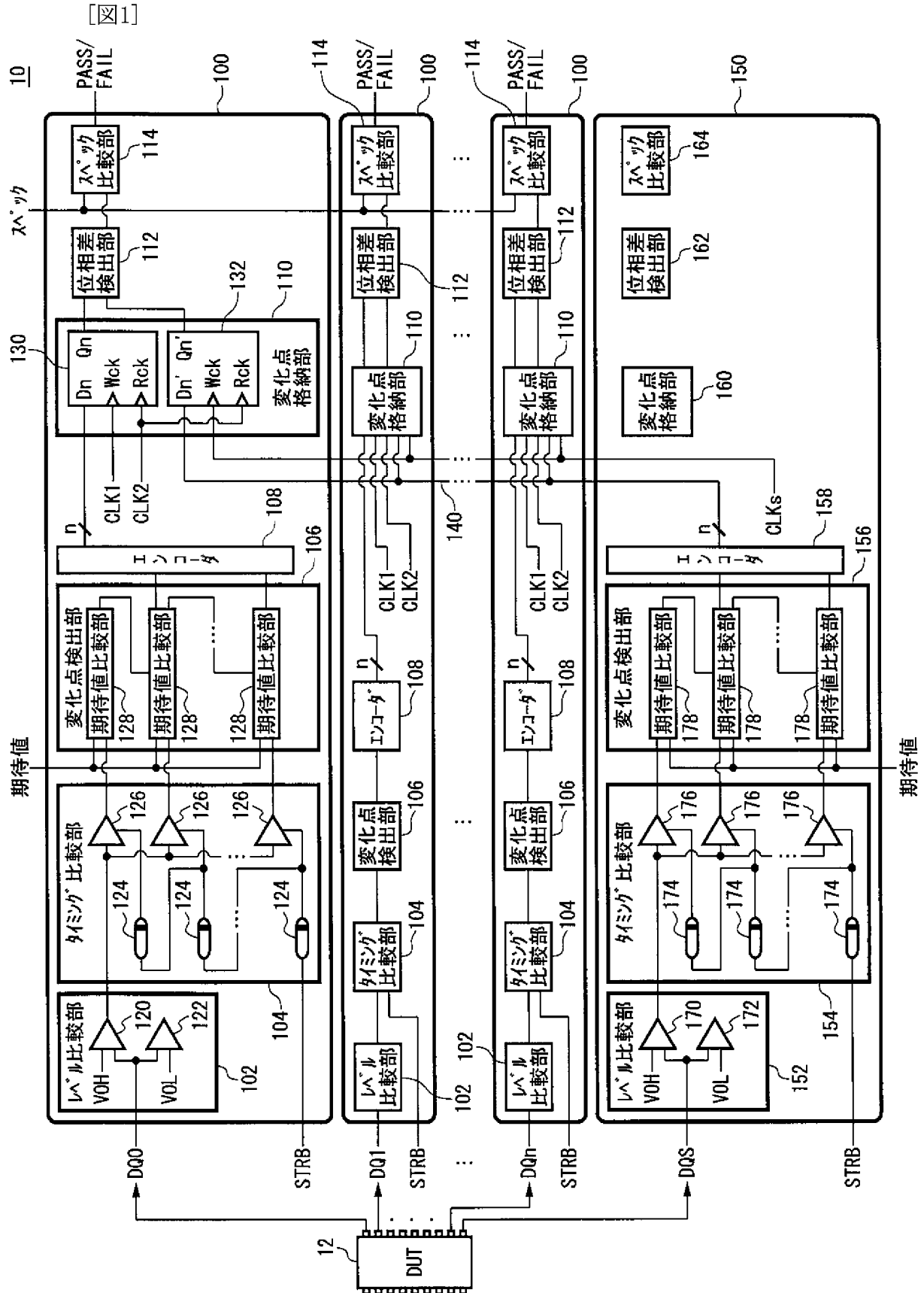
前記位相差検出部は、

前記H側データ変化点及び前記L側データ変化点の一方から他方を減算し、前記立ち上がり時間又は前記立ち下がり時間を出力する演算回路と、

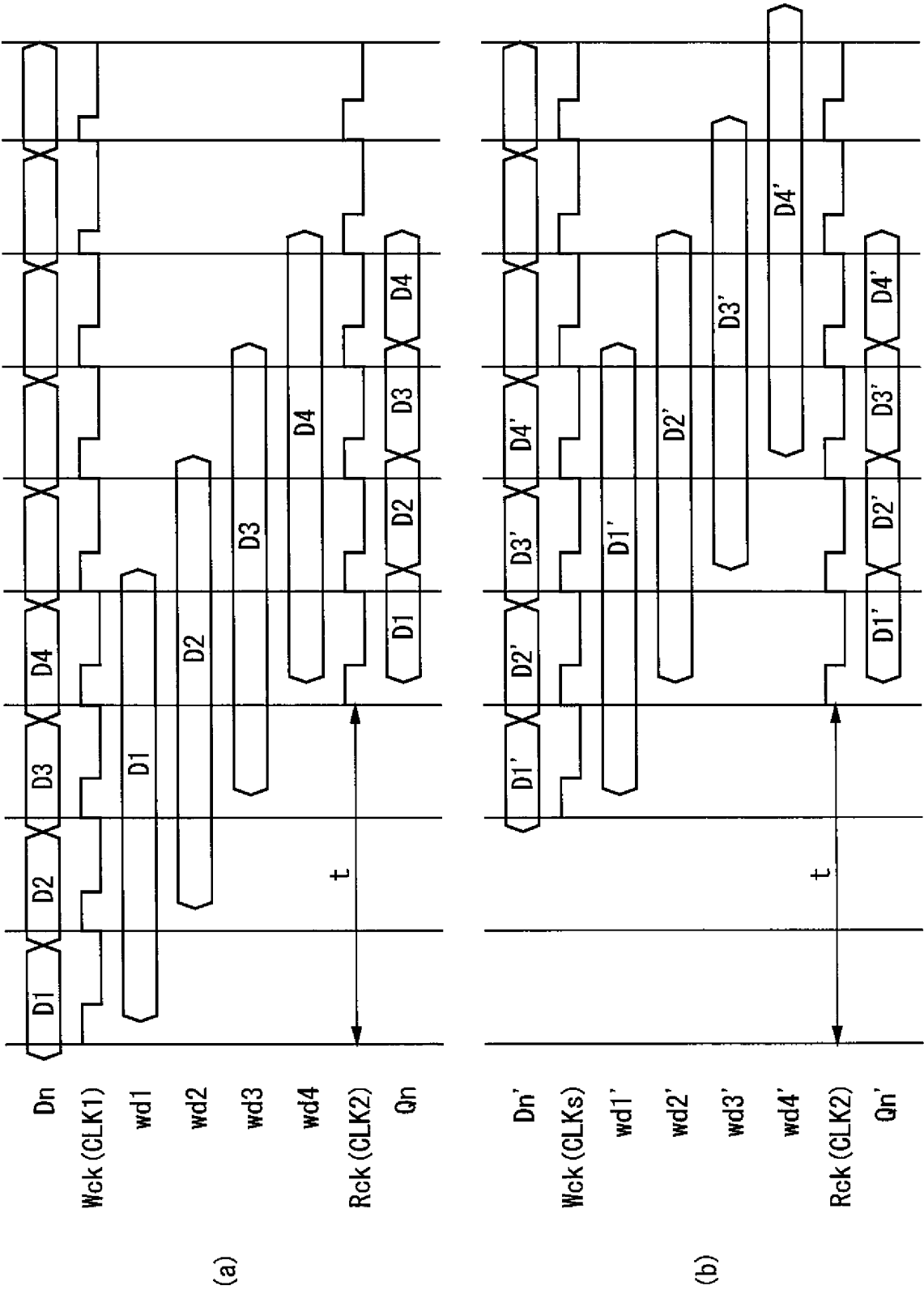
前記演算回路が出力した前記立ち上がり時間又は前記立ち下がり時間を予め定められた最大許容値と比較して、前記最大許容値より小さい場合には論理値0を出力し、前記最大許容値より大きい場合には論理値1を出力する最大許容値比較回路と、

前記演算回路が出力した前記立ち上がり時間又は前記立ち下がり時間を予め定められた最小許容値と比較して、前記最小許容値より大きい場合には論理値0を出力し、前記最小許容値より小さい場合には論理値1を出力する最小許容値比較回路と、

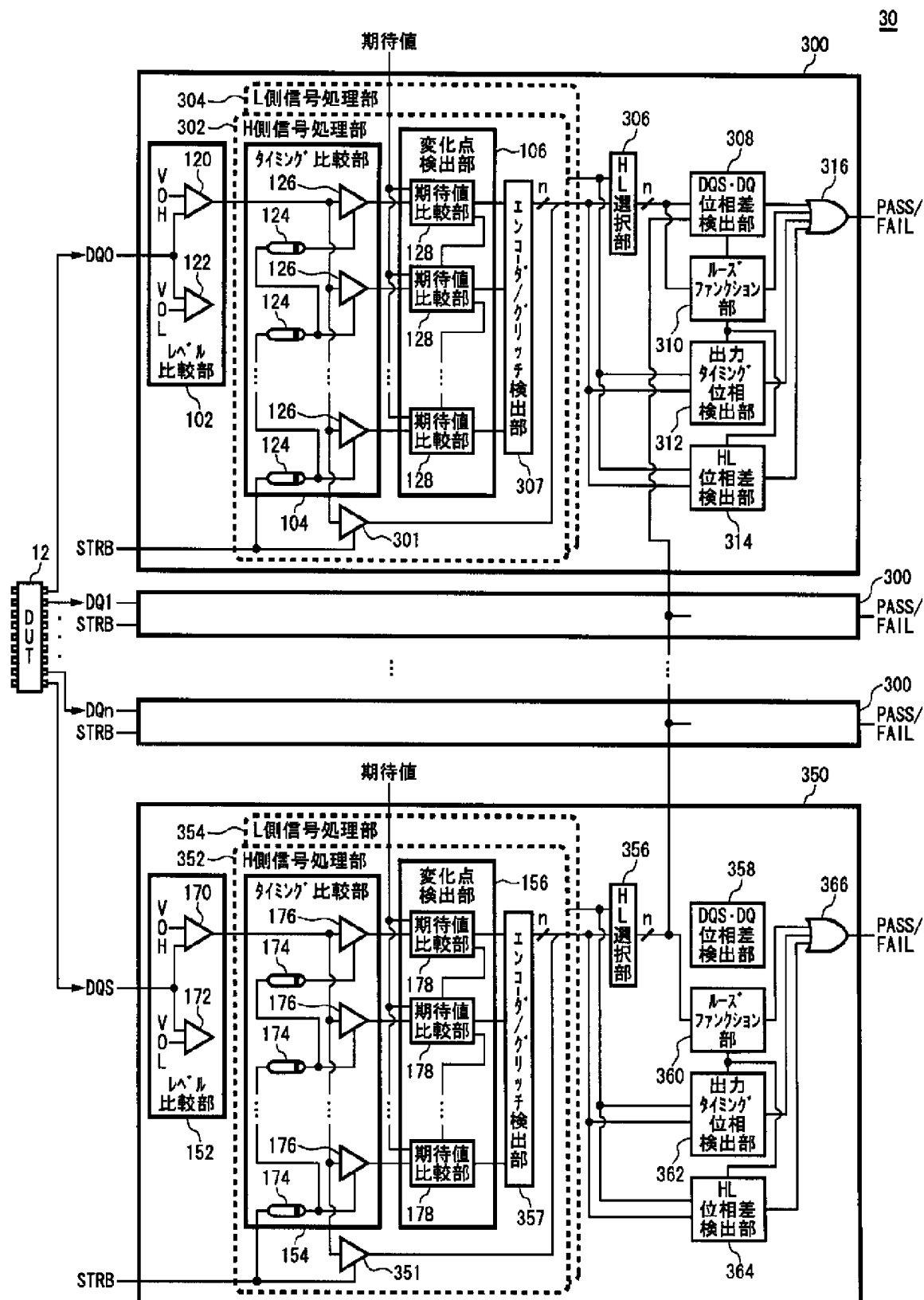
前記最大許容値比較回路が出力する前記論理値と前記最小許容値比較回路が出力する前記論理値との論理和演算を行う論理和回路とを有する試験装置。



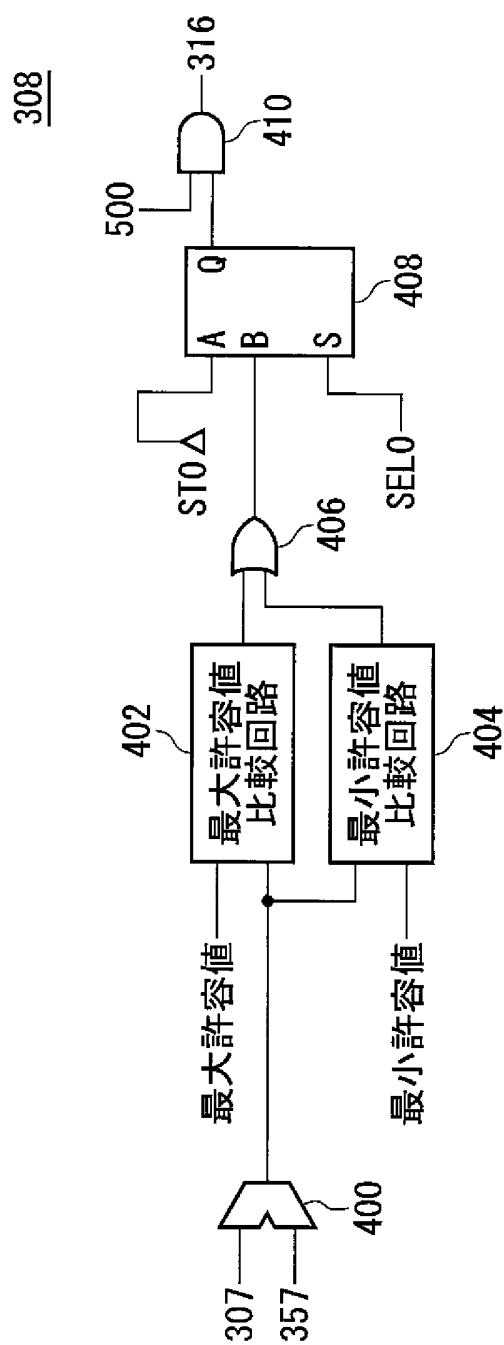
[図2]



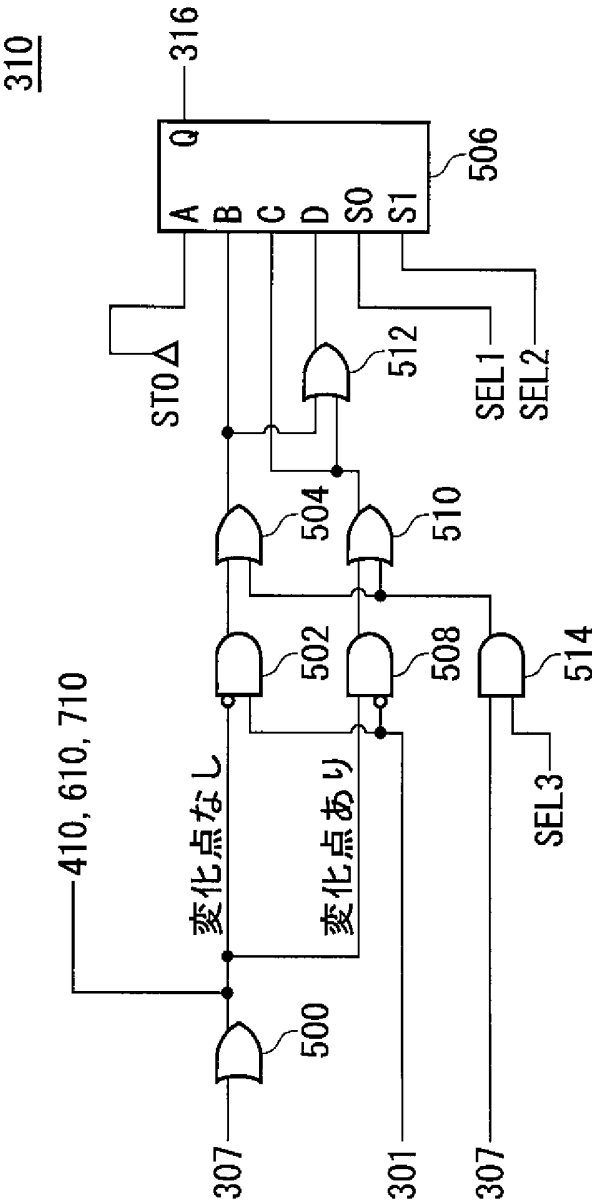
[図3]



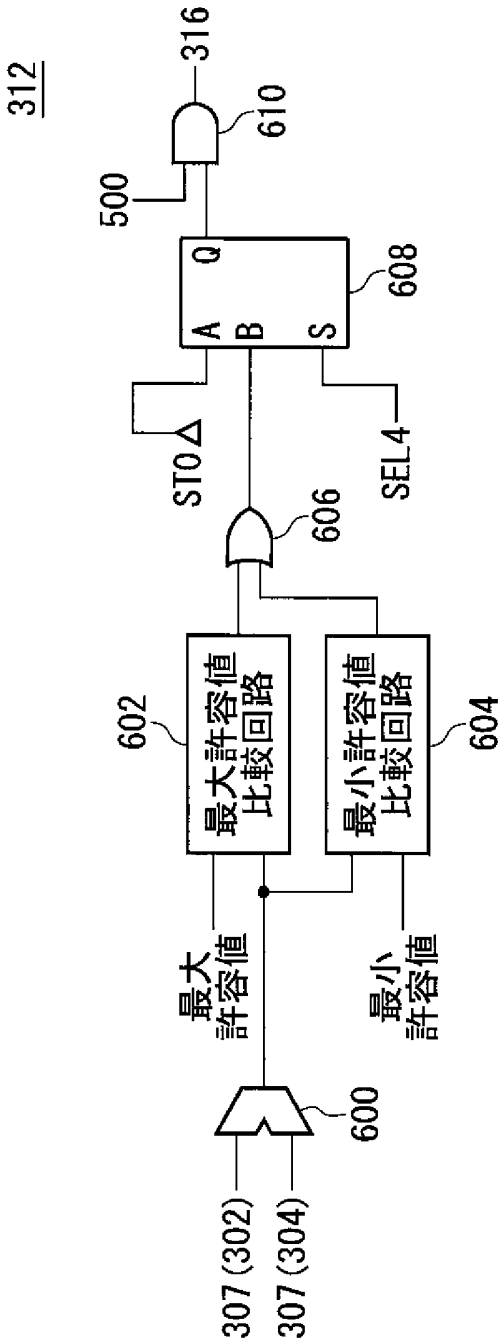
[図4]



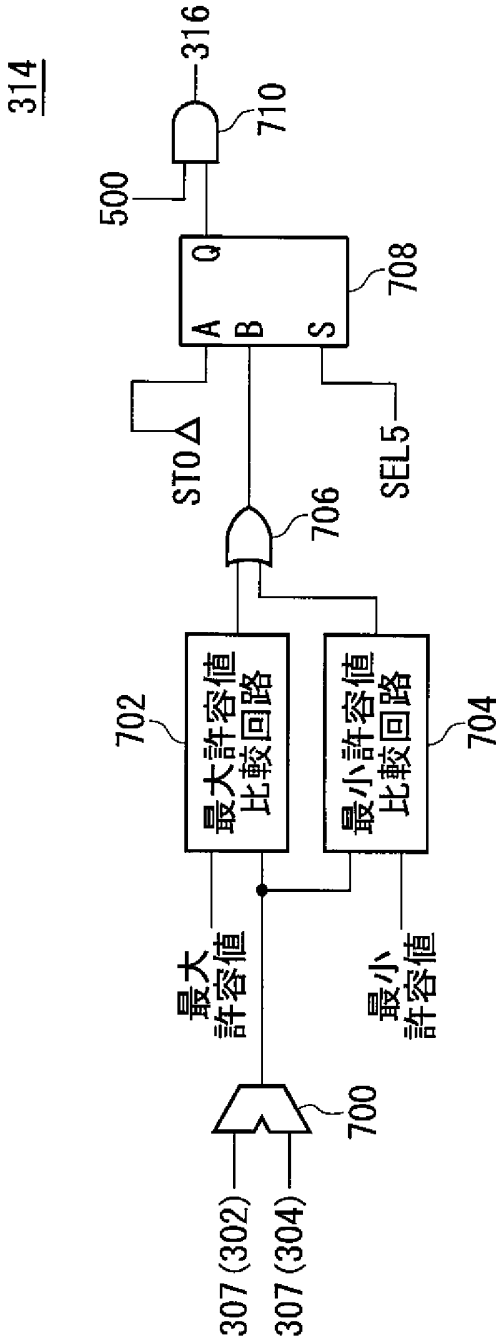
[図5]



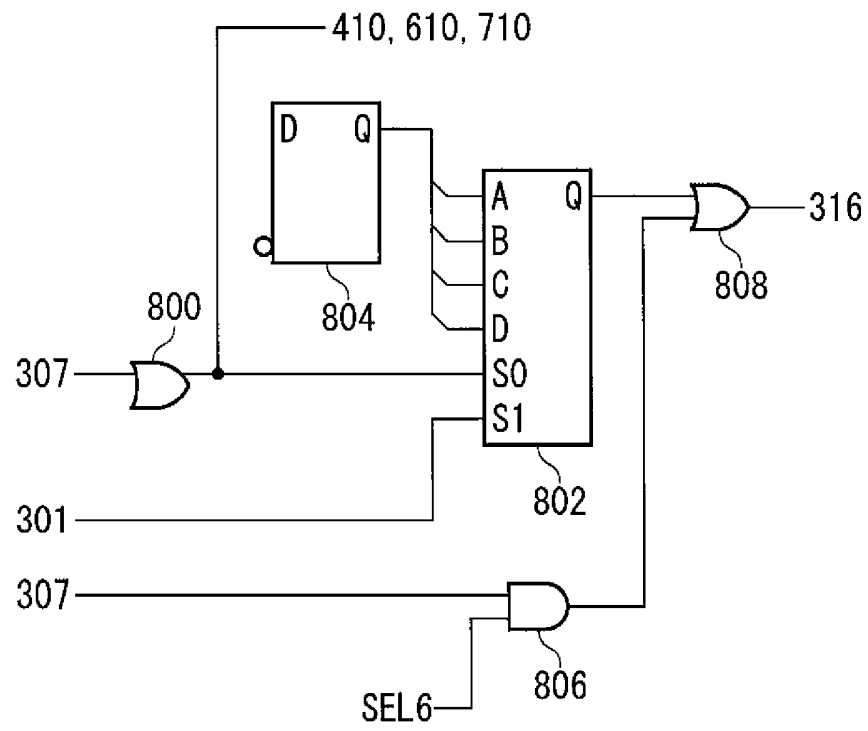
[図6]



[図7]



[図8]

310

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010318

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G01R31/28, G01R29/02Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 03/060533 A1 (Advantest Corp.), 24 July, 2003 (24.07.03), Full text; all drawings (Family: none)	5
A	JP 2001-356153 A (Advantest Corp.), 26 December, 2001 (26.12.01), Full text; all drawings & US 2001/0052097 A1 & CN 1329254 A & DE 10101899 A1 & KR 2001/076307 A	1-13
A	JP 2001-201532 A (Advantest Corp.), 27 July, 2001 (27.07.01), Full text; all drawings (Family: none)	1-13

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 October, 2004 (19.10.04)Date of mailing of the international search report
02 November, 2004 (02.11.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ G01R 31/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G01R 31/28, G01R 29/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国実用新案登録公報 1996-2004年
日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 03/060533 A1 (株式会社アドバンテスト) 2003. 07. 24, 全文, 全図 (ファミリーなし)	5
A	JP 2001-356153 A (株式会社アドバンテスト) 2001. 12. 26, 全文, 全図 & US 2001/0052097 A1 & CN 1329254 A & DE 10101899 A1 & KR 2001/076307 A	1-13

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

19. 10. 2004

国際調査報告の発送日

02.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

下中 義之

2S

8203

電話番号 03-3581-1101 内線 3256

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-201532 A (株式会社アドバンテスト) 2001. 07. 27, 全文, 全図 (ファミリーなし)	1-13