

## (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2015 年 6 月 25 日 (25.06.2015)



(10) 国际公布号  
WO 2015/089932 A1

- (51) 国际专利分类号:  
G09G 3/36 (2006.01) G11C 19/28 (2006.01)
- (21) 国际申请号: PCT/CN2014/070947
- (22) 国际申请日: 2014 年 1 月 21 日 (21.01.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201310712607.8 2013 年 12 月 20 日 (20.12.2013) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 戴超 (DAI, Chao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 肖军城 (XIAO, Juncheng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市深南中路新闻大厦 1 号楼 3 楼 307 室, Guangdong 518027 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: ARRAY SUBSTRATE ROW DRIVE CIRCUIT

(54) 发明名称: 阵列基板行驱动电路

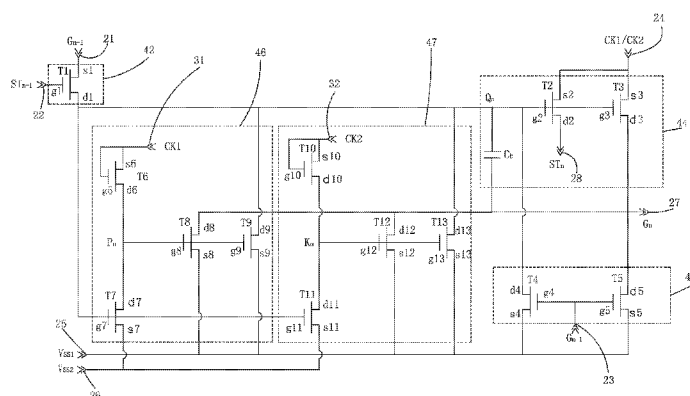


图4/ Fig.4

(57) Abstract: An array substrate row drive circuit, comprising cascaded array substrate row drive units of multiple levels, wherein the array substrate row drive unit of the  $n^{\text{th}}$  level is provided with a first input end (21) of a signal of the  $n-1^{\text{th}}$  level, a second input end (22) of the signal of the  $n-1^{\text{th}}$  level, an input end (23) of a signal of the  $n+1^{\text{th}}$  level, a first input end (24) of a clock signal, a first low-level input end (25), a second low-level input end (26), a first output end (27) and a second output end (28). The array substrate row drive unit of the  $n^{\text{th}}$  level also comprises: a pull-up control unit (42), a pull-up unit (44), a first pull-down maintenance unit (46), a second pull-down maintenance unit (47), and a pull-down unit (48). The array substrate row drive circuit can solve the problems of bad functionality of an array substrate row drive circuit and short operation life of the circuit due to the fact that two low-level signals are introduced, thereby improving the quality of a display picture.

(57) 摘要:

[见续页]

WO 2015/089932 A1

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

---

一种阵列基板行驱动电路，包括级联的多级阵列基板行驱动单元，其中，第  $n$  级阵列基板行驱动单元具有第  $n-1$  级信号第一输入端 (21)、第  $n-1$  级信号第二输入端 (22)、第  $n+1$  级信号输入端 (23)、时钟信号第一输入端 (24)、第一低电平输入端 (25)、第二低电平输入端 (26)、第一输出端 (27) 及第二输出端 (28)。第  $n$  级阵列基板行驱动单元还包括：上拉控制单元 (42)、上拉单元 (44)、第一下拉维持单元 (46)、第二下拉维持单元 (47) 及下拉单元 (48)。该阵列基板行驱动电路可解决引入两个低电平信号引起的阵列基板行驱动电路功能性不良和电路操作寿命不长的问题，提高显示画面的质量。

## 阵列基板行驱动电路

### 技术领域

本发明涉及液晶显示领域，尤其涉及一种阵列基板行驱动电路。

### 背景技术

液晶显示装置（LCD，Liquid Crystal Display）具有机身薄、省电、无辐射等众多优点，得到了广泛的应用，并随着液晶显示装置产业的发展，其要求性能也越来越高，如高分辨率、高亮度、广视角、低功耗等性能，且其相应的技术也持续被开发出来。现有市场上的液晶显示装置大部分为背光型液晶显示装置，其包括液晶显示面板及背光模组（backlight module）。液晶显示面板的工作原理是在两片平行的玻璃基板当中放置液晶分子，通过利用驱动电路在两片玻璃基板上施加驱动电压来控制液晶分子改变方向，将背光模组的光线折射出来产生画面。

近些年来液晶显示装置的发展呈现出高集成度、低成本的发展趋势。其中一项非常重要的技术就是阵列基板行驱动（Gate Driver On Array，GOA）技术量产化的实现。阵列基板行驱动技术就是利用现有的薄膜晶体管液晶显示器的前段阵列（Array）制程将栅极行扫描驱动信号电路制作在液晶显示面板的阵列基板上，实现对栅极逐行扫描的驱动技术。利用阵列基板行驱动技术将栅极行扫描驱动信号电路集成在液晶显示面板的阵列基板上，可以省掉栅极驱动集成电路部分，从而从材料成本和制作工艺两方面降低产品成本。这种利用阵列基板行驱动技术集成在阵列基板上的栅极行扫描驱动信号电路也称为阵列基板行驱动电路。其中，阵列基板行驱动电路包括若干个阵列基板行驱动单元，请参阅图 1，其为现有技术中阵列基板行驱动电路的阵列基板行驱动单元的电路图，具体包括：上拉电路 100、上拉控制电路 200、下拉电路 300、第一下拉维持电路 400 以及第二下拉维持电路 500。其中，上拉电路 100 主要负责将时钟信号CK<sub>n</sub>输出为栅极信号G<sub>n</sub>；上拉控制电路 200 负责控制上拉电路 100 的打开时间，一般连接上一级阵列基板行驱动单元传递过来的下传信号ST<sub>n-1</sub>和其栅极信号G<sub>n-1</sub>；第一下拉维持电路 400 负责在第一时间将栅线拉低为低电位，即关闭栅极信号；第二下拉维持电路 500 则负责将栅级信号G<sub>n</sub>和上拉电路 100 的控制信号Q<sub>n</sub>维持在关闭状态（即负电位），通常阵列基板行驱动电路设有两条低电平信号线，该两条低电平信号线分别提供第一低电平信号V<sub>ss1</sub>及

第二低电平信号 $V_{ss2}$ ，利用该第二低电平 $V_{ss2}$ 在扫描电路处于关闭（保持）时间时拉低上拉电路 100 的栅极和源极之间的电压差 $V_{gs}$ ，减小上拉电路 100 和第二下拉维持电路 500 漏电流的作用；电容 $C_{boost}$ 则负责上拉电路 100 的控制信号 $Q_n$ 的二次抬升，这样有利于栅极信号 $G_n$ 输出。

5 但，现有技术中的阵列基板行驱动电路存在以下两点不足之处：

一是：两个不同的负电位之间有导通路径。请参阅图 2，为图 1 的等效电路图，其中，L100 为通过薄膜晶体管T110 与上一级阵列基板行驱动单元连接的漏电流（Leakage Current）回路，L200 为通过薄膜晶体管T410 与本级阵列基板行驱动单元连接的漏电流回路，现有技术中的阵列基板行驱动电路将会导致漏电流回路L100 与L200 之间产生较大的电流作用，电  
10 流大小与下拉点 $P_n$ 和 $K_n$ 的电位直接相关，而且导通电流大小与阵列基板行驱动电路的级数成正比，这样会增加 $V_{ss1}$ 和 $V_{ss2}$ 信号源的负担，严重的可能会导致画面显示异常；

二是：薄膜晶体管T510 和T610 的二极体设计使得下拉点 $P_n$ 和 $K_n$ 的高  
15 电位无法迅速放掉，最后产生的 $P_n$ 点和 $K_n$ 点的电压变化如图 3 所示，这样会增加第一、第二下拉维持电路 400、500 中主要的四颗薄膜晶体管T320、T420、T330、T430 的应力（Stress）作用，最终会影响阵列基板行驱动电路的操作寿命。

## 20 发明内容

本发明的目的在于提供一种阵列基板行驱动电路，利用阵列基板行驱动技术降低液晶显示器的成本，解决现有阵列基板行驱动电路中引入两个低电平信号可能引起的阵列基板行驱动电路功能性不良和阵列基板行驱动电路操作寿命不长的的问题，提高显示画面的质量。

25 为实现上述目的，本发明提供一种阵列基板行驱动电路，包括级联的多级阵列基板行驱动单元，其中：

对于位于阵列基板行驱动电路的第二级至倒数第二级的任一第  $n$  级阵列基板行驱动单元，所述第  $n$  级阵列基板行驱动单元具有第  $n-1$  级信号第一输入端、第  $n-1$  级信号第二输入端、第  $n+1$  级信号输入端、第一输出端  
30 及第二输出端，其中，所述第  $n$  级阵列基板行驱动单元的第一输出端用于驱动阵列基板的有源区；

所述第  $n$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端、第  $n-1$  级信号第二输入端及第  $n+1$  级信号输入端分别电性连接至第  $n-1$  级阵列基板行驱动单元的第一输出端、第二输出端及第  $n+1$  级阵列基板行驱动单元

的第一输出端, 所述第  $n$  级阵列基板行驱动单元的第一输出端分别电性连接至第  $n+1$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端及第  $n-1$  级阵列基板行驱动单元的第  $n+1$  级信号输入端, 所述第  $n$  级阵列基板行驱动单元的第二输出端电性连接至第  $n+1$  级阵列基板行驱动单元的第  $n-1$  级信号第二输入端;

对于位于阵列基板行驱动电路的第一级的第  $n$  级阵列基板行驱动单元, 所述第  $n$  级阵列基板行驱动单元具有第  $n-1$  级信号第一输入端、第  $n-1$  级信号第二输入端、第  $n+1$  级信号输入端、第一输出端及第二输出端, 其中, 所述第  $n$  级阵列基板行驱动单元的第一输出端用于驱动阵列基板的有源区; 所述第  $n$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端和第  $n-1$  级信号第二输入端均用于输入一脉冲激活信号, 所述第  $n+1$  级信号输入端电性连接第  $n+1$  级阵列基板行驱动单元的第一输出端, 所述第  $n$  级阵列基板行驱动单元的第一输出端及第二输出端分别电性连接至第  $n+1$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端及第  $n-1$  级信号第二输入端;

对于位于阵列基板行驱动电路的倒数第一级的第  $n$  级阵列基板行驱动单元, 所述第  $n$  级阵列基板行驱动单元具有第  $n-1$  级信号第一输入端、第  $n-1$  级信号第二输入端、第  $n+1$  级信号输入端、第一输出端及第二输出端; 所述第  $n$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端及第二输入端分别电性连接至第  $n-1$  级阵列基板行驱动单元的第一输出端及第二输出端, 所述第  $n$  级阵列基板行驱动单元的第  $n+1$  级信号输入端用于输入一脉冲激活信号, 所述第  $n$  级阵列基板行驱动单元的第一输出端电性连接至第  $n-1$  级阵列基板行驱动单元的第  $n+1$  级信号输入端且其第二输出端设置为悬空;

对于位于阵列基板行驱动电路的第一至倒数第一级的任一第  $n$  级阵列基板行驱动单元, 所述第  $n$  级阵列基板行驱动单元还具有时钟信号第一输入端、第一低电平输入端、第二低电平输入端, 所述第一低电平输入端用于输入第一低电平, 所述第二低电平输入端用于输入第二低电平, 且所述第二低电平小于第一低电平;

对于位于阵列基板行驱动电路的第一至倒数第一级的任一第  $n$  级阵列基板行驱动单元, 所述第  $n$  级阵列基板行驱动单元还包括:

上拉控制单元, 与第  $n-1$  级信号第一输入端及第  $n-1$  级信号第二输入端电性连接;

上拉单元, 分别与上拉控制单元、及时钟信号第一输入端、第一输出

端及第二输出端电性连接;

第一下拉维持单元, 分别与第一低电平输入端、第二低电平输入端、上拉控制单元及上拉单元电性连接;

5 第二下拉维持单元, 分别与第一低电平输入端、第二低电平输入端、第一下拉维持单元、上拉控制单元及上拉单元电性连接;

下拉单元, 分别与第  $n+1$  级信号输入端、第一低电平输入端、上拉控制单元、上拉单元、第一下拉维持单元、第二下拉维持单元及第一输出端电性连接。

10 所述时钟信号第一输入端的输入信号为第一时钟信号或第二时钟信号, 所述第一时钟信号与第二时钟信号相位相反; 当所述阵列基板行驱动电路的第  $n$  级阵列基板行驱动单元的时钟信号第一输入端的输入信号为第一时钟信号时, 所述阵列基板行驱动电路的第  $n+1$  级阵列基板行驱动单元的时钟信号第一输入端的输入信号为第二时钟信号。

15 所述上拉控制单元为一第一薄膜晶体管, 所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极, 所述第一栅极电性连接至第  $n-1$  级信号第二输入端, 所述第一源极电性连接至第  $n-1$  级信号第一输入端, 所述第一漏极分别与第一、第二下拉维持单元、下拉单元及上拉单元电性连接。

20 所述上拉单元包括一电容、第二薄膜晶体管及第三薄膜晶体管, 所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极, 所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极, 所述第二栅极分别与电容的一端、第一漏极、第三栅极、第一、第二下拉维持单元及下拉单元电性连接, 所述第二源极分别与第三源极、时钟信号第一输入端电性连接, 所述第二漏极与第二输出电性连接, 所述第三漏极分别与第一输出端、第一、第二下拉维持单元、下拉单元及电容的另一端电性连接。

25 所述下拉单元包括第四、五薄膜晶体管, 所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极, 所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极, 所述第四栅极分别与第五栅极、第  $n+1$  级信号输入端电性连接, 所述第四源极分别与第一低电平输入端及第五源极电性连接, 所述第四漏极分别与第一漏极、电容的一端、第二栅极、第三栅极及第一、第二下拉维持单元电性连接, 所述第五漏极分别与第一输出端、第三源极、电容的另一端及第一、第二下拉维持单元电性连接。

30 所述第一下拉维持单元包括第六至第九薄膜晶体管, 所述第六薄膜晶体管具有第六栅极、第六源极及第六漏极, 所述第七薄膜晶体管具有第七栅极、第七源极及第七漏极, 所述第八薄膜晶体管具有第八栅极、第八源

极及第八漏极, 所述第九薄膜晶体管具有第九栅极、第九源极及第九漏极, 所述第六漏极分别与第七漏极、第八栅极及第九栅极电性连接, 所述第七栅极分别与第一漏极、第九漏极、电容的一端、第二栅极、第三栅极、第四漏极、及第二下拉维持单元电性连接, 所述第七源极电性连接至第二低电平输入端, 所述第八漏极分别与电容的另一端、第五漏极、第二下拉维持单元及第一输出端电性连接, 所述第八源极与第一低电平输入端电性连接, 所述第九源极与第一低电平输入端电性连接;

所述第二下拉维持单元包括第十至第十三薄膜晶体管, 所述第十薄膜晶体管具有第十栅极、第十源极及第十漏极, 所述第十一薄膜晶体管具有第十一栅极、第十一源极及第十一漏极, 所述第十二薄膜晶体管具有第十二栅极、第十二源极及第十二漏极, 所述第十三薄膜晶体管具有第十三栅极、第十三源极及第十三漏极, 所述第十漏极分别与第十一漏极、第十二栅极及第十三栅极电性连接, 所述第十一栅极分别与第一漏极、第十三漏极、第七栅极、第九漏极及电容的一端电性连接, 所述第十一源极电性连接至第二低电平输入端, 所述第十二漏极分别与电容的另一端、第八漏极及第一输出端电性连接, 所述第十二源极与第一低电平输入端电性连接, 所述第十三源极与第一低电平输入端电性连接。

所述阵列基板行驱动电路的第  $n$  级阵列基板行驱动单元还具有时钟信号第二输入端、时钟信号第三输入端, 所述第六栅极与第六源极均连接至时钟信号第二输入端, 所述第十栅极与第十源极均连接至时钟信号第三输入端, 所述时钟信号第二输入端的输入信号为第一时钟信号, 所述时钟信号第三输入端的输入信号为第二时钟信号。

所述第一下拉维持单元还包括第十四薄膜晶体管, 所述第十四薄膜晶体管具有第十四栅极、第十四源极及第十四漏极, 所述第十四漏极分别与第六漏极、第七漏极、第八栅极及第九栅极电性连接, 所述第十四源极分别与第六栅极及第六源极电性连接; 所述第二下拉维持单元还包括第十五薄膜晶体管, 所述第十五薄膜晶体管具有第十五栅极、第十五源极及第十五漏极, 所述第十五漏极分别与第十漏极、与第十一漏极、第十二栅极及第十三栅极电性连接, 所述第十五源极分别与第十栅极及第十源极电性连接。

所述阵列基板行驱动电路的第  $n$  级阵列基板行驱动单元还具有时钟信号第二输入端、时钟信号第三输入端, 所述第六栅极、第六源极及第十四源极均连接至时钟信号第二输入端, 所述第十四栅极连接至时钟信号第三输入端, 所述第十栅极、第十源极与第十五源极均连接至时钟信号第三输

入端, 所述第十五栅极连接至时钟信号第二输入端, 所述时钟信号第二输入端的输入信号为第一时钟信号, 所述时钟信号第三输入端的输入信号为第二时钟信号。

所述阵列基板行驱动电路的第  $n$  级阵列基板行驱动单元还具有低频信号第一输入端、低频信号第二输入端, 所述第六栅极、第六源极及第十四源极均连接至低频信号第一输入端, 所述第十四栅极连接至低频信号第二输入端, 所述第十栅极、第十源极与第十五源极均连接至低频信号第二输入端, 所述第十五栅极连接至低频信号第一输入端, 所述低频信号第一输入端的输入信号为低频信号或超低频信号, 所述低频信号第二输入端的输入信号为低频信号或超低频信号。

本发明还提供一种阵列基板行驱动电路, 包括级联的多级阵列基板行驱动单元, 其中:

对于位于阵列基板行驱动电路的第二级至倒数第二级的任一第  $n$  级阵列基板行驱动单元, 所述第  $n$  级阵列基板行驱动单元具有第  $n-1$  级信号第一输入端、第  $n-1$  级信号第二输入端、第  $n+1$  级信号输入端、第一输出端及第二输出端, 其中, 所述第  $n$  级阵列基板行驱动单元的第一输出端用于驱动阵列基板的有源区; 所述第  $n$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端、第  $n-1$  级信号第二输入端及第  $n+1$  级信号输入端分别电性连接至第  $n-1$  级阵列基板行驱动单元的第一输出端、第二输出端及第  $n+1$  级阵列基板行驱动单元的第一输出端, 所述第  $n$  级阵列基板行驱动单元的第一输出端电性连接至第  $n+1$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端及第  $n-1$  级阵列基板行驱动单元的第  $n+1$  级信号输入端, 所述第  $n$  级阵列基板行驱动单元的第二输出端电性连接至第  $n+1$  级阵列基板行驱动单元的第  $n-1$  级信号第二输入端;

对于位于阵列基板行驱动电路的第一级的第  $n$  级阵列基板行驱动单元, 所述第  $n$  级阵列基板行驱动单元具有第  $n-1$  级信号第一输入端、第  $n-1$  级信号第二输入端、第  $n+1$  级信号输入端、第一输出端及第二输出端, 其中, 所述第  $n$  级阵列基板行驱动单元的第一输出端用于驱动阵列基板的有源区; 所述第  $n$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端和第  $n-1$  级信号第二输入端均用于输入一脉冲激活信号, 所述第  $n+1$  级信号输入端电性连接第  $n+1$  级阵列基板行驱动单元的第一输出端, 所述第  $n$  级阵列基板行驱动单元的第一输出端及第二输出端分别电性连接至第  $n+1$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端及第  $n-1$  级信号第二输入端;

对于位于阵列基板行驱动电路的倒数第一级的第  $n$  级阵列基板行驱动单元, 所述第  $n$  级阵列基板行驱动单元具有第  $n-1$  级信号第一输入端、第  $n-1$  级信号第二输入端、第  $n+1$  级信号输入端、第一输出端及第二输出端; 所述第  $n$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端及第二输入端分别电性连接至第  $n-1$  级阵列基板行驱动单元的第一输出端及第二输出端, 所述第  $n$  级阵列基板行驱动单元的第  $n+1$  级信号输入端用于输入一脉冲激活信号, 所述第  $n$  级阵列基板行驱动单元的第一输出端电性连接至第  $n-1$  级阵列基板行驱动单元的第  $n+1$  级信号输入端且其第二输出端设置为悬空; 对于位于阵列基板行驱动电路的第一至倒数第一级的任一第  $n$  级阵列基板行驱动单元, 所述第  $n$  级阵列基板行驱动单元还具有时钟信号第一输入端、第一低电平输入端、第二低电平输入端, 所述第一低电平输入端用于输入第一低电平, 所述第二低电平输入端用于输入第二低电平, 且所述第二低电平小于第一低电平;

对于位于阵列基板行驱动电路的第一至倒数第一级的任一第  $n$  级阵列基板行驱动单元, 所述第  $n$  级阵列基板行驱动单元还包括:

上拉控制单元, 与第  $n-1$  级信号第一输入端及第  $n-1$  级信号第二输入端电性连接;

上拉单元, 分别与上拉控制单元、时钟信号第一输入端、第一输出端及第二输出端电性连接;

第一下拉维持单元, 分别与第一低电平输入端、第二低电平输入端、上拉控制单元及上拉单元电性连接;

第二下拉维持单元, 分别与第一低电平输入端、第二低电平输入端、第一下拉维持单元、上拉控制单元及上拉单元电性连接;

下拉单元, 分别与第  $n+1$  级信号输入端、第一低电平输入端、上拉控制单元、上拉单元、第一下拉维持单元、第二下拉维持单元及第一输出端电性连接;

其中, 所述时钟信号第一输入端的输入信号为第一时钟信号或第二时钟信号, 所述第一时钟信号与第二时钟信号相位相反; 当所述阵列基板行驱动电路的第  $n$  级阵列基板行驱动单元的时钟信号第一输入端的输入信号为第一时钟信号时, 所述阵列基板行驱动电路的第  $n+1$  级阵列基板行驱动单元的时钟信号第一输入端的输入信号为第二时钟信号;

其中, 所述上拉控制单元为一第一薄膜晶体管, 所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极, 所述第一栅极电性连接至第  $n-1$  级信号第二输入端, 所述第一源极电性连接至第  $n-1$  级信号第一输入端, 所

述第一漏极分别与第一、第二下拉维持单元、下拉单元及上拉单元电性连接;

其中, 所述上拉单元包括一电容、第二薄膜晶体管及第三薄膜晶体管, 所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极, 所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极, 所述第二栅极分别与电  
5 容的一端、第一漏极、第三栅极、第一、第二下拉维持单元及下拉单元电性连接, 所述第二源极分别与第三源极、时钟信号第一输入端电性连接, 所述第二漏极与第二输出电性连接, 所述第三漏极分别与第一输出端、第一、第二下拉维持单元、下拉单元及电容的另一端电性连接;

10 其中, 所述下拉单元包括第四、五薄膜晶体管, 所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极, 所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极, 所述第四栅极分别与第五栅极、第  $n+1$  级信号输入端电性连接, 所述第四源极分别与第一低电平输入端及第五源极电性连接, 所述第四漏极分别与第一漏极、电容的一端、第二栅极、第三栅  
15 极及第一、第二下拉维持单元电性连接, 所述第五漏极分别与第一输出端、第三源极、电容的另一端及第一、第二下拉维持单元电性连接;

其中, 所述第一下拉维持单元包括第六至第九薄膜晶体管, 所述第六薄膜晶体管具有第六栅极、第六源极及第六漏极, 所述第七薄膜晶体管具有第七栅极、第七源极及第七漏极, 所述第八薄膜晶体管具有第八栅极、  
20 第八源极及第八漏极, 所述第九薄膜晶体管具有第九栅极、第九源极及第九漏极, 所述第六漏极分别与第七漏极、第八栅极及第九栅极电性连接, 所述第七栅极分别与第一漏极、第九漏极、电容的一端、第二栅极、第三栅极、第四漏极、及第二下拉维持单元电性连接, 所述第七源极电性连接至第二低电平输入端, 所述第八漏极分别与电容的另一端、第五漏极、第  
25 二下拉维持单元及第一输出端电性连接, 所述第八源极与第一低电平输入端电性连接, 所述第九源极与第一低电平输入端电性连接;

所述第二下拉维持单元包括第十至第十三薄膜晶体管, 所述第十薄膜晶体管具有第十栅极、第十源极及第十漏极, 所述第十一薄膜晶体管具有第十一栅极、第十一源极及第十一漏极, 所述第十二薄膜晶体管具有第十二栅极、第十二源极及第十二漏极, 所述第十三薄膜晶体管具有第十三栅极、第十三源极及第十三漏极, 所述第十漏极分别与第十一漏极、第十二栅极及第十三栅极电性连接, 所述第十一栅极分别与第一漏极、第十三漏极、第七栅极、第九漏极及电容的一端电性连接, 所述第十一源极电性连接至第二低电平输入端, 所述第十二漏极分别与电容的另一端、第八漏极  
30

及第一输出端电性连接，所述第十二源极与第一低电平输入端电性连接，所述第十三源极与第一低电平输入端电性连接。

所述阵列基板行驱动电路的第  $n$  级阵列基板行驱动单元还具有时钟信号第二输入端、时钟信号第三输入端，所述第六栅极与第六源极均连接至时钟信号第二输入端，所述第十栅极与第十源极均连接至时钟信号第三输入端，所述时钟信号第二输入端的输入信号为第一时钟信号，所述时钟信号第三输入端的输入信号为第二时钟信号。

所述第一下拉维持单元还包括第十四薄膜晶体管，所述第十四薄膜晶体管具有第十四栅极、第十四源极及第十四漏极，所述第十四漏极分别与第六漏极、第七漏极、第八栅极及第九栅极电性连接，所述第十四源极分别与第六栅极及第六源极电性连接；所述第二下拉维持单元还包括第十五薄膜晶体管，所述第十五薄膜晶体管具有第十五栅极、第十五源极及第十五漏极，所述第十五漏极分别与第十漏极、与第十一漏极、第十二栅极及第十三栅极电性连接，所述第十五源极分别与第十栅极及第十源极电性连接。

所述阵列基板行驱动电路的第  $n$  级阵列基板行驱动单元还具有时钟信号第二输入端、时钟信号第三输入端，所述第六栅极、第六源极及第十四源极均连接至时钟信号第二输入端，所述第十四栅极连接至时钟信号第三输入端，所述第十栅极、第十源极与第十五源极均连接至时钟信号第三输入端，所述第十五栅极连接至时钟信号第二输入端，所述时钟信号第二输入端的输入信号为第一时钟信号，所述时钟信号第三输入端的输入信号为第二时钟信号。

所述阵列基板行驱动电路的第  $n$  级阵列基板行驱动单元还具有低频信号第一输入端、低频信号第二输入端，所述第六栅极、第六源极及第十四源极均连接至低频信号第一输入端，所述第十四栅极连接至低频信号第二输入端，所述第十栅极、第十源极与第十五源极均连接至低频信号第二输入端，所述第十五栅极连接至低频信号第一输入端，所述低频信号第一输入端的输入信号为低频信号或超低频信号，所述低频信号第二输入端的输入信号为低频信号或超低频信号。

本发明的有益效果：本发明的阵列基板行驱动电路，利用两个低电平信号降低下拉维持单元中的薄膜晶体管的漏电流，其中电位较低的第二低电平只负责为下拉点  $P_n$  和  $K_n$  提供低电位，电位较高的第一低电平负责为下拉点  $Q_n$  和  $G_n$  提供低电位，既可以在下拉点  $Q_n$  和  $G_n$  打开时降低下拉点  $P_n$  和  $K_n$  的电位，有利于  $Q_n$  和  $G_n$  的充电，也可以断开电路中两个低电平信号之间的

漏电回路，大大降低两个低电平信号之间的漏电流，提高阵列基板行驱动电路的性能，提高显示画面的质量，且针对原来第六薄膜晶体管和第十薄膜晶体管的二极管设计增加了第十四薄膜晶体管和第十五薄膜晶体管负责对下拉点 $P_n$ 和 $K_n$ 进行放电，实现 $P_n$ 和 $K_n$ 点的电位会随着第一时钟信号CK1  
5 和第二时钟信号CK2 的变化而高低变化，产生交替作用，进而降低第八、九薄膜晶体管及第十二、十三薄膜晶体管受到的压力作用，延长阵列基板行驱动电路的使用寿命，同时采用低频或者超低频信号控制下拉维持单元，有效地降低电路的功耗。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

### 附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为现有技术中阵列基板行驱动电路的电路图；

图 2 为图 1 的等效电路图；

图 3 为图 1 所示的阵列基板行驱动电路的驱动时序图；

20 图 4 为本发明阵列基板行驱动电路一较佳实施例的电路图；

图 5 为图 4 所示的阵列基板行驱动电路的驱动时序图；

图 6 为薄膜晶体管特性 I-V 曲线图；

图 7 为本发明阵列基板行驱动电路另一较佳实施例的电路图；

图 8 为图 7 所示的阵列基板行驱动电路的驱动时序图；

25 图 9 为本发明阵列基板行驱动电路又一较佳实施例的电路图；

图 10 为图 9 所示的阵列基板行驱动电路的驱动时序图。

### 具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 4 至图 6，本发明提供一种阵列基板行驱动电路，包括级联的多级阵列基板行驱动单元，其中：

对于位于阵列基板行驱动电路的第二级至倒数第二级的任一第 $n$ 级阵列基板行驱动单元，所述第 $n$ 级阵列基板行驱动单元具有第 $n-1$ 级信号第一

输入端 21 ( $G_{n-1}$ )、第n-1 级信号第二输入端 22 ( $ST_{n-1}$ )、第n+1 级信号输入端 23 ( $G_{n+1}$ )、第一输出端 27 ( $G_n$ ) 及第二输出端 28 ( $ST_n$ )，其中，所述第n级阵列基板行驱动单元的第一输出端 27 ( $G_n$ ) 用于驱动阵列基板的有源区；所述第n级阵列基板行驱动单元的第n-1 级信号第一输入端 21 ( $G_{n-1}$ )、第n-1 级信号第二输入端 22 ( $ST_{n-1}$ ) 及第n+1 级信号输入端 23 ( $G_{n+1}$ ) 分别电性连接至第n-1 级阵列基板行驱动单元的第一输出端 27 ( $G_n$ )、第二输出端 28 ( $ST_n$ ) 及第n+1 级阵列基板行驱动单元的第一输出端 27 ( $G_n$ )，所述第n级阵列基板行驱动单元的第一输出端 27 ( $G_n$ ) 分别电性连接至第n+1 级阵列基板行驱动单元的第n-1 级信号第一输入端 21 ( $G_{n-1}$ ) 及第n-1 级阵列基板行驱动单元的第n+1 级信号输入端 23 ( $G_{n+1}$ )，所述第n级阵列基板行驱动单元的第二输出端 28 ( $ST_n$ ) 电性连接至第n+1 级阵列基板行驱动单元的第n-1 级信号第二输入端 22 ( $ST_{n-1}$ )；

对于位于阵列基板行驱动电路的第一级的第n级阵列基板行驱动单元，所述第n级阵列基板行驱动单元具有第n-1 级信号第一输入端 21 ( $G_{n-1}$ )、第n-1 级信号第二输入端 22 ( $ST_{n-1}$ )、第n+1 级信号输入端 23 ( $G_{n+1}$ )、第一输出端 27 ( $G_n$ ) 及第二输出端 28 ( $ST_n$ )，其中，所述第n级阵列基板行驱动单元的第一输出端 27 ( $G_n$ ) 用于驱动阵列基板的有源区；所述第n级阵列基板行驱动单元的第n-1 级信号第一输入端 21 ( $G_{n-1}$ ) 和第n-1 级信号第二输入端 22 ( $ST_{n-1}$ ) 均用于输入一脉冲激活信号，所述第n+1 级信号输入端 23 ( $G_{n+1}$ ) 电性连接第n+1 级阵列基板行驱动单元的第一输出端 27 ( $G_n$ )，所述第n级阵列基板行驱动单元的第一输出端 27 ( $G_n$ ) 及第二输出端 28 ( $ST_n$ ) 分别电性连接至第n+1 级阵列基板行驱动单元的第n-1 级信号第一输入端 21 ( $G_{n-1}$ ) 及第n-1 级信号第二输入端 22 ( $ST_{n-1}$ )；

对于位于阵列基板行驱动电路的倒数第一级的第n级阵列基板行驱动单元，所述第n级阵列基板行驱动单元具有第n-1 级信号第一输入端 21 ( $G_{n-1}$ )、第n-1 级信号第二输入端 22 ( $ST_{n-1}$ )、第n+1 级信号输入端 23 ( $G_{n+1}$ )、第一输出端 27 ( $G_n$ ) 及第二输出端 28 ( $ST_n$ )；所述第n级阵列基板行驱动单元的第n-1 级信号第一输入端 21 ( $G_{n-1}$ ) 及第二输入端 22 ( $ST_{n-1}$ ) 分别电性连接至第n-1 级阵列基板行驱动单元的第一输出端 27 ( $G_n$ ) 及第二输出端 28 ( $ST_n$ )，所述第n级阵列基板行驱动单元的第n+1 级信号输入端 23 ( $G_{n+1}$ ) 用于输入一脉冲激活信号，所述第n级阵列基板行驱动单元的第一输出端 27 ( $G_n$ ) 电性连接至第n-1 级阵列基板行驱动单

元的第 $n+1$ 级信号输入端 23 ( $G_{n+1}$ ) 且其第二输出端 28 ( $ST_n$ ) 设置为悬空;

对于位于阵列基板行驱动电路的第一至倒数第一级的任一第 $n$ 级阵列基板行驱动单元, 所述第 $n$ 级阵列基板行驱动单元还具有时钟信号第一输入端 24、第一低电平输入端 25、第二低电平输入端 26, 所述第一低电平输入端 25 用于输入第一低电平 $V_{ss1}$ , 所述第二低电平输入端 26 用于输入第二低电平 $V_{ss2}$ , 且所述第二低电平 $V_{ss2}$ 小于第一低电平 $V_{ss1}$ ;

对于位于阵列基板行驱动电路的第一至倒数第一级的任一第 $n$ 级阵列基板行驱动单元, 所述第 $n$ 级阵列基板行驱动单元还包括:

上拉控制单元 42, 与第 $n-1$ 级信号第一输入端 21 及第 $n-1$ 级信号第二输入端 22 电性连接;

上拉单元 44, 分别与上拉控制单元 42、及时钟信号第一输入端 24、第一输出端 27 及第二输出端 28 电性连接;

第一下拉维持单元 46, 分别与第一低电平输入端 25、第二低电平输入端 26、上拉控制单元 42 及上拉单元 44 电性连接;

第二下拉维持单元 47, 分别与第一低电平输入端 25、第二低电平输入端 26、第一下拉维持单元 46、上拉控制单元 42 及上拉单元 44 电性连接;

下拉单元 48, 分别与第 $n+1$ 级信号输入端 23、第一低电平输入端 25、上拉控制单元 42、上拉单元 44、第一下拉维持单元 46、第二下拉维持单元 47 及第一输出端 27 电性连接。

本实施例中, 所述阵列基板行驱动电路的第 $n$ 级阵列基板行驱动单元还具有时钟信号第二输入端 31、时钟信号第三输入端 32。所述时钟信号第一输入端 24 的输入信号为第一时钟信号 CK1 或第二时钟信号 CK2, 所述时钟信号第二输入端 31 的输入信号为第一时钟信号 CK1, 所述时钟信号第三输入端 32 的输入信号为第二时钟信号 CK2, 所述第一时钟信号 CK1 与第二时钟信号 CK2 相位相反, 即信号 CK1 和 CK2 的高低电位在同样时间内相反; 当所述阵列基板行驱动电路的第 $n$ 级阵列基板行驱动单元的时钟信号第一输入端 24 的输入信号为第一时钟信号 CK1 时, 所述阵列基板行驱动电路的第 $n+1$ 级阵列基板行驱动单元的时钟信号第一输入端 24 的输入信号为第二时钟信号 CK2。

所述上拉控制单元 42 为一第一薄膜晶体管 T1, 所述第一薄膜晶体管 T1 具有第一栅极 g1、第一源极 s1 及第一漏极 d1, 所述第一栅极 g1 电性连接至第 $n-1$ 级信号第二输入端 22, 所述第一源极 s1 电性连接至第 $n-1$ 级

信号第一输入端 21, 所述第一漏极 d1 分别与第一、第二下拉维持单元 46、47、下拉单元 48 及上拉单元 44 电性连接。

所述上拉单元 44 包括一电容  $C_b$ 、第二薄膜晶体管 T2 及第三薄膜晶体管 T3, 所述第二薄膜晶体管 T2 具有第二栅极 g2、第二源极 s2 及第二漏极 d2, 所述第三薄膜晶体管 T3 具有第三栅极 g3、第三源极 s3 及第三漏极 d3, 所述第二栅极 g2 分别与电容  $C_b$  的一端、第一漏极 d1、第三栅极 g3、第一、第二下拉维持单元 46、47 及下拉单元 48 电性连接, 所述第二源极 s2 分别与第三源极 s3、时钟信号第一输入端 24 电性连接, 所述第二漏极 d2 与第二输出 28 电性连接, 所述第三漏极 d3 分别与第一输出端 27、第一、第二下拉维持单元 46、47、下拉单元 48 及电容  $C_b$  的另一端电性连接。

所述下拉单元 48 包括第四、五薄膜晶体管 T4、T5, 所述第四薄膜晶体管 T4 具有第四栅极 g4、第四源极 s4 及第四漏极 d4, 所述第五薄膜晶体管 T5 具有第五栅极 g5、第五源极 s5 及第五漏极 d5, 所述第四栅极 g4 分别与第五栅极 g5、第 n+1 级信号输入端 23 电性连接, 所述第四源极 s4 分别与第一低电平输入端及第五源极 s5 电性连接, 所述第四漏极 d4 分别与第一漏极 d1、电容  $C_b$  的一端、第二栅极 g2、第三栅极 g3 及第一、第二下拉维持单元 46、47 电性连接, 所述第五漏极 d5 分别与第一输出端 27、第三源极 s3、电容  $C_b$  的另一端及第一、第二下拉维持单元 46、47 电性连接。

所述第一下拉维持单元 46 包括第六至第九薄膜晶体管 T6、T7、T8、T9, 所述第六薄膜晶体管 T6 具有第六栅极 g6、第六源极 s6 及第六漏极 d6, 所述第七薄膜晶体管 T7 具有第七栅极 g7、第七源极 s7 及第七漏极 d7, 所述第八薄膜晶体管具有第八栅极 g8、第八源极 s8 及第八漏极 d8, 所述第九薄膜晶体管具有第九栅极 g9、第九源极 s9 及第九漏极 d9, 所述第六栅极 g6 与第六源极 s6 均连接至时钟信号第二输入端 31, 所述第六漏极 d6 分别与下拉点  $P_n$ 、第七漏极 d7、第八栅极 g8 及第九栅极 g9 电性连接, 所述第七栅极 g7 分别与第一漏极 d1、第九漏极 d9、电容  $C_b$  的一端、第二栅极 g2、第三栅极 g3、第四漏极 d4、及第二下拉维持单元 47 电性连接, 所述第七源极 s7 电性连接至第二低电平输入端 26, 所述第八漏极 d8 分别与电容  $C_b$  的另一端、第二下拉维持单元 47 及第一输出端 27 ( $G_n$ ) 电性连接, 所述第八源极 s8 与第一低电平输入端 25 电性连接, 所述第九源极 s9 与第一低电平输入端 25 电性连接。

所述第八薄膜晶体管 T8 主要负责维持第一输出端 27 ( $G_n$ ) 的低电位, 第九薄膜晶体管 T9 主要负责维持下拉点  $Q_n$  的低电位, 所述第七薄膜晶体管 T7 主要负责在  $Q_n$  处于高电位时使下拉点  $P_n$  和  $K_n$  处于低电位, 并关闭

第一下拉维持单元 46, 以防止下拉点 $Q_n$ 对第一输出端 27 ( $G_n$ ) 的影响, 而第二低电平 $V_{ss2}$ 小于第一低电平 $V_{ss1}$ 可降低第八、九薄膜晶体管T8、T9的漏电流。

所述第二下拉维持单元 47 包括第十至第十三薄膜晶体管T10、T11、T12、T13, 所述第十薄膜晶体管T10 具有第十栅极g10、第十源极s10 及第十漏极d10, 所述第十一薄膜晶体管T11 具有第十一栅极g11、第十一源极s11 及第十一漏极d11, 所述第十二薄膜晶体管T12 具有第十二栅极g12、第十二源极s12 及第十二漏极d12, 所述第十三薄膜晶体管T13 具有第十三栅极g13、第十三源极s13 及第十三漏极d13, 所述第十栅极g10 与第十源极s10 均连接至时钟信号第三输入端 32, 所述第十漏极d10 分别与下拉点 $K_n$ 、第十一漏极d11、第十二栅极g12 及第十三栅极g13 电性连接, 所述第十一栅极g11 分别与第一漏极d1、第十三漏极d13、第七栅极g7、第九漏极d9 及电容 $C_b$ 的一端电性连接, 所述第十一源极s11 电性连接至第二低电平输入端 26, 所述第十二漏极d12 分别与电容 $C_b$ 的另一端、第八漏极d8 及第一输出端 27 ( $G_n$ ) 电性连接, 所述第十二源极s12 与第一低电平输入端 25 电性连接, 所述第十三源极s13 与第一低电平输入端电性连接。

所述第十二薄膜晶体管T12 主要负责维持第一输出端 27 ( $G_n$ ) 的低电位, 第十三薄膜晶体管T13 主要负责维持下拉点 $Q_n$ 的低电位, 所述第十一薄膜晶体管T11 主要负责在 $Q_n$ 处于高电位时使下拉点  $P_n$ 和 $K_n$ 处于低电位, 并关闭第二下拉维持单元 47, 以防止下拉点 $Q_n$ 对第一输出端 27 ( $G_n$ ) 的影响, 而第二低电平 $V_{ss2}$ 小于第一低电平 $V_{ss1}$ 可降低第十二、十三薄膜晶体管T12、T13 的漏电流。

请参阅图 5, 图中信号CK1 和CK2 是指高低电位在同样时间内相反的两个时钟信号, 第二低电平 $V_{ss2}$ 小于第一低电平 $V_{ss1}$ ,  $G_n$ 和 $G_{n+1}$ 为相邻的两级阵列基板行驱动单元的第二输出端 27 的输出信号, 可以看出 $Q_n$ 和 $G_n$ 会被拉到 $V_{ss1}$ 的低电位,  $P_n$ 和 $K_n$ 在 $Q_n$ 和 $G_n$ 高电位时会被拉到 $V_{ss2}$ 的低电位, 这样第八、九薄膜晶体管T8、T9 及第十二、十三薄膜晶体管T12、T13 的栅极和源极的相对电位 $V_{gs}$ 小于 0 ( $V_{gs}=V_{ss2}-V_{ss1}$ ), 因通常薄膜晶体管的关态漏电流最低的位置处于栅极和源极的相对电位 $V_{gs}$ 小于 0 的位置 (如图 6 所示), 所以本实施例的阵列基板行驱动电路可以有效地降低第八、九薄膜晶体管T8、T9 及第十二、十三薄膜晶体管T12、T13 的漏电流。

请参阅图 7 至图 8, 其为本发明提供阵列基板行驱动电路的另一实施例, 本实施例中, 所述第一下拉维持单元 46 还包括第十四薄膜晶体管T14, 所述第十四薄膜晶体管 T14 具有第十四栅极 g14、第十四源极 s14 及

第十四漏极 d14, 所述第十四栅极 g14 连接至时钟信号第三输入端 32, 所述第十四漏极 d14 分别与第六漏极 d6、第七漏极 d7、第八栅极 g8 及第九栅极 g9 电性连接, 所述第十四源极 s14 分别与第六栅极 g6、第六源极 g6 及时钟信号第二输入端 31 电性连接。所述第二下拉维持单元 47 还包括第十五薄膜晶体管 T15, 所述第十五薄膜晶体管 T15 具有第十五栅极 g15、第十五源极 s15 及第十五漏极 d15, 所述第十五栅极 g15 连接至时钟信号第二输入端 31, 所述第十五源极 s15 分别与第十源极 s10、第十栅极 g10 及时钟信号第三输入端 32 电性连接, 所述第十五漏极 d15 分别与第十漏极 d10、与第十一漏极 d11、第十二栅极 g12 及第十三栅极 g13 电性连接。

本实施例中, 第一、二下拉维持单元 46、47 针对原来第六薄膜晶体管 T6 和第十薄膜晶体管 T10 的二极体设计的缺陷进行了改进, 增加了第十四薄膜晶体管 T14 和第十五薄膜晶体管 T15 负责对下拉点  $P_n$  和  $K_n$  进行放电, 快速将下拉点  $P_n$  和  $K_n$  的电位拉到与第一时钟信号 CK1 或者第二时钟信号 CK2 的低电位, 通过第一、二下拉维持单元 46、47 的交替作用, 实现  $P_n$  和  $K_n$  点的电位会随着第一时钟信号 CK1 和第二时钟信号 CK2 的变化而高低变化, 产生交替作用, 进而降低第八、九薄膜晶体管 T8、T9 及第十二、十三薄膜晶体管 T12、T13 受到的应力(Stress)作用。

请参阅图 9 至图 10, 其为本发明提供阵列基板行驱动电路的又一实施例, 本实施例与图 7 所示的实施例基本相同, 唯一区别之处在于: 本实施例中的第一、二下拉维持单元 46、47 的时钟信号第二、三输入端 31、32 改成了低频信号第一、二输入端 34、35, 所述低频信号第一、二输入端 34、35 输入的信号为低频或者超低频信号 LC1 和 LC2, 这样可以降低第一、二下拉维持单元 46、47 的功耗, 因为第一、二下拉维持单元 46、47 一直处于工作状态, 且当阵列基板行驱动电路的级数较多时, 采用高频讯号会增加阵列基板行驱动电路的功耗。

综上所述, 本发明的阵列基板行驱动电路, 利用两个低电平信号降低下拉维持单元中的薄膜晶体管的漏电流, 其中电位较低的第二低电平只负责为下拉点  $P_n$  和  $K_n$  提供低电位, 电位较高的第一低电平负责为下拉点  $Q_n$  和  $G_n$  提供低电位, 既可以在下拉点  $Q_n$  和  $G_n$  打开时降低下拉点  $P_n$  和  $K_n$  的电位, 有利于  $Q_n$  和  $G_n$  的充电, 也可以断开电路中两个低电平信号之间的漏电回路, 大大降低两个低电平信号之间的漏电流, 提高阵列基板行驱动电路的性能, 提高显示画面的质量, 且针对原来第六薄膜晶体管和第十薄膜晶体管的二极体设计增加了第十四薄膜晶体管和第十五薄膜晶体管负责对下拉

点 $P_n$ 和 $K_n$ 进行放电，实现 $P_n$ 和 $K_n$ 点的电位会随着第一时钟信号CK1 和第二时钟信号CK2 的变化而高低变化，产生交替作用，进而降低第八、九薄膜晶体管及第十二、十三薄膜晶体管受到的压力作用，延长阵列基板行驱动电路的使用寿命，同时采用低频或者超低频信号控制下拉维持单元，有效地降低电路的功耗。

5 以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

## 权 利 要 求

1、一种阵列基板行驱动电路，包括级联的多级阵列基板行驱动单元，其中：

5       对于位于阵列基板行驱动电路的第二级至倒数第二级的任一第  $n$  级阵列基板行驱动单元，所述第  $n$  级阵列基板行驱动单元具有第  $n-1$  级信号第一输入端、第  $n-1$  级信号第二输入端、第  $n+1$  级信号输入端、第一输出端及第二输出端，其中，所述第  $n$  级阵列基板行驱动单元的第一输出端用于驱动阵列基板的有源区；所述第  $n$  级阵列基板行驱动单元的第  $n-1$  级信号  
10   第一输入端、第  $n-1$  级信号第二输入端及第  $n+1$  级信号输入端分别电性连接至第  $n-1$  级阵列基板行驱动单元的第一输出端、第二输出端及第  $n+1$  级阵列基板行驱动单元的第一输出端，所述第  $n$  级阵列基板行驱动单元的第一输出端电性连接至第  $n+1$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端及第  $n-1$  级阵列基板行驱动单元的第  $n+1$  级信号输入端，所述第  $n$  级  
15   阵列基板行驱动单元的第二输出端电性连接至第  $n+1$  级阵列基板行驱动单元的第  $n-1$  级信号第二输入端；

      对于位于阵列基板行驱动电路的第一级的第  $n$  级阵列基板行驱动单元，所述第  $n$  级阵列基板行驱动单元具有第  $n-1$  级信号第一输入端、第  $n-1$  级信号第二输入端、第  $n+1$  级信号输入端、第一输出端及第二输出端，  
20   其中，所述第  $n$  级阵列基板行驱动单元的第一输出端用于驱动阵列基板的有源区；所述第  $n$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端和第  $n-1$  级信号第二输入端均用于输入一脉冲激活信号，所述第  $n+1$  级信号输入端电性连接第  $n+1$  级阵列基板行驱动单元的第一输出端，所述第  $n$  级阵列基板行驱动单元的第一输出端及第二输出端分别电性连接至第  $n+1$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端及第  $n-1$  级信号第二输入  
25   端；

      对于位于阵列基板行驱动电路的倒数第一级的第  $n$  级阵列基板行驱动单元，所述第  $n$  级阵列基板行驱动单元具有第  $n-1$  级信号第一输入端、第  $n-1$  级信号第二输入端、第  $n+1$  级信号输入端、第一输出端及第二输出  
30   端；所述第  $n$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端及第二输入端分别电性连接至第  $n-1$  级阵列基板行驱动单元的第一输出端及第二输出端，所述第  $n$  级阵列基板行驱动单元的第  $n+1$  级信号输入端用于输入一脉冲激活信号，所述第  $n$  级阵列基板行驱动单元的第一输出端电性连接至

第  $n-1$  级阵列基板行驱动单元的第  $n+1$  级信号输入端且其第二输出端设置为悬空；对于位于阵列基板行驱动电路的第一至倒数第一级的任一第  $n$  级阵列基板行驱动单元，所述第  $n$  级阵列基板行驱动单元还具有时钟信号第一输入端、第一低电平输入端、第二低电平输入端，所述第一低电平输入端用于输入第一低电平，所述第二低电平输入端用于输入第二低电平，且所述第二低电平小于第一低电平；

对于位于阵列基板行驱动电路的第一至倒数第一级的任一第  $n$  级阵列基板行驱动单元，所述第  $n$  级阵列基板行驱动单元还包括：

上拉控制单元，与第  $n-1$  级信号第一输入端及第  $n-1$  级信号第二输入端电性连接；

上拉单元，分别与上拉控制单元、时钟信号第一输入端、第一输出端及第二输出端电性连接；

第一下拉维持单元，分别与第一低电平输入端、第二低电平输入端、上拉控制单元及上拉单元电性连接；

第二下拉维持单元，分别与第一低电平输入端、第二低电平输入端、第一下拉维持单元、上拉控制单元及上拉单元电性连接；

下拉单元，分别与第  $n+1$  级信号输入端、第一低电平输入端、上拉控制单元、上拉单元、第一下拉维持单元、第二下拉维持单元及第一输出端电性连接。

2、如权利要求 1 所述的阵列基板行驱动电路，其中，所述时钟信号第一输入端的输入信号为第一时钟信号或第二时钟信号，所述第一时钟信号与第二时钟信号相位相反；当所述阵列基板行驱动电路的第  $n$  级阵列基板行驱动单元的时钟信号第一输入端的输入信号为第一时钟信号时，所述阵列基板行驱动电路的第  $n+1$  级阵列基板行驱动单元的时钟信号第一输入端的输入信号为第二时钟信号。

3、如权利要求 1 所述的阵列基板行驱动电路，其中，所述上拉控制单元为一第一薄膜晶体管，所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极，所述第一栅极电性连接至第  $n-1$  级信号第二输入端，所述第一源极电性连接至第  $n-1$  级信号第一输入端，所述第一漏极分别与第一、第二下拉维持单元、下拉单元及上拉单元电性连接。

4、如权利要求 3 所述的阵列基板行驱动电路，其中，所述上拉单元包括一电容、第二薄膜晶体管及第三薄膜晶体管，所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极，所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极，所述第二栅极分别与电容的一端、第一漏极、第三

栅极、第一、第二下拉维持单元及下拉单元电性连接，所述第二源极分别与第三源极、时钟信号第一输入端电性连接，所述第二漏极与第二输出电性连接，所述第三漏极分别与第一输出端、第一、第二下拉维持单元、下拉单元及电容的另一端电性连接。

5 5、如权利要求 4 所述的阵列基板行驱动电路，其中，所述下拉单元包括第四、五薄膜晶体管，所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极，所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极，所述第四栅极分别与第五栅极、第  $n+1$  级信号输入端电性连接，所述第四源极分别与第一低电平输入端及第五源极电性连接，所述第四漏极分别  
10 与第一漏极、电容的一端、第二栅极、第三栅极及第一、第二下拉维持单元电性连接，所述第五漏极分别与第一输出端、第三源极、电容的另一端及第一、第二下拉维持单元电性连接。

6、如权利要求 5 所述的阵列基板行驱动电路，其中，所述第一下拉维持单元包括第六至第九薄膜晶体管，所述第六薄膜晶体管具有第六栅极、第六源极及第六漏极，所述第七薄膜晶体管具有第七栅极、第七源极  
15 及第七漏极，所述第八薄膜晶体管具有第八栅极、第八源极及第八漏极，所述第九薄膜晶体管具有第九栅极、第九源极及第九漏极，所述第六漏极分别与第七漏极、第八栅极及第九栅极电性连接，所述第七栅极分别与第一漏极、第九漏极、电容的一端、第二栅极、第三栅极、第四漏极、及第  
20 二下拉维持单元电性连接，所述第七源极电性连接至第二低电平输入端，所述第八漏极分别与电容的另一端、第五漏极、第二下拉维持单元及第一输出端电性连接，所述第八源极与第一低电平输入端电性连接，所述第九源极与第一低电平输入端电性连接；

所述第二下拉维持单元包括第十至第十三薄膜晶体管，所述第十薄膜晶体管具有第十栅极、第十源极及第十漏极，所述第十一薄膜晶体管具有  
25 第十一栅极、第十一源极及第十一漏极，所述第十二薄膜晶体管具有第十二栅极、第十二源极及第十二漏极，所述第十三薄膜晶体管具有第十三栅极、第十三源极及第十三漏极，所述第十漏极分别与第十一漏极、第十二栅极及第十三栅极电性连接，所述第十一栅极分别与第一漏极、第十三漏极、第七栅极、第九漏极及电容的一端电性连接，所述第十一源极电性连  
30 接至第二低电平输入端，所述第十二漏极分别与电容的另一端、第八漏极及第一输出端电性连接，所述第十二源极与第一低电平输入端电性连接，所述第十三源极与第一低电平输入端电性连接。

7、如权利要求 6 所述的阵列基板行驱动电路，其中，所述阵列基板

行驱动电路的第  $n$  级阵列基板行驱动单元还具有时钟信号第二输入端、时钟信号第三输入端，所述第六栅极与第六源极均连接至时钟信号第二输入端，所述第十栅极与第十源极均连接至时钟信号第三输入端，所述时钟信号第二输入端的输入信号为第一时钟信号，所述时钟信号第三输入端的输入信号为第二时钟信号。

8、如权利要求 6 所述的阵列基板行驱动电路，其中，所述第一下拉维持单元还包括第十四薄膜晶体管，所述第十四薄膜晶体管具有第十四栅极、第十四源极及第十四漏极，所述第十四漏极分别与第六漏极、第七漏极、第八栅极及第九栅极电性连接，所述第十四源极分别与第六栅极及第六源极电性连接；所述第二下拉维持单元还包括第十五薄膜晶体管，所述第十五薄膜晶体管具有第十五栅极、第十五源极及第十五漏极，所述第十五漏极分别与第十漏极、与第十一漏极、第十二栅极及第十三栅极电性连接，所述第十五源极分别与第十栅极及第十源极电性连接。

9、如权利要求 8 所述的阵列基板行驱动电路，其中，所述阵列基板行驱动电路的第  $n$  级阵列基板行驱动单元还具有时钟信号第二输入端、时钟信号第三输入端，所述第六栅极、第六源极及第十四源极均连接至时钟信号第二输入端，所述第十四栅极连接至时钟信号第三输入端，所述第十栅极、第十源极与第十五源极均连接至时钟信号第三输入端，所述第十五栅极连接至时钟信号第二输入端，所述时钟信号第二输入端的输入信号为第一时钟信号，所述时钟信号第三输入端的输入信号为第二时钟信号。

10、如权利要求 8 所述的阵列基板行驱动电路，其中，所述阵列基板行驱动电路的第  $n$  级阵列基板行驱动单元还具有低频信号第一输入端、低频信号第二输入端，所述第六栅极、第六源极及第十四源极均连接至低频信号第一输入端，所述第十四栅极连接至低频信号第二输入端，所述第十栅极、第十源极与第十五源极均连接至低频信号第二输入端，所述第十五栅极连接至低频信号第一输入端，所述低频信号第一输入端的输入信号为低频信号或超低频信号，所述低频信号第二输入端的输入信号为低频信号或超低频信号。

11、一种阵列基板行驱动电路，包括级联的多级阵列基板行驱动单元，其中：

对于位于阵列基板行驱动电路的第二级至倒数第二级的任一第  $n$  级阵列基板行驱动单元，所述第  $n$  级阵列基板行驱动单元具有第  $n-1$  级信号第一输入端、第  $n-1$  级信号第二输入端、第  $n+1$  级信号输入端、第一输出端及第二输出端，其中，所述第  $n$  级阵列基板行驱动单元的第一输出端用于

驱动阵列基板的有源区；所述第  $n$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端、第  $n-1$  级信号第二输入端及第  $n+1$  级信号输入端分别电性连接至第  $n-1$  级阵列基板行驱动单元的第一输出端、第二输出端及第  $n+1$  级阵列基板行驱动单元的第一输出端，所述第  $n$  级阵列基板行驱动单元的第一输出端电性连接至第  $n+1$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端及第  $n-1$  级阵列基板行驱动单元的第  $n+1$  级信号输入端，所述第  $n$  级阵列基板行驱动单元的第二输出端电性连接至第  $n+1$  级阵列基板行驱动单元的第  $n-1$  级信号第二输入端；

对于位于阵列基板行驱动电路的第一级的第  $n$  级阵列基板行驱动单元，所述第  $n$  级阵列基板行驱动单元具有第  $n-1$  级信号第一输入端、第  $n-1$  级信号第二输入端、第  $n+1$  级信号输入端、第一输出端及第二输出端，其中，所述第  $n$  级阵列基板行驱动单元的第一输出端用于驱动阵列基板的有源区；所述第  $n$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端和第  $n-1$  级信号第二输入端均用于输入一脉冲激活信号，所述第  $n+1$  级信号输入端电性连接第  $n+1$  级阵列基板行驱动单元的第一输出端，所述第  $n$  级阵列基板行驱动单元的第一输出端及第二输出端分别电性连接至第  $n+1$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端及第  $n-1$  级信号第二输入端；

对于位于阵列基板行驱动电路的倒数第一级的第  $n$  级阵列基板行驱动单元，所述第  $n$  级阵列基板行驱动单元具有第  $n-1$  级信号第一输入端、第  $n-1$  级信号第二输入端、第  $n+1$  级信号输入端、第一输出端及第二输出端；所述第  $n$  级阵列基板行驱动单元的第  $n-1$  级信号第一输入端及第二输入端分别电性连接至第  $n-1$  级阵列基板行驱动单元的第一输出端及第二输出端，所述第  $n$  级阵列基板行驱动单元的第  $n+1$  级信号输入端用于输入一脉冲激活信号，所述第  $n$  级阵列基板行驱动单元的第一输出端电性连接至第  $n-1$  级阵列基板行驱动单元的第  $n+1$  级信号输入端且其第二输出端设置为悬空；对于位于阵列基板行驱动电路的第一至倒数第一级的任一第  $n$  级阵列基板行驱动单元，所述第  $n$  级阵列基板行驱动单元还具有时钟信号第一输入端、第一低电平输入端、第二低电平输入端，所述第一低电平输入端用于输入第一低电平，所述第二低电平输入端用于输入第二低电平，且所述第二低电平小于第一低电平；

对于位于阵列基板行驱动电路的第一至倒数第一级的任一第  $n$  级阵列基板行驱动单元，所述第  $n$  级阵列基板行驱动单元还包括：

上拉控制单元，与第  $n-1$  级信号第一输入端及第  $n-1$  级信号第二输入

端电性连接;

上拉单元, 分别与上拉控制单元、时钟信号第一输入端、第一输出端及第二输出端电性连接;

5 第一下拉维持单元, 分别与第一低电平输入端、第二低电平输入端、上拉控制单元及上拉单元电性连接;

第二下拉维持单元, 分别与第一低电平输入端、第二低电平输入端、第一下拉维持单元、上拉控制单元及上拉单元电性连接;

10 下拉单元, 分别与第  $n+1$  级信号输入端、第一低电平输入端、上拉控制单元、上拉单元、第一下拉维持单元、第二下拉维持单元及第一输出端电性连接;

其中, 所述时钟信号第一输入端的输入信号为第一时钟信号或第二时钟信号, 所述第一时钟信号与第二时钟信号相位相反; 当所述阵列基板行驱动电路的第  $n$  级阵列基板行驱动单元的时钟信号第一输入端的输入信号为第一时钟信号时, 所述阵列基板行驱动电路的第  $n+1$  级阵列基板行驱动  
15 单元的时钟信号第一输入端的输入信号为第二时钟信号;

其中, 所述上拉控制单元为一第一薄膜晶体管, 所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极, 所述第一栅极电性连接至第  $n-1$  级信号第二输入端, 所述第一源极电性连接至第  $n-1$  级信号第一输入端, 所述  
20 第一漏极分别与第一、第二下拉维持单元、下拉单元及上拉单元电性连接;

其中, 所述上拉单元包括一电容、第二薄膜晶体管及第三薄膜晶体管, 所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极, 所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极, 所述第二栅极分别与电  
25 容的一端、第一漏极、第三栅极、第一、第二下拉维持单元及下拉单元电性连接, 所述第二源极分别与第三源极、时钟信号第一输入端电性连接, 所述第二漏极与第二输出电性连接, 所述第三漏极分别与第一输出端、第一、第二下拉维持单元、下拉单元及电容的另一端电性连接;

其中, 所述下拉单元包括第四、五薄膜晶体管, 所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极, 所述第五薄膜晶体管具有第五栅  
30 极、第五源极及第五漏极, 所述第四栅极分别与第五栅极、第  $n+1$  级信号输入端电性连接, 所述第四源极分别与第一低电平输入端及第五源极电性连接, 所述第四漏极分别与第一漏极、电容的一端、第二栅极、第三栅极及第一、第二下拉维持单元电性连接, 所述第五漏极分别与第一输出端、第三源极、电容的另一端及第一、第二下拉维持单元电性连接;

其中，所述第一下拉维持单元包括第六至第九薄膜晶体管，所述第六薄膜晶体管具有第六栅极、第六源极及第六漏极，所述第七薄膜晶体管具有第七栅极、第七源极及第七漏极，所述第八薄膜晶体管具有第八栅极、第八源极及第八漏极，所述第九薄膜晶体管具有第九栅极、第九源极及第九漏极，所述第六漏极分别与第七漏极、第八栅极及第九栅极电性连接，所述第七栅极分别与第一漏极、第九漏极、电容的一端、第二栅极、第三栅极、第四漏极、及第二下拉维持单元电性连接，所述第七源极电性连接至第二低电平输入端，所述第八漏极分别与电容的另一端、第五漏极、第二下拉维持单元及第一输出端电性连接，所述第八源极与第一低电平输入端电性连接，所述第九源极与第一低电平输入端电性连接；

所述第二下拉维持单元包括第十至第十三薄膜晶体管，所述第十薄膜晶体管具有第十栅极、第十源极及第十漏极，所述第十一薄膜晶体管具有第十一栅极、第十一源极及第十一漏极，所述第十二薄膜晶体管具有第十二栅极、第十二源极及第十二漏极，所述第十三薄膜晶体管具有第十三栅极、第十三源极及第十三漏极，所述第十漏极分别与第十一漏极、第十二栅极及第十三栅极电性连接，所述第十一栅极分别与第一漏极、第十三漏极、第七栅极、第九漏极及电容的一端电性连接，所述第十一源极电性连接至第二低电平输入端，所述第十二漏极分别与电容的另一端、第八漏极及第一输出端电性连接，所述第十二源极与第一低电平输入端电性连接，所述第十三源极与第一低电平输入端电性连接。

12、如权利要求 11 所述的阵列基板行驱动电路，其中，所述阵列基板行驱动电路的第  $n$  级阵列基板行驱动单元还具有时钟信号第二输入端、时钟信号第三输入端，所述第六栅极与第六源极均连接至时钟信号第二输入端，所述第十栅极与第十源极均连接至时钟信号第三输入端，所述时钟信号第二输入端的输入信号为第一时钟信号，所述时钟信号第三输入端的输入信号为第二时钟信号。

13、如权利要求 11 所述的阵列基板行驱动电路，其中，所述第一下拉维持单元还包括第十四薄膜晶体管，所述第十四薄膜晶体管具有第十四栅极、第十四源极及第十四漏极，所述第十四漏极分别与第六漏极、第七漏极、第八栅极及第九栅极电性连接，所述第十四源极分别与第六栅极及第六源极电性连接；所述第二下拉维持单元还包括第十五薄膜晶体管，所述第十五薄膜晶体管具有第十五栅极、第十五源极及第十五漏极，所述第十五漏极分别与第十漏极、与第十一漏极、第十二栅极及第十三栅极电性连接，所述第十五源极分别与第十栅极及第十源极电性连接。

14、如权利要求 13 所述的阵列基板行驱动电路，其中，所述阵列基板行驱动电路的第  $n$  级阵列基板行驱动单元还具有时钟信号第二输入端、时钟信号第三输入端，所述第六栅极、第六源极及第十四源极均连接至时钟信号第二输入端，所述第十四栅极连接至时钟信号第三输入端，所述第十栅极、第十源极与第十五源极均连接至时钟信号第三输入端，所述第十五栅极连接至时钟信号第二输入端，所述时钟信号第二输入端的输入信号为第一时钟信号，所述时钟信号第三输入端的输入信号为第二时钟信号。

15、如权利要求 13 所述的阵列基板行驱动电路，其中，所述阵列基板行驱动电路的第  $n$  级阵列基板行驱动单元还具有低频信号第一输入端、低频信号第二输入端，所述第六栅极、第六源极及第十四源极均连接至低频信号第一输入端，所述第十四栅极连接至低频信号第二输入端，所述第十栅极、第十源极与第十五源极均连接至低频信号第二输入端，所述第十五栅极连接至低频信号第一输入端，所述低频信号第一输入端的输入信号为低频信号或超低频信号，所述低频信号第二输入端的输入信号为低频信号或超低频信号。

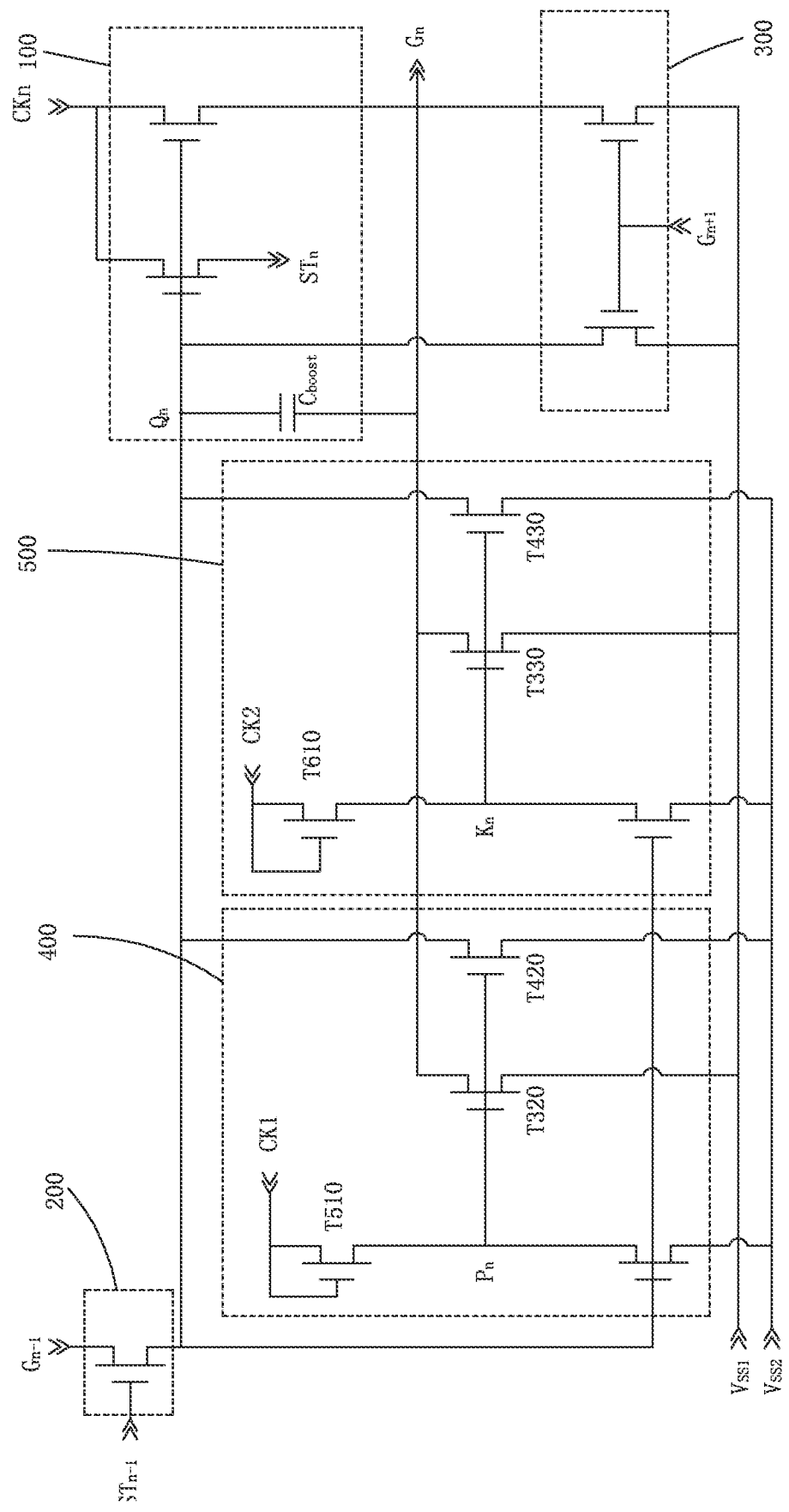
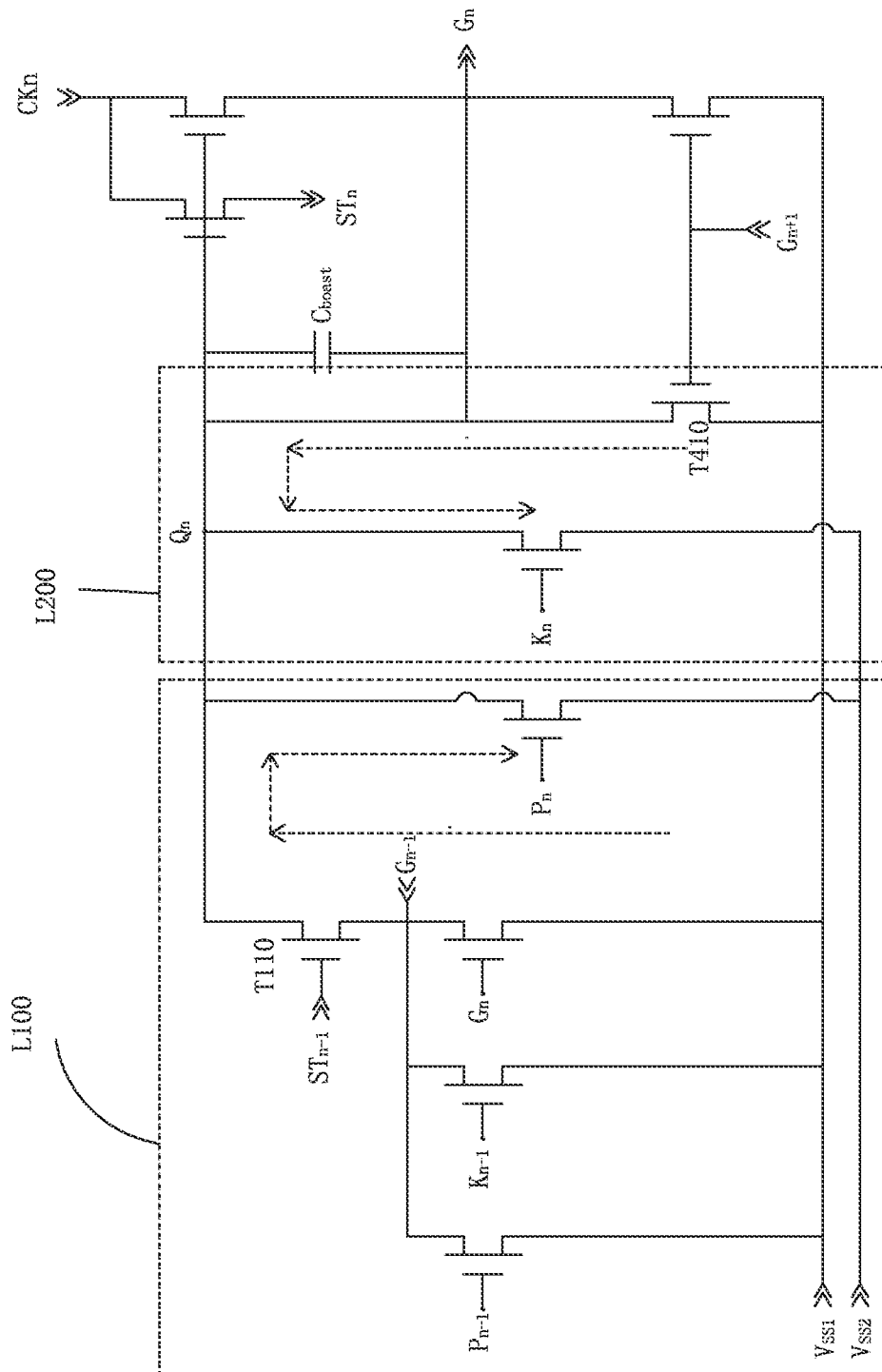


图1



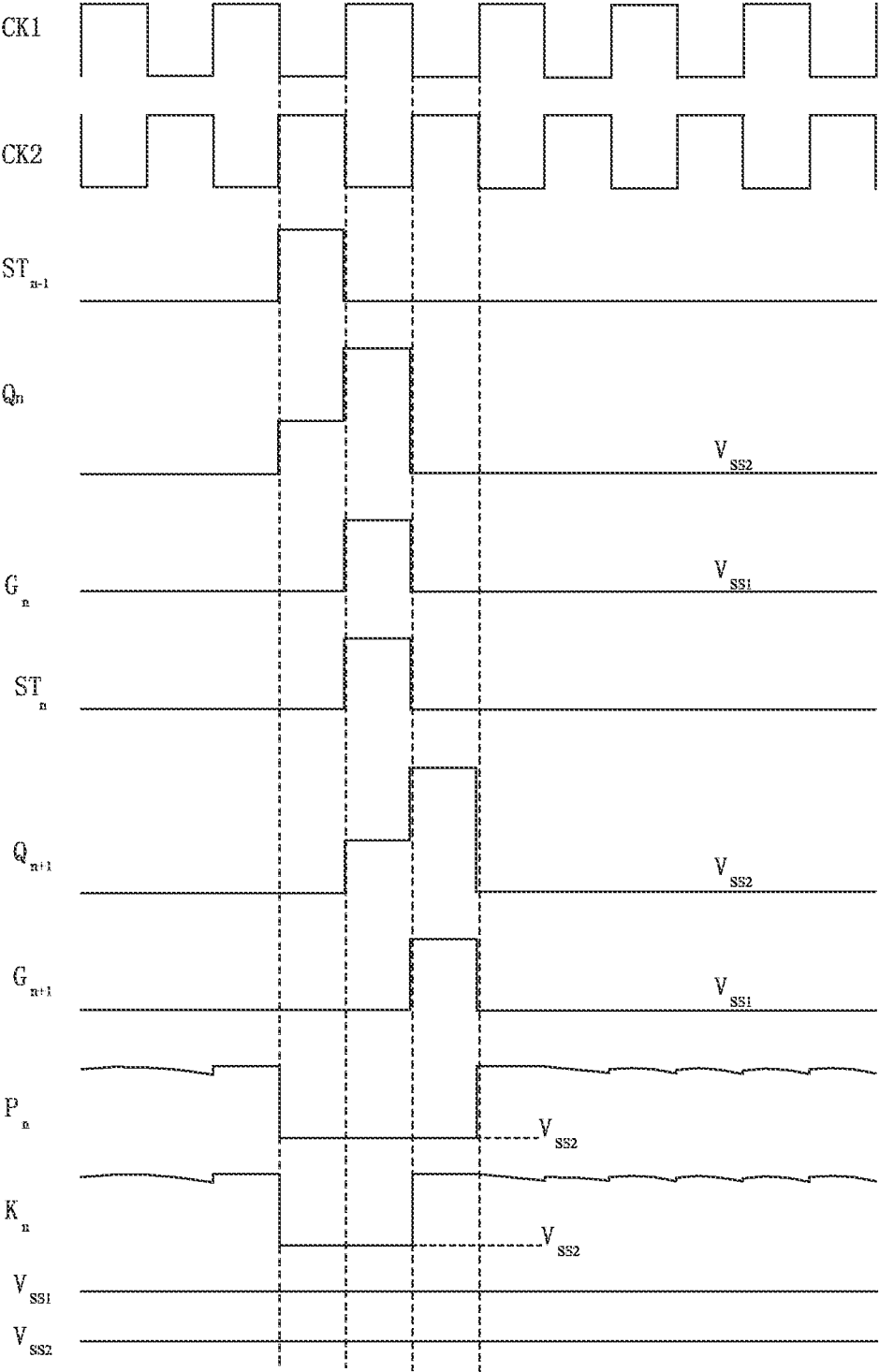


图3

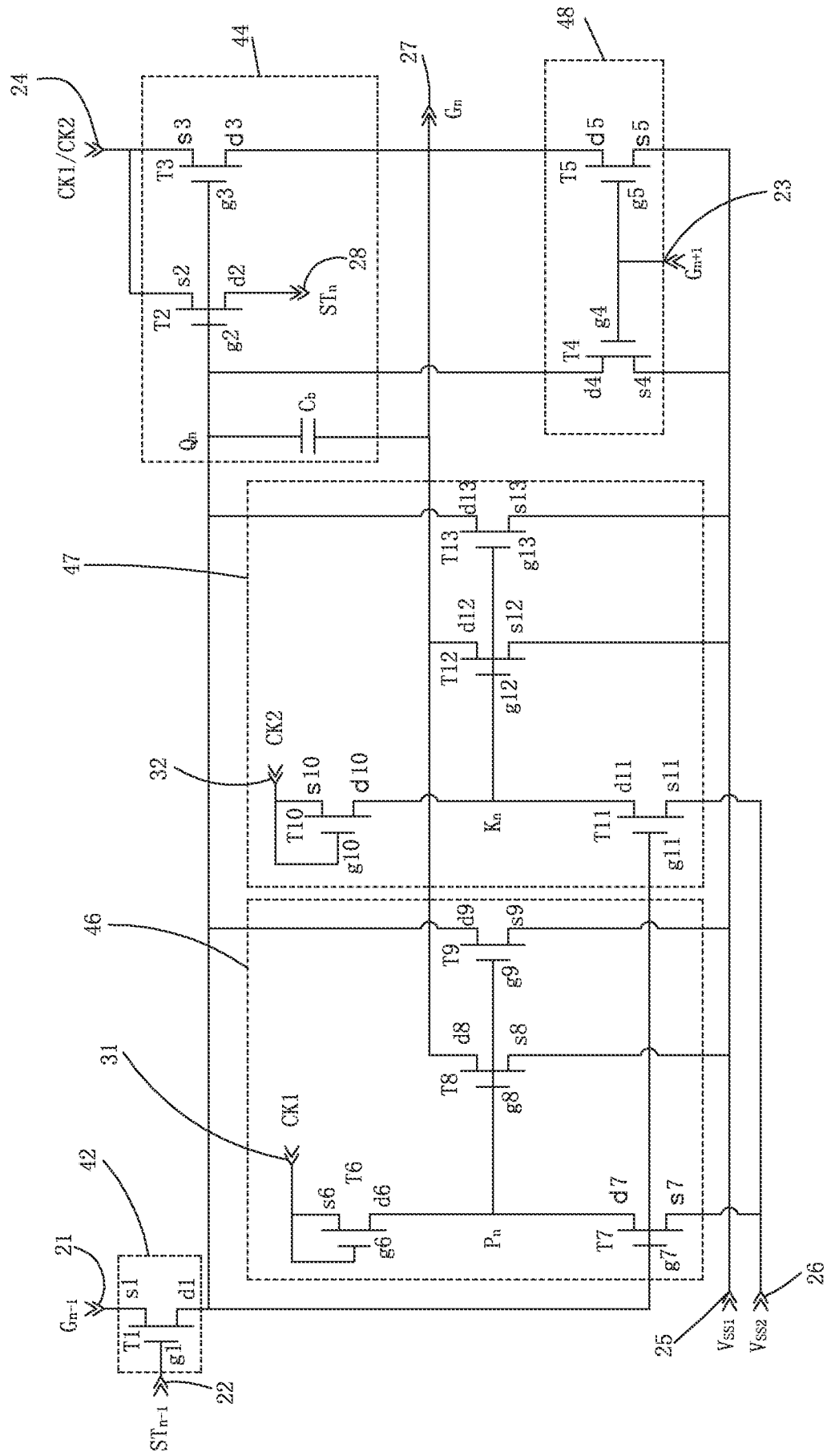


图4

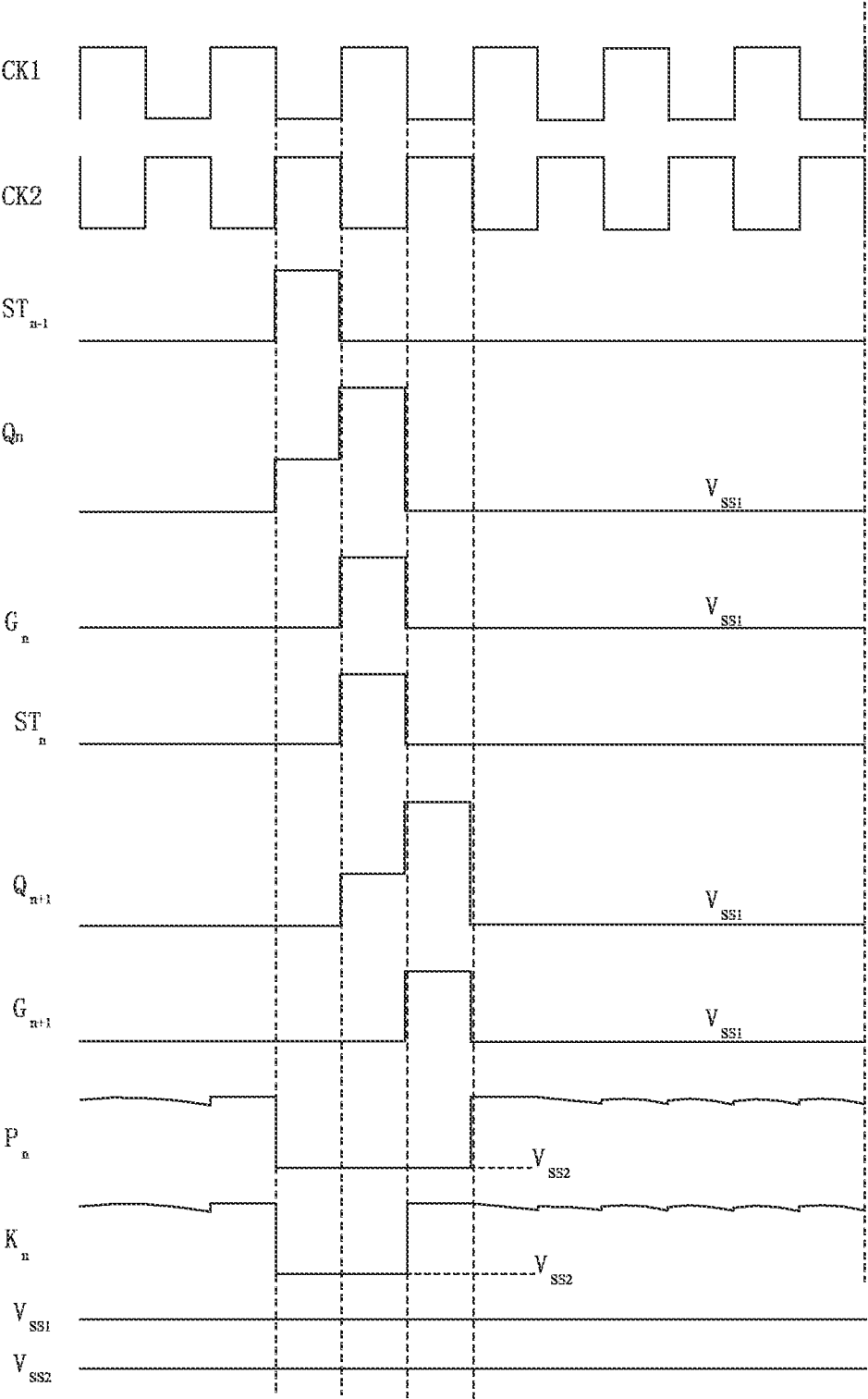


图5

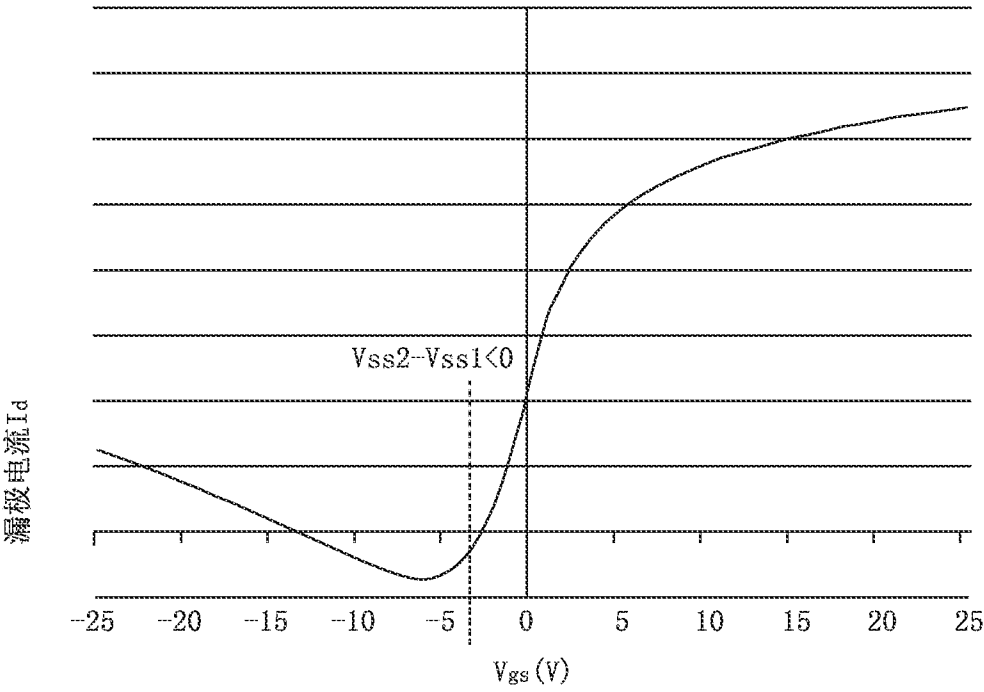
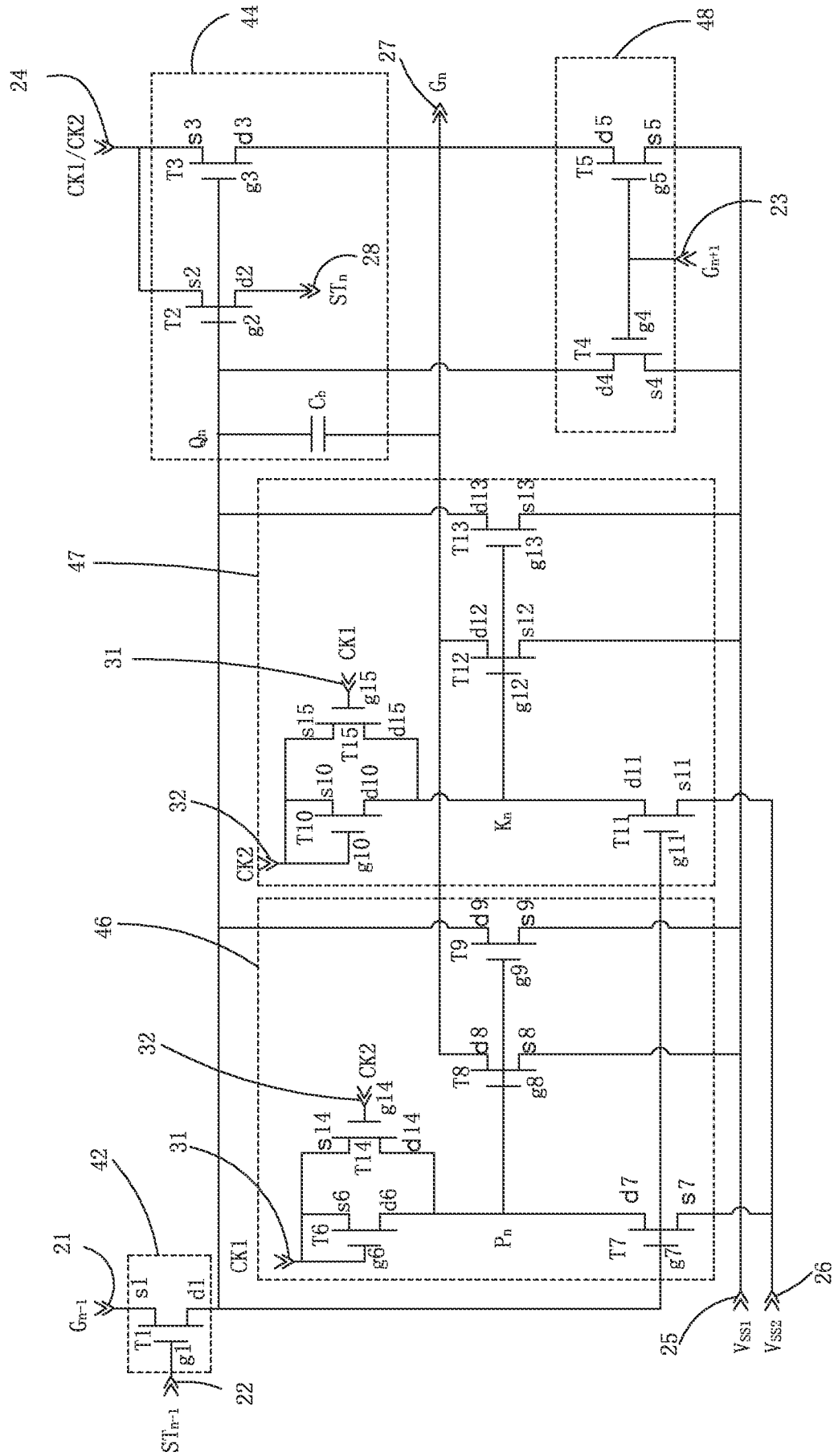


图6



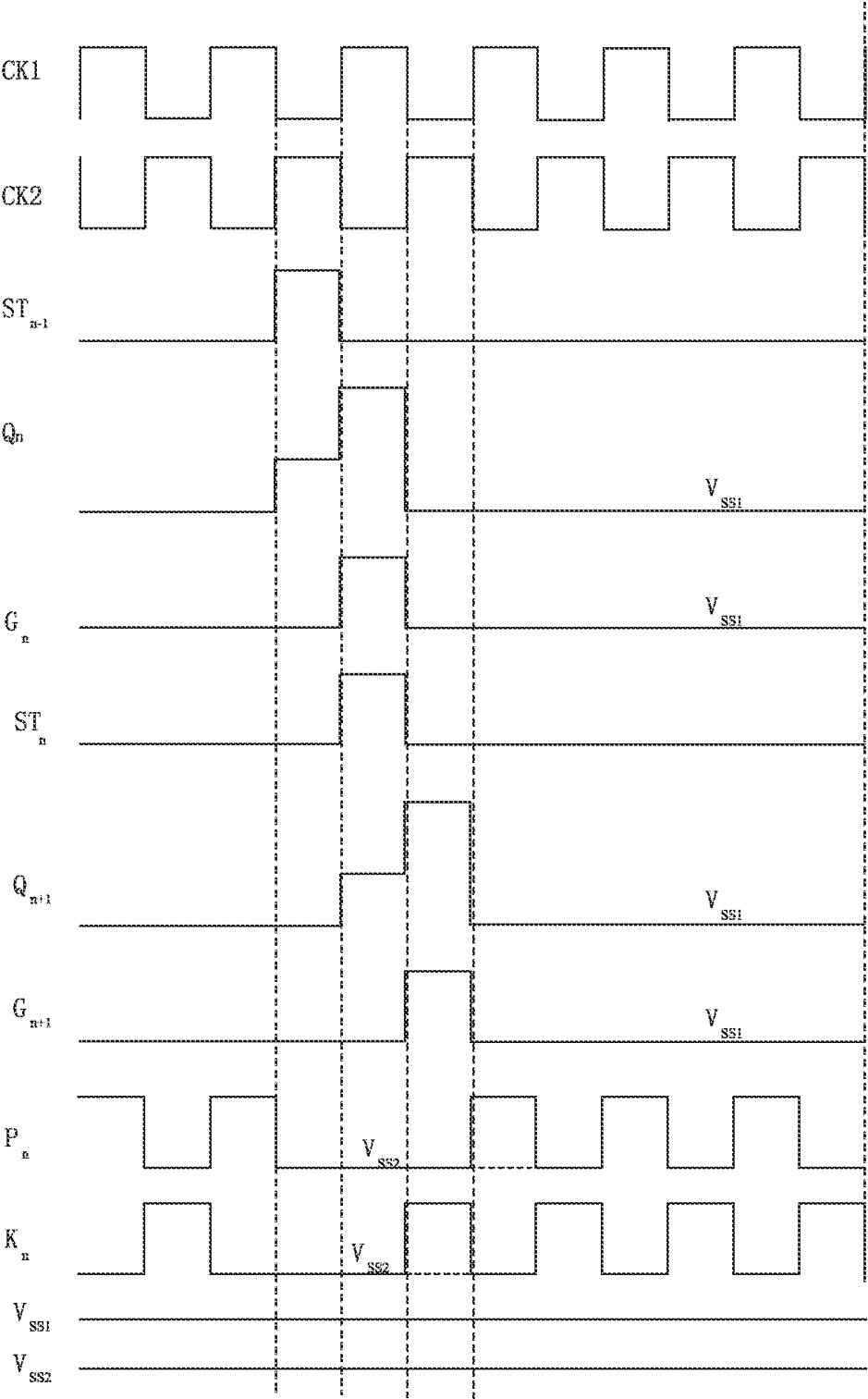


图8

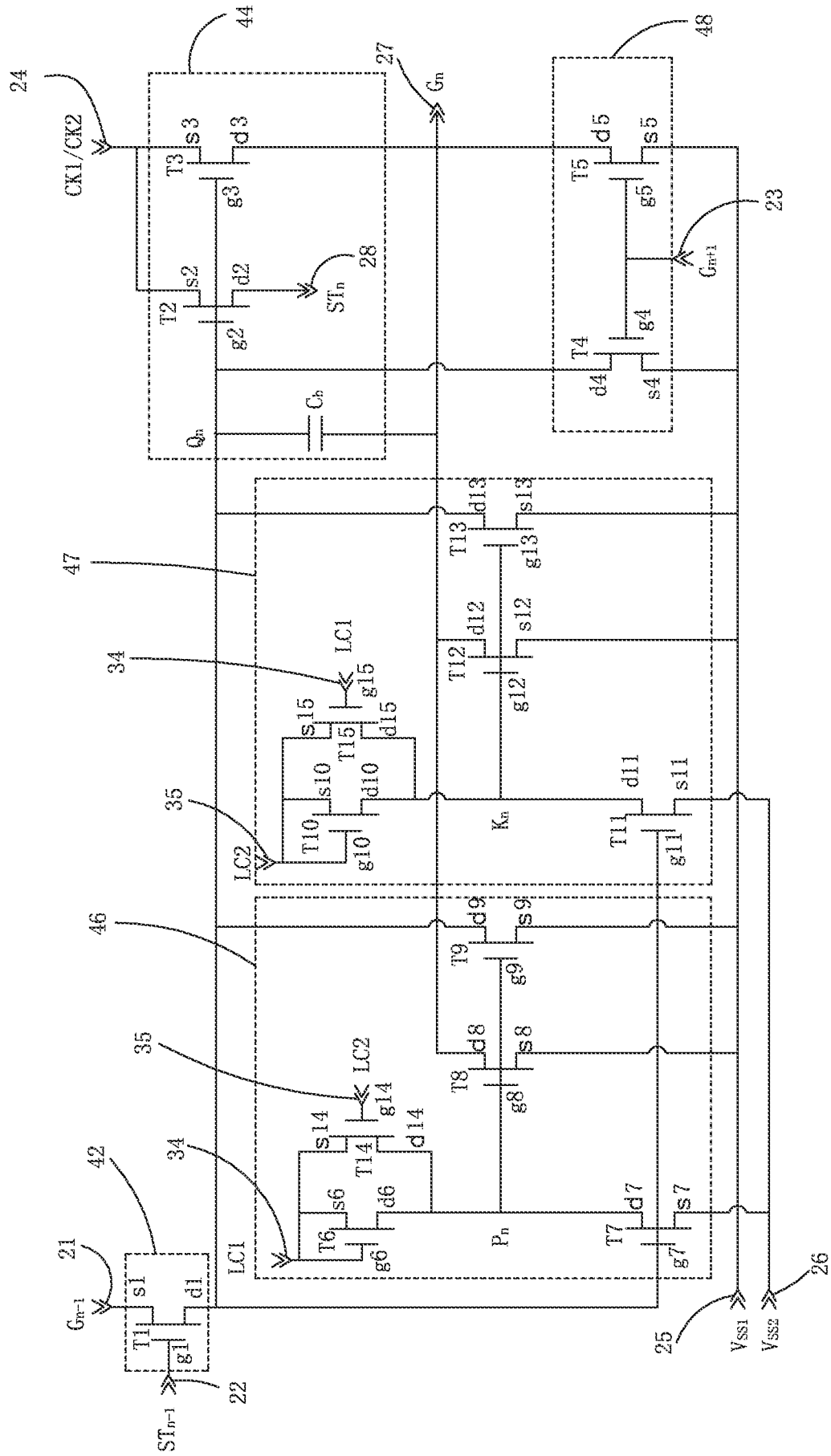


图9

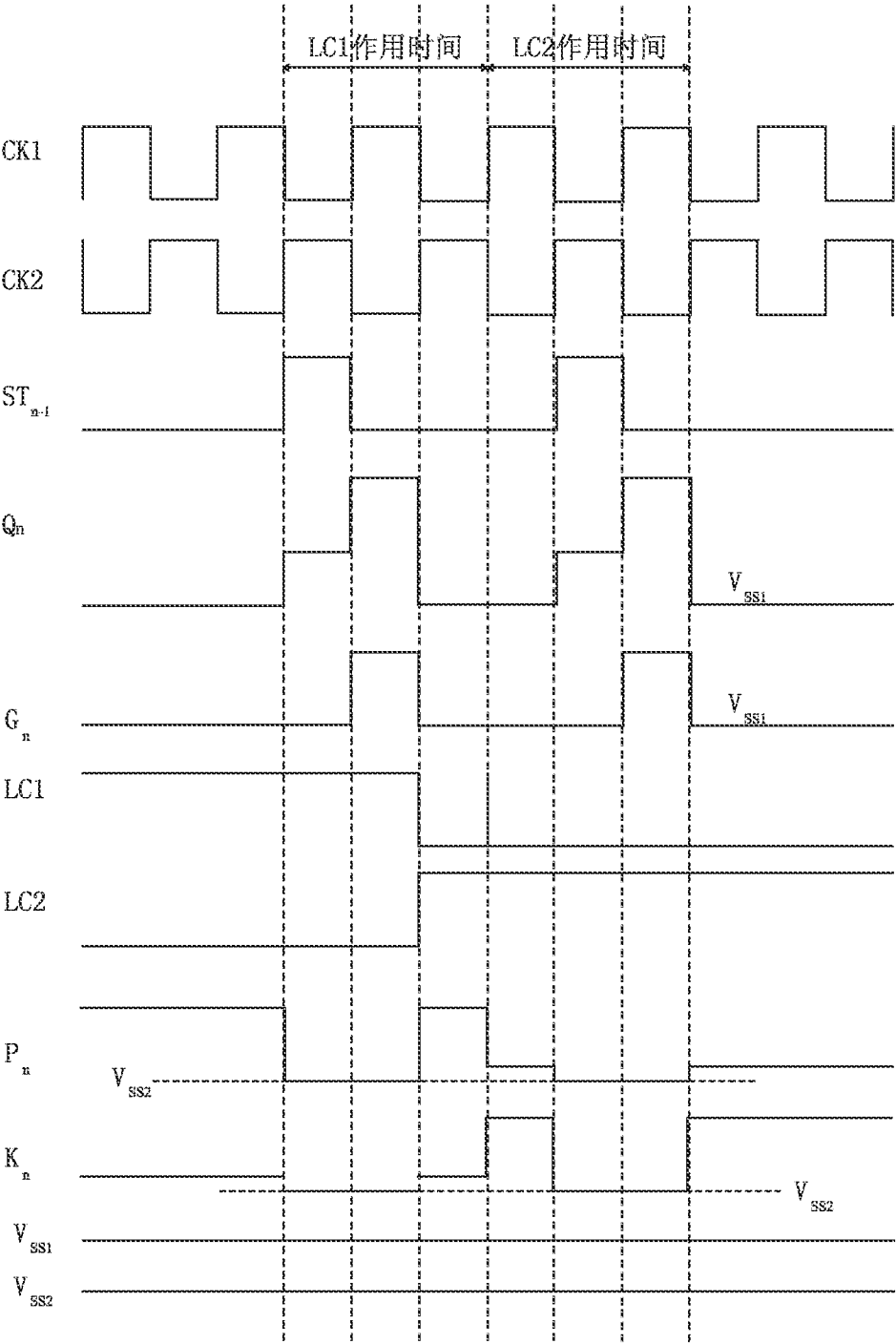


图10

# INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2014/070947**

## A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G 3/-; G11C 19/-; G02F 1/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS: pull-up, push-up, promote, pull-down, push-down, shifting, translation, register, temporary storage, cache, first, second, input, iutput

DWPI, SIPOABS: pull+, up, down, shift, register?, first, second, input, iutput

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                        | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | CN 103310755 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 18 September 2013 (18.09.2013), description, paragraphs 33-46, and figures 3-5 | 1-7, 11-12            |
| Y         | CN 103021360 A (AU OPTRONICS CORP.), 03 April 2013 (03.04.2013), description, paragraphs 41-53, and figures 3-6                                           | 1-7, 11-12            |
| A         | CN 102136241 A (AU OPTRONICS CORP.), 27 July 2011 (27.07.2011), the whole document                                                                        | 1-15                  |
| A         | CN 101639598 A (SAMSUNG ELECTRONICS CO., LTD.), 03 February 2010 (03.02.2010), the whole document                                                         | 1-15                  |
| A         | US 2008048712 A1 (SAMSUNG ELECTRONICS CO.), 28 February 2008 (28.02.2008), the whole document                                                             | 1-15                  |
| A         | US 2010260312 A1 (AU OPTRONICS CORP.), 14 October 2010 (14.10.2010), the whole document                                                                   | 1-15                  |

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

|                                                                                                                                                                         |                                                                                                                                                                                                                                                  |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| * Special categories of cited documents:                                                                                                                                | “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| “A” document defining the general state of the art which is not considered to be of particular relevance                                                                | “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| “E” earlier application or patent but published on or after the international filing date                                                                               | “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | “&” document member of the same patent family                                                                                                                                                                                                    |
| “O” document referring to an oral disclosure, use, exhibition or other means                                                                                            |                                                                                                                                                                                                                                                  |
| “P” document published prior to the international filing date but later than the priority date claimed                                                                  |                                                                                                                                                                                                                                                  |

|                                                                                                                                                                                                                    |                                                                                          |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------|
| Date of the actual completion of the international search<br>20 June 2014 (20.06.2014)                                                                                                                             | Date of mailing of the international search report<br><b>13 August 2014 (13.08.2014)</b> |
| Name and mailing address of the ISA/CN:<br>State Intellectual Property Office of the P. R. China<br>No. 6, Xitucheng Road, Jimenqiao<br>Haidian District, Beijing 100088, China<br>Facsimile No.: (86-10) 62019451 | Authorized officer<br><b>ZHANG, Wei</b><br>Telephone No.: (86-10) <b>62085782</b>        |

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/CN2014/070947**

| Patent Documents referred<br>in the Report | Publication Date  | Patent Family    | Publication Date |
|--------------------------------------------|-------------------|------------------|------------------|
| CN 103310755 A                             | 18 September 2013 |                  |                  |
| CN 103021360 A                             | 03 April 2013     |                  |                  |
| CN 102136241 A                             | 27 July 2011      | CN 102136241 B   | 19 December 2012 |
|                                            |                   | TW 201228235 A   | 01 July 2012     |
|                                            |                   | TW I419468 B     | 11 December 2013 |
| CN 101639598 A                             | 03 February 2010  | US 2010026669 A1 | 04 February 2010 |
|                                            |                   | US 8310432 B2    | 13 November 2012 |
|                                            |                   | KR 20100013931 A | 10 February 2010 |
| US 2008048712 A1                           | 28 February 2008  | US 7417458 B2    | 26 August 2008   |
|                                            |                   | KR 20080019116 A | 03 March 2008    |
| US 2010260312 A1                           | 14 October 2010   | US 8229058 B2    | 24 July 2012     |
|                                            |                   | TW 201037675 A   | 16 October 2010  |
|                                            |                   | TW 400686 B1     | 01 July 2013     |
|                                            |                   | TW I400686 B     | 01 July 2013     |
|                                            |                   | US 2012250816 A1 | 04 October 2012  |
|                                            |                   | US 8340240 B2    | 25 December 2012 |
|                                            |                   | US 2013070891 A1 | 21 March 2013    |
|                                            |                   | US 8483350 B2    | 09 July 2013     |

|                                                                                                                                                                                                                                                                                                                                                                                                  |                                                                                 |                      |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------|----------------------|
| A. 主题的分类                                                                                                                                                                                                                                                                                                                                                                                         |                                                                                 |                      |
| G09G 3/36(2006.01)i; G11C 19/28(2006.01)i                                                                                                                                                                                                                                                                                                                                                        |                                                                                 |                      |
| 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类                                                                                                                                                                                                                                                                                                                                                                  |                                                                                 |                      |
| B. 检索领域                                                                                                                                                                                                                                                                                                                                                                                          |                                                                                 |                      |
| 检索的最低限度文献(标明分类系统和分类号)                                                                                                                                                                                                                                                                                                                                                                            |                                                                                 |                      |
| G09G 3/-;G11C 19/-;G02F 1/-                                                                                                                                                                                                                                                                                                                                                                      |                                                                                 |                      |
| 包含在检索领域中的除最低限度文献以外的检索文献                                                                                                                                                                                                                                                                                                                                                                          |                                                                                 |                      |
| 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))                                                                                                                                                                                                                                                                                                                                                             |                                                                                 |                      |
| CNABS: 上拉, 拉高, 上推, 提升, 下拉, 拉低, 下推, 移位, 平移, 寄存, 暂存, 缓存, 第一, 第二, 输入, 输出<br>DWPI、SIPOABS: pull+, up, down, shift, register?, first, second, input, iutput                                                                                                                                                                                                                                           |                                                                                 |                      |
| C. 相关文件                                                                                                                                                                                                                                                                                                                                                                                          |                                                                                 |                      |
| 类 型*                                                                                                                                                                                                                                                                                                                                                                                             | 引用文件, 必要时, 指明相关段落                                                               | 相关的权利要求              |
| Y                                                                                                                                                                                                                                                                                                                                                                                                | CN 103310755 A (深圳市华星光电技术有限公司) 2013年 9月 18日 (2013 - 09 - 18)<br>说明书第33-46段、图3-5 | 1-7, 11-12           |
| Y                                                                                                                                                                                                                                                                                                                                                                                                | CN 103021360 A (友达光电股份有限公司) 2013年 4月 03日 (2013 - 04 - 03)<br>说明书第41-53段、图3-6    | 1-7, 11-12           |
| A                                                                                                                                                                                                                                                                                                                                                                                                | CN 102136241 A (友达光电股份有限公司) 2011年 7月 27日 (2011 - 07 - 27)<br>全文                 | 1-15                 |
| A                                                                                                                                                                                                                                                                                                                                                                                                | CN 101639598 A (三星电子株式会社) 2010年 2月 03日 (2010 - 02 - 03)<br>全文                   | 1-15                 |
| A                                                                                                                                                                                                                                                                                                                                                                                                | US 2008048712 A1 (SAMSUNG ELECTRONICS CO) 2008年 2月 28日 (2008 - 02 - 28)<br>全文   | 1-15                 |
| A                                                                                                                                                                                                                                                                                                                                                                                                | US 2010260312 A1 (AU OPTRONICS CORP) 2010年 10月 14日 (2010 - 10 - 14)<br>全文       | 1-15                 |
| <input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。                                                                                                                                                                                                                                                                                                             |                                                                                 |                      |
| * 引用文件的具体类型:<br>“A” 认为不特别相关的表示了现有技术一般状态的文件<br>“E” 在国际申请日的当天或之后公布的在先申请或专利<br>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)<br>“O” 涉及口头公开、使用、展览或其他方式公开的文件<br>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件<br>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件<br>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性<br>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性<br>“&” 同族专利的文件 |                                                                                 |                      |
| 国际检索实际完成的日期                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                 | 国际检索报告邮寄日期           |
| 2014年 6月 20日                                                                                                                                                                                                                                                                                                                                                                                     |                                                                                 | 2014年 8月 13日         |
| ISA/CN的名称和邮寄地址                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                 | 授权官员                 |
| 中华人民共和国国家知识产权局(ISA/CN)<br>北京市海淀区蓟门桥西土城路6号<br>100088 中国                                                                                                                                                                                                                                                                                                                                           |                                                                                 | 张伟                   |
| 传真号 (86-10)62019451                                                                                                                                                                                                                                                                                                                                                                              |                                                                                 | 电话号码 (86-10)62085782 |

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2014/070947

| 检索报告引用的专利文件 |            |    | 公布日<br>(年/月/日) | 同族专利 |             |    | 公布日<br>(年/月/日) |
|-------------|------------|----|----------------|------|-------------|----|----------------|
| CN          | 103310755  | A  | 2013年 9月 18日   |      |             |    |                |
| CN          | 103021360  | A  | 2013年 4月 03日   |      |             |    |                |
| CN          | 102136241  | A  | 2011年 7月 27日   | CN   | 102136241   | B  | 2012年 12月 19日  |
|             |            |    |                | TW   | 201228235   | A  | 2012年 7月 01日   |
|             |            |    |                | TWI  | 419468      | B  | 2013年 12月 11日  |
| CN          | 101639598  | A  | 2010年 2月 03日   | US   | 2010026669  | A1 | 2010年 2月 04日   |
|             |            |    |                | US   | 8310432     | B2 | 2012年 11月 13日  |
|             |            |    |                | KR   | 20100013931 | A  | 2010年 2月 10日   |
| US          | 2008048712 | A1 | 2008年 2月 28日   | US   | 7417458     | B2 | 2008年 8月 26日   |
|             |            |    |                | KR   | 20080019116 | A  | 2008年 3月 03日   |
| US          | 2010260312 | A1 | 2010年 10月 14日  | US   | 8229058     | B2 | 2012年 7月 24日   |
|             |            |    |                | TW   | 201037675   | A  | 2010年 10月 16日  |
|             |            |    |                | TW   | 400686      | B1 | 2013年 7月 01日   |
|             |            |    |                | TWI  | 400686      | B  | 2013年 7月 01日   |
|             |            |    |                | US   | 2012250816  | A1 | 2012年 10月 04日  |
|             |            |    |                | US   | 8340240     | B2 | 2012年 12月 25日  |
|             |            |    |                | US   | 2013070891  | A1 | 2013年 3月 21日   |
|             |            |    |                | US   | 8483350     | B2 | 2013年 7月 09日   |

表 PCT/ISA/210 (同族专利附件) (2009年7月)