

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 2 月 10 日 (10.02.2005)

PCT

(10) 国際公開番号
WO 2005/013608 A1

- (51) 国際特許分類: H04N 5/335
- (21) 国際出願番号: PCT/JP2004/009432
- (22) 国際出願日: 2004 年 7 月 2 日 (02.07.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-203805 2003 年 7 月 30 日 (30.07.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立
大学法人 東京大学 (THE UNIVERSITY OF TOKYO)
[JP/JP]; 〒1138654 東京都文京区本郷 7 丁目 3 番 1 号
Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 佐々木 真人

(SASAKI, Makoto) [JP/JP]; 〒3410035 埼玉県三郷市鷹
野 4-1 4 0-9 Saitama (JP). 青木 利文 (AOKI, Toshi-
fumi) [JP/JP]; 〒1880002 東京都西東京市緑町 1-1-7
東大田無第 2 宿舎 3 0 2 号 Tokyo (JP). 新井 康夫
(ARAI, Yasuo) [JP/JP]; 〒3050031 茨城県つくば市吾
妻 4-1 0 4-4 0 1 Ibaraki (JP).

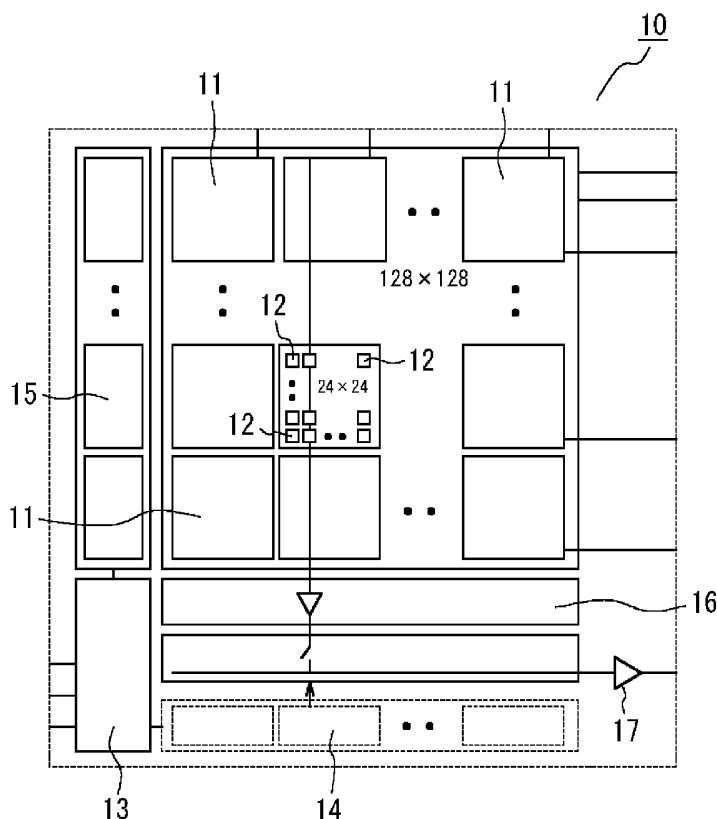
(74) 代理人: 杉村 興作 (SUGIMURA, Kosaku); 〒1000013
東京都千代田区霞が関 3 丁目 2 番 4 号 霞山ビルディ
ング 7 F Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

/続葉有/

(54) Title: TWO-DIMENSIONAL MACRO-CELL CONTROL IMAGE SENSOR, IMAGING ELEMENT, AND IMAGING METHOD

(54) 発明の名称: 2次元マクロセル制御イメージセンサ、撮像素子、及び撮像方法



(57) Abstract: While the shutter of a two-dimensional macro-cell control image sensor is turned on and the reset is turned off, X and Y address control signals synchronized with a motion of an object to be imaged are received by X and Y address control signal reading means. Then, X and Y address control means causes, based on the X and Y address control signals, a CMOS pixel circuit in one of a plurality of macro-cell units arranged in X and Y directions to be turned on. Then, the current value of the CMOS pixel circuit that has been turned on is read as a pixel output.

(57) 要約: 2次元マクロセル制御イメージセンサのシャッターをオンとし、リセットをオフとした状態で、撮像物体の移動に動機させたXアドレス制御信号及びYアドレス制御信号をXYアドレス制御信号読み込み手段で受信する。次いで、Xアドレス制御手段及びYアドレス制御手段で、前記Xアドレス制御信号及び前記Yアドレス制御信号に基づき、X方向及びY方向に配置された複数のマクロセルユニットの一つにおけるCMOS画素回路をオンさせる。次いで、前記オン状態の前記CMOS画素回路の電流値を画素出力として読み取る。



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

2次元マクロセル制御イメージセンサ、撮像素子、及び撮像方法

技術分野

- [0001] 本発明は、2次元シャッター機能を有する2次元マクロセル制御イメージセンサ及び撮像方法、並びにこれら2次元マクロセル制御イメージセンサ及び撮像方法を利用した撮像素子に関する。

背景技術

- [0002] 高速度撮影のためにCCDやCMOSイメージセンサなどの固体撮像素子にも写真カメラ同様に露光を電子的に制御する電子シャッター機能が必要である。従来の固体撮像素子の電子シャッターには、画素全体を一つのゲート信号にて一括して露光時間を制御する全体同期シャッターと呼ばれる方式と、画素の一行ずつを時間的にずらしながら、簾のように随時ゲート制御して露光時間を制御するローリングシャッター方式とがあった。
- [0003] カメラ画像から変位を抽出したり、物体の速度を求めたりする際、従来の電子シャッターでは、撮像物体が画素を通過する時間に比べ、背景ノイズだけを受光撮像する時間が長くなってしまい、撮像イメージの信号ノイズ比を劣化させてしまう原因となっていた。このため、従来においては、撮像物体を撮影感度以上に明るく照らす必要があった。

発明の開示

- [0004] 本発明は、2次元に区分された領域毎にシャッター機能を発現せしめ、撮像物体を高速度かつ高感度で撮影することができるイメージセンサ及び撮像方法、並びに撮像素子を提供することを目的とする。
- [0005] 上記目的を達成すべく、本発明は、
複数のCMOS画素回路が内蔵され、X方向及びY方向に配置されてなる複数のマクロセルユニットと、
撮像物体の移動に動機させたXアドレス制御信号及びYアドレス制御信号を受信するためのXYアドレス制御信号読み込み手段と、

前記Xアドレス制御信号に基づき、前記X方向に配置された前記複数のマクロセルユニットの一つにおける前記CMOS画素回路の少なくとも一つをオンさせるためのXアドレス制御手段と、

前記Yアドレス制御信号に基づき、前記Y方向に配置された前記複数のマクロセルユニットの一つにおける前記CMOS画素回路の少なくとも一つをオンさせるためのYアドレス制御手段と、

を具えることを特徴とする、2次元マクロセル制御イメージセンサに関する。

[0006] また、本発明は、

撮像物体の移動に動機させたXアドレス制御信号及びYアドレス制御信号を受信する工程と、

前記Xアドレス制御信号及び前記Yアドレス制御信号に基づき、X方向及びY方向に配置された複数のマクロセルユニットの一つにおけるCMOS画素回路をオンさせる工程と、

前記オン状態の前記CMOS画素回路の電流値を画素出力として読み取る工程と、
、
を具えることを特徴とする、撮像方法に関する。

[0007] 本発明によれば、複数のCMOS画素回路が内蔵されたマクロセルユニットを複数用い、これらをX方向及びY方向にそれぞれ所定数配置し、撮像物体の移動に同期させたXアドレス制御信号及びYアドレス制御信号で、前記撮像物体の移動位置に対応した、前記マクロセルユニットにおけるCMOS画素回路をオンするようにしている。したがって、前記撮像物体の移動に同期させ、前記撮像物体の移動に追従するようにして前記複数のCMOS画素回路をオンできるようになる。

[0008] したがって、前記オン状態のCMOS画素回路からの画素出力を定量することにより、前記マクロセルユニット内に設けられた前記複数のCMOS画素回路のそれぞれが2次元に区分されたシャッターとして機能するようになるため、前記撮像物体の移動に追従して高速度で撮影できるようになる。この結果、背景ノイズを受光撮像する時間が不用意に長くなることなく、前記撮像物体の撮像イメージの信号ノイズ比を向上させることができるようになる。

[0009] 本発明において、前記CMOS画素回路は、フォトダイオードと、このフォトダイオードの受光量に比例した電荷を蓄積するためのコンデンサとを有することができる。また、前記フォトダイオード及び前記コンデンサ間において、電荷蓄積スイッチ用MOS型トランジスタを有することができる。さらに、前記CMOS画素回路は、前記コンデンサに蓄積された電荷に起因した電流値を画素出力として外部に取り出すための、画素出力取出スイッチ用MOS型トランジスタを有することができ、リセット用MOS型トランジスタを有することができる。

[0010] なお、本発明の撮像素子は、上述した2次元マクロセル制御イメージセンサ及び撮像方法を利用したことを特徴とする。

[0011] 以上説明したように、本発明によれば、2次元に区分された領域毎にシャッター機能を発現せしめ、撮像物体を高速度かつ高感度で撮影することができるイメージセンサ及び撮像方法、並びに撮像素子を提供することができる。

図面の簡単な説明

[0012] [図1]本発明の2次元マクロセル制御イメージセンサの一例における構成を概略的に示す図である。

[図2]図1に示す2次元マクロセル制御イメージセンサの、マクロセルユニットにおけるCMOS画素回路の一例を示す回路図である。

発明を実施するための最良の形態

[0013] 本発明のその他の特徴、及び利点について、発明を実施するための最良の形態に基づいて説明する。

[0014] 図1は、本発明の2次元マクロセル制御イメージセンサの一例における構成を概略的に示す図であり、図2は、図1に示す2次元マクロセル制御イメージセンサの、マクロセルユニットにおけるCMOS画素回路の一例を示す回路図である。

[0015] 図1に示す2次元マクロセル制御イメージセンサ10は、複数のマクロセルユニット11と、XYアドレス制御信号読み込み手段としてのリードシーケンサー13と、Xアドレス制御手段としての複数のXアドレスシーケンサー14と、Yアドレス制御手段としての複数のYアドレスシーケンサー15とを具えている。

[0016] 本例において、マクロセルユニット11は、行方向に128個、列方向に128個、すな

わち 128×128 個の配列で配置されている。また、複数のXアドレスシーケンサー14は、それぞれ列方向に配置されたマクロセルユニット11と対応するようにして配置されている。さらに、複数のYアドレスシーケンサー15は、それぞれ行方向に配置されたマクロセルユニット11と対応するようにして配置されている。

[0017] なお、マクロセルユニット11の 128×128 個の配置密度は、以下に示すように、撮像物体の移動に素早く追従してその移動位置を高速度で読み取ることができるトリガーセンサの画素数に対応させたものである。

[0018] また、各マクロセルユニット11内には、複数のCMOS画素回路12が行方向に24個、列方向に24個、すなわち 24×24 個の配列で配置されている。これによって、イメージセンサ10全体として $(128 \times 24) \times (128 \times 24) = 9.4\text{M}$ 画素となり、9M以上の画素数が要求される高解像度撮像素子などに好適に用いることができるようになる。

[0019] なお、各マクロセルユニット11において、少なくとも一つのCMOS画素回路12は論理回路として機能する。さらに、マクロセルユニット11と、Xアドレスシーケンサー14との間には、コラムアンプ14及び出力アンプ16が設けられている。

[0020] 一方、図2に示すように、各CMOS画素回路12は、フォトダイオードD、コンデンサC、電荷蓄積スイッチ用MOS型トランジスタT1、画素出力取出スイッチ用MOS型トランジスタT2、及びリセット用MOS型トランジスタT3を有している。

[0021] 次に、図1に示す2次元マクロセル制御イメージセンサ10を用いた場合の撮像方法（操作）について説明する。最初に、イメージセンサ10のリセットをオフとし、シャッターをオンとして、イメージセンサ10を露光状態とする。このとき、図2に示すCMOS画素回路12において、トランジスタT3はオフ状態となる。

[0022] 次いで、図1に示すイメージセンサ10と別途に設けられた、例えば、撮像物体の移動に素早く追従し、その移動位置を高速度で読み取ることのできるトリガーセンサなどからイメージセンサ10に送られた、前記撮像物体の移動に同期したXアドレス制御信号及びYアドレス制御信号をリードシーケンサー13で読み込む。その後、前記Xアドレス制御信号及び前記Yアドレス制御信号はデコードされてXアドレスシーケンサー14及びYアドレスシーケンサー15に送られる。

- [0023] 次いで、Xアドレスシーケンサ14及びYアドレスシーケンサ15は、前記Xアドレス制御信号及び前記Yアドレス制御信号に対応したマクロセルユニット11のCMOS画素回路12をオンにする。
- [0024] このとき、図2に示すCMOS画素回路12において、トランジスタT1はそのゲートに対して電源線L3より所定のゲート電圧が印加されることによってオンとなる。したがって、フォトダイオードDでの受光量に比例した電荷がコンデンサCに蓄積されるようになる。
- [0025] 次いで、電源線L2を介してトランジスタT2のゲートに所定のゲート電圧が印加されることにより、トランジスタT2がオンとなり、コンデンサCに蓄積された電荷に起因した電流が画素出力として、電源線L4より外部に取り出される。前記電流(画素出力)は、コラムアンプ16に送られ、次いで出力アンプ17を介してイメージセンサ10より外部に取り出される。したがって、前記電流値を計測することにより、前記画素出力の読出しが完了する。
- [0026] なお、画素出力の読出し後は、イメージセンサ10のリセットをオンとする。このとき、読出しの行われなかったCMOS画素回路では、図2において、電源線L3を介して所定のゲート電圧がトランジスタT3のゲートに印加され、トランジスタT3はオンとなる。したがって、コンデンサCに蓄積された電荷は、トランジスタT3を介して外部に放出されるようになる。
- [0027] 以上説明したように、図1に示す2次元マクロセル制御イメージセンサ10を用いて撮像を行う場合、撮像物体の移動位置に対応したマクロセルユニット11のCMOS画素回路12のみをオンとし、前記撮像物体の撮像に起因した画素出力を読み取るようにしている。したがって、CMOS画素回路12は2次元的に区分されたシャッターとして機能する。この結果、撮像物体の移動に追従して高速度で撮影できるようになり、背景ノイズを受光撮像する時間が不用意に長くなることなく、前記撮像物体の撮像イメージの信号ノイズ比を向上させることができるようになる。
- [0028] 以上、具体例を挙げながら発明の実施の形態に基づいて本発明を詳細に説明してきたが、本発明は上記内容に限定されるものではなく、本発明の範疇を逸脱しない限りにおいて、あらゆる変形や変更が可能である。

請求の範囲

- [1] 複数のCMOS画素回路が内蔵され、X方向及びY方向に配置されてなる複数のマクロセルユニットと、
撮像物体の移動に動機させたXアドレス制御信号及びYアドレス制御信号を受信するためのXYアドレス制御信号読み込み手段と、
前記Xアドレス制御信号に基づき、前記X方向に配置された前記複数のマクロセルユニットの一つにおける前記CMOS画素回路の少なくとも一つをオンさせるためのXアドレス制御手段と、
前記Yアドレス制御信号に基づき、前記Y方向に配置された前記複数のマクロセルユニットの一つにおける前記CMOS画素回路の少なくとも一つをオンさせるためのYアドレス制御手段と、
を具えることを特徴とする、2次元マクロセル制御イメージセンサ。
- [2] 前記CMOS画素回路は、フォトダイオードと、このフォトダイオードの受光量に比例した電荷を蓄積するためのコンデンサとを有することを特徴とする、請求項1に記載の2次元マクロセル制御イメージセンサ。
- [3] 前記CMOS画素回路は、前記フォトダイオード及び前記コンデンサ間において、電荷蓄積スイッチ用MOS型トランジスタを有することを特徴とする、請求項2に記載の2次元マクロセル制御イメージセンサ。
- [4] 前記CMOS画素回路は、前記コンデンサに蓄積された電荷に起因した電流値を画素出力として外部に取り出すための、画素出力取出スイッチ用MOS型トランジスタを有することを特徴とする、請求項2又は3に記載の2次元マクロセル制御イメージセンサ。
- [5] 前記CMOS画素回路は、リセット用MOS型トランジスタを有することを特徴とする、請求項2〜4のいずれかーに記載の2次元マクロセル制御イメージセンサ。
- [6] 前記マクロセルユニットにおける前記複数のCMOS画素回路の少なくとも一つは、前記マクロセルユニットの論理用回路として用いることを特徴とする、請求項1〜5のいずれかーに記載の2次元マクロセル制御イメージセンサ。
- [7] 前記複数のマクロセルユニットは、前記X方向及び前記Y方向に、それぞれ128個

配置したことを特徴とする、請求項1〜6のいずれかに記載の2次元マクロセル制御イメージセンサ。

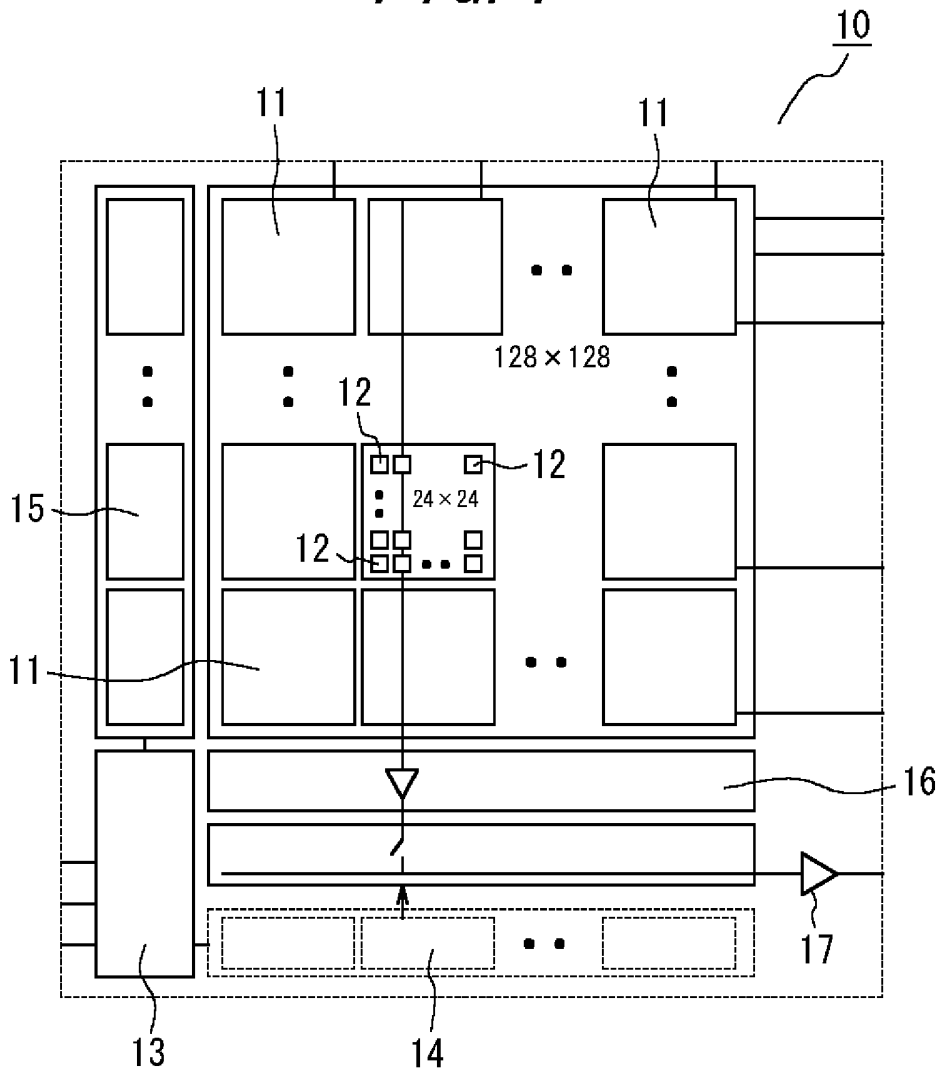
- [8] 前記複数のCMOS画素回路は、前記マクロセルユニット中において、前記X方向及び前記Y方向に、それぞれ24個配置したことを特徴とする、請求項1〜7のいずれかに記載の2次元マクロセル制御イメージセンサ。
- [9] 前記Xアドレス制御手段は、前記複数のマクロセルユニットの、前記X方向に配置されたそれぞれに対して設けられたシーケンサーを有することを特徴とする、請求項1〜8のいずれかに記載の2次元マクロセル制御イメージセンサ。
- [10] 前記Yアドレス制御手段は、前記複数のマクロセルユニットの、前記Y方向に配置されたそれぞれに対して設けられたシーケンサーを有することを特徴とする、請求項1〜9のいずれかに記載の2次元マクロセル制御イメージセンサ。
- [11] 2次元シャッター機能を有することを特徴とする、請求項1〜10のいずれかに記載の2次元マクロセル制御イメージセンサ。
- [12] 請求項1〜11のいずれかに記載の2次元マクロセル制御イメージセンサを具えることを特徴とする撮像素子。
- [13] 撮像物体の移動に動機させたXアドレス制御信号及びYアドレス制御信号を受信する工程と、
前記Xアドレス制御信号及び前記Yアドレス制御信号に基づき、X方向及びY方向に配置された複数のマクロセルユニットの一つにおけるCMOS画素回路をオンさせる工程と、
前記オン状態の前記CMOS画素回路の電流値を画素出力として読み取る工程と、
を具えることを特徴とする、撮像方法。
- [14] 前記CMOS画素回路は、フォトダイオードと、コンデンサとを有し、前記CMOS画素回路のオンに応答して、前記フォトダイオードの受光量に比例した電荷を前記コンデンサに蓄積することを特徴とする、請求項13に記載の撮像方法。
- [15] 前記CMOS画素回路は、前記フォトダイオード及び前記コンデンサ間において、電荷蓄積スイッチ用MOS型トランジスタを有し、前記CMOS画素回路のオンに応答

して、電荷蓄積スイッチ用MOS型トランジスタがオンとなり、前記フォトダイオードの受光量に比例した電荷を前記コンデンサに蓄積することを特徴とする、請求項14に記載の撮像方法。

- [16] 前記CMOS画素回路は、画素出力取出スイッチ用MOS型トランジスタを有し、前記コンデンサに蓄積された電荷に起因した電流値を画素出力として外部に取り出し、前記CMOS画素回路における受光を定量的に検知することを特徴とする、請求項14又は15に記載の撮像方法。
- [17] 前記CMOS画素回路は、リセット用MOS型トランジスタを有し、前記CMOS画素回路を非受光状態することを特徴とする、請求項14～16のいずれかーに記載の撮像方法。
- [18] 前記マクロセルユニットにおける前記複数のCMOS画素回路の少なくとも一つは、前記マクロセルユニットの論理用回路として用いることを特徴とする、請求項13～17のいずれかーに記載の撮像方法。
- [19] 前記複数のマクロセルユニットは、前記X方向及び前記Y方向に、それぞれ128個配置したことを特徴とする、請求項13～18のいずれかーに記載の撮像方法。
- [20] 前記複数のCMOS画素回路は、前記マクロセルユニット中において、前記X方向及び前記Y方向に、それぞれ24個配置したことを特徴とする、請求項13～19のいずれかーに記載の撮像方法。
- [21] 2次元シャッター機能を有することを特徴とする、請求項13～20のいずれかーに記載の撮像方法。

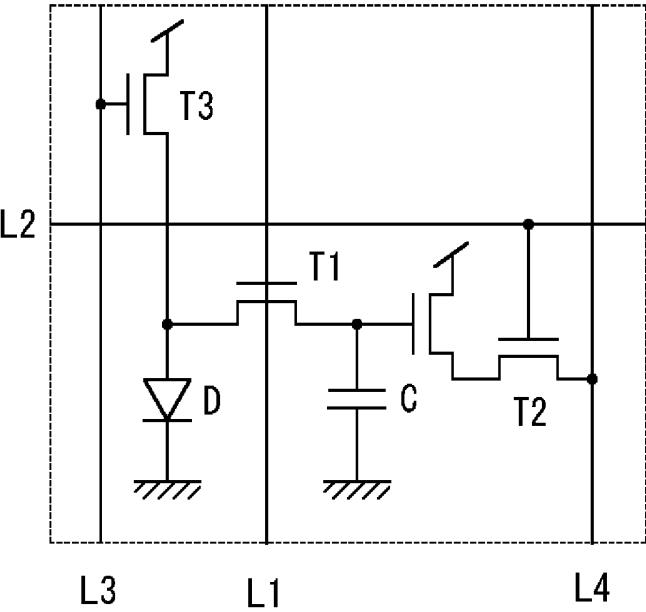
[図1]

FIG. 1



[図2]

FIG. 2



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009432

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H04N5/30-5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-189186 A (Matsushita Electric Industrial Co., Ltd.),	1, 7, 8, 12, 13,
Y	04 July, 2003 (04.07.03), Full text; Figs. 1 to 10 (Family: none)	19, 20 2-6, 9-11, 14-18, 21
X	JP 2000-134549 A (Toshiba Corp.),	1, 7, 8, 12, 13,
Y	12 May, 2000 (12.05.00), Full text; Figs. 1 to 12 (Family: none)	19, 20 2-6, 9-11, 14-18, 21
X	JP 10-276367 A (Olympus Optical Co., Ltd.),	1, 7-10, 12,
Y	13 October, 1998 (13.10.98), Description; Par. Nos. [0042] to [0085]; Fig. 12 & US 6204879 B1	13, 19, 20 2-6, 11, 14-18, 21

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
17 November, 2004 (17.11.04)

Date of mailing of the international search report
07 December, 2004 (07.12.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009432

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-253316 A (Kawasaki Steel Corp.), 14 September, 2000 (14.09.00), Description; Par. Nos. [0029] to [0069]; Figs. 5 to 15 (Family: none)	2-6, 9-11, 14-18, 21
A	JP 2000-152095 A (Canon Inc.), 30 May, 2000 (30.05.00), Full text; Figs. 1 to 21 (Family: none)	1-21
A	JP 10-262187 A (Toshiba Corp.), 29 September, 1998 (29.09.98), Full text; Figs. 1 to 13 (Family: none)	1-21

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H04N 5/335

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H04N 5/30-5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国登録実用新案公報 1994-2004年
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2003-189186 A (松下電器産業株式会社) 2003.07.04, 全文, 第1-10図 (ファミリーなし)	1, 7, 8, 12, 13, 19, 20 2-6, 9-11, 14-18, 21
X Y	JP 2000-134549 A (株式会社東芝) 2000.05.12, 全文, 第1-12図 (ファミリーなし)	1, 7, 8, 12, 13, 19, 20 2-6, 9-11, 14-18, 21

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

17. 11. 2004

国際調査報告の発送日

07.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
徳田 賢二

5 P 9654

電話番号 03-3581-1101 内線 3502

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 10-276367 A (オリンパス光学工業株式会社)	1, 7-10, 12,
Y	1998. 10. 13, 明細書【0042】-【0085】段落, 第1, 2図& US 6204879 B1	13, 19, 20 2-6, 11, 14-18, 21
Y	JP 2000-253316 A (川崎製鉄株式会社)	2-6, 9-11,
	2000. 09. 14, 明細書【0029】-【0069】段落, 第5- 15図 (ファミリーなし)	14-18, 21
A	JP 2000-152095 A (キヤノン株式会社)	1-21
	2000. 05. 30, 全文, 第1-21図 (ファミリーなし)	
A	JP 10-262187 A (株式会社東芝)	1-21
	1998. 09. 29, 全文, 第1-13図 (ファミリーなし)	