



(12) 发明专利申请

(10) 申请公布号 CN 104077992 A

(43) 申请公布日 2014. 10. 01

(21) 申请号 201310110049. 8

(22) 申请日 2013. 03. 29

(71) 申请人 北京京东方光电科技有限公司

地址 100176 北京市大兴区经济技术开发区  
西环中路 8 号

(72) 发明人 杨明 陈希

(74) 专利代理机构 北京派特恩知识产权代理有  
限公司 11270

代理人 张颖玲 王黎延

(51) Int. Cl.

G09G 3/20(2006. 01)

G09G 3/36(2006. 01)

G11C 19/28(2006. 01)

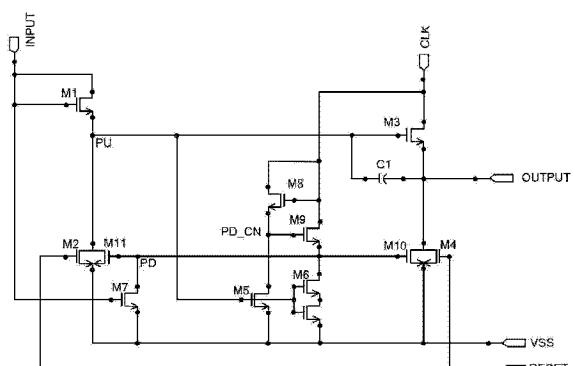
权利要求书2页 说明书8页 附图2页

(54) 发明名称

一种移位寄存器单元、移位寄存器、显示面板  
以及显示器

(57) 摘要

本发明公开了一种移位寄存器单元，包括：薄膜晶体管、电容、信号输入端、信号输出端、时钟、复位端以及电源端。本发明还提供了一种移位寄存器、显示面板以及显示器，采用本发明能在充电阶段使 PU 节点的电平迅速拉升，也能在噪声消除阶段保证 PD 节点处于更高电位，有效消除 PU 节点和 OUTPUT 的噪声，提高画面品质。



1. 一种移位寄存器单元，包括：依次连接的信号输入端、缓冲模块、复位模块，所述复位模块连接复位端、电源端和下拉模块，所述下拉模块连接复位端、电源端和信号生成模块，所述信号生成模块连接时钟、信号输出端和缓冲模块；其中，所述缓冲模块包括第一薄膜晶体管，所述复位模块包括第二薄膜晶体管，所述信号生成模块包括第三薄膜晶体管、以及与第三薄膜晶体管连接的电容，所述电容的一端与所述第三薄膜晶体管的栅极连接，电容的另一端分别与第三薄膜晶体管的源极、信号输出端连接，所述下拉单元包括第四薄膜晶体管；

其特征在于，所述移位寄存器单元还包括保持模块，所述保持模块包括第五薄膜晶体管和第六薄膜晶体管；所述第五薄膜晶体管的栅极与第一薄膜晶体管的源极连接；具体为：

所述第五薄膜晶体管的栅极分别与第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第三薄膜晶体管的栅极连接；所述第五薄膜晶体管的源极分别与第二薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接；所述第五薄膜晶体管的漏极与时钟连接；所述第六薄膜晶体管的栅极与第五薄膜晶体管的栅极连接，所述第六薄膜晶体管的源极分别与第五薄膜晶体管的源极、第二薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接；所述第六薄膜晶体管的漏极与时钟连接。

2. 根据权利要求 1 所述的移位寄存器单元，其特征在于，所述移位寄存器单元还包括第七薄膜晶体管，所述第七薄膜晶体管的栅极分别与第一薄膜晶体管的栅极、信号输入端连接；所述第七薄膜晶体管的源极分别与第二薄膜晶体管的源极、第五薄膜晶体管的源极、第六薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接；所述第七薄膜晶体管的漏极与第六薄膜晶体管的漏极连接。

3. 根据权利要求 1 所述的移位寄存器单元，其特征在于，所述第六薄膜晶体管采用双栅结构的薄膜晶体管。

4. 根据权利要求 1、2 或 3 所述的移位寄存器单元，其特征在于，所述保持模块还包括第八薄膜晶体管和第九薄膜晶体管；其中，

所述第五薄膜晶体管的漏极与时钟连接为：所述第五薄膜晶体管的漏极分别与第八薄膜晶体管的源极、第九薄膜晶体管的栅极连接，所述第八薄膜晶体管的漏极与时钟连接，所述第九薄膜晶体管的漏极与时钟连接；

所述第六薄膜晶体管的漏极与时钟连接为：所述第六薄膜晶体管的漏极与第九薄膜晶体管的源极连接，所述第九薄膜晶体管的漏极与时钟连接。

5. 根据权利要求 4 所述的移位寄存器单元，其特征在于，

所述第八薄膜晶体管的栅极分别与第九薄膜晶体管的漏极、时钟连接；所述第八薄膜晶体管的源极还与第九薄膜晶体管的栅极连接。

6. 根据权利要求 5 所述的移位寄存器单元，其特征在于，所述移位寄存器单元还包括第十薄膜晶体管和第十一薄膜晶体管；其中，

所述第十薄膜晶体管的栅极分别与第九薄膜晶体管的源极、第六薄膜晶体管的漏极、第七薄膜晶体管的漏极、第十一薄膜晶体管的栅极连接；所述第十薄膜晶体管的源极分别与第四薄膜晶体管的源极、第六薄膜晶体管的源极、第五薄膜晶体管的源极、第七薄膜晶体管的源极、第二薄膜晶体管的源极、第十一薄膜晶体管的源极、电源端连接；所述第十薄膜

晶体管的漏极分别与第四薄膜晶体管的漏极、第三薄膜晶体管的源极、信号输出端连接；

所述第十一薄膜晶体的栅极分别与第七薄膜晶体管的漏极、第六薄膜晶体管的漏极、第九薄膜晶体管的源极连接；所述第十一薄膜晶体的源极分别与第二薄膜晶体管的源极、第七薄膜晶体管的源极、第五薄膜晶体管的源极、第六薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接；所述第十一薄膜晶体的漏极分别与第二薄膜晶体管的漏极、第一薄膜晶体管的源极、第五薄膜晶体管的栅极、第三薄膜晶体管的栅极连接。

7. 根据权利要求 6 所述的移位寄存器单元，其特征在于，所述移位寄存器单元还包括第十二薄膜晶体管，所述第五薄膜晶体管的栅极通过所述第十二薄膜晶体管与所述第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第十一薄膜晶体管的漏极、第三薄膜晶体管的栅极连接；具体为：

所述第五薄膜晶体管的栅极与第十二薄膜晶体管的源极连接，所述第十二薄膜晶体管的栅极分别与第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第十一薄膜晶体管的漏极、第三薄膜晶体管的栅极连接；所述第十二薄膜晶体管的漏极分别与第八薄膜晶体管的漏极、第九薄膜晶体管的漏极连接。

8. 一种移位寄存器，其特征在于，所述移位寄存器包括一个以上权利要求 1 至 7 任一项所述的移位寄存器单元；

所述移位寄存器单元为多个时，所述多个移位寄存器单元级联。

9. 一种显示面板，其特征在于，所述显示面板包括权利要求 8 所述的移位寄存器，所述移位寄存器作为所述显示面板的栅极驱动器。

10. 一种显示器，其特征在于，所述显示器包括权利要求 9 所述的显示面板。

## 一种移位寄存器单元、移位寄存器、显示面板以及显示器

### 技术领域

[0001] 本发明涉及显示器驱动技术，尤其涉及一种移位寄存器单元、移位寄存器、显示面板以及显示器。

### 背景技术

[0002] 阵列基板行驱动(Gate Drive on Array, GOA)技术是一种将液晶显示器栅极驱动电路(Gate Driver IC)集成在阵列(Array)基板上的技术。相比传统的覆晶薄膜(Chip On Flex, or, Chip On Film, COF)技术和芯片被直接绑定在玻璃上(Chip on Glass, COG)技术，GOA 技术有以下优点：(1) 将栅极驱动电路集成在阵列基板上，能有效降低生产成本；(2) 省去绑定(bonding)良率工艺，能使产品良率和产能得到提升；(3) 省去栅极驱动电路绑定(gate IC bonding)区域，使显示面板(panel)具有对称结构，能实现显示面板的窄边框化。

[0003] GOA 技术存在诸多优点，但 GOA 技术也存在栅极高电平驱动范围 Vgh Margin 不足、高温横线不良 H-line 及异常显示(Abnormal Display)等问题；而造成这些问题的主要原因是充电阶段中 PU (Pull Up) 节点电压拉升不高、以及消除噪声阶段中 PD (Pull Down) 节点电压不高。

### 发明内容

[0004] 有鉴于此，本发明的主要目的在于提供一种移位寄存器单元、移位寄存器、显示面板以及显示器，能在充电阶段使 PU 节点的电平迅速拉升，也能在噪声消除阶段保证 PD 节点处于更高电位，有效消除 PU 节点和 OUTPUT 的噪声，提高画面品质。

[0005] 为达到上述目的，本发明的技术方案是这样实现的：

[0006] 本发明提供了一种移位寄存器单元，包括：依次连接的信号输入端、缓冲模块、复位模块，所述复位模块连接复位端、电源端和下拉模块，所述下拉模块连接复位端、电源端和信号生成模块，所述信号生成模块连接时钟、信号输出端和缓冲模块；其中，所述缓冲模块包括第一薄膜晶体管，所述复位模块包括第二薄膜晶体管，所述信号生成模块包括第三薄膜晶体管、以及与第三薄膜晶体管连接的电容，所述电容的一端与所述第三薄膜晶体管的栅极连接，电容的另一端分别与第三薄膜晶体管的源极、信号输出端连接，所述下拉单元包括第四薄膜晶体管；

[0007] 这里，所述移位寄存器单元还包括保持模块，所述保持模块包括第五薄膜晶体管和第六薄膜晶体管；所述第五薄膜晶体管的栅极与第一薄膜晶体管的源极连接；具体为：

[0008] 所述第五薄膜晶体管的栅极分别与第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第三薄膜晶体管的栅极连接；所述第五薄膜晶体管的源极分别与第二薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接；所述第五薄膜晶体管的漏极与时钟连接；所述第六薄膜晶体管的栅极与第五薄膜晶体管的栅极连接，所述第六薄膜晶体管的源极分别与第五薄膜晶体管的源极、第二薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接；所述第六薄膜晶体管的漏极与时钟连接。

[0009] 进一步的,所述移位寄存器单元还包括第七薄膜晶体管,所述第七薄膜晶体管的栅极分别与第一薄膜晶体管的栅极、信号输入端连接;所述第七薄膜晶体管的源极分别与第二薄膜晶体管的源极、第五薄膜晶体管的源极、第六薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接;所述第七薄膜晶体管的漏极与第六薄膜晶体管的漏极连接。

[0010] 进一步的,所述第六薄膜晶体管采用双栅结构的薄膜晶体管。

[0011] 进一步的,所述保持模块还包括第八薄膜晶体管和第九薄膜晶体管;其中,

[0012] 所述第五薄膜晶体管的漏极与时钟连接为;所述第五薄膜晶体管的漏极分别与第八薄膜晶体管的源极、第九薄膜晶体管的栅极连接,所述第八薄膜晶体管的漏极与时钟连接,所述第九薄膜晶体管的漏极与时钟连接;

[0013] 所述第六薄膜晶体管的漏极与时钟连接为:所述第六薄膜晶体管的漏极与第九薄膜晶体管的源极连接,所述第九薄膜晶体管的漏极与时钟连接。

[0014] 进一步的,所述第八薄膜晶体管的栅极分别与第九薄膜晶体管的漏极、时钟连接;所述第八薄膜晶体管的源极还与第九薄膜晶体管的栅极连接。

[0015] 进一步的,所述移位寄存器单元还包括第十薄膜晶体管和第十一薄膜晶体管;其中,

[0016] 所述第十薄膜晶体管的栅极分别与第九薄膜晶体管的源极、第六薄膜晶体管的漏极、第七薄膜晶体管的漏极、第十一薄膜晶体管的栅极连接;所述第十薄膜晶体管的源极分别与第四薄膜晶体管的源极、第六薄膜晶体管的源极、第五薄膜晶体管的源极、第七薄膜晶体管的源极、第二薄膜晶体管的源极、第十一薄膜晶体管的源极、电源端连接;所述第十薄膜晶体管的漏极分别与第四薄膜晶体管的漏极、第三薄膜晶体管的源极、信号输出端连接;

[0017] 所述第十一薄膜晶体的栅极分别与第七薄膜晶体管的漏极、第六薄膜晶体管的漏极、第九薄膜晶体管的源极连接;所述第十一薄膜晶体的源极分别与第二薄膜晶体管的源极、第七薄膜晶体管的源极、第五薄膜晶体管的源极、第六薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接;所述第十一薄膜晶体的漏极分别与第二薄膜晶体管的漏极、第一薄膜晶体管的源极、第五薄膜晶体管的栅极、第三薄膜晶体管的栅极连接。

[0018] 进一步的,所述移位寄存器单元还包括第十二薄膜晶体管,所述第五薄膜晶体管的栅极通过所述第十二薄膜晶体管与所述第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第十一薄膜晶体管的漏极、第三薄膜晶体管的栅极连接;具体为:

[0019] 所述第五薄膜晶体管的栅极与第十二薄膜晶体管的源极连接,所述第十二薄膜晶体管的栅极分别与第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第十一薄膜晶体管的漏极、第三薄膜晶体管的栅极连接;所述第十二薄膜晶体管的漏极与第八薄膜晶体管的漏极、第九薄膜晶体管的漏极连接。

[0020] 本发明还提供了一种移位寄存器,包括一个以上以上任一所述的移位寄存器单元;其中,所述移位寄存器单元为多个时,所述多个移位寄存器单元级联。

[0021] 本发明又提供了一种显示面板,其中,所述显示面板包括以上所述的移位寄存器,所述移位寄存器作为所述显示面板的栅极驱动器。

[0022] 本发明又提供了一种显示器,其中,所述显示器包括以上所述的显示面板

[0023] 本发明所提供的移位寄存器单元、移位寄存器、显示面板以及显示器,具有以下的

优点和特点：

[0024] 本发明将第五薄膜晶体管的栅极与 PU 节点连接，且第六薄膜晶体管的栅极通过第五薄膜晶体管的栅极与 PU 节点连接；或者，将第五薄膜晶体管的栅极通过第十二薄膜晶体管与 PU 节点连接，第六薄膜晶体管的栅极通过第五薄膜晶体管的栅极、第十二薄膜晶体管与 PU 节点连接；当 PU 节点处于高电平时，具有上述电路结构的移位寄存器单元均能有效消除 PU 节点和 OUTPUT 的噪声；

[0025] 本发明移位寄存器单元的电路中，第七薄膜晶体管所在的位置能将 PD 节点的电压迅速拉低，因此有利于 PU 节点充电、PU 节点的电压保持；

[0026] 本发明第六薄膜晶体管采用双栅结构的薄膜晶体管，能有效减小源极和漏极间的电流，以保证 PD 节点处于更高电位，进而能有效消除 PU 节点和 OUTPUT 的噪声。

## 附图说明

[0027] 图 1 为实施例 1 移位寄存器单元的电路图一；

[0028] 图 2 为实施例 1 的工作时序图；

[0029] 图 3 为实施例 1 移位寄存器单元的电路图二；

[0030] 图 4 为实施例 2 移位寄存器单元的电路图。

## 具体实施方式

[0031] 下面将结合具体实施例及附图对本发明的实施方式进行详细描述。

[0032] 一种移位寄存器单元，包括：依次连接的信号输入端、缓冲模块、复位模块，所述复位模块连接复位端、电源端和下拉模块，所述下拉模块连接复位端、电源端和信号生成模块，所述信号生成模块连接时钟、信号输出端和缓冲模块；其中，所述缓冲模块包括第一薄膜晶体管，所述复位模块包括第二薄膜晶体管，所述信号生成模块包括第三薄膜晶体管、以及与第三薄膜晶体管连接的电容，所述电容的一端与所述第三薄膜晶体管的栅极连接，电容的另一端分别与第三薄膜晶体管的源极、信号输出端连接，所述下拉单元包括第四薄膜晶体管；

[0033] 更具体的，所述第一薄膜晶体管的栅极与信号输入端连接，所述第一薄膜晶体管的源极分别与第二薄膜晶体管的漏极、第三薄膜晶体管的栅极连接，所述第一薄膜晶体管的漏极与信号输入端连接；

[0034] 所述第二薄膜晶体管的栅极分别与复位端、第四薄膜晶体管的栅极连接，所述第二薄膜晶体管的源极分别与第四薄膜晶体管的源极、电源端连接，所述第二薄膜晶体管的漏极与第三薄膜晶体管的栅极连接；

[0035] 所述第三薄膜晶体管的源极分别与第四薄膜晶体管的漏极、信号输出端连接；所述第三薄膜晶体管的漏极与时钟连接；

[0036] 所述第四薄膜晶体管的栅极与复位端连接，所述第四薄膜晶体管的漏极与信号输出端连接。

[0037] 进一步的，所述移位寄存器单元还包括保持模块，所述保持模块包括第五薄膜晶体管和第六薄膜晶体管；所述第五薄膜晶体管的栅极与第一薄膜晶体管的源极连接；具体为：

[0038] 所述第五薄膜晶体管的栅极分别与第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第三薄膜晶体管的栅极连接；所述第五薄膜晶体管的源极分别与第二薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接；所述第五薄膜晶体管的漏极与时钟连接；所述第六薄膜晶体管的栅极与第五薄膜晶体管的栅极连接，所述第六薄膜晶体管的源极分别与第五薄膜晶体管的源极、第二薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接；所述第六薄膜晶体管的漏极与时钟连接。

[0039] 进一步的，所述移位寄存器单元还包括第七薄膜晶体管，所述第七薄膜晶体管的栅极分别与第一薄膜晶体管的栅极、信号输入端连接；所述第七薄膜晶体管的源极分别与第二薄膜晶体管的源极、第五薄膜晶体管的源极、第六薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接；所述第七薄膜晶体管的漏极与第六薄膜晶体管的漏极连接。

[0040] 进一步的，所述第六薄膜晶体管采用双栅结构的薄膜晶体管。

[0041] 进一步的，所述保持模块还包括第八薄膜晶体管和第九薄膜晶体管；其中，

[0042] 所述第五薄膜晶体管的漏极与时钟连接为：所述第五薄膜晶体管的漏极分别与第八薄膜晶体管的源极、第九薄膜晶体管的栅极连接，所述第八薄膜晶体管的漏极与时钟连接，所述第九薄膜晶体管的漏极与时钟连接；

[0043] 所述第六薄膜晶体管的漏极与时钟连接为：所述第六薄膜晶体管的漏极与第九薄膜晶体管的源极连接，所述第九薄膜晶体管的漏极与时钟连接。

[0044] 进一步的，所述第八薄膜晶体管的栅极分别与第九薄膜晶体管的漏极、时钟连接；所述第八薄膜晶体管的源极还与第九薄膜晶体管的栅极连接。

[0045] 进一步的，所述移位寄存器单元还包括第十薄膜晶体管和第十一薄膜晶体管；其中，

[0046] 所述第十薄膜晶体管的栅极分别与第九薄膜晶体管的源极、第六薄膜晶体管的漏极、第七薄膜晶体管的漏极、第十一薄膜晶体管的栅极连接；所述第十薄膜晶体管的源极分别与第四薄膜晶体管的源极、第六薄膜晶体管的源极、第五薄膜晶体管的源极、第七薄膜晶体管的源极、第二薄膜晶体管的源极、第十一薄膜晶体管的源极、电源端连接；所述第十薄膜晶体管的漏极分别与第四薄膜晶体管的漏极、第三薄膜晶体管的源极、信号输出端连接；

[0047] 所述第十一薄膜晶体的栅极分别与第七薄膜晶体管的漏极、第六薄膜晶体管的漏极、第九薄膜晶体管的源极连接；所述第十一薄膜晶体的源极分别与第二薄膜晶体管的源极、第七薄膜晶体管的源极、第五薄膜晶体管的源极、第六薄膜晶体管的源极、第四薄膜晶体管的源极、电源端连接；所述第十一薄膜晶体的漏极分别与第二薄膜晶体管的漏极、第一薄膜晶体管的源极、第五薄膜晶体管的栅极、第三薄膜晶体管的栅极连接。

[0048] 进一步的，所述移位寄存器单元还包括第十二薄膜晶体管，所述第五薄膜晶体管的栅极通过所述第十二薄膜晶体管与所述第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第十一薄膜晶体管的漏极、第三薄膜晶体管的栅极连接；具体为：

[0049] 所述第五薄膜晶体管的栅极与第十二薄膜晶体管的源极连接，所述第十二薄膜晶体管的栅极分别与第一薄膜晶体管的源极、第二薄膜晶体管的漏极、第十一薄膜晶体管的漏极、第三薄膜晶体管的栅极连接；所述第十二薄膜晶体管的漏极与第八薄膜晶体管的漏极、第九薄膜晶体管的漏极连接。

[0050] 实施例 1

[0051] 图 1 为实施例 1 移位寄存器单元的电路图,如图 1 所示,一种移位寄存器单元,包括:第一薄膜晶体管 M1 至第十一薄膜晶体管 M11;信号输入端 INPUT、信号输出端 OUTPUT、时钟 CLK、复位端 RESET、电源端 VSS 以及一个电容 C1;其中,

[0052] 所述第一薄膜晶体管 M1 的栅极分别与信号输入端 INPUT、第七薄膜晶体管 M7 的栅极连接,所述第一薄膜晶体管 M1 的源极分别与第三薄膜晶体管 M3 的栅极、第五薄膜晶体管 M5 的栅极、第二薄膜晶体管 M2 的漏极、第十一薄膜晶体管 M11 的漏极连接,所述第一薄膜晶体管 M1 的漏极与信号输入端 INPUT 连接;

[0053] 所述第二薄膜晶体管 M2 的栅极与第四薄膜晶体管 M4 的栅极连接,第二薄膜晶体管 M2 的源极分别与第十一薄膜晶体管 M11 的源极、第七薄膜晶体管 M7 的源极、第五薄膜晶体管 M5 的源极、第六薄膜晶体管 M6 的源极、第四薄膜晶体管 M4 的源极、第十薄膜晶体管 M10 的源极连接,第二薄膜晶体管 M2 的漏极分别与第三薄膜晶体管 M3 的栅极、第十一薄膜晶体管 M11 的漏极、第五薄膜晶体管 M5 的栅极连接;

[0054] 所述第三薄膜晶体管 M3 的栅极与第五薄膜晶体管 M5 的栅极、第十一薄膜晶体管 M11 的漏极连接,第三薄膜晶体管 M3 的源极分别与第四薄膜晶体管 M4 的漏极、第十薄膜晶体管 M10 的漏极连接;

[0055] 所述第四薄膜晶体管 M4 的源极分别与第十薄膜晶体管 M10 的源极、第六薄膜晶体管 M6 的源极、第五薄膜晶体管 M5 的源极、第七薄膜晶体管 M7 的源极、第十一薄膜晶体管 M11 的源极连接;

[0056] 所述第五薄膜晶体管 M5 的栅极与第六薄膜晶体管 M6 的栅极、第十一薄膜晶体管 M11 的漏极连接,第五薄膜晶体管 M5 的源极分别与第七薄膜晶体管 M7 的源极、第十一薄膜晶体管 M11 的源极、第六薄膜晶体管 M6 的源极、第十薄膜晶体管 M10 的源极连接,第五薄膜晶体管 M5 的漏极分别与第九薄膜晶体管 M9 的栅极、第八薄膜晶体管 M8 的源极连接;

[0057] 所述第六薄膜晶体管 M6 的源极分别与第七薄膜晶体管 M7 的源极、第十一薄膜晶体管 M11 的源极、第十薄膜晶体管 M10 的源极连接,第六薄膜晶体管 M6 的漏极分别与第十薄膜晶体管 M10 的栅极、第九薄膜晶体管 M9 的源极、第七薄膜晶体管 M7 的漏极、第十一薄膜晶体管 M11 的栅极连接;

[0058] 所述第七薄膜晶体管 M7 的栅极与信号输入端 INPUT 连接,第七薄膜晶体管 M7 的源极第十一薄膜晶体管 M11 的源极、第十薄膜晶体管 M10 的源极连接,第七薄膜晶体管 M7 的漏极第十一薄膜晶体管 M11 的栅极、第九薄膜晶体管 M9 的源极、第十薄膜晶体管 M10 的栅极连接;

[0059] 所述第八薄膜晶体管 M8 的栅极与第九薄膜晶体管 M9 的漏极连接,第八薄膜晶体管 M8 的源极与第九薄膜晶体管 M9 的栅极;

[0060] 所述第九薄膜晶体管 M9 的源极与第十薄膜晶体管 M10 的栅极、第十一薄膜晶体管 M11 的栅极连接;

[0061] 所述第十薄膜晶体管 M10 的栅极与第十一薄膜晶体管 M11 的栅极连接,第十薄膜晶体管 M10 的源极与第十一薄膜晶体管 M11 的源极连接;

[0062] 所述电容 C1 的一端与所述第三薄膜晶体管 M3 的栅极连接,电容 C1 的另一端分别与第三薄膜晶体管 M3 的源极、信号输出端 OUTPUT 连接;

[0063] 所述第三薄膜晶体管 M3 的源极、第四薄膜晶体管 M4 的漏极、第十薄膜晶体管 M10 的漏极均与信号输出端 OUTPUT 连接；

[0064] 所述第三薄膜晶体管 M3 的漏极、第八薄膜晶体管 M8 的漏极和栅极、第九薄膜晶体管 M9 的漏极均与时钟 CLK 连接；

[0065] 所述第二薄膜晶体管 M2 的源极、第十一薄膜晶体管 M11 的源极、第七薄膜晶体管 M7 的源极、第五薄膜晶体管 M5 的源极、第六薄膜晶体管 M6 的源极、第四薄膜晶体管 M4 的源极、第十薄膜晶体管 M10 的源极均与电源端 VSS 连接；

[0066] 所述第二薄膜晶体管 M2 的栅极、第四薄膜晶体管 M4 的栅极均与复位端 RESET 连接。

[0067] 这里，所述第六薄膜晶体管采用的结构可以为图 1 中 M6 所示的双栅结构，也可以为如图 3 中 M6 所示的单栅结构；当第六晶体管采用双栅结构的晶体管时，由于双栅结构的晶体管能有效减小源极和漏极间的电流，因此能保证 PD 节点处于更高电位，进而能有效消除 PU 节点和 OUTPUT 的噪声。

[0068] 图 2 为实施例 1 的工作时序图，根据图 2 所示的工作时序图，实施例 1 所提供的移位寄存器单元的工作原理可以分为如下五个阶段描述：

[0069] 第一阶段：INPUT 为高电平时，M1 导通，则 PU 节点为高电平，且 PU 节点充电；RESET 为低电平，M2 和 M4 关闭，由于 M2 和 M4 关闭，因此能保证 PU 节点充电完全；INPUT 为高电平，M7 导通，且 M7 的源极与 VSS 连接，因此 PD 节点被迅速下拉至低电平；PU 节点为高电平，M5 导通，但 M5 的源极与 VSS 连接，因此 PD\_CN 节点为低电平；PD 节点和 PD\_CN 节点同时为低电平，有利于 PU 节点的电压保持；此时，又由于 PU 节点为高电平，M3 导通，CLK 为低电平，OUTPUT 输出低电平；

[0070] 此阶段，利用第七薄膜晶体管 M7 将 PD 节点的电压迅速拉低，因此有利于 PU 节点充电、PU 节点的电压保持。

[0071] 第二阶段：INPUT 变为低电平，M1 关闭，RESET 仍为低电平，M2 和 M4 仍关闭，由于 C1 的自举作用，PU 节点电压进一步提升，PU 节点仍为高电平，此时，M3 导通；由于 M3 导通，CLK 为高电平，因此 OUTPUT 输出高电平；由于 PU 节点保持高电平状态，M6 和 M5 导通；又由于 M6 的源极、M5 的源极分别与 VSS 连接，因此，PD 节点和 PD\_CN 节点继续保持低电平状态；

[0072] 在此阶段中，由于 M5 的栅极与 PU 节点连接，而 M6 的栅极通过 M5 的栅极与 PU 节点连接，且此阶段中，PU 节点为高电压，又由于 C1 的自举作用使 PU 节点的电压高于 OUTPUT 的电压，因此，有利用消除 PU 节点和 OUTPUT 噪声。

[0073] 第三阶段：INPUT 仍为低电平，RESET 变为高电平，则 M2 和 M4 导通，由于 M2 的源极与 VSS 连接，所述 PU 节点在此时被下拉至低电平；M4 导通，且 M4 的源极与 VSS 连接，所以 OUTPUT 输出低电平；PU 节点为低电平，M6 和 M5 关闭，CLK 为低电平，M8 和 M9 关闭，因此，PD 节点和 PD\_CN 节点继续保持低电平状态；

[0074] 第四阶段：INPUT 仍为低电平，PU 节点为低电平，M3 关闭，OUTPUT 继续输出低电平；由于 PU 节点为低电平，所以 M6 和 M5 继续保持关闭状态；CLK 为高电平，M8 导通，则 PD\_CN 节点为高电平，M9 导通，PD 节点为高电平；由于 PD 节点为高电平，M11 和 M10 导通，因此，M11 能消除 PU 节点噪声，M10 能消除 OUTPUT 噪声；

[0075] 在此阶段中，M6 的栅极和源极同时为低电平，当 M6 采用双栅结构的薄膜晶体管

时,由于所述双栅结构可有效减小源极和漏极间的电流,因此能保证 PD 节点处于更高电位,进而能有效消除 PU 节点和 OUTPUT 的噪声。

[0076] 第五阶段:INPUT 仍为低电平,RESET 仍为低电平,PU 节点仍为低电平,M3 关闭,OUTPUT 继续输出低电平;PU 节点为低电平,M6 和 M5 关闭,PD\_CN 节点保持高电平,M9 导通;由于 M9 导通,且 CKL 为低电平,因此 PD 节点变为低电平。

[0077] 在此阶段中,PD 节点占空比(duty cycle)略低于 50%,有利于延长 M11、M10 的使用寿命;这里,所述占空比为在一段连续工作时间内 PD 节点为高电平的时间与总时间的比值。

[0078] 此后,移位寄存器单元重复第四阶段、第五阶段的状态,直至再次出现如图 2 所示第一阶段、第二阶段、第三阶段的状态,则一帧画面刷新完成。

[0079] 实施例 2

[0080] 图 4 为实施例 2 移位寄存器单元的电路图,如图 4 所示,一种移位寄存器单元,包括:第一薄膜晶体管 M1 至第十二薄膜晶体管 M12;信号输入端 INPUT、信号输出端 OUTPUT、时钟 CLK、复位端 RESET、电源端 VSS 以及一个电容 C1;其中,

[0081] 所述第一薄膜晶体管 M1 的栅极分别与信号输入端 INPUT、第七薄膜晶体管 M7 的栅极连接,所述第一薄膜晶体管 M1 的源极分别与第二薄膜晶体管的漏极、第十一薄膜晶体管的漏极、第十二薄膜晶体管的栅极、第三薄膜晶体管的栅极连接,所述第一薄膜晶体管 M1 的漏极与信号输入端 INPUT 连接;

[0082] 所述第二薄膜晶体管 M2 的栅极与第四薄膜晶体管 M4 的栅极连接,第二薄膜晶体管 M2 的源极分别与第十一薄膜晶体管 M11 的源极、第七薄膜晶体管 M7 的源极、第五薄膜晶体管 M5 的源极、第六薄膜晶体管 M6 的源极、第四薄膜晶体管 M4 的源极、第十薄膜晶体管 M10 的源极连接,第二薄膜晶体管 M2 的漏极分别与第三薄膜晶体管 M3 的栅极、第十二薄膜晶体管 M12 的栅极连接;

[0083] 所述第三薄膜晶体管 M3 的栅极与第十二薄膜晶体管 M12 的栅极、第十一薄膜晶体管 M11 的漏极连接,第三薄膜晶体管 M3 的源极分别与第四薄膜晶体管 M4 的漏极、第十薄膜晶体管 M10 的漏极连接;

[0084] 所述第四薄膜晶体管 M4 的源极分别与第十薄膜晶体管 M10 的源极、第六薄膜晶体管 M6 的源极、第五薄膜晶体管 M5 的源极、第七薄膜晶体管 M7 的源极、第十一薄膜晶体管 M11 的源极连接;

[0085] 所述第五薄膜晶体管 M5 的栅极分别与第十二薄膜晶体管 M12 的源极、第六薄膜晶体管 M6 的栅极连接,第五薄膜晶体管 M5 的源极分别与第七薄膜晶体管 M7 的源极、第十一薄膜晶体管 M11 的源极、第六薄膜晶体管 M6 的源极、第十薄膜晶体管 M10 的源极连接,第五薄膜晶体管 M5 的漏极分别与第九薄膜晶体管 M9 的栅极、第八薄膜晶体管 M8 的源极连接;

[0086] 所述第六薄膜晶体管 M6 的源极分别与第七薄膜晶体管 M7 的源极、第十一薄膜晶体管 M11 的源极、第十薄膜晶体管 M10 的源极连接,第六薄膜晶体管 M6 的漏极分别与第十薄膜晶体管 M10 的栅极、第九薄膜晶体管 M9 的源极、第七薄膜晶体管 M7 的漏极、第十一薄膜晶体管 M11 的栅极连接;

[0087] 所述第七薄膜晶体管 M7 的栅极与信号输入端 INPUT 连接,第七薄膜晶体管 M7 的源极第十一薄膜晶体管 M11 的源极、第十薄膜晶体管 M10 的源极连接,第七薄膜晶体管 M7

的漏极分别与第十一薄膜晶体管 M11 的栅极、第九薄膜晶体管 M9 的源极、第十薄膜晶体管 M10 的栅极连接；

[0088] 所述第八薄膜晶体管 M8 的栅极与第九薄膜晶体管 M9 的漏极连接，第八薄膜晶体管 M8 的源极分别与第九薄膜晶体管 M9 的栅极连接，所述第八薄膜晶体管 M8 的漏极与第十二薄膜晶体管 M12 的漏极连接；

[0089] 所述第九薄膜晶体管 M9 的源极与第十薄膜晶体管 M10 的栅极、第十一薄膜晶体管 M11 的栅极连接，所述第九薄膜晶体管 M9 的漏极与第十二薄膜晶体管 M12 的漏极连接；

[0090] 所述第十薄膜晶体管 M10 的栅极与第十一薄膜晶体管 M11 的栅极连接，第十薄膜晶体管 M10 的源极与第十一薄膜晶体管 M11 的源极连接；

[0091] 所述第十一薄膜晶体管 M11 的漏极与第十二薄膜晶体管 M12 的栅极连接；

[0092] 所述电容 C1 的一端与所述第三薄膜晶体管 M3 的栅极连接，电容 C1 的另一端分别与第三薄膜晶体管 M3 的源极、信号输出端 OUTPUT 连接；

[0093] 所述第三薄膜晶体管 M3 的源极、第四薄膜晶体管 M4 的漏极、第十薄膜晶体管 M10 的漏极均与信号输出端 OUTPUT 连接；

[0094] 所述第三薄膜晶体管 M3 的漏极、第八薄膜晶体管 M8 的漏极和栅极、第九薄膜晶体管 M9 的漏极、第十二薄膜晶体管 M12 的漏极均与时钟 CLK 连接；

[0095] 所述第二薄膜晶体管 M2 的源极、第十一薄膜晶体管 M11 的源极、第七薄膜晶体管 M7 的源极、第五薄膜晶体管 M5 的源极、第六薄膜晶体管 M6 的源极、第四薄膜晶体管 M4 的源极、第十薄膜晶体管 M10 的源极均与电源端 VSS 连接；

[0096] 所述第二薄膜晶体管 M2 的栅极、第四薄膜晶体管 M4 的栅极均与复位端 RESET 连接。

[0097] 这里，所述第六薄膜晶体管可以为图 4 中 M6 所示的双栅结构，也可以为单栅结构。

[0098] 值得注意的是，VSS 为电源端，该电源端 VSS 一直为低电压状态；且本实施例将薄膜晶体管的开关端定义为栅极，箭头所指向的方向定义为源极，另一端定义为漏极。另外，本发明所述的薄膜晶体管均为 N 型晶体管。

[0099] 本发明将第五薄膜晶体管 M5 的栅极与 PU 节点连接，且第六薄膜晶体管 M6 的栅极通过第五薄膜晶体管 M5 的栅极与 PU 节点连接(如实施例 1 提供的移位寄存器单元所示)；或者，将第五薄膜晶体管 M5 的栅极通过第十二薄膜晶体管 M12 与 PU 节点连接，第六薄膜晶体管 M6 的栅极通过第五薄膜晶体管 M5 的栅极、第十二薄膜晶体管 M12 与 PU 节点连接(如实施例 2 提供的移位寄存器单元所示)；当 PU 节点处于高电平时，具有上述电路结构的移位寄存器单元均能有效消除 PU 节点和 OUTPUT 的噪声。

[0100] 以上所述，仅为本发明的较佳实施例而已，并非用于限定本发明的保护范围。

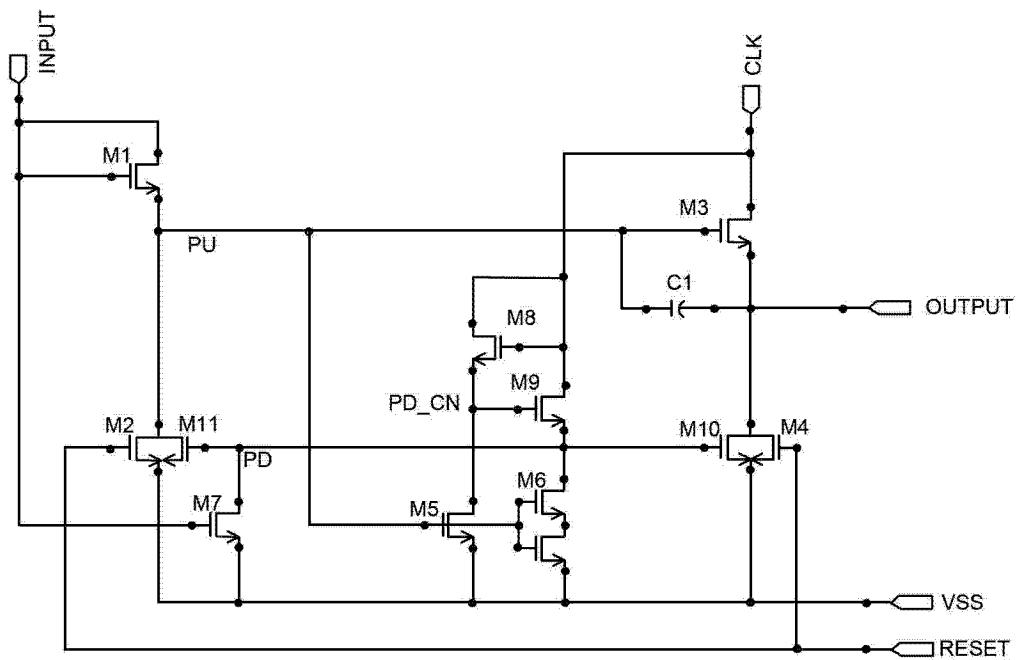


图 1

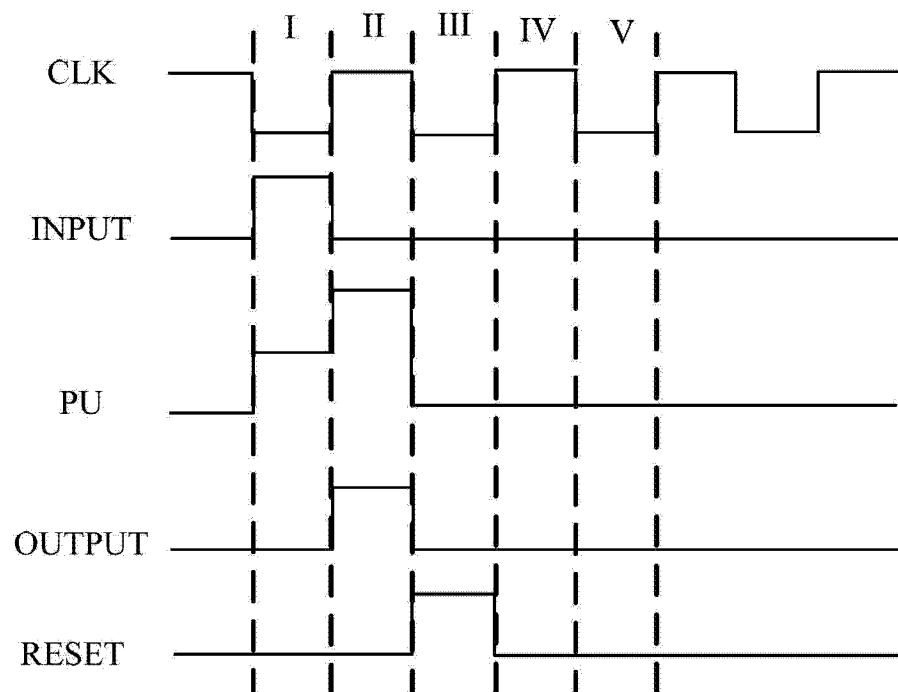


图 2

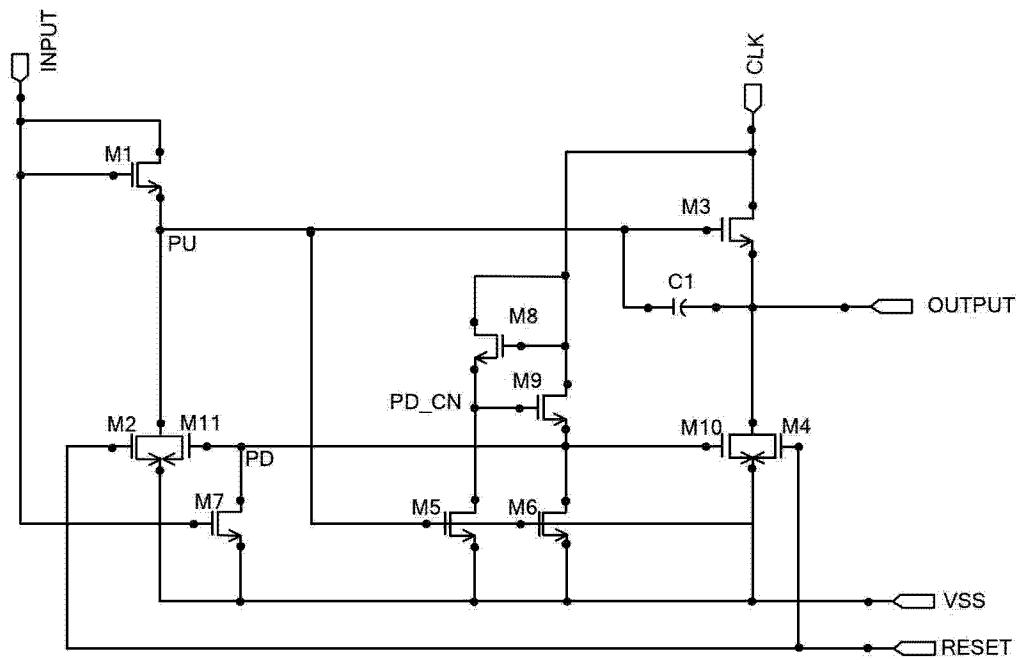


图 3

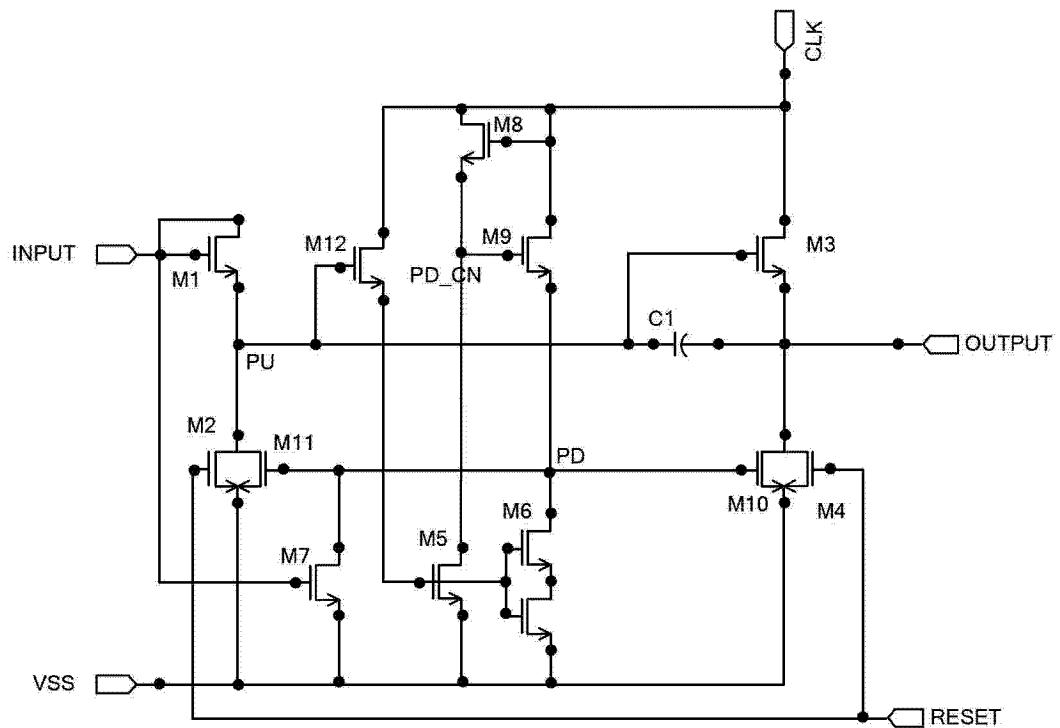


图 4