

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
G11C 11/34

(45) 공고일자 1995년04월 14일  
(11) 공고번호 95-003604

(21) 출원번호	특1991-0003894	(65) 공개번호	특1991-0017423
(22) 출원일자	1991년03월 12일	(43) 공개일자	1991년11월05일
(30) 우선권주장	2-61409 1990년03월 12일 일본(JP)		
(71) 출원인	니뽀 덴끼 가부시끼가이샤 세끼모토 다다하로 일본국 도요교도 미나또꾸 시바 5쵸메 7반 1고		
(72) 발명자	미야우찌 마유 일본국 도요교도 미나또꾸 시바 5쵸메 7반 1고 니뽀 덴끼 가부시끼가이샤 나이 고바야시 쇼따로 일본국 도요교도 미나또꾸 시바 5쵸메 7반 1고 니뽀 덴끼 가부시끼가이샤 나이		
(74) 대리인	이병호, 최달용		

**심사관 : 이해평 (책자공보 제3934호)**

(54) 반도체 메모리 장치

**요약**

내용 없음.

**대표도**

**도1**

**명세서**

[발명의 명칭]

반도체 메모리 장치

[도면의 간단한 설명]

제 1 도는 본 발명에 따른 반도체 메모리 장치의 제 1 실시예의 구조를 도시한 블럭선도.

제 2 도는 제 1 도에서 도시된 반도체 메모리 장치의 부분 구조를 도시한 회로선도.

제 3 도는 제 1 및 제 2 도에서 도시된 반도체 메모리 장치의 동작을 설명하기 위한 타이밍차트.

제 4 도는 본 발명의 제 2 실시예의 부분 구조를 도시한 회로선도.

제 5 도는 본 발명 반도체 메모리 장치의 제 3 실시예의 구조를 도시한 블럭선도.

제 6 도는 제 5 도에서 도시된 반도체 메모리 장치의 부분 구조를 도시한 회로선도.

제 7 도는 제 5 및 제 6 도에서 도시된 반도체 메모리 장치의 동작을 설명하기 위한 타이밍차트.

제 8 도는 본 발명의 제 4 실시예의 부분 구조를 도시한 회로선도.

\* 도면의 주요부분에 대한 부호의 설명

11 : 어드레스 버퍼

19 : 클럭 발생기

32 : 레지스터

[발명의 상세한 설명]

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 영상용 반도체 메모리 장치에 관한 것이다.

개인용 컴퓨터를 포함한 사무자동화 설비에 수년동안 반도체 메모리가 광범위하게 사용되어 왔다. 이러한 반도체 메모리 장치중에서 MOS 랜덤 액세스 메모리(RAM)는 개인용 컴퓨터의 표시 장치에 영

상을 표시하기 위한 메모리로서 사용될 수 있다.

영상 데이터가 CPU에 의해 랜덤 액세스될 수 있도록 하기 위하여 개인용 컴퓨터의 CPU의 표시 장치 사이에 메모리 장치가 제공된다. 이와 같은 반도체 메모리에 있어서, 메모리 영역의 어드레스가 표시 장치상의 화소(pixel)에 대응하도록 제공된다. 예를들어, 수평 주사 라인 각각은 행 어드레스에 대응하는 반면에 수평 주사 라인상의 각 비트(호소)는 열 어드레스에 대응한다.

영상 처리 동작에 있어서, 수평 주사 라인상의 모든 비트는 표시 스크린의 클리어링과 같은 동작에 의해 때로는 0이나 1이 된다. 이러한 경우에 있어서, 각 수평 주사 라인의 모든 비트에 대해서 동일 데이터가 기록되어져야 한다.

그러나, 반도체 메모리 장치가 종래기술에서 랜덤 액세스되기 때문에, 데이터 기록은 수평 주사 라인상에서 비트 단위로 처리되어야 한다. 즉, 메모리의 해당 워드하에서 다수의 메모리 셀에 대하여 각각 다른 사이클로서 0 또는 1의 동일 데이터가 기록되어야 한다. 수평 주사 라인상의 모든 비트에 대해 액세스해야 하는 "클리어(clear)"와 같은 명령이 제공되면, 종래기술의 메모리는 이것을 처리 하는데 긴 시간을 필요로 하여 아주 불편한 것으로 입증되었다.

따라서, 본 발명의 목적은 동일 워드 라인하에 있는 다수의 메모리 셀에 동일 데이터를 기록하도록 동작이 요청될 때 일련의 동작에 필요한 시간을 단축할 수 있는 반도체 메모리를 제공하는데 있다.

본 발명에 따른 반도체 메모리 장치는 어레이로서 다수의 메모리 셀과, 메모리 셀 각각에 접속되어 있는 다수의 비트 라인 및 워드 라인과, 동시 기록을 하기 위한 데이터가 제공된 동시성 멀티 기록용 데이터 버스와, 메모리 어레이의 동일 워드 라인하에서 접속되어 있는 메모리 셀에 접속된 비트 라인과 동시 데이터 버스를 동시 접속시키는 동시성 데이터 기록 회로를 구비한 메모리 셀 어레이를 포함한다. 동시성 데이터 버스는 메모리 셀 어레이에 대응하는 2 또는 1개로 제공된다.

다수의 비트 라인쌍과, 두 비트 라인에 대해 한 감지 증폭기의 비로 감지 증폭기를 메모리 셀 어레이에 양호하게 제공함으로써, 상기 감지 증폭기가 활성화될 때 상기 비트 라인쌍의 레벨은 서로 상보형이 된다.

본 발명은 메모리 장치가 메모리 어레이의 동일 워드 라인하에서 접속된 메모리 셀에 접속된 비트 라인과 스위치 회로를 통해 비트 라인에 접속된 데이터 레지스터를 구비하는 경우에 적용될 수 있다.

본 발명의 상기 및 다른 목적, 특징과 장점들을 첨부된 도면을 참조하면서 다음의 상세한 설명에서 기술하고자 한다.

반도체 메모리 장치의 제 1 실시예를 제 1 도를 참조하여 전체적인 구조에 대해서 기술하고자 한다. 메모리 셀 어레이(10)는 어레이 형태로 하나의 트랜지스터-하나의 캐피시터 셀(102)로 구성되며, 각각의 셀은 하나의 N채널형 MOS 트랜지스터와 하나의 캐피시터 소자로서 구성된다. 어드레스 버퍼(11)로부터 공급된 어드레스 신호에 대응하여, 행 디코더(12)는 다수의 워드 라인중 하나를 선택하며, 열 디코더(13)는 다수의 비트 라인쌍중 하나를 선택하며, 각 쌍은 하나의 감지 증폭기에 접속된다. 어드레스 신호는 어드레스 라인(20)에서 어드레스 버퍼(11)로서 시분할로 공급된다. 클럭 발생기(19)는 입력으로서 RAS신호, CAS신호 및 외부로부터 공급된 동시성 데이터 기록 모드 신호 FWE를 수신하고 각각의 신호에 대해 제어 신호( $\phi_0$ ,  $\phi_1$ , ...  $\phi_4$ )를 발생한다. 입력 어드레스 신호에 대응하는 워드 라인 WL하에서 모든 메모리 셀로부터 선택된 비트 라인의 전위를 검출하고 증폭하기 위해서 감지 증폭기(16)는 신호  $\phi_4$ 에 의해 활성화된다. 데이터 버스라인(14)은 열 디코더(13)로 선택된 비트 라인쌍을 데이터의 판독 및 기록용 RAMI/O 포트와 접속시킨다. 동시성 데이터 기록 회로 FWD는 신호  $\phi_3$ 에 응답하는 메모리 셀 어레이(10)의 동일 워드 라인하에서 모든 메모리 셀의 RAMI/O 포트(18)의 버퍼(17)로부터 공급된 동시 기록용 FD 데이터를 기록한다.

제 2 도는 제 1 도의 반도체 메모리 장치의 부분 구조를 본 발명에 관련된 기본 부품으로 도시한 것이다. 제 2 도는 제 1 도의 메모리 셀 어레이(10), 데이터 버스 라인(14) 및 동시성 기록 회로 FWD의 회로 구조에 대한 실시예를 도시한 회로도이다.

제 2 도에서 도시된 바와 같이, 소정수의 메모리 셀은 메모리 셀 어레이(10) 각각의 워드 라인 WL1, WL2, ...에 접속된다.(예를들어, 메모리 셀 C11, C12, ...C1n-1, C1n은 워드 라인 WL1에 접속된다)비트 라인쌍(BL-1A 및 BL-1B, B1-2A 및 BL-2B, ...BL-n-1A 및 BL-n-1B, BL-nA 및 BL-nB)은 감지 증폭기(16-a, 16-2, ...16-n-1, 16-n) 각각에 접속된다.

데이터 버스 라인(14)은 서로 다르며 상보형 레벨의 데이터가 공급된 데이터 버스(DBa 및 DBb)와, 이들 버스(DBa 및 DBb)와 비트 라인쌍 간의 접속을 제어하는 스위치 회로(DSL1, DSL2, ...DSLn)를 구비한다. 데이터 버스(DBa 및 DBb)는 RAMI/O 포트(18)내에 제공된 버퍼(17; 제 1 도 참조)에 상보식으로 판독 데이터를 공급한다. 즉, 버퍼(17)는 상보식으로 데이터를 수신한다. 스위치회로(DSL1, DSL2, ...DSLn)는 소스-드레인 경로가 DBa와 비트 라인(BL-1A, BL-2A, ...BL-nA)간에 접속된 트랜지스터 Q1과, 소스-드레인 경로가 DBb와 비트 라인(BL-1B, BL-2B, ...BL-nB)간에 접속된 트랜지스터 Q2를 각각 구비하며, 상기 트랜지스터(Q1 및 Q2)의 게이트는 열 디코더(13)로부터 게이트상에서 선택 신호(CS1, CS2, ...CSn)를 수신한다.

동시성 데이터 기록 회로 FWD는 RAMI/O 포트(18)의 버퍼(17; 제 1 도 참조)로부터 공급된 동시 기록 데이터 FD용 데이터를 상보식으로 공급하는 데이터 버스(FDa 및 FDb)와, 비트 라인쌍 간의 접속을 제어하는 스위치 회로 FSL를 구비한다. 스위치 회로 FSL은 소스-드레인 경로가 FDa와 비트 라인(BL-1A, BL-2A, ...BLnA)간에 접속된 트랜지스터 Q3와, 소스-드레인 경로가 FDb와 비트 라인(BL-1B, BL-2B, ...BL-nB)간에 접속된 트랜지스터 Q4를 구비하며, 상기 트랜지스터(Q3 및 Q4)는 Q3의 신호 라인에 접속된다.

제 1 및 제 2 도에 도시된 반도체 메모리 장치에 의한 데이터의 기록 및 판독 동작을 제 3 도를 참

조하면서 지금부터 기술하고자 한다. 종래의 랜덤 액세스 모드가 실행되는 주기 TR동안, 행 활성화 RAS신호가 입력되면(제 3a 도를 참조), 클럭 발생기(19)는  $\phi 0$ 를 어드레스 버퍼(11)에 공급하며(제 3e 도 참조), 행 어드레스 R은 외부로부터 어드레스 버퍼(11)에 공급된다(제 3c 도 참조). 행 어드레스 신호는 어드레스 버퍼(11)로부터 행 디코더(12)에 공급되며, 워드 라인을 구동하는 신호  $\phi 1$ 은 클럭 발생기(19)로부터 행 디코더(12)에 공급되며(제 3f 도 참조), 행 어드레스 신호에 의해 선택된 한 워드라인은 하이 레벨로 턴된다(제 3g 도 참조). 다음에 감지 증폭기 활성화 신호  $\phi 4$ 가 하이 레벨로 턴다(제 3h 도 참조). 감지증폭기(16)는 선택된 워드 라인에 접속된 메모리 셀에 기억된 0 또는 1인 정보에 대응하는 하이 레벨 또는 로우 레벨의 비트 라인을 검출하여 증폭시킨다(제 3j 도 참조). 다른 비트 라인쌍은 선택된 비트 라인의 레벨과 상보형 레벨로 또는 반대의 전압 레벨로 동일 감지 증폭기에 의해 증폭된다.

다음에, 행 활성화의 CAS 신호가 입력되며(제 3b 도 참조). 열 어드레스 C가 어드레스 버퍼(11)에 공급되어(제 3c 도 참조), 열 디코더(13)에 전송된다. 열 디코더(13)를 활성화시키는 신호  $\phi 2$ 는 클럭 발생기에서 열 디코더(13)로 공급되며, 열 디코더(13)로부터 나온 선택 신호 CS1, CS2, ...CSn중 한 신호가 하이 레벨로 턴되면, 스위치 회로 DSL1, DSL2, ...DSLn중 한 회로가 활성화되며 다수의 비트 쌍중 하나가 선택된다.

상기 동작으로, 입력 어드레스에 대응하는 한 셀의 비트 라인과 상기 비트라인과 함께 쌍을 형성하는 다른 비트 라인은 데이터 버스(DBa 및 DBb)에 접속된다.

판독동작의 경우에 있어서, 선택된 셀의 정보가 선택된 비트 라인쌍의 하이 또는 로우 레벨상태에 대응하면, 비트 라인쌍의 레벨은 데이터 버스(14)를 통해 RAMI/O 포트(18)의 출력 OUT으로부터 출력된다(제 3d 도 참조). 기록 동작의 경우에 있어서는 선택된 비트 라인의 레벨을 강제로 하이레벨 또는 로우레벨을 만들어 셀에 데이터를 기록하기 위해 RAMI/O 포트(18)의 입력 IN으로 부터 입력된 데이터가 데이터 버스라인(14)을 통해 버퍼(17)로부터 공급된다.

판독 또는 기록 동작의 완료에 의하면, RAS 및 CAS 신호는 하이레벨로 턴되거나 또는 비활성으로 되고, 대응해서 신호  $\phi 0$ ,  $\phi 1$  및  $\phi 2$ 가 로우 레벨로 연속적으로 턴되어 반도체 메모리장치의 판독 또는 기록 사이클을 완료시킨다.

동작중, 반도체 데이터 기록 모드신호 FWE는 로우레벨에 머물며(제3k도 참조), 신호  $\phi 3$ 는 로우레벨 상태를 유지한다(제31도 참조). 동시성 데이터 기록 회로 FWD는 기록 또는 판독의 사이클 동안 비활성 상태를 취한다.

제 1 도 및 제 3 도를 참조해서, (TF 주기에서) 메모리셀 어레이(10)의 동일워드 라인하에서 모든 메모리셀에 동일 데이터를 동시에 기록하기 위한 동작을 기술하고자 한다. 동시성 데이터 기록 모드 신호 FWE가 외부로부터 클럭발생기(19)에 입력될때(제3k도 참조), 반도체 메모리 장치는 동시성 데이터 기록 모드를 취하기 위해 턴된다.

이러한 모드에서, RAS 신호가 먼저 입력되었을때(제 3a 도 참조), 클럭 발생기(19)는  $\phi 0$ 를 어드레스 버퍼(11)에 공급되며 (제 3e 도 참조), 동시성 기록이 행해져야하는 워드라인을 지정하기 위해 행 어드레스가 외부로부터 어드레스 버퍼(11)에 공급된다(제 3c 도 참조). 행 어드레스 신호는 어드레스 버퍼(11)로부터 행 디코더(12)에 전송되며, 워드라인을 구동시키기 위한 신호  $\phi 1$ 은 클럭발생기(19)로부터 행 디코더(12)에 공급되며(제 3f 도 참조), 행 어드레스 신호로서 선택된 워드라인은 하이레벨로 턴된다(제 3g 도 참조).

이때, 동시 기록용 데이터는 RAMI/O 포트(18)의 데이터 입력 IN에 입력되어지며, 버퍼(17; 제 1 도)는 데이터 버스(FDa 및 FDb)에 전송하기 위한 동시기록용 상보형 데이터를 발생한다.

FWE의 입력으로 클럭발생기(19)는 신호  $\phi 3$ 를 발생시키며(제 31 도 참조), 신호는 회로 FWD의 스위치회로 FSL로 전송된다. 결국, 스위치 회로 FSL은 활성화로 되며, 데이터 버스 FDa는 모든 비트 라인 BL-1A, BL-2A, ...BL-nA에 접속되며, 동일하게 데이터 버스 FDb는 대응하는 모든 비트 라인 BL-1B, BL-2B, ...BL-nB에 접속된다(제 3j 도 참조).

감지 증폭기 활성화신호  $\phi 4$ 가 나중에 하이레벨에 도달하면(제3h도 참조), 감지증폭기(16)는 하이 또는 로우 레벨의 비트 라인을 검출하여 증폭한다(제 3j 도 참조).

상기 동작으로, 동일워드 라인하에서 메모리셀에 접속된 모든 비트 라인은 동시기록 데이터 FD의 전압레벨로 턴 되며, 데이터 FD는 모든 셀에 기록된다.

동시기록 동작의 완료에 의하여, RAS 및 CAS 신호는 하이레벨 또는 비활성으로 턴 되며, 대응해서, 신호  $\phi 0$ ,  $\phi 1$ ,  $\phi 3$  및  $\phi 4$ 는 로우레벨을 순차로 턴되어 반도체 메모리 장치의 동시 데이터 기록 모드 동작의 한 사이클을 완료시킨다.

상술된 바와 같이, 본 발명에 따르면, 동일 데이터는 단일 사이클내에서 동일 워드라인 하에서 모든 메모리셀에 기록될 수 있으므로, 처리속도가, 모든 비트 라인 쌍이 기록동작을 위해 열디코더에 의해 매번 선택되는 종래기술장치에 비해 현저하게 증가될 수 있다.

본 발명의 제 2 실시예를 지금부터 제 4 도를 참조하여 기술하고자 한다. 제 2 실시예는 동시 기록용 데이터 FD를 공급하기 위한 데이터 버스의 수가 하나인 제 1 실시예와는 다르다. 제 3 도의 제 1 실시예가 두 데이터 버스(FDa 및 FDb)를 필요로 하므로 동시기록 데이터 FD는 제 4 도에서 도시된 바와같이 단일 데이터 버스 FDB에 의해 버퍼(17; 제 1 도)로부터 비트 라인 쌍(BL-1A와 BL-1B, BL-2A와 BL-2B, ...BL-n-1A와 BL-n-1B, BL-nA와 BL-nB)에 공급된다. 한 인버터 INV가 비트 라인 쌍의 레벨을 서로 상보로서 작은 제 1 실시예와 동일하다. 두 실시예의 동일한 성분부품에는 동일코드가 제공된다.

제 1 실시예와 비교하여, 데이터 버스의 수는 제 2 실시예에서 감소될 수 있어서 메모리장치의 영역

을 보다 더 축소시킬 수 있다.

두 형태의 입력/출력포트를 갖는 영상용 반도체 메모리 장치가 최근에 제안되었다. 보다 상세히 설명하면, 메모리장치는 CPU로부터 액세스에 의해 메모리 셀 어레이에 데이터를 재기록하기 위해 종래 반도체 메모리장치에 통상 제공된 랜덤포트와, 표시장치에 연속으로 영상신호를 공급하는 직렬포트를 구비한다. 이러한 형의 반도체 메모리 장치를 일반적으로 이중포트 메모리라 부른다.

제 5 도를 참조하면서 이중 포트메모리에 대한 본 발명의 응용에 대해서는 기술하지 않기로 한다. 제 1 및 제 2 실시예와 비교하여, 이 실시예는 집적도에 보다 적합한 구조를 갖는 동시 데이터 기록회로 FWD를 갖는다.

제 5 도의 도시처럼, 이 실시예는직렬 랜덤 액세스에 대한 직렬 I/O 포트(35), 데이터 레지스터(32), 스위치 회로(31) 및 제 1 도에 도시된 반도체 메모리 구조에 덧붙인 어드레스 카운터(36)로서 구성된다. 상기 클럭 발생기(19) 역시 스위치 회로(31) 활성을 위해 신호  $\phi 5$ 를 발생한다. 동시 기록용 데이터 FD는 본 목적에 제공된 레지스터(35)로부터 공급된다.

상기 데이터 레지스터(32)는 상기 메모리 셀(10)의 비트 라인쌍에 대응하는 레지스터 수를 기억하는 n-비트 시프트 레지스터이면, 스위치 회로(31)를 통해 상기 메모리 셀 어레이(10)의 비트 라인 쌍에 접속된다. 상기 데이터 레지스터(32)는 예를들어, n개의 D-형 플립플롭으로써 구성되며, 상기 어드레스 카운터(36)로부터 클럭 신호에 대응하는 직렬 I/O 포트(35)에 내측의 버퍼(33)로 데이터를 출력한다. 상기 어드레스 카운터(36)는 샘플링 신호 SC 및 어드레스 버퍼(11)로부터 출력된 리딩 어드레스와, 상기 샘플링 신호에 대응한 출력 클럭신호 및 데이터 레지스터에 대한 리딩 어드레스를 입력으로서 수신한다. 상기 스위치회로(31)는 데이터 전달모드로 고레벨을 취하는 신호  $\phi 5$ 를 입력으로서 수신하며, 상기 신호  $\phi 5$ 에 대응한 비트 라인쌍과 데이터 레지스터(32) 사이의 전도를 제어한다. 동시 기록 FD용 데이터는 앞서 레지스터(35)에 기억되며, 상기 버퍼(17)를 통해 동시 데이터 기록회로 FWD의 데이터 버스 FDB에 공급된다. 상기 실시예는 즉, 제 1 도에 도시된 실시예와 유사한 구조를 가진다.

제 5 도에 도시된 반도체 메모리 장치의 구조는 제 6 도를 참고로 하여 더욱 상세히 기술하고자 한다. 제 6 도는 메모리셀 어레이(10)와, 데이터 버스 라인(14)과, 동시 데이터 기록회로 FWD 및 제 5 도에 도시된 스위치 회로(31)를 가진 일 실시예의 회로 구조를 나타낸다. 상기 참고번호는 제 2 도에서와 동일한 성분부분에 귀착된다.

제 6 도에 도시한 바와 같이, 메모리 셀(10), 감지 증폭기(16), 열 디코더(13) 및 데이터 버스라인(14)은 제 2 도에 도시된 제 1 실시예와 동일하며, 그에 대한 설명은 생략할 것이다.

상기 데이터 레지스터(32)는, 상술한 바와 같이, 상기 메모리 셀(10)의 다수 비트 라인 쌍에 대응한 수의 레지스터를 포함하는 n-비트 시프트 레지스터이다. 레지스터가 D형 플립플롭을 포함하기 때문에 상보형 신호를 입력할 필요가 더 이상 없으며, 비트 라인에 간단히 접속될 수 있다. 상기 n개의 레지스터는 각각 스위치 회로(31; 이 실시예에서, 비트 라인 BL-1A, BL-2A, ..., BL-nA)를 통해 각 쌍의 비트 라인 중 하나에 각각 접속된다. 상기 스위치 회로(31)는 소스-드레인 통로가 그들의 게이트에서 신호  $\phi 5$ 를 수신하기 위해 데이터 트랜지스터(32) 및 비트 라인 BL-1A, BL-2A, ..., BL-nA 사이에 접속되는 트랜지스터 그룹을 포함한다. 동시 기록 FD를 위한 데이터를 갖고 공급되는 데이터 버스 FDB는 스위치 회로 FSL을 통해 RAM I/O 포트(18)내의 버퍼(제 5 도; 17)로부터 전송되는 동시 데이터 기록용 FD데이터를 데이터 레지스터와 접속되어 있지 않은 비트 라인쌍중 하나의 비트 라인(본 실시예에서, 비트 라인 BL-1B, BL-2B, ..., BL-nB)과 접속시킨다. 상기 스위치 회로 FSL은 그들의 게이트에서  $\phi 3$ 를 수신하는 트랜지스터 그룹과 상기 데이터 FDB와 비트 라인(BL-1B, BL-2B, ..., BL-nB)사이에서 접속된 소스-드레인 경로를 포함한다.

이 실시예에서, 동시 데이터 기록회로 FWD는 단일 데이터 버스 FDB로써 구성되며 스위치 회로 FSL은 비트 라인쌍에 해당하는 수의 트랜지스터를 구비한다. 그러므로, 다수의 성분부분은 전체적으로 반도체 메모리 영역을 더 감소시킬 수 있다.

이 실시예의 동작은 제 7 도를 참고로하여 기술하고자 한다. 랜덤 액세스를 가진 데이터의 판독/기록 동작이 상기 제 1 및 제 2 실시예와 유사하기 때문에, 상세한 설명은 생략하였다(제 3 도의 주기 TR참조). 제 5 도 및 제 6 도에 도시된 반도체 메모리 장치에서 데이터 레지스터(32)와 상기 메모리 셀(10) 사이의 데이터 전달 동작은 제 7 도에서 주기 Ts에 대해서 후술하겠다.

행 활성의 RAS 신호가 입력될 때 (제 7a 도 참조), 상기 클럭 발생기(19)는 어드레스 버퍼(11; 제 7d 도)에  $\phi 0$ 를 공급하며, 데이터 레지스터(32)에 전달되는 워드라인을 표시하는 행 어드레스는 외부로부터 어드레스 버퍼(11)에 공급된다(제 7c 도). 상기 행 어드레스 신호는 어드레스 버퍼(11)로부터 행 디코더(12)에 전송되며, 상기 워드라인을 구동하는 신호  $\phi$ 은 고 레벨로 행 어드레스 신호를 가지고 선택된 워드라인(제 7f 도)를 턴하기 위해 클럭 발생기(19)로부터 행 어드레스 디코더(12; 제 7e 도)에 공급된다. 감지 증폭기 활성 신호  $\phi 4$ 가 고 레벨(제 7g 도 참조)로 되기때문에, 상기 감지 증폭기(16)는 상기 선택된 워드라인(제 7j 도 참조)에 접속된 메모리 셀에 기억된 정보중 0 또는 1중 하나에 대응하는 고 또는 저 레벨중 하나에 대해 비트 라인을 검출하고 증폭한다.

계속해서, 행 활성의 CAS 신호가 입력되며(제 7b 도 참조), 열 어드레스(제 7c 도)는 열 디코더(13)에 공급된다. 따라서, 상기 스위치 회로(31)를 활성화하기 위한 신호  $\phi 5$ (제 7k 도)는 상기 데이터 레지스터(32)를 가진 모든 비트 라인에 접속하기 위해 클럭 발생기(19)로부터 공급된다.

상기 동작이 상기 메모리셀 어레이(10)에서 데이터 레지스터(32; 또는 판독 동작)까지 데이터 전달하는 동작인 경우에, 선택 워드 라인 하의 셀 정보가 각각의 셀에 접속된 n개의 각 비트 라인의 고 및 저 레벨에 대응하기 때문에, 상기 n개의 비트 라인의 레벨은 n개의 대응 레지스터에 각각 기억된다.

이 동작이 상기 데이터 레지스터에서 메모리셀 어레이(10; 또는 기록 동작)까지 데이터 전달을 위한

동작인 경우, 상기 데이터 레지스터(32)의 n비트 데이터는 고 또는 저 레벨 중 대응 비트 레벨을 강요해서 셀에 기록한다.

상기 데이터 전달 동작이 완료되면, RAS 및 CAS의 신호는 고 레벨이되며, 또는 다른 말로하면 비활성이되고, 대응해서 신호  $\phi 0$ ,  $\phi 1$  및  $\phi 5$ 는 상기 반도체 메모리 및 데이터 레지스터 사이의 데이터 전달 동작의 사이클을 완성하기 위해 순차적으로 저 레벨이된다.

동작하는 동안에, 동시 데이터 기록 모드 신호 FWE는 저 레벨에 머무른다(제 7i 조 참조). 그러므로, 상기 회로 FWD는 데이터 전달 동작의 사이클 동안 비활성을 남아 있다.

상기 직렬 I/O 포트(34)의 출력 SOUT로부터의 데이터 레지스터(32)에서, 데이터를 직렬로 출력하는 동작은 상기 데이터 전달 동작을 제외하고 RAM I/O 포트(18)에 의한 판독/기록의 동작으로부터 충분히 비동기적으로 동작할 수 있다. 더욱 특히, 데이터는 상기 어드레스 카운터(36)로부터 글럭 신호에 응답해서 직렬 I/O 포트(34)내의 버퍼(33)로 출력된다.

상세한 설명은 상기 메모리셀 어레이(10; 제 7 도의 주기 TF동안에)의 동일 워드라인 하에 모든 메모리 셀에 동시에 동일 데이터가 기록되는 동작에 나타난다. 동시 데이터 기록 모드 신호 FWE가 외부로부터 입력될때(제 7i 도 참조) 상기 반도체 메모리는 동시 데이터 기록을 위한 모드를 취한다.

이 모드에서 RAS 신호가 첫번째로 입력될때(제 7a 도), 상기 클럭 발생기(19)는 어드레스 버퍼(11; 제 7d 도)에  $\phi 0$ 를 공급하며, 구성되는 동시 기록을 위한 워드 라인을 표시하는 행 어드레스 신호(제 7c 도 참조)는 외부로부터 어드레스 버퍼(11)에 공급된다. 행 어드레스 신호는 어드레스 버퍼(11)로부터 행 디코더(12)에 인가되며, 상기 워드 라인을 구동하는 신호  $\phi 1$ 은 클럭 발생기(19)에서 행 디코더(12; 제 7e 도 참조)로 공급되며, 상기 행 어드레스를 가지고 선택된 워드 라인은 고 레벨로 된다(제 7f 도 참조).

이 시점에서, 상기 동시 기록 데이터 FD는 상기 RAM I/O 포트(18)내에 제공된 버퍼(17; 제 1 도)로부터 데이터 버스 FDB에 공급된다.

따라서, 상기 신호  $\phi 3$ (제 7i 도)는 상기 클럭 발생기(19)로부터 공급되며, 상기 스위치 회로 FSL은 모든 비트 라인(BL-1B, BL-2B, ... BL-nB) 또는 각쌍의 비트 라인중 하나(제 7j 참조)를 가지고 데이터 버스 FDB에 접속하기 위해 활성화된다.

상기 감지 증폭기 활성화 신호  $\phi 4$ 가 고 레벨(제 7g 도 참조)로 되기 때문에, 상기 감지 증폭기(16)는 고 또는 저 레벨 중 하나로 상기 쌍 BL-1A, BL-2A, ... BL-nA의 다른 비트 라인을 증폭한다(제 7j 도 참조). 다른 말로하면, 각쌍의 다른 비트 라인은 데이터 버스 FDB 또는 그와 반대로 전압 레벨에 공급된 비트 라인의 레벨에 상보적인 레벨이 된다. 이는 스위치 회로 FSL로 하여금 비트 라인 쌍에 동시 기록 데이터 FD를 공급하기 위해 다수의 감지 증폭기에 대응한 수의 데이터 버스 FDB 및 트랜지스터를 구비하게 된다.

상술한 동작과 함께, 동시 기록 데이터 FD는 동일 워드 라인하에 모든 메모리 셀에 기록한다.

상기 동시 기록 데이터를 보내기 위한 비트 라인은 BL-1B, BL-2B, ... BL-nB 대신에 다른 비트 라인쌍 BL-1A, BL-2A, ... BL-nA가 될 수 있다. 그때, 상기 데이터는 적당하게 변화한다.

상기 데이터 동시 기록 동작이 완료되면, RAS 및 CAS 신호는 고 레벨에서 비활성으로 턴되며, 반면 신호 신호들  $\phi 0$ ,  $\phi 1$ ,  $\phi 3$  및 ...  $\phi 4$ 가 반도체 메모리 용 동시 데이터 기록 모드의 한 사이클을 완성하기 위해 순차적으로 저 레벨로 턴된다.

앞에서 제 1 및 제 2 실시예에 대해 유사하게 기술한 바와 같이, 이 실시예는 하나의 사이클로써 동일 워드 라인하의 모든 메모리 셀에 동일 데이터를 기록할 수 있으며 열 디코더로써 시간마다 비트 라인쌍을 선택해서 데이터를 기록하는 종래 메모리와 비교할때 상기 동작 속도는 현저하게 증진된다. 따라서 이 실시예는 하나의 데이터 버스 FDB를 가진 동시 데이터 기록 회로 FWD로 구성되며, 상기 스위치 회로 FSL은 전체적으로 반도체 메모리의 영역을 더 감소하는 비트 라인 쌍의 수에 대응한 수의 트랜지스터를 구비한다.

제 8 도를 참고로해서, 본 발명의 제 4 실시예를 후술하고자 한다. 이 실시예는 데이터 레지스터(32), 스위치 회로(31), 동시 기록용 스위치 회로 FSL 및 데이터 라인 FDA 회로 FWD 모두가 열 디코더(13)에 가깝게 제공된다는 점에서 제 3 실시예와 다르다. 상술한 바와 같이 상기 데이터 버스 FDB가 비트 라인(BL-1A, BL-2A, ... BL-nA)에 접속되고 반면 데이터 레지스터(13)가 다른 비트 라인(BL-1B, BL-2B, ... BL-nB)에 접속되지만, 상기 장치는 동시 기록용 데이터가 대응 레벨로 세트되는 경우에 제 3의 실시예 장치와 유사하다. 따라서 상기 회로 구성과 그로부터의 동작은 제 3 도에 도시된 구성 및 동작과 동일하다.

상술한 바와 같은 장치를 구성하므로써, 상기 반도체 메모리의 실제 와이어링을 단축하므로써 반도체 메모리의 영역이 감소하게 된다.

본 발명이 특정한 실시예를 참고로하여 기술되지만, 이 설명이 제한된 의미로서의 구성을 의미하는 것은 아니다.

기술된 실시예의 여러 수정은 본 발명의 명세서를 참고로하여 본 기술에서 숙련된 사람에게 명확해진다. 그러므로 첨부된 클레임은 본 발명의 범위내에서 실시예의 어떤 변경을 포함하고 있음을 알 수 있다.

## (57) 청구의 범위

### 청구항 1

다수의 워드 라인과, 다수의 비트 라인과, 상기 워드 라인중 하나 및 상기 비트 라인중 하나에 각각 결합된 다수의 메모리 셀과, 행 어드레스 정보에 응답하여 상기 워드 라인중 하나를 선택하기 위한 행 디코더와, 선택된 메모리 셀에 데이터 기록 모드로 기록될 데이터를 수신하는 데이터 및 선택된 메모리 셀로부터 데이터 판독 모드로 판독되는 데이터를 수신하는 데이터 버스와, 상기 데이터 버스와 상기 비트 라인중 해당하는 한 라인 사이에 각각 결합되는 다수의 열 스위치와, 상기 열 스위치중 하나를 턴온시키도록 열 어드레스 정보를 응답하여 상기 비트 라인중 한 라인을 상기 데이터 버스에 전기적으로 접속하는 열 디코더와, 상기 메모리 셀중 다수의 셀에 동시에 기록될 동시에 데이터를 수신하는 동시 데이터 버스와, 상기 동시 데이터 버스에 공통으로 접속된 개별적인 제 1 노드, 상기 비트 라인중 다른 라인에 접속된 개별적인 제 2 노드 및, 제어 신호를 공통으로 공급받는 개별적인 제어 노드를 구비하는데, 상기 제어 신호의 활성 레벨에 응답하여 상기 동시 데이터를 상기 동시 데이터 버스로부터 상기 각각의 비트 라인에 동시에 전송하기 위해서 각각 턴온되는 다수의 전송 게이트를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 2

제 1 항에 있어서, 상기 각각의 비트 라인은 진 및 상보형(true and complementary) 비트 라인을 포함하고, 상기 동시 데이터 버스는 진 및 상보형 동시 데이터 버스 라인을 포함하고, 상기 각각의 전송 게이트는 상기 진 비트 라인과 상기 진 동시 데이터 버스 라인 사이에 접속된 제 1 트랜지스터 및, 상기 상보형 비트 라인과 상기 상보형 동시 데이터 라인 사이에 접속된 제 2 트랜지스터를 포함하며, 상기 제어 신호는 상기 제 1 및 제 2 트랜지스터의 게이트에 공통으로 공급되는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 3

제 2 항에 있어서, 상기 데이터 버스는 진 및 상보형 데이터 버스 라인을 포함하고, 상기 각각의 열 스위치는 상기 진 데이터 버스 라인과 상기 진 비트 라인 사이에 접속된 제 3 트랜지스터와, 상기 상보형 데이터 버스 라인과 상기 상보형 비트 라인 사이에 접속된 제 4 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 4

제 1 항에 있어서, 상기 각각의 비트 라인은 진 및 상보형 비트 라인을 포함하고, 상기 동시 데이터 버스는 단일 버스 라인을 포함하며, 상기 각각의 전달 게이트를 상기 진 비트 라인과 상기 단일 버스 라인 사이에 접속된 제 1 트랜지스터를 포함하고, 인버터는 상기 단일 버스 라인과 출력 노드에 접속된 입력 노드와, 상기 상보형 비트 라인과 인버터의 출력 노드 사이에 접속된 제 2 트랜지스터를 구비하는 인버터 및, 상기 제어 신호는 상기 제 1 및 제 2 트랜지스터의 게이트에 공통으로 공급되는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 5

행과 열로 배열된 다수의 메모리 셀과, 행으로 배열된 다수의 워드 라인, 및 열로 배열되며 각각 제 1 및 제 2 비트 라인을 갖는 다수의 비트 라인쌍을 구비하는 메모리 셀 어레이와, 행 어드레스 정보에 응답하여 상기 워드 라인중 한 라인과 한쌍의 데이터 버스 라인을 선택하는 행 디코더 수단과; 상기 한쌍의 비트 라인중 하나를 선택하기 위해 열 어드레스 정보에 응답하여 상기 한쌍의 비트 라인중 한 라인을 상기 한쌍의 데이터 버스 라인에 접속시키는 열 디코더 수단과, 다수의 레지스터, 동시 데이터 버스 라인을 가진 데이터 레지스터 회로와, 상기 데이터 레지스터 회로의 상기 레지스터에 각각 접속된 제 1 노드와, 상기 한쌍의 비트 라인에서 상기 제 1 비트 라인에 각각 접속된 제 2 노드, 및 제 1 제어 신호를 공통으로 공급받는 제 1 제어 노드를 가진 다수의 제 1 전송 게이트와, 상기 동시 데이터 라인에 공통으로 접속된 제 3 노드, 상기 비트 라인쌍에서 상기 제 2 비트 라인에 각각 접속된 제 4 노드 및, 제 2 제어 신호를 공통으로 공급받는 제 2 제어 노드를 갖는 다수의 제 2 전송 게이트를 구비하며, 상기 각각의 제 1 전송 게이트는 상기 제 1 제어 신호의 활성 레벨에 응답하여 상기 제 1 비트 라인중 해당하는 한 라인에 나타난 데이터를 상기 데이터 레지스터 회로의 상기 레지스터중 해당하는 한 레지스터에 전송하기 위해 턴온되고, 상기 각각의 제 2 전송 게이트는 상기 제 2 제어 신호의 활성 레벨에 응답하여 상기 동시 데이터 버스 라인에 나타나는 데이터를 상기 제 2 비트 라인중 해당하는 한 라인에 전송하기 위해 턴온되는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 6

제 5 항에 있어서, 상기 메모리 셀 어레이는 열로 배열되는 제 1 측과 행으로 배열되는 제 2 측을 더 구비하며, 상기 행 디코더 수단은 상기 메모리 셀 어레이의 상기 제 1 측을 따라 배열되며 상기 열 디코더 수단, 상기 데이터 레지스터 회로와, 상기 제 1 전송 게이트 및 제 2 전송 게이트는 상기 메모리 셀 어레이의 상기 제 2 측을 따라 모두 배열되는 특징으로 하는 반도체 메모리 장치.

#### 청구항 7

제 6 항에 있어서, 상기 데이터 레지스터 회로는 상기 열 디코더 수단과 상기 제 1 및 제 2 전송 게이트 사이에 배치되는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 8

제 1 측, 제 2 측, 제 3 측 및 제 4 측으로 한정된 직사각형 모양을 갖는데, 행과 열로서 배열된 다수의 메모리 셀과, 행으로 배열된 다수의 워드 라인, 및 열로 배열되며, 각각 제 1 및 제 2 비트 라인을 갖는 다수의 비트 라인쌍을 구비하는 메모리 셀 어레이와, 상기 메모리 셀 어레이의 상기 제 1 측을 따라 배열되고 행 어드레스 정보에 응답하여 상기 워드라인중 한 라인을 선택하는 행 디코더와, 상기 메모리 셀 어레이의 제 3측을 따라 배열된 데이터 버스와, 상기 메모리 셀 어레이의

상기 제 3 측을 따라 배열되고 상기 데이터 버스와 상기 비트 라인쌍중 해당하는 한 라인 사이에 각각 결합된 다수의 열 스위치와, 상기 메모리 셀 어레이의 상기 제 3 측을 따라 배열되고 열 어드레스 정보에 응답하여 상기 열 스위치중 한 스위치를 턴온시키는 열 디코더와, 상기 메모리 셀 어레이의 상기 제 3 측을 따라 배열된 동시 데이터 버스 라인과, 상기 메모리 셀 어레이의 상기 제 3 측을 따라 배열되고 다수의 레지스터를 포함하는 데이터 레지스터 회로와, 상기 메모리 셀 어레이의 제 3 측을 따라 배열되고 상기 비트 라인쌍중 해당하는 한 라인내의 상기 제 1 비트 라인과 상기 데이터 레지스터 회로내의 상기 레지스터중 해당하는 한 레지스터 사이에 각각 결합된 다수의 제 1 전송 게이트와, 상기 메모리 셀 어레이의 상기 제 3 면을 따라 배열되고 상기 동시 데이터 버스 라인과 상기 비트 라인쌍중 해당하는 한 라인내의 상기 제 2 비트 라인 사이에 각각 결합된 다수의 제 2 전송 게이트를 포함하며, 상기 각각의 제 1 전송 게이트는 제 1 제어 신호의 활성 레벨에 응답하여 상기 제 1 비트 라인중 해당하는 한 라인에 나타나는 데이터를 상기 데이터를 레지스터 회로의 상기 레지스터중 해당하는 한 레지스터에 전송하기 위해 턴온되고, 상기 각각의 제 2 전송 게이트는, 제 2 제어 신호의 활성 레벨에 응답하여 상기 동시 데이터 버스 라인에 나타나는 데이터를 상기 제 2 비트 라인중 해당하는 한 라인에 전송하기 위해 턴온되는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 9**

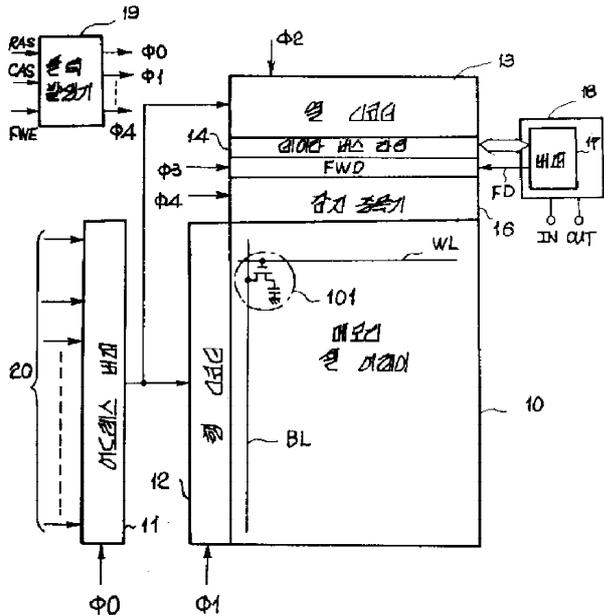
제 8 항에 있어서, 상기 데이터 레지스터 회로는 상기 열 디코더와 상기 제 1 및 제 2 전송 게이트 사이에 배치되는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 10**

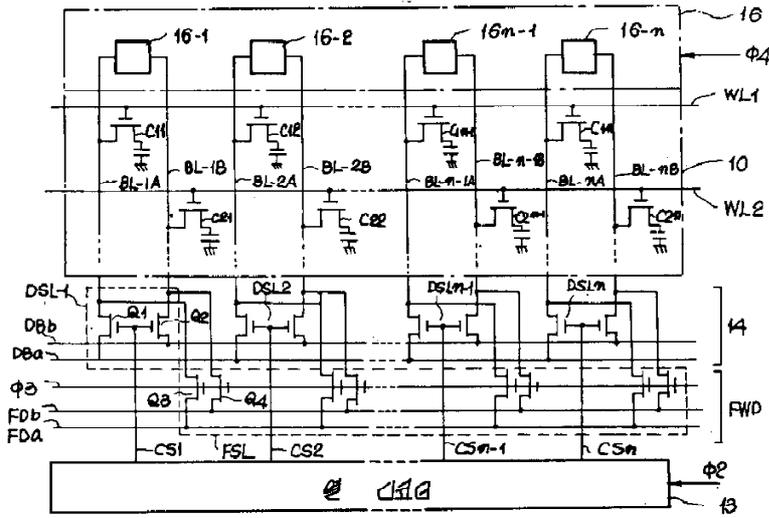
제 9 항에 있어서, 상기 데이터 버스는 제 1 및 제 2 데이터 버스 라인을 구비하고, 상기 각각의 열 스위치는 상기 제 1 데이터 버스 라인과 상기 제 1 비트 라인중 해당하는 한 라인에 사이에 결합되는 제 3 전송 게이트 및, 상기 제 2 데이터 버스 라인과 상기 제 2 비트 라인중 해당하는 한 라인 사이에 결합되는 제 4 전송 게이트를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**도면**

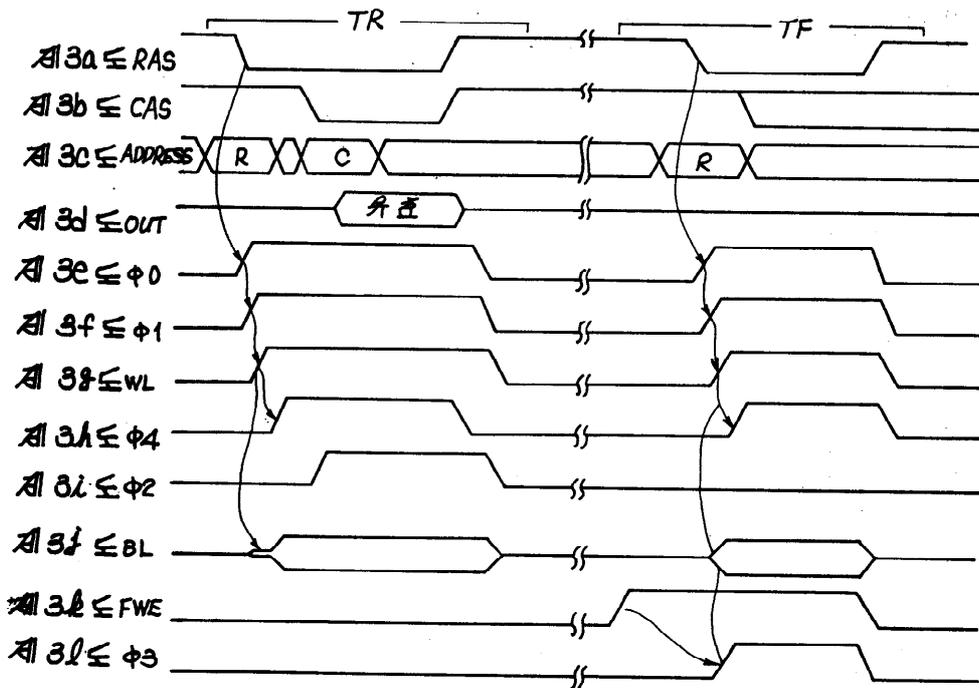
도면1



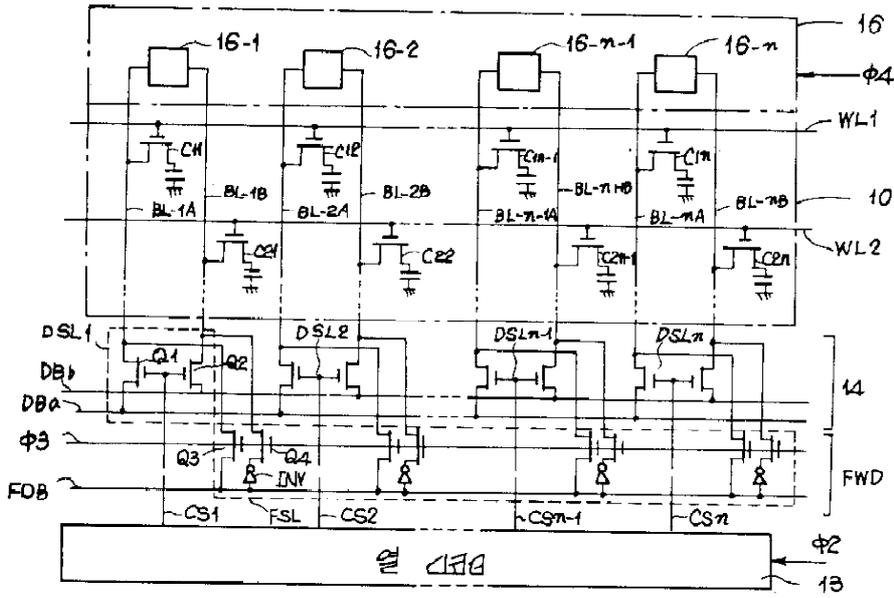
도면2



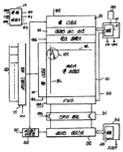
도면3



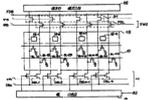
도면4



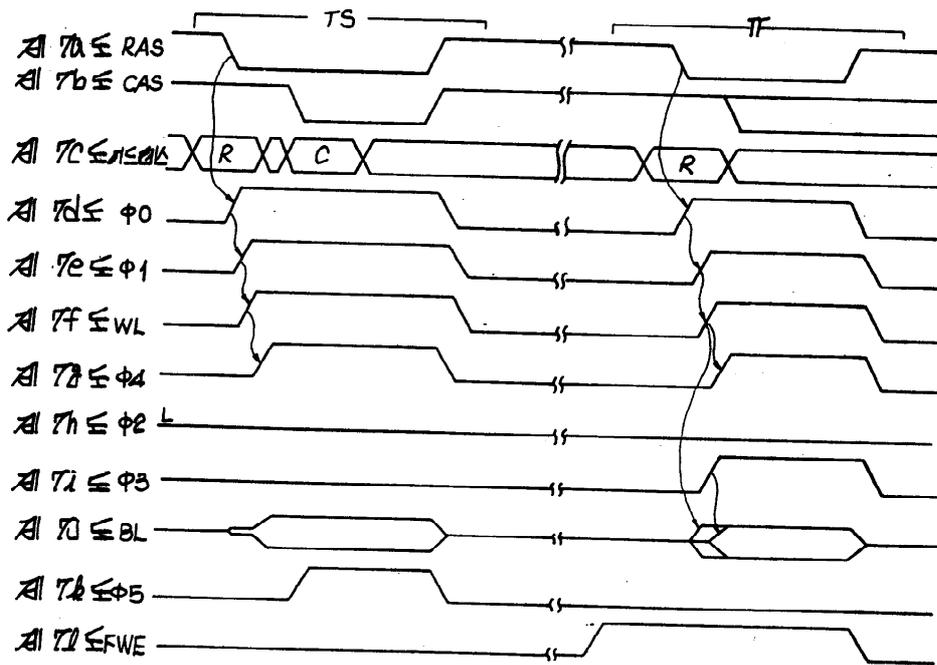
도면5



도면6



도면7



도면8

