



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년04월06일

(11) 등록번호 10-1508391

(24) 등록일자 2015년03월27일

- (51) 국제특허분류(Int. Cl.)  
*G05F 3/26* (2006.01) *G05F 3/02* (2006.01)  
*G05F 3/16* (2006.01)
- (21) 출원번호 10-2009-0015135
- (22) 출원일자 2009년02월24일  
 심사청구일자 2013년10월08일
- (30) 우선권주장  
 JP-P-2008-042592 2008년02월25일 일본(JP)
- (56) 선행기술조사문헌  
 JP2003330555 A  
 JP2006301787 A\*  
 KR1020020057057 A  
 KR1020070012187 A  
 \*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
 세이코 인스트루 가부시기가이샤  
 일본국 치바켄 치바시 미하마구 나카세 1초메 8반지
- (72) 발명자  
 이무라 다카시  
 일본 지바켄 지바시 미하마구 나카세 1초메 8 세이코 인스트루 가부시기가이샤 나이
- (74) 대리인  
 특허법인코리아나

전체 청구항 수 : 총 4 항

심사관 : 김재호

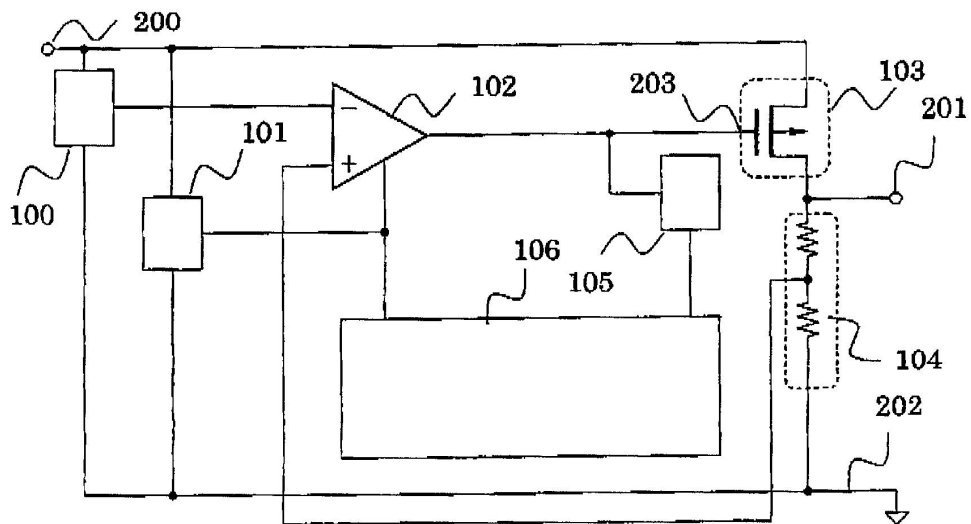
(54) 발명의 명칭 전압 레귤레이터

(57) 요약

(과제) 출력 전류에 따라 차동 증폭 회로의 동작 전류를 증가시켜도, 안정적으로 동작하는 전압 레귤레이터를 제공하는 것.

(해결 수단) 출력 전류를 검출하여 차동 증폭 회로의 동작 전류를 증가시키는 전류 미러 회로를 구비한 전압 레귤레이터에 있어서, 전류 미러 회로에 전압 레귤레이터의 동작 상태에 따라 지연하는 기능을 형성하였다. 주된 귀환계와 출력 전류의 귀환계가 동시에 작용하는 것을 없앴으로써, 내부 동작점이 변동되는 것을 억제할 수 있게 되어, 동작의 안정성이 향상되었다.

대표도 - 도1



**명세서**

**청구범위**

**청구항 1**

입력된 기준 전압과, 출력 트랜지스터가 출력하는 출력 전압을 분압한 참조 전압과의 차를 기초로, 상기 출력 트랜지스터의 게이트 전압을 제어하는 차동 증폭 회로와,

상기 차동 증폭 회로의 동작 전류를 공급하는 전류원과,

상기 출력 트랜지스터에 흐르는 전류를 검출하는 출력 전류 검출 회로와,

상기 출력 전류 검출 회로의 출력 전류에 기초하여, 상기 차동 증폭 회로의 동작 전류를 변화시키는 전류 미러 회로를 갖고,

상기 전류 미러 회로는, 상기 출력 전류 검출 회로의 출력 전류가 변화된 후, 상기 차동 증폭 회로의 동작 전류를 변화시키는 동작에 소정 시간의 지연을 형성하고,

상기 전류 미러 회로는, 상기 참조 전압과 상기 기준 전압의 차의 절대치가 일정치 이상으로 된 것을 검출한 후에, 상기 지연을 형성하는 것을 특징으로 하는 전압 레귤레이터.

**청구항 2**

삭제

**청구항 3**

전압 레귤레이터로서,

입력된 기준 전압과, 출력 트랜지스터가 출력하는 출력 전압을 분압한 참조 전압과의 차를 기초로, 상기 출력 트랜지스터의 게이트 전압을 제어하는 차동 증폭 회로와,

상기 차동 증폭 회로의 동작 전류를 공급하는 전류원과,

상기 출력 트랜지스터에 흐르는 전류를 검출하는 출력 전류 검출 회로와,

상기 출력 전류 검출 회로의 출력 전류에 기초하여, 상기 차동 증폭 회로의 동작 전류를 변화시키는 전류 미러 회로를 갖고,

상기 전류 미러 회로는, 상기 출력 전류 검출 회로의 출력 전류가 변화된 후, 상기 차동 증폭 회로의 동작 전류를 변화시키는 동작에 소정 시간의 지연을 형성하고,

상기 전압 레귤레이터는, 통상 동작 상태와, 상기 통상 동작 상태보다 저소비 전류로 동작하는 대기 동작 상태를 갖고,

상기 전류 미러 회로는, 상기 대기 동작 상태에서 상기 통상 동작 상태로의 상태 전이를 검출한 후에, 상기 지연을 형성하는 것을 특징으로 하는 전압 레귤레이터.

**청구항 4**

제 1 항 또는 제 3 항에 있어서,

상기 전류 미러 회로는, 상기 출력 전류의 단위 시간당 변동률에 대하여, 상기 차동 증폭 회로의 동작 전류의 단위 시간당 변동률을 작게 함으로써 상기 지연을 형성하는 것을 특징으로 하는 전압 레귤레이터.

**청구항 5**

제 1 항 또는 제 3 항에 있어서,

상기 전류 미러 회로는, 스위치드 전류 (switched current) 회로를 구비한 것을 특징으로 하는 전압 레귤레이터.

**발명의 설명**

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은, 정전압을 출력하는 전압 레귤레이터에 관한 것으로, 보다 상세하게는, 전압 레귤레이터의 저소비 전력화에 관한 것이다.

**배경 기술**

[0002] 전압 레귤레이터는, 출력에 접속되어 있는 전자 기기에 대하여, 입력 전압이나 부하에 공급하는 출력 전류의 변동에 의존하지 않고, 안정적인 전압을 공급하는 것을 목적으로 한다. 그 사용 범위는, 정보 기기나 휴대 통신 기기 등의 안정 동작을 목적으로 하여 널리 사용되고 있다.

[0003] 휴대 통신 기기에 있어서, 전지의 소형 경량화를 도모하고, 동작 시간을 연장시키는 것은 기기의 성질상 지상명제이다. 긴 동작 시간의 확보와 전지의 소형 경량화를 양립시키기 위해서는, 전압 레귤레이터를 포함한 장치의 저소비 전력화가 유효하다.

[0004] 전압 레귤레이터의 소비 전력  $P_d$  는 (1) 식으로 나타낸다.

[0005] 
$$P_d = V_{in} \cdot I_{ss} + (V_{in} - V_{out}) \cdot I_{out} \quad \dots \dots (1)$$

[0006] (1) 식에 있어서,  $V_{in}$  은 전압 레귤레이터로의 입력 전압,  $V_{out}$  은 전압 레귤레이터로부터의 출력 전압,  $I_{out}$  은 전압 레귤레이터로부터 부하에 접속되어 있는 기기에 공급되는 출력 전류,  $I_{ss}$  는 전압 레귤레이터 자체가 동작하기 위해 필요한 소비 전류이다.

[0007] 여기서,  $V_{out}$  과  $I_{out}$  은 전압 레귤레이터의 부하로서 접속되어 있는 회로의 요구 사양에 의해 정해지기 때문에, 전압 레귤레이터의 소비 전력의 삭감에는  $V_{in} - V_{out}$  을 작게 하는, 즉 입출력 전압차를 작게 하는 것과,  $I_{ss}$ , 즉 전압 레귤레이터의 소비 전류를 작게 하는 것이 필요하다.

[0008] 입출력 전압차가 작은, 소위 LDO 라고 불리는 전압 레귤레이터에 있어서는, 입출력 전압차를 작게 하기에 적합한 P 형 MOS 트랜지스터를 출력 드라이버로서 사용하고 있다. 여기서, 동작에 필요한 최저 입출력 전압차는, 출력 전압의 ON 저항에 거의 비례한다. 이 때문에, 동일 프로세스에 있어서 보다 입출력 전압차를 작게 하기 위해서는 출력 드라이버의 W 길이를 크게 해야 한다. 이것은 즉 게이트 면적의 증대를 의미한다.

[0009] 한편, 전압 레귤레이터는 내부의 기준 전압과, 전압 레귤레이터가 출력하는 전압을 모니터하는 참조 전압이 동일해지도록, 출력 드라이버의 제어를 실시하고 있다. 부하 전류의 급격한 변동 등의 과도(過渡) 응답시에 출력 전압의 변동을 작게 하는 것은, 얼마나 신속하게 출력 드라이버의 제어 단자인 게이트 전위를 변화시킬 수 있는가로 결정된다. 출력 드라이버의 게이트 단자는 큰 기생 용량을 갖기 때문에, 게이트 전위의 변동을 신속하게 행하기 위해서는 게이트의 충전 전류가 되는 차동 증폭 회로의 동작 전류를 크게 하거나, 게이트 면적을 작게 함으로써 게이트 용량치를 작게 하는 것 밖에 방법이 없다. 이것은, 입출력 전압차와 소비 전류 사이에 트레이드 오프가 존재한다는 것을 나타내며, 소비 전력이 작은 전압 레귤레이터의 설계를 곤란하게 하고 있다.

[0010] 소비 전류를 억제하면서 과도 응답 특성을 개선시키는 구성으로서, 도 2 에 나타내는 회로가 제안되어 있다.

[0011] 도 2 에 나타내는 종래의 전압 레귤레이터는, 출력 트랜지스터 (9) 에 병렬로 접속된 트랜지스터 (6) 에 의해 출력 전류를 모니터하고, 출력 전류에 비례한 전류를 트랜지스터 (8), 즉 차동 증폭 회로의 테일 전류로 귀환시키고 있다. 이와 같은 회로 구성으로 함으로써, 차동 증폭 회로의 동작 전류는 전압 레귤레이터의 출력 전류에 비례하여 증가하게 된다. 따라서, 전압 레귤레이터의 경(輕)부하시의 소비 전류를 억제하면서, 중(重)부하시의 과도 응답 특성을 향상시킬 수 있게 된다.

[0012] 또한, 전술한 것 이외의 저소비 전력화의 수법으로서, 전압 레귤레이터 자신에게도 출력 전압의 레귤레이트 동작을 실시하는 통상 동작 상태와, 레귤레이트 동작을 정지하고, 전압 레귤레이터 자신의 소비 전류를 저감시키는 대기 동작 상태의 2 가지 상태를 갖는 것도 저소비 전력화에는 유효하다.

[0013] [특허 문헌 1] 일본 공개특허공보 평3-158912호

**발명의 내용**

**해결 하고자하는 과제**

[0014] 그러나, 종래의 도 2 의 구성을 갖는 전압 레귤레이터에 있어서, 통상적인 출력 전압 신호의 귀환계 외에, 출력 전류를 차동 증폭 회로로 귀환시키는 귀환계가 존재한다. 이 때문에, 쌍방의 귀환계의 동작점이 동시에 움직이는 경우에 있어서, 각각의 귀환계의 상호 작용에 의해 동작이 불안정해지는 경우가 있다.

[0015] 본 발명은, 상기 문제를 감안하여 이루어진 것으로서, 그 목적은, 쌍방의 귀환계의 동작점이 동시에 움직이는 경우에 있어서도 안정적으로 동작하는 전압 레귤레이터를 제공하는 것이다.

**과제 해결수단**

[0016] 그래서, 본 발명의 전압 레귤레이터는, 기준 전압과 참조 전압의 차분(差分)의 절대치가 일정치보다 커지는 상태를 검출하고, 그 검출로부터 일정 기간은 출력 전류의 귀환계에 의한 동작점의 변동을 완만하게 함으로써, 불안정 동작을 억제하는 구성으로 하였다. 또한, 동일하게 기준 전압과 참조 전압이 동일해지지 않는 상태를 검출하여 그 상태에서부터 일정 기간은 출력 전류의 변동을 정지시키고, 일정 기간 후에 출력 전류의 귀환 동작을 개시하도록 하였다.

[0017] 또한, 전술한 대기 동작 상태와 통상 동작 상태를 갖는 전압 레귤레이터에 있어서, 기준 전압과 참조 전압이 동일해지지 않는 기간은, 대기 동작 상태에서 통상 동작 상태로 이행하는 기간에 존재하기 때문에, 대기 동작 상태에서 통상 동작 상태로 이행한 상태 전이를 검출하고, 그 상태에서부터 일정 기간은 출력 전류의 귀환계에 의한 동작점의 변동을 완만하게 함으로써, 불안정 동작을 억제하는 구성으로 하였다. 나아가서는, 대기 동작 상태에서 통상 동작 상태로 이행한 상태 전이를 검출하고, 그 상태에서부터 일정 기간은 출력 전류의 변동을 정지시키고, 일정 기간 후에 출력 전류의 귀환 동작을 개시하도록 하였다.

[0018] 본 발명의 본질은, 통상적인 귀환계의 동작점의 변동에 대하여, 출력 전류의 귀환계의 동작점의 변동에 지연을 형성하는 것이기 때문에, 출력 전류의 귀환계 자신이, 출력 전류의 급격한 증가를 검출하여 차동 증폭 회로의 전류 증가를 완만하게 하는 구성으로 해도 동일한 효과가 얻어지는 것은 분명하다.

**효과**

[0019] 본 발명의 전압 레귤레이터에 의하면, 기준 전압과 참조 전압의 차분의 절대치가 일정치보다 커지는 상태를 검출하고, 그 상태에서부터 일정 기간은 출력 전류의 귀환계에 의한 동작점의 변동을 완만하게 하는 회로 구성으로 하였기 때문에, 경부하시의 소비 전류를 억제하면서, 중부하시의 과도 응답 특성을 향상시킬 수 있고, 과도적인 응답에 있어서의 동작 안정성을 향상시킨 전압 레귤레이터를 제공할 수 있게 된다.

**발명의 실시를 위한 구체적인 내용**

[0020] 도 1 은, 본 발명의 전압 레귤레이터의 개념을 나타내는 도면이다.

[0021] 본 발명의 전압 레귤레이터는, 기준 전압 회로 (100), 정전류 회로 (101), 차동 증폭 회로 (102), 출력 드라이버 (103), 분압 회로 (104), 출력 전류 검출 회로 (105) 및 전류 미러 회로 (106) 를 구비하고 있다.

[0022] 기준 전압 회로 (100) 는, 전원 전압이 입력되는 입력 단자 (200) 와 접지 단자 (202) 사이에 접속되고, 입력 전압에 의존하지 않고 일정한 기준 전압  $V_{ref}$  를 차동 증폭 회로 (102) 의 반전 입력 단자에 공급한다. 출력 드라이버 (103) 는 입력 단자 (200) 와 출력 단자 (201) 에 접속되고, 제어 단자 (203) 는 차동 증폭 회로 (102) 의 출력에 기초하여 제어되고 있다. 정전류 회로 (101) 는 입력 단자 (200) 와 접지 단자 (202) 사이에 접속되고, 일정한 전류를 차동 증폭 회로 (102) 에 공급한다. 또한, 정전류 회로 (101) 는, 도 2 에 있어서의 트랜지스터 (5) 와 같이 일정한 기준 전압  $V_{ref}$  를 게이트·소스 사이에 인가한 MOS 트랜지스터를 사용해도 된다. 분압 회로 (104) 는 출력 단자 (201) 와 접지 단자 (202) 사이에 접속되고, 출력 전압을 미리 정해진 분할비에 따라 분할한 참조 전압  $V_{FB}$  를 차동 증폭 회로 (102) 의 비반전 입력 단자에 공급한다.

[0023] 차동 증폭 회로 (102) 는, 일정한 기준 전압  $V_{ref}$  와 출력 전압에 기초한 참조 전압  $V_{FB}$  를 비교하여, 양자가 동일해지도록 출력 드라이버 (103) 를 제어하기 때문에, 출력 단자 (201) 의 출력 전압은, 출력 전류에 의존하지 않고 일정한 전압을 출력하도록 동작한다. 출력 전류 검출 회로 (105) 는, 출력 드라이버 (103) 의 제어

단자 (203) 의 전위를 검출하여, 출력 전류에 따른 전류를 전류 미러 회로 (106) 에 입력한다. 또한, 출력 전류 검출 회로 (105) 는 출력 드라이버 (103) 에 흐르는 전류 그 자체를 검출해도 된다. 전류 미러 회로 (106) 는, 출력 전류 검출 회로 (105) 로부터 공급되는 출력 전류에 기초한 전류를 차동 증폭 회로 (102) 의 전류 공급 단자 (204) 에 공급한다. 이 전류의 귀환에 의해, 출력 전류가 0 인 경우에는, 차동 증폭 회로 (102) 로의 전류 공급은 정전류 회로 (101) 만으로부터의 공급이 되어, 소비 전류의 저감을 도모할 수 있다.

또한, 출력 전류가 큰 경우에는, 정전류 회로 (101) 로부터의 전류 공급에 추가하여, 출력 전류에 따른 전류가 차동 증폭 회로 (102) 에 공급되기 때문에, 과도 응답 특성이 개선된다.

[0024] 여기서, 전류 미러 회로 (106) 는, 전압 레귤레이터의 동작 상태에 따라, 출력 전류 검출 회로 (105) 의 출력 전류가 변화된 후, 차동 증폭 회로 (102) 의 동작 전류를 변화시키는 동작에 지연을 형성하는 기능을 구비하고 있다. 따라서, 급격한 출력 전류의 증대 등의 과도 응답시에 있어서는, 전류 미러 회로 (106) 의 효과에 의해, 참조 전압 VFB 의 변화의 귀환에 따른 회로 내부 동작점의 변동이 선행되고, 그 후에 출력 전류의 증대에 따른 차동 증폭 회로의 동작 전류의 증대가 일어난다. 그 때문에, 이 전류의 귀환에 따른 동작점의 변동은 상기 참조 전압 VFB 의 귀환에 따른 동작점의 변동보다 늦거나, 혹은 완만하게 일어나기 때문에, 쌍방의 귀환계의 동작점이 동시에 움직이는 것에서 기인하는, 각각의 귀환계의 상호 작용에 의해 동작 불안정을 억제할 수 있게 된다.

[0025] 실시예 1

[0026] 도 3 은, 제 1 실시예의 전압 레귤레이터의 회로도이다.

[0027] 제 1 실시예의 전압 레귤레이터는, 기준 전압 회로 (100), 정전류 회로 (101), 차동 증폭 회로 (102), 출력 드라이버 (103), 분압 회로 (104), 출력 전류 검출 회로 (105), 전류 미러 회로 (106) 및 차(差)전압 검출 회로 (107) 를 구비하고 있다.

[0028] 기준 전압 회로 (100) 는, 전원 전압이 입력되는 입력 단자 (200) 와 접지 단자 (202) 사이에 접속되고, 입력 전압에 의존하지 않고 일정한 기준 전압 Vref 를 차동 증폭 회로 (102) 의 반전 입력 단자에 공급한다. 출력 드라이버 (103) 는, 입력 단자 (200) 와 출력 단자 (201) 에 접속되고, 제어 단자 (203) 는 차동 증폭 회로의 출력에 기초하여 제어되고 있다. 분압 회로 (104) 는, 출력 단자 (201) 와 접지 단자 (202) 사이에 접속되고, 출력 전압을 미리 정해진 분할비에 따라 분할한 참조 전압 VFB 를 차동 증폭 회로 (102) 의 비반전 입력 단자에 공급한다. 차동 증폭 회로 (102) 는, 기준 전압 Vref 와 출력 전압에 기초한 참조 전압 VFB 가 입력 단자에 입력되고, 그 출력 단자는 출력 드라이버 (103) 의 제어 단자 (203) 에 접속된다. 정전류 회로 (101) 는, 입력 단자 (200) 와 접지 단자 (202) 사이에 접속되고, 일정한 전류를 차동 증폭 회로 (102) 의 전류 공급 단자 (204) 에 공급한다.

[0029] 출력 전류 검출 회로 (105) 는, 출력 드라이버 (103) 의 제어 단자 (203) 에 병렬로 접속된 PMOS 트랜지스터로 구성되고, 출력 전류에 비례한 전류를 전류 미러 회로 (106) 에 입력한다. 전류 미러 회로 (106) 는, 출력 전류 검출 회로 (105) 로부터 공급되는 전류에 기초한 전류를 차동 증폭 회로 (102) 의 전류 공급 단자 (204) 에 공급한다.

[0030] 전류 미러 회로 (106) 는, 도 5 에 나타내는, 소위 스위치드 전류 (switched current) 회로로 되어 있다. 전류 입력 단자 (206) 는 NMOS 트랜지스터 (10) 의 게이트 단자와 드레인 단자에 접속되어 있다. 전류 출력 단자 (207) 는, NMOS 트랜지스터 (11) 의 드레인 단자에 접속되어 있다. NMOS 트랜지스터 (11) 의 게이트·소스 사이에는 커패시터 (52) 가 접속되어 있다. NMOS 트랜지스터 (10 및 11) 의 게이트 사이에는 스위치로서 동작하는 NMOS 트랜지스터 (12) 가 접속되어 있다. 이 NMOS 트랜지스터 (12) 의 게이트 단자는 인버터 회로 (53) 를 통해 제어 단자 (208) 에 의해 제어되고 있다.

[0031] 차전압 검출 회로 (107) 는, 기준 전압 회로 (100) 가 출력하는 기준 전압 Vref 와 분압 회로 (104) 가 출력하는 참조 전압 VFB 를 비교하여, 전류 미러 회로 (106) 의 제어 단자 (208) 를 제어하는 신호를 출력한다.

[0032] 차전압 검출 회로 (107) 의 구성의 일례를 도 6 에 나타낸다. 입력 단자 (209 및 210) 에는, 각각 참조 전압 VFB 와 기준 전압 Vref 가 입력된다. 비교 회로 (54) 에는, 참조 전압 VFB 와 오프셋 전압 (56) 이 가해진 기준 전압 Vref 가 입력된다. 비교 회로 (55) 에는, 기준 전압 Vref 와 오프셋 전압 (57) 이 가해진 참조 전압 VFB 가 입력된다. 각각의 비교 결과는 OR 회로 (58) 에 의해 논리합이 취해지고, 출력 단자 (211) 에 제어 신호 VDET 로서 출력된다. 출력 단자 (211) 는, 전류 미러 회로 (106) 의 제어 단자 (208) 에 접속되어 있다.

- [0033] 상기 서술한 바와 같이 구성된 제 1 실시예의 전압 레귤레이터는, 이하와 같이 동작하여 과도적인 응답에 있어서의 동작 안정성을 갖는다.
- [0034] 차동 증폭 회로 (102) 는, 기준 전압 회로 (100) 가 출력하는 기준 전압  $V_{ref}$  와 분압 회로 (104) 가 출력 전압을 분압한 참조 전압  $V_{FB}$  를 비교하여, 출력 드라이버 (103) 의 제어 단자 (203) 를 제어하여, 출력 단자 (201) 의 전압이 일정해지도록 동작한다.
- [0035] 차동 증폭 회로 (102) 의 동작 전류는, 정전류 회로 (101) 와 전류 미러 회로 (106) 가 흘리는 전류에 의해 제어되고 있다. 전류 미러 회로 (106) 가 흘리는 전류는, 출력 전류 검출 회로 (105) 가 흘리는 출력 전류에 비례한 전류를, NMOS 트랜지스터 (10 및 11) 에서 설정된 전류 미러비에 따라 미러한 값이다. 전류 미러 회로 (106) 는 스위치드 전류 회로이고, 차전압 검출 회로 (107) 의 제어 신호  $V_{DET}$  에 의해 동작이 제어되고 있다.
- [0036] 도 6 의 차전압 검출 회로 (107) 에 있어서, 입력 단자 (209) 에 입력된 참조 전압  $V_{FB}$  와 입력 단자 (210) 에 입력된 기준 전압  $V_{ref}$  는, 각각 오프셋 전압 (56 및 57) 이 가해진 전압과 비교 회로 (54 및 55) 에서 비교된다. 그리고, 참조 전압  $V_{FB}$  가 기준 전압  $V_{ref}$  와 오프셋 전압 (56) 의 합보다 큰 경우, 또는 기준 전압  $V_{ref}$  가 참조 전압  $V_{FB}$  와 오프셋 전압 (57) 의 합보다 큰 경우에, 출력 단자 (211) 는 H 신호를 출력한다. 반대로, 참조 전압  $V_{FB}$  가 기준 전압  $V_{ref}$  와 오프셋 전압 (56) 의 합보다 작고, 또한 기준 전압  $V_{ref}$  가 참조 전압  $V_{FB}$  와 오프셋 전압 (57) 의 합보다 작은 경우에, 출력 단자 (211) 는 L 신호를 출력한다. 즉 출력 신호는, 오프셋 전압 (56) 및 오프셋 전압 (57) 과 기준 전압  $V_{ref}$  및 참조 전압  $V_{FB}$  의 차의 절대치  $|V_{ref} - V_{FB}|$  의 대소에 따라 변화된다. 그리고, 그 출력 신호는 전류 미러 회로 (106) 의 제어 단자 (208) 에 입력된다.
- [0037] 도 5 의 전류 미러 회로 (106) 에 있어서, 제어 단자 (208) 에 L 신호가 입력되었을 때, NMOS 트랜지스터 (12) 의 게이트는 H 가 되어, 소스·드레인 사이는 도통 상태가 되고, 전류 미러 동작을 실시한다. 한편, 제어 단자 (208) 에 H 신호가 입력되었을 때, NMOS 트랜지스터 (12) 의 게이트 전위는 L 이 되어, NMOS 트랜지스터 (10 에서 11) 의 게이트로의 경로는 절연 상태가 된다. 이 때, 커패시터 (52) 에는 NMOS 트랜지스터 (11) 의 절연 상태가 되기 전의 게이트·소스 전압이 유지된다. 이 때문에, 결과적으로 NMOS 트랜지스터 (11) 의 출력 전류, 즉 전류 출력 단자 (207) 의 출력 전류는, 제어 단자 (208) 가 H 로 천이되기 직전의 전류를 계속 출력하게 된다.
- [0038] 상기 서술한 동작에 의해, 출력 전압의 변동이, 전류 미러 회로 (106) 가 흘리는 전류에 의해 차동 증폭 회로 (102) 의 동작 전류로서 귀환된다. 이 전류의 귀환에 의해, 출력 전류가 0 인 경우에는, 차동 증폭 회로 (102) 로의 동작 전류의 공급은 정전류 회로 (101) 만으로부터의 공급이 되어, 소비 전류의 저감을 도모할 수 있다. 또한, 출력 전류가 큰 경우에는, 정전류 회로 (101) 로부터의 전류 공급에 추가하여, 출력 전류에 따른 전류가 전류 미러 회로 (106) 로부터 공급되기 때문에, 차동 증폭 회로 (102) 의 과도 응답 특성이 개선된다.
- [0039] 도 8 은, 출력 전류가 변화되었을 때의, 제 1 실시예의 전압 레귤레이터의 각 절점(節點)의 전압 전류의 변화를 나타내는 도면이다.
- [0040] 도 8 의 (a) 와 같이 출력 전류  $I_{out}$  이 증가한 경우, 도 8 의 (b) 와 같이 출력 전압  $V_{out}$  이 완전히 추종되지 못하고 언더슈트를 발생한다. 그 결과, 참조 전압  $V_{FB}$  도 또한 언더슈트를 발생하기 때문에, 차전압의 절대치  $|V_{ref} - V_{FB}|$  는 커진다. 차전압의 절대치  $|V_{ref} - V_{FB}|$  가 오프셋 전압 (56 및 57) 보다 큰 경우, 도 8 의 (c) 와 같이 차전압 검출 회로 (107) 의 출력 신호  $V_{DET}$  는 H 가 된다. 따라서, 도 8 의 (d) 와 같이, 전류 미러 회로 (106) 의 제어 단자 (208) 가 L 에서 H 로 천이되어 H 인 동안에는, 전류 출력 단자 (207) 에 흐르는 전류는 변화되지 않는다. NMOS 트랜지스터 (11) 의 드레인 전류 ( $I_{10}$ ), 즉 전류 출력 단자 (207) 에 흐르는 전류의 유지는, 차전압의 절대치  $|V_{ref} - V_{FB}|$  가 오프셋 전압 (56 및 57) 보다 작아져, 제어 단자 (208) 가 재차 L 로 천이될 때까지 계속된다. 제어 단자 (208) 가 L 로 천이된 후에는, 전류 미러 회로 (106) 는 통상적인 전류 미러 동작으로 이행하기 때문에, 차동 증폭 회로 (102) 의 동작 전류는 출력 전류의 변동에 따라 증감한다.
- [0041] 결과적으로 급격한 출력 전류의 증대에 있어서는, 전류 미러 회로 (106) 의 효과에 의해, 참조 전압  $V_{FB}$  의 변화에 의한 귀환에 따른 회로 내부 동작점의 변동이 선행되고, 그 후 출력 전류의 증대에 따른 차동 증폭 회로 (102) 의 동작 전류의 증대가 일어난다. 그 때문에, 이 전류의 귀환에 따른 동작점의 변동은 참조 전압  $V_{FB}$



의 귀환에 따른 동작점의 변동보다 늦게 일어나기 때문에, 쌍방의 귀환계의 동작점이 동시에 움직이는 것에서 기인하는, 각각의 귀환계의 상호 작용에 의해 동작 불안정을 억제할 수 있게 된다.

[0042] 실시예 2

[0043] 도 4 는, 제 2 실시예의 전압 레귤레이터의 회로도이다.

[0044] 제 2 실시예의 전압 레귤레이터는, 기준 전압 회로 (100), 정전류 회로 (101), 차동 증폭 회로 (102), 출력 드라이버 (103), 분압 회로 (104), 출력 전류 검출 회로 (105) 및 전류 미러 회로 (406) 를 구비하고 있다. 도 3 의 제 1 실시예의 전압 레귤레이터와의 차이는, 전류 미러 회로 (106) 대신에 전류 미러 회로 (406) 를, 차전압 검출 회로 (107) 대신에 동작 선택 단자 (205) 를 구비한 점이다.

[0045] 전류 미러 회로 (406) 및 동작 선택 단자 (205) 의 동작 이외에는 도 3 의 제 1 실시예의 전압 레귤레이터와 동일하므로 생략한다.

[0046] 제 2 실시예의 전압 레귤레이터는, 예를 들어 동작 선택 단자 (205) 가 H 레벨에 있을 때에는 통상 동작 상태가 되고, L 레벨에 있을 때에는 저소비의 대기 동작 상태가 된다. 대기 동작 상태인 경우에는, 기준 전압 회로 (100), 정전류 회로 (101) 를 비롯한 각 회로는 정지 상태가 된다.

[0047] 도 7 은, 제 2 실시예의 전압 레귤레이터의 전류 미러 회로 (406) 의 회로도이다.

[0048] 단자 (206, 207 및 208) 와 NMOS 트랜지스터 (10 및 11) 로 이루어지는 전류 미러 회로는 전류 미러 회로 (106) 과 동일하다.

[0049] 전류 미러 회로 (406) 는, NMOS 트랜지스터 (10 과 11) 의 게이트 사이에 가변 저항으로서 동작하는 NMOS 트랜지스터 (12) 가 접속되어 있다. NMOS 트랜지스터 (12) 의 게이트 단자에는 커패시터 (59) 가 접속되어 있다. PMOS 트랜지스터 (14 및 13) 는 전류 미러 회로를 구성한다. 전류 미러 회로는, 정전류  $I_{charge}$  를 미러한 정전류  $I_{out}$  으로 커패시터 (59) 를 충전한다. PMOS 트랜지스터 (17) 는, 단자 (208) 의 신호에 따라 전류 미러 회로의 동작을 제어한다. NMOS 트랜지스터 (18) 는, 커패시터 (59) 에 접속되어 있고, 단자 (208) 의 신호에 따라 커패시터 (59) 의 충전 동작을 제어한다. 트랜지스터 (15 및 16) 는, 커패시터 (59) 에 접속되어 있고, 커패시터 (59) 의 충전 전압을 클램프 제어한다.

[0050] 상기 서술한 바와 같이 구성된 제 2 실시예의 전압 레귤레이터는, 이하와 같이 동작하여 전압 레귤레이터를 안정 동작시키는 기능을 갖는다.

[0051] 도 9 는, 제 2 실시예의 전압 레귤레이터의 각 절점의 전압 전류의 변화를 나타내는 도면이다.

[0052] 동작 선택 단자 (205) 에 L 이 입력되고, 즉 제어 단자 (208) 의 전압 ( $V_{208}$ ) 이 L 일 때, NMOS 트랜지스터 (18) 는 도통 상태가 되고, PMOS 트랜지스터 (17) 는 차단 상태가 되어 있다. 이 상태에서는, NMOS 트랜지스터 (12) 는 차단 상태가 되어 있어, NMOS 트랜지스터 (11) 의 게이트에 전압은 인가되지 않고, 전류 출력 단자 (207) 의 출력 전류는 0 이다. 또한, 커패시터 (59) 는, NMOS 트랜지스터 (18) 에 의해 방전되어 있다.

[0053] 도 9 의 (a) 와 같이 동작 선택 단자 (205) 에 H 가 입력되어, 즉 제어 단자 (208) 의 전압 ( $V_{208}$ ) 이 H 로 변화 되었을 때, NMOS 트랜지스터 (18) 는 차단 상태가 되고, PMOS 트랜지스터 (17) 는 도통 상태가 된다. 커패시터 (59) 는, 전류 미러 회로의 작용에 의해, 도 9 의 (b) 와 같은 정전류  $I_{out}$  으로 충전된다. 도 9 의 (c) 와 같이, 커패시터 (59) 의 충전 전압 VG 는 일정한 기울기로 상승한다. 따라서, NMOS 트랜지스터 (12) 의 ON 저항은 완만하게 저하되고, 결과적으로 전류 출력 단자 (207) 의 전류도 또한 도 9 의 (d) 와 같이 완만하게 증가한다.

[0054] 커패시터 (59) 의 충전 전압 VG 가 트랜지스터 (15 와 16) 의 임계치 전압의 합에 가까워지면, 충전 전류는 NMOS 트랜지스터 (15 및 16) 로 흐르기 시작하기 때문에, 커패시터 (59) 의 충전 전압 VG 의 상승은 정지한다. 따라서, 커패시터 (59) 의 충전 전압 VG 는, 트랜지스터 (15 와 16) 의 임계치 전압의 합의 전압으로 클램프 된다. 이 때, NMOS 트랜지스터 (12) 의 ON 저항은 충분히 저하되어 있기 때문에, NMOS 트랜지스터 (11 및 10) 는 통상적인 전류 미러 회로와 동일하게 동작하게 된다. 결과적으로 전류 미러 회로 (406) 의 트랜지스터 (11) 에 흐르는 전류 ( $I_{10}$ ), 즉 전류 출력 단자 (207) 에 흐르는 전류는, 대기 상태에서 통상 상태로 이행하였을 때의 출력 전류  $I_{out}$  의 변화에 대하여 완만한 변화가 된다.

[0055] 이상과 같은 제 2 실시예의 전압 레귤레이터는, 전류 미러 회로 (406) 의 동작에 의해 전압 레귤레이터가 대기

상태에서 동작 상태로 이행할 때의 참조 전압 VFB의 귀환계에 의한 동작점의 변동에 대하여, 출력 전류의 증가에 따른 동작점의 변동은 완만해지고, 결과적으로 쌍방의 귀환계의 동작점이 동시에 움직이는 것에서 기인하는, 각각의 귀환계의 상호 작용에 의해 안정 동작할 수 있게 된다.

[0056] 또한, 실시예 2에 있어서의 통상 동작 상태와 대기 동작 상태의 전환은, 외부 단자에 의한 것이 아니라, 내부에서 자동적으로 전환되는 구성에 있어서도 동일한 효과가 얻어지는 것이 분명하다.

[0057] 또한, 실시예 2에서는 대기 동작 상태에 있어서 레귤레이트 동작을 실시하지 않는 경우에 대한 실시예에 대하여 언급하였지만, 보다 소비 전류를 억제한 상태에서 레귤레이트하는 대기 동작 상태에 있어서도 동일한 효과가 얻어지는 것이 분명하다.

[0058] 또한, 전류 미러 회로의 지연은, 출력 전류의 단위 시간당 변동률에 대하여, 차동 증폭 회로의 동작 전류의 단위 시간당 변동률을 작게 함으로써 실현해도 동일한 효과가 얻어지는 것이 분명하다.

**도면의 간단한 설명**

[0059] 도 1은, 본 발명의 전압 레귤레이터의 개념의 일례를 나타내는 블록도.

[0060] 도 2는, 종래의 전압 레귤레이터의 회로도.

[0061] 도 3은, 제 1 실시예의 전압 레귤레이터의 회로도.

[0062] 도 4는, 제 2 실시예의 전압 레귤레이터의 회로도.

[0063] 도 5는, 제 1 실시예의 전압 레귤레이터의 전류 미러 회로의 일례를 나타내는 회로도.

[0064] 도 6은, 본 발명의 제 1 실시예의 전압 레귤레이터의 차전압 검출 회로의 일례를 나타내는 회로도.

[0065] 도 7은, 제 2 실시예의 전압 레귤레이터의 전류 미러 회로의 일례를 나타내는 회로도.

[0066] 도 8은, 제 1 실시예의 전압 레귤레이터의 각 절점의 전압 전류의 변화를 나타내는 도면.

[0067] 도 9는, 제 2 실시예의 전압 레귤레이터의 각 절점의 전압 전류의 변화를 나타내는 도면.

**※도면의 주요 부분에 대한 부호의 설명**

[0069] 100 : 기준 전압 회로

[0070] 101 : 정전류 회로

[0071] 102 : 차동 증폭 회로

[0072] 103 : 출력 드라이버

[0073] 104 : 분압 회로

[0074] 105 : 출력 전류 검출 회로

[0075] 106, 406 : 전류 미러 회로

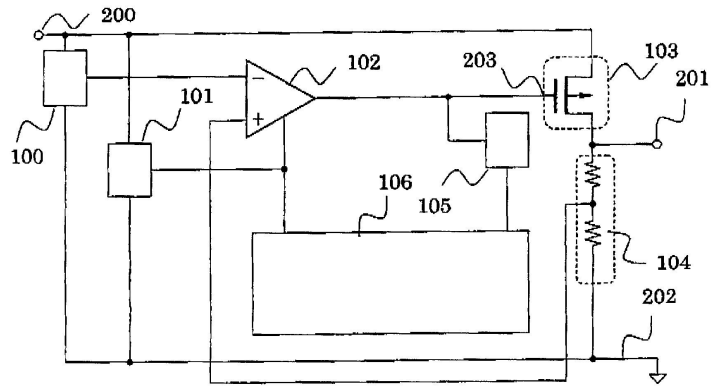
[0076] 107 : 차전압 검출 회로

[0077] 205 : 동작 선택 단자

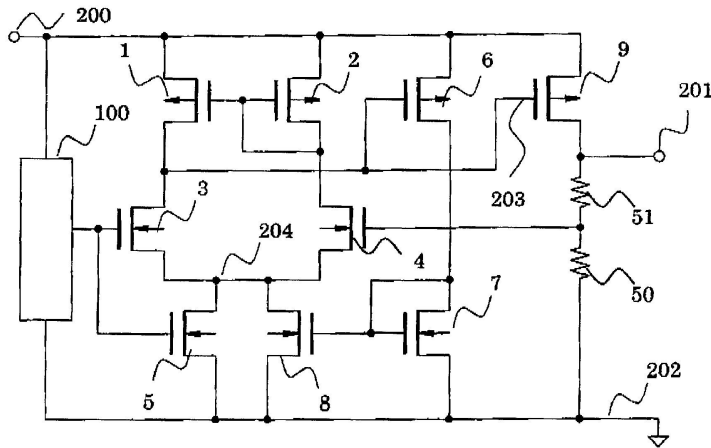


도면

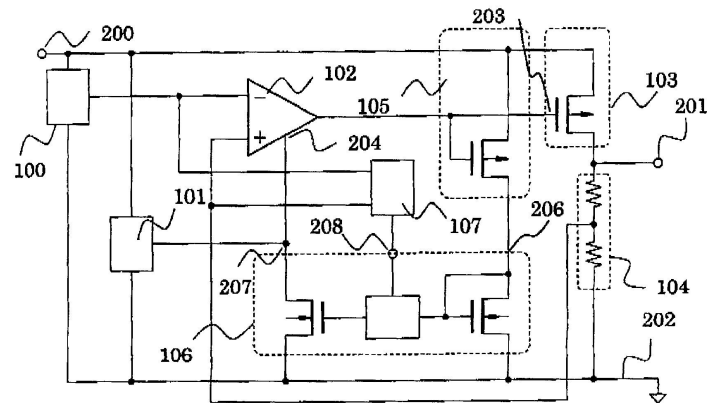
도면1



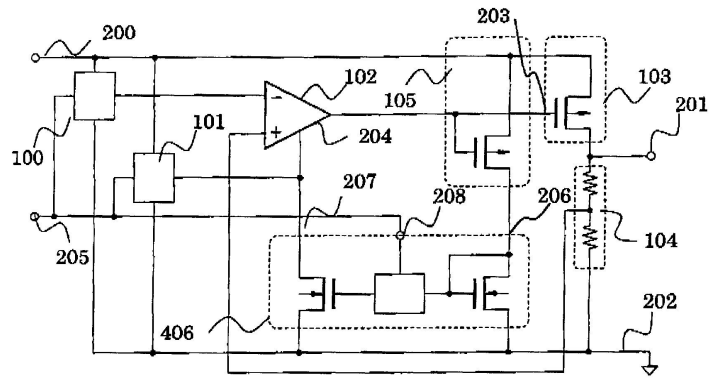
도면2



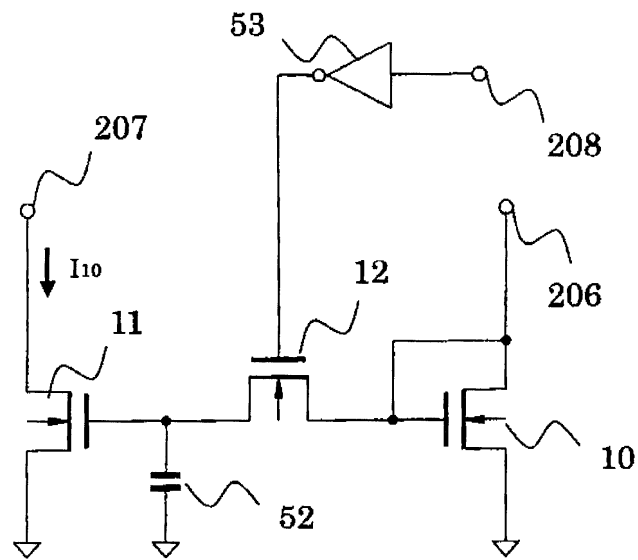
도면3



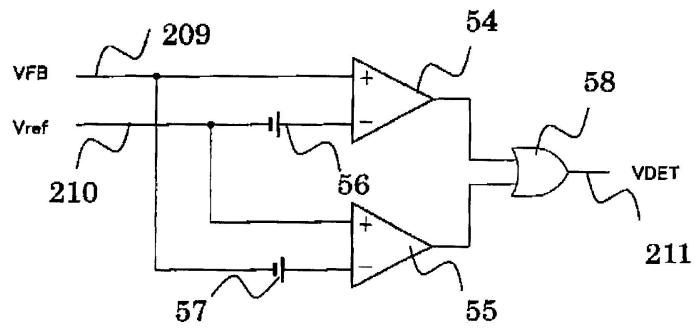
도면4



도면5



도면6





도면9

