(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2016 年 12 月 8 日 (08.12.2016)

WIPO | PCT

(10) 国际公布号
WO 2016/192142 A1

(51) 国际专利分类号:
*G09G 3/36* (2006.01)

(21) 国际申请号: PCT/CN2015/082030

(22) 国际申请日: 2015 年 6 月 23 日 (23.06.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510299385.0 2015 年 6 月 3 日 (03.06.2015) CN

(71) 申请人: **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: **曹尚操 (CAO, Shangcao)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: **深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE)**; 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

**本国际公布**:
— 包括国际检索报告(条约第 21 条(3))。

(54) **Title**: GATE DRIVE CIRCUIT

(54) **发明名称** : 栅极驱动电路

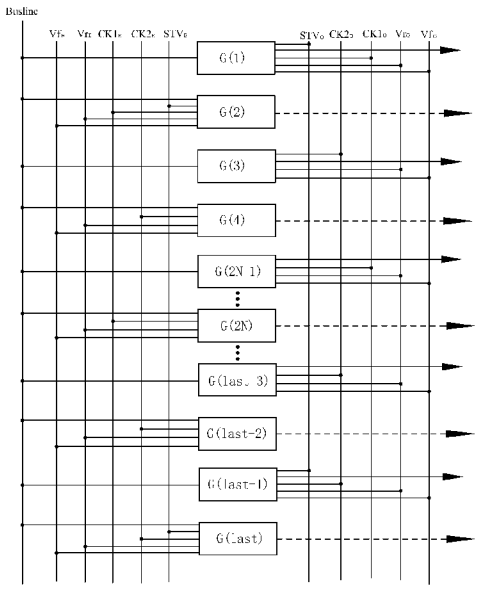



图1

(57) **Abstract**: A gate drive circuit. Each odd-level GOA unit circuit is cascaded, and each even-level GOA unit circuit is cascaded; odd-level first and second scanning control signals ($Vf_O$, $Vr_O$), an odd-level scanning starting signal ($STV_O$), and odd-level first and second high-frequency clock signals ($CK1_O$, $CK2_O$) are set corresponding to the odd-level GOA unit circuit; even-level first and second scanning control signals ($Vf_E$, $Vr_E$), an even-level scanning starting signal ($STV_E$), and even-level first and second high-frequency clock signals ($CK1_E$, $CK2_E$) are set corresponding to the even-level GOA unit circuit; and by controlling the potentials of the odd-level first and second scanning control signals ($Vf_O$, $Vr_O$) and the potentials of the even-level first and second scanning control signals ($Vf_E$, $Vr_E$), and cooperating with the odd-level scanning starting signal ($STV_O$) and the even-level scanning starting signal ($STV_E$) in different time sequences, the odd-level GOA unit circuit and the even-level GOA unit circuit can be controlled to perform forward scanning or backward scanning at the same time or at different times.

(57) **摘要**: 一种栅极驱动电路，将各个奇数级 GOA 单元电路进行级联，各个偶数级 GOA 单元电路进行级联；对应于奇数级 GOA 单元电路设置奇数级第一、第二扫描控制信号($Vf_O$、$Vr_O$)、奇数级扫描启动信号($STV_O$)、奇数级第一、第二高频时钟信号($CK1_O$、$CK2_O$)；对应于偶数级 GOA 单元电路设置偶数级第一、第二扫描控制信号($Vf_E$、$Vr_E$)、偶数级扫描启动信号($STV_E$)、偶数级第一、第二高频时钟信号($CK1_E$、$CK2_E$)；通过控制奇数级第一、第二扫描控制信号($Vf_O$、$Vr_O$)与偶数级第一、第二扫描控制信号($Vf_E$、$Vr_E$)的电位，配合不同时序的奇数级扫描启动信号($STV_O$)与偶数级扫描启动信号($STV_E$)，能够控制奇数级 GOA 单元电路与偶数级 GOA 单元电路同时或分时进行正向扫描或反向扫描

WO 2016/192142 A1

# 栅极驱动电路

## 技术领域

本发明涉及液晶显示领域，尤其涉及一种栅极驱动电路。

## 背景技术

液晶显示器（Liquid Crystal Display，LCD）具有机身薄、省电、无辐射等众多优点，得到了广泛的应用。如：液晶电视、移动电话、个人数字助理（PDA）、数字相机、计算机屏幕或笔记本电脑屏幕等，在平板显示领域中占主导地位。

现有市场上的液晶显示器大部分为背光型液晶显示器，其包括液晶显示面板及背光模组（backlight module）。液晶显示面板的工作原理是在薄膜晶体管阵列基板（Thin Film Transistor Array Substrate，TFT Array Substrate）与彩色滤光片基板（Color Filter，CF）之间灌入液晶分子，并在两片基板上施加驱动电压来控制液晶分子的旋转方向，以将背光模组的光线折射出来产生画面。

主动矩阵式液晶显示器（Active Matrix Liquid Crystal Display，AMLCD）是目前最常用的液晶显示装置，所述主动矩阵式液晶显示器包含多个像素，每个像素具有一个薄膜晶体管（Thin Film Transistor，TFT），该 TFT 的栅极连接至沿水平方向延伸的扫描线，漏极连接至沿垂直方向延伸的数据线，而该 TFT 的源极连接至对应的像素电极。如果在水平方向的某一扫描线上施加足够的正电压，则会使得连接在该条扫描线上的所有 TFT 打开，将数据线上所加载的数据信号电压写入像素电极中，控制不同液晶的透光度进而达到控制色彩的效果。

目前主动式液晶显示面板水平扫描线的驱动（即栅极驱动）主要由外接的集成电路（Integrated Circuit，IC）来完成，外接的 IC 可以控制各级水平扫描线的逐级充电和放电。而 GOA 技术（Gate Driver on Array）即阵列基板行驱动技术，可以运用液晶显示面板的原有制程将水平扫描线的驱动电路制作在显示区周围的基板上，使之能替代外接 IC 来完成水平扫描线的驱动。GOA 技术能减少外接 IC 的焊接（bonding）工序，有机会提升产能并降低产品成本，而且可以使液晶显示面板更适合制作窄边框或无边框的显示产品。

现有的栅极驱动电路的扫描方式通常比较单一，往往只能在同一时间

内进行正向扫描或反向扫描，只能在同一时间内进行逐行扫描或隔行扫描，，因此需要对现有的栅极驱动电路进行改进，以实现栅极扫描方式的多样化，满足不同显示产品的需求。

## 发明内容

本发明的目的在于提供一种栅极驱动电路，能够实现扫描方式的多样化，提高显示画质，满足不同显示产品的需求。

为实现上述目的，本发明提供一种栅极驱动电路，包括:

多个 GOA 单元电路，其中的各个奇数级 GOA 单元电路进行级联，各个偶数级 GOA 单元电路进行级联;

对应于奇数级 GOA 单元电路设置的分别用于提供奇数级第一扫描控制信号、奇数级第二扫描控制信号、奇数级扫描启动信号、奇数级第一高频时钟信号、奇数级第二高频时钟信号的信号线;

对应于偶数级 GOA 单元电路设置的分别用于提供偶数级第一扫描控制信号、偶数级第二扫描控制信号、偶数级扫描启动信号、偶数级第一高频时钟信号、偶数级第二高频时钟信号的信号线;

以及对应于所有 GOA 单元电路设置的用于提供第一低频时钟信号与第二低频时钟信号的共用信号线;

每一级 GOA 单元电路均包括: 正反向扫描控制模块、级传稳压模块、输出模块、第一下拉模块、及下拉维持模块; 所述正反向扫描控制模块又包括第一控制模块、与第二控制模块，所述第一控制模块在正向扫描时起上拉控制作用，在反向扫描时起下拉作用; 所述第二控制模块在反向扫描时起上拉控制作用，在正向扫描时起下拉作用;

设 N 为正整数，除第一级、第二级、倒数第二级、及最后一级 GOA 单元电路外，在第 N 级 GOA 单元电路中:

所述第一控制模块包括: 第十一晶体管，所述第十一晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，漏极电性连接于第一节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号;

所述第二控制模块包括: 第四十一晶体管，所述第四十一晶体管的栅极电性连接于第 N + 2 级 GOA 单元电路的级传信号，漏极电性连接于第一节点，当 N 为奇数时，源极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第二扫描控制信号;

所述输出模块包括: 第二十一晶体管，所述第二十一晶体管的栅极电

性连接于第一节点，漏极输出扫描信号，当 N 为奇数时，源极电性连接于奇数级第一高频时钟信号，当 N 为偶数时，源极电性连接于偶数级第一高频时钟信号；第二十二晶体管，所述第二十二晶体管的栅极电性连接于第一节点，漏极输出级传信号，当 N 为奇数时，源极电性连接于奇数级第一高频时钟信号，当 N 为偶数时，源极电性连接于偶数级第一高频时钟信号；电容，所述电容的一端电性连接于第一节点，另一端电性连接于级传信号；

所述下拉维持模块包括：第五十五晶体管、第一下拉维持模块、与第二下拉维持模块；

所述第五十五晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于第三节点；

所述第一下拉维持模块包括：第三十三晶体管，所述第三十三晶体管的栅极电性连接于第二节点，源极电性连接于扫描信号，漏极电性连接于恒压低电位；第三十六晶体管，所述第三十六晶体管的栅极电性连接于第二节点，源极电性连接于级传信号，漏极电性连接于恒压低电位；第四十三晶体管，所述第四十三晶体管的栅极电性连接于第二节点，源极电性连接于第一节点，漏极电性连接于恒压低电位；第五十一晶体管，所述第五十一晶体管的栅极与源极均电性连接于第一低频时钟信号，漏极电性连接于第五十三晶体管的栅极；第五十三晶体管，所述第五十三晶体管的栅极电性连接于第五十一晶体管的漏极，源极电性连接于第一低频时钟信号，漏极电性连接于第二节点；第五十四晶体管，所述第五十四晶体管的栅极电性连接于第二低频时钟信号，源极电性连接于第一低频时钟信号，漏极电性连接于第二节点；

所述第二下拉维持模块包括第三十二晶体管，所述第三十二晶体管的栅极电性连接于第三节点，源极电性连接于扫描信号，漏极电性连接于恒压低电位；第三十五晶体管，所述第三十五晶体管的栅极电性连接于第三节点，源极电性连接于级传信号，漏极电性连接于恒压低电位；第四十二晶体管，所述第四十二晶体管的栅极电性连接于第三节点，源极电性连接于第一节点，漏极电性连接于恒压低电位；第六十一晶体管，所述第六十一晶体管的栅极与源极均电性连接于第二低频时钟信号，漏极电性连接于第六十三晶体管的栅极；第六十三晶体管，所述第六十三晶体管的栅极电性连接于第六十一晶体管的漏极，源极电性连接于第二低频时钟信号，漏极电性连接于第三节点；第六十四晶体管，所述第六十四晶体管的栅极电性连接于第一低频时钟信号，源极电性连接于第二低频时钟信号，漏极电性连接于第三节点；

所述级传稳压模块包括第五十二晶体管，所述第五十二晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于恒压低电位；第六十二晶体管，所述第六十二晶体管的栅极电性连接于第一节点，源极电性连接于第三节点，漏极电性连接于恒压低电位；第十晶体管，所述第十晶体管的栅极电性连接于第 N+2 级 GOA 单元电路的级传信号，漏极电性连接于第二节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号；第十二晶体管，所述第十二晶体管的栅极电性连接于第 N+2 级 GOA 单元电路的级传信号，漏极电性连接于第三节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号；第五十六晶体管，所述第五十六晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，源极电性连接于第五十一晶体管的漏极及第二节点，当 N 为奇数时，漏极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，漏极电性连接于偶数级第二扫描控制信号；第六十六晶体管，所述第六十六晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，源极电性连接于第六十一晶体管的漏极及第三节点，当 N 为奇数时，漏极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，漏极电性连接于偶数级第二扫描控制信号；

所述第一下拉模块包括第三十一晶体管，源极电性连接于扫描信号，漏极电性连接于恒压低电位，当 N 为奇数时，所述第三十一晶体管的栅极电性连接于奇数级第二高频时钟信号，当 N 为偶数时，所述第三十一晶体管的栅极电性连接于偶数级第二高频时钟信号；

所述第一低频时钟信号与第二低频时钟信号的相位相反；

当 N 为奇数时，在第 N+2 级 GOA 单元电路中，第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第二高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第一高频时钟信号；

当 N 为偶数时，在第 N+2 级 GOA 单元电路中，第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第二高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第一高频时钟信号；

所述奇数级第一扫描控制信号为高电位、奇数级第二扫描控制信号为低电位时，控制奇数级 GOA 单元电路进行正向扫描；所述奇数级第一扫描控制信号为低电位、奇数级第二扫描控制信号为高电位时，控制奇数级 GOA 单元电路进行反向扫描；

所述偶数级第一扫描控制信号为高电位、偶数级第二扫描控制信号为

低电位时，控制偶数级GOA单元电路进行正向扫描；所述偶数级第一扫描控制信号为低电位、偶数级第二扫描控制信号为高电位时，控制偶数级GOA单元电路进行反向扫描。

所述栅极驱动电路的第一级连接关系中，所述第十一晶体管的栅极、第五十六晶体管的栅极、及第六十六晶体管的栅极均电性连接于奇数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第一高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第二高频时钟信号；

所述栅极驱动电路的第二级连接关系中，所述第十一晶体管的栅极、第五十六晶体管的栅极、及第六十六晶体管的栅极均电性连接于偶数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第一高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第二高频时钟信号；

所述栅极驱动电路的倒数第二级连接关系中，所述第四十一晶体管的栅极、第十晶体管的栅极、及第十二晶体管的栅极均电性连接于奇数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第二高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第一高频时钟信号；

所述栅极驱动电路的最后一级连接关系中，所述第四十一晶体管的栅极、第十晶体管的栅极、及第十二晶体管的栅极均电性连接于偶数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第二高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第一高频时钟信号。

所述奇数级第一扫描控制信号和偶数级第一扫描控制信号均为高电位，奇数级第二扫描控制信号和偶数级第二扫描控制信号均为低电位；

在一帧扫描开始时，向所述第一级GOA单元电路的第十一晶体管的栅极提供奇数级扫描启动信号，同时向所述第二级GOA单元电路的第十一晶体管的栅极提供偶数级扫描启动信号；奇数级GOA单元电路正向扫描与偶数级GOA单元电路正向扫描同时进行。

所述奇数级第一扫描控制信号和偶数级第一扫描控制信号均为高电位，奇数级第二扫描控制信号和偶数级第二扫描控制信号均为低电位；

在一帧扫描的时间内，先向所述第一级GOA单元电路的第十一晶体管的栅极提供奇数级扫描启动信号，所有奇数级GOA单元电路扫描完成后再向所述第二级 GOA 单元电路的第十一晶体管的栅极提供偶数级扫描启动

信号；奇数级 GOA 单元电路正向扫描与偶数级 GOA 单元电路正向扫描分时进行。

所述奇数级第一扫描控制信号和偶数级第一扫描控制信号均为低电位，奇数级第二扫描控制信号和偶数级第二扫描控制信号均为高电位；

在一帧扫描开始时，向所述倒数第二级 GOA 单元电路的第四十一晶体管的栅极提供奇数级扫描启动信号，同时向最后一级 GOA 单元电路的第四十一晶体管的栅极提供偶数级扫描启动信号；奇数级 GOA 单元电路反向扫描与偶数级 GOA 单元电路反向扫描同时进行。

所述奇数级第一扫描控制信号和偶数级第一扫描控制信号均为低电位，奇数级第二扫描控制信号和偶数级第二扫描控制信号均为高电位；

在一帧扫描的时间内，先向倒数第二级的 GOA 单元电路的第四十一晶体管的栅极提供奇数级扫描启动信号，所有奇数级 GOA 单元电路扫描完成后再向最后一级 GOA 单元电路的第四十一晶体管的栅极提供偶数级扫描启动信号；奇数级 GOA 单元电路反向扫描与偶数级 GOA 单元电路反向扫描分时进行。

所述奇数级第一扫描控制信号和偶数级第二扫描控制信号均为高电位，奇数级第二扫描控制信号和偶数级第一扫描控制信号均为低电位；

在一帧扫描开始时，向所述第一级 GOA 单元电路的第十一薄膜晶体管的栅极提供奇数级扫描启动信号，同时向最后一级 GOA 单元电路的第四十一晶体管的栅极提供偶数级扫描启动信号；

奇数级 GOA 单元电路正向扫描与偶数级 GOA 单元电路反向扫描同时进行。

所述奇数级第一扫描控制信号和偶数级第二扫描控制信号均为高电位，奇数级第二扫描控制信号和偶数级第一扫描控制信号均为低电位；

在一帧扫描的时间内，先向所述第一级的 GOA 单元电路的第十一晶体管的栅极提供奇数级扫描启动信号，所有奇数级 GOA 单元电路扫描完成后再向所述最后一级 GOA 单元电路的第四十一晶体管的栅极提供偶数级扫描启动信号；奇数级 GOA 单元电路正向扫描与偶数级 GOA 单元电路反向扫描分时进行。

所述奇数级第一扫描控制信号和偶数级第二扫描控制信号均为低电位，奇数级第二扫描控制信号和偶数级第一扫描控制信号均为高电位；

在一帧扫描开始时，向所述倒数第二级 GOA 单元电路的第四十一晶体管的栅极提供奇数级扫描启动信号，同时向第二级 GOA 单元电路的第十一晶体管的栅极提供偶数级扫描启动信号；奇数级 GOA 单元电路反向扫描与

偶数级 GOA 单元电路正向扫描同时进行。

所述奇数级第一扫描控制信号和偶数级第二扫描控制信号均为低电位，奇数级第二扫描控制信号和偶数级第一扫描控制信号均为高电位；

在一帧扫描的时间内，先向所述倒数第二级 GOA 单元电路的第四十一薄膜晶体管的栅极提供奇数级扫描启动信号，所有奇数级 GOA 单元电路扫描完成后再向所述第二级 GOA 单元电路的第十一薄膜晶体管的栅极提供偶数级扫描启动信号；奇数级 GOA 单元电路反向扫描与偶数级 GOA 单元电路正向扫描分时进行。

本发明还提供一种栅极驱动电路，包括：

多个 GOA 单元电路，其中的各个奇数级 GOA 单元电路进行级联，各个偶数级 GOA 单元电路进行级联；

对应于奇数级 GOA 单元电路设置的分别用于提供奇数级第一扫描控制信号、奇数级第二扫描控制信号、奇数级扫描启动信号、奇数级第一高频时钟信号、奇数级第二高频时钟信号的信号线；

对应于偶数级 GOA 单元电路设置的分别用于提供偶数级第一扫描控制信号、偶数级第二扫描控制信号、偶数级扫描启动信号、偶数级第一高频时钟信号、偶数级第二高频时钟信号的信号线；

以及对应于所有 GOA 单元电路设置的用于提供第一低频时钟信号与第二低频时钟信号的共用信号线；

每一级 GOA 单元电路均包括：正反向扫描控制模块、级传稳压模块、输出模块、第一下拉模块、及下拉维持模块；所述正反向扫描控制模块又包括第一控制模块、与第二控制模块，所述第一控制模块在正向扫描时起上拉控制作用，在反向扫描时起下拉作用；所述第二控制模块在反向扫描时起上拉控制作用，在正向扫描时起下拉作用；

设 N 为正整数，除第一级、第二级、倒数第二级、及最后一级 GOA 单元电路外，在第 N 级 GOA 单元电路中：

所述第一控制模块包括：第十一晶体管，所述第十一晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，漏极电性连接于第一节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号；

所述第二控制模块包括：第四十一晶体管，所述第四十一晶体管的栅极电性连接于第 N + 2 级 GOA 单元电路的级传信号，漏极电性连接于第一节点，当 N 为奇数时，源极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第二扫描控制信号；

所述输出模块包括：第二十一晶体管，所述第二十一晶体管的栅极电性连接于第一节点，漏极输出扫描信号，当 N 为奇数时，源极电性连接于奇数级第一高频时钟信号，当 N 为偶数时，源极电性连接于偶数级第一高频时钟信号；第二十二晶体管，所述第二十二晶体管的栅极电性连接于第一节点，漏极输出级传信号，当 N 为奇数时，源极电性连接于奇数级第一高频时钟信号，当 N 为偶数时，源极电性连接于偶数级第一高频时钟信号；电容，所述电容的一端电性连接于第一节点，另一端电性连接于级传信号；

所述下拉维持模块包括：第五十五晶体管、第一下拉维持模块、与第二下拉维持模块；

所述第五十五晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于第三节点；

所述第一下拉维持模块包括：第三十三晶体管，所述第三十三晶体管的栅极电性连接于第二节点，源极电性连接于扫描信号，漏极电性连接于恒压低电位；第三十六晶体管，所述第三十六晶体管的栅极电性连接于第二节点，源极电性连接于级传信号，漏极电性连接于恒压低电位；第四十三晶体管，所述第四十三晶体管的栅极电性连接于第二节点，源极电性连接于第一节点，漏极电性连接于恒压低电位；第五十一晶体管，所述第五十一晶体管的栅极与源极均电性连接于第一低频时钟信号，漏极电性连接于第五十三晶体管的栅极；第五十三晶体管，所述第五十三晶体管的栅极电性连接于第五十一晶体管的漏极，源极电性连接于第一低频时钟信号，漏极电性连接于第二节点；第五十四晶体管，所述第五十四晶体管的栅极电性连接于第二低频时钟信号，源极电性连接于第一低频时钟信号，漏极电性连接于第二节点；

所述第二下拉维持模块包括第三十二晶体管，所述第三十二晶体管的栅极电性连接于第三节点，源极电性连接于扫描信号，漏极电性连接于恒压低电位；第三十五晶体管，所述第三十五晶体管的栅极电性连接于第三节点，源极电性连接于级传信号，漏极电性连接于恒压低电位；第四十二晶体管，所述第四十二晶体管的栅极电性连接于第三节点，源极电性连接于第一节点，漏极电性连接于恒压低电位；第六十一晶体管，所述第六十一晶体管的栅极与源极均电性连接于第二低频时钟信号，漏极电性连接于第六十三晶体管的栅极；第六十三晶体管，所述第六十三晶体管的栅极电性连接于第六十一晶体管的漏极，源极电性连接于第二低频时钟信号，漏极电性连接于第三节点；第六十四晶体管，所述第六十四晶体管的栅极电性连接于第一低频时钟信号，源极电性连接于第二低频时钟信号，漏极电

性连接于第三节点；

所述级传稳压模块包括第五十二晶体管，所述第五十二晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于恒压低电位；第六十二晶体管，所述第六十二晶体管的栅极电性连接于第一节点，源极电性连接于第三节点，漏极电性连接于恒压低电位；第十晶体管，所述第十晶体管的栅极电性连接于第 N+2 级 GOA 单元电路的级传信号，漏极电性连接于第二节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号；第十二晶体管，所述第十二晶体管的栅极电性连接于第 N+2 级 GOA 单元电路的级传信号，漏极电性连接于第三节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号；第五十六晶体管，所述第五十六晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，源极电性连接于第五十一晶体管的漏极及第二节点，当 N 为奇数时，漏极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，漏极电性连接于偶数级第二扫描控制信号；第六十六晶体管，所述第六十六晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，源极电性连接于第六十一晶体管的漏极及第三节点，当 N 为奇数时，漏极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，漏极电性连接于偶数级第二扫描控制信号；

所述第一下拉模块包括第三十一晶体管，源极电性连接于扫描信号，漏极电性连接于恒压低电位，当 N 为奇数时，所述第三十一晶体管的栅极电性连接于奇数级第二高频时钟信号，当 N 为偶数时，所述第三十一晶体管的栅极电性连接于偶数级第二高频时钟信号；

所述第一低频时钟信号与第二低频时钟信号的相位相反；

当 N 为奇数时，在第 N+2 级 GOA 单元电路中，第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第二高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第一高频时钟信号；

当 N 为偶数时，在第 N+2 级 GOA 单元电路中，第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第二高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第一高频时钟信号；

所述奇数级第一扫描控制信号为高电位、奇数级第二扫描控制信号为低电位时，控制奇数级 GOA 单元电路进行正向扫描；所述奇数级第一扫描控制信号为低电位、奇数级第二扫描控制信号为高电位时，控制奇数级 GOA 单元电路进行反向扫描；

所述偶数级第一扫描控制信号为高电位、偶数级第二扫描控制信号为低电位时，控制偶数级GOA单元电路进行正向扫描；所述偶数级第一扫描控制信号为低电位、偶数级第二扫描控制信号为高电位时，控制偶数级GOA单元电路进行反向扫描；

其中，所述栅极驱动电路的第一级连接关系中，所述第十一晶体管的栅极、第五十六晶体管的栅极、及第六十六晶体管的栅极均电性连接于奇数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第一高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第二高频时钟信号；

所述栅极驱动电路的第二级连接关系中，所述第十一晶体管的栅极、第五十六晶体管的栅极、及第六十六晶体管的栅极均电性连接于偶数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第一高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第二高频时钟信号；

所述栅极驱动电路的倒数第二级连接关系中，所述第四十一晶体管的栅极、第十晶体管的栅极、及第十二晶体管的栅极均电性连接于奇数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第二高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第一高频时钟信号；

所述栅极驱动电路的最后一级连接关系中，所述第四十一晶体管的栅极、第十晶体管的栅极、及第十二晶体管的栅极均电性连接于偶数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第二高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第一高频时钟信号；

其中，所述奇数级第一扫描控制信号和偶数级第一扫描控制信号均为高电位，奇数级第二扫描控制信号和偶数级第二扫描控制信号均为低电位；

在一帧扫描开始时，向所述第一级GOA单元电路的第十一晶体管的栅极提供奇数级扫描启动信号，同时向所述第二级GOA单元电路的第十一晶体管的栅极提供偶数级扫描启动信号；奇数级GOA单元电路正向扫描与偶数级GOA单元电路正向扫描同时进行。

本发明还提供一种栅极驱动电路，包括：

多个GOA单元电路，其中的各个奇数级GOA单元电路进行级联，各个偶数级GOA单元电路进行级联；

对应于奇数级 GOA 单元电路设置的分别用于提供奇数级第一扫描控

制信号、奇数级第二扫描控制信号、奇数级扫描启动信号、奇数级第一高频时钟信号、奇数级第二高频时钟信号的信号线；

对应于偶数级 GOA 单元电路设置的分别用于提供偶数级第一扫描控制信号、偶数级第二扫描控制信号、偶数级扫描启动信号、偶数级第一高频时钟信号、偶数级第二高频时钟信号的信号线；

以及对应于所有 GOA 单元电路设置的用于提供第一低频时钟信号与第二低频时钟信号的共用信号线；

每一级 GOA 单元电路均包括：正反向扫描控制模块、级传稳压模块、输出模块、第一下拉模块、及下拉维持模块；所述正反向扫描控制模块又包括第一控制模块、与第二控制模块，所述第一控制模块在正向扫描时起上拉控制作用，在反向扫描时起下拉作用；所述第二控制模块在反向扫描时起上拉控制作用，在正向扫描时起下拉作用；

设 N 为正整数，除第一级、第二级、倒数第二级、及最后一级 GOA 单元电路外，在第 N 级 GOA 单元电路中：

所述第一控制模块包括：第十一晶体管，所述第十一晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，漏极电性连接于第一节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号；

所述第二控制模块包括：第四十一晶体管，所述第四十一晶体管的栅极电性连接于第 N + 2 级 GOA 单元电路的级传信号，漏极电性连接于第一节点，当 N 为奇数时，源极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第二扫描控制信号；

所述输出模块包括：第二十一晶体管，所述第二十一晶体管的栅极电性连接于第一节点，漏极输出扫描信号，当 N 为奇数时，源极电性连接于奇数级第一高频时钟信号，当 N 为偶数时，源极电性连接于偶数级第一高频时钟信号；第二十二晶体管，所述第二十二晶体管的栅极电性连接于第一节点，漏极输出级传信号，当 N 为奇数时，源极电性连接于奇数级第一高频时钟信号，当 N 为偶数时，源极电性连接于偶数级第一高频时钟信号；电容，所述电容的一端电性连接于第一节点，另一端电性连接于级传信号；

所述下拉维持模块包括：第五十五晶体管、第一下拉维持模块、与第二下拉维持模块；

所述第五十五晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于第三节点；

所述第一下拉维持模块包括：第三十三晶体管，所述第三十三晶体管

的栅极电性连接于第二节点，源极电性连接于扫描信号，漏极电性连接于恒压低电位；第三十六晶体管，所述第三十六晶体管的栅极电性连接于第二节点，源极电性连接于级传信号，漏极电性连接于恒压低电位；第四十三晶体管，所述第四十三晶体管的栅极电性连接于第二节点，源极电性连接于第一节点，漏极电性连接于恒压低电位；第五十一晶体管，所述第五十一晶体管的栅极与源极均电性连接于第一低频时钟信号，漏极电性连接于第五十三晶体管的栅极；第五十三晶体管，所述第五十三晶体管的栅极电性连接于第五十一晶体管的漏极，源极电性连接于第一低频时钟信号，漏极电性连接于第二节点；第五十四晶体管，所述第五十四晶体管的栅极电性连接于第二低频时钟信号，源极电性连接于第一低频时钟信号，漏极电性连接于第二节点；

所述第二下拉维持模块包括第三十二晶体管，所述第三十二晶体管的栅极电性连接于第三节点，源极电性连接于扫描信号，漏极电性连接于恒压低电位；第三十五晶体管，所述第三十五晶体管的栅极电性连接于第三节点，源极电性连接于级传信号，漏极电性连接于恒压低电位；第四十二晶体管，所述第四十二晶体管的栅极电性连接于第三节点，源极电性连接于第一节点，漏极电性连接于恒压低电位；第六十一晶体管，所述第六十一晶体管的栅极与源极均电性连接于第二低频时钟信号，漏极电性连接于第六十三晶体管的栅极；第六十三晶体管，所述第六十三晶体管的栅极电性连接于第六十一晶体管的漏极，源极电性连接于第二低频时钟信号，漏极电性连接于第三节点；第六十四晶体管，所述第六十四晶体管的栅极电性连接于第一低频时钟信号，源极电性连接于第二低频时钟信号，漏极电性连接于第三节点；

所述级传稳压模块包括第五十二晶体管，所述第五十二晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于恒压低电位；第六十二晶体管，所述第六十二晶体管的栅极电性连接于第一节点，源极电性连接于第三节点，漏极电性连接于恒压低电位；第十晶体管，所述第十晶体管的栅极电性连接于第 N+2 级 GOA 单元电路的级传信号，漏极电性连接于第二节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号；第十二晶体管，所述第十二晶体管的栅极电性连接于第 N+2 级 GOA 单元电路的级传信号，漏极电性连接于第三节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号；第五十六晶体管，所述第五十六晶体管的栅极电性连接于

第 N-2 级 GOA 单元电路的级传信号，源极电性连接于第五十一晶体管的漏极及第二节点，当 N 为奇数时，漏极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，漏极电性连接于偶数级第二扫描控制信号；第六十六晶体管，所述第六十六晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，源极电性连接于第六十一晶体管的漏极及第三节点，当 N 为奇数时，漏极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，漏极电性连接于偶数级第二扫描控制信号；

所述第一下拉模块包括第三十一晶体管，源极电性连接于扫描信号，漏极电性连接于恒压低电位，当 N 为奇数时，所述第三十一晶体管的栅极电性连接于奇数级第二高频时钟信号，当 N 为偶数时，所述第三十一晶体管的栅极电性连接于偶数级第二高频时钟信号；

所述第一低频时钟信号与第二低频时钟信号的相位相反；

当 N 为奇数时，在第 N+2 级 GOA 单元电路中，第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第二高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第一高频时钟信号；

当 N 为偶数时，在第 N+2 级 GOA 单元电路中，第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第二高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第一高频时钟信号；

所述奇数级第一扫描控制信号为高电位、奇数级第二扫描控制信号为低电位时，控制奇数级 GOA 单元电路进行正向扫描；所述奇数级第一扫描控制信号为低电位、奇数级第二扫描控制信号为高电位时，控制奇数级 GOA 单元电路进行反向扫描；

所述偶数级第一扫描控制信号为高电位、偶数级第二扫描控制信号为低电位时，控制偶数级 GOA 单元电路进行正向扫描；所述偶数级第一扫描控制信号为低电位、偶数级第二扫描控制信号为高电位时，控制偶数级 GOA 单元电路进行反向扫描；

其中，所述栅极驱动电路的第一级连接关系中，所述第十一晶体管的栅极、第五十六晶体管的栅极、及第六十六晶体管的栅极均电性连接于奇数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第一高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第二高频时钟信号；

所述栅极驱动电路的第二级连接关系中，所述第十一晶体管的栅极、第五十六晶体管的栅极、及第六十六晶体管的栅极均电性连接于偶数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接

于偶数级第一高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第二高频时钟信号；

所述栅极驱动电路的倒数第二级连接关系中，所述第四十一晶体管的栅极、第十晶体管的栅极、及第十二晶体管的栅极均电性连接于奇数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第二高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第一高频时钟信号；

所述栅极驱动电路的最后一级连接关系中，所述第四十一晶体管的栅极、第十晶体管的栅极、及第十二晶体管的栅极均电性连接于偶数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第二高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第一高频时钟信号；

其中，所述奇数级第一扫描控制信号和偶数级第一扫描控制信号均为高电位，奇数级第二扫描控制信号和偶数级第二扫描控制信号均为低电位；

在一帧扫描的时间内，先向所述第一级 GOA 单元电路的第十一晶体管的栅极提供奇数级扫描启动信号，所有奇数级 GOA 单元电路扫描完成后再向所述第二级 GOA 单元电路的第十一晶体管的栅极提供偶数级扫描启动信号；奇数级 GOA 单元电路正向扫描与偶数级 GOA 单元电路正向扫描分时进行。

本发明的有益效果：本发明提供的一种栅极驱动电路，将各个奇数级 GOA 单元电路进行级联，各个偶数级 GOA 单元电路进行级联；对应于奇数级 GOA 单元电路设置奇数级第一、第二扫描控制信号、奇数级扫描启动信号、奇数级第一、第二高频时钟信号；对应于偶数级 GOA 单元电路设置偶数级第一、第二扫描控制信号、偶数级扫描启动信号、偶数级第一、第二高频时钟信号；通过控制奇数级第一、第二扫描控制信号与偶数级第一、第二扫描控制信号的电位，配合不同时序的奇数级扫描启动信号与偶数级扫描启动信号，能够控制奇数级 GOA 单元电路与偶数级 GOA 单元电路同时或分时进行正向扫描或反向扫描，实现了栅极驱动电路扫描方式的多样化，提高显示画质，满足不同显示产品的需求。

## 附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为本发明的栅极驱动电路的多级架构图;

图 2 为本发明的栅极驱动电路的奇数级 GOA 单元电路的电路图;

图 3 为本发明的栅极驱动电路的偶数级 GOA 单元电路的电路图;

图 4 为本发明的栅极驱动电路的第一级 GOA 单元电路的电路图;

图 5 为本发明的栅极驱动电路的第二级 GOA 单元电路的电路图;

图 6 为本发明的栅极驱动电路的倒数第二级 GOA 单元电路的电路图;

图 7 为本发明的栅极驱动电路的最后一级 GOA 单元的电路图;

图 8 为本发明的栅极驱动电路正向扫描的时序图;

图 9 为本发明的栅极驱动电路奇数级 GOA 单元电路与偶数级 GOA 单元电路同时扫描时的时序逻辑表;

图 10 为本发明的栅极驱动电路奇数级 GOA 单元电路与偶数级 GOA 单元电路分时扫描时的时序逻辑表。

## 具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请同时参阅图 1 至图 3，本发明提供一种栅极驱动电路。如图 1 所示，本发明的栅极驱动电路包括:

多个 GOA 单元电路，其中的各个奇数级 GOA 单元电路进行级联，各个偶数级 GOA 单元电路进行级联;

对应于奇数级 GOA 单元电路设置的分别用于提供奇数级第一扫描控制信号 $Vf_O$、奇数级第二扫描控制信号 $Vr_O$、奇数级扫描启动信号 $STV_O$、奇数级第一高频时钟信号 $CK1_O$、奇数级第二高频时钟信号 $CK2_O$ 的信号线;

对应于偶数级 GOA 单元电路设置的分别用于提供偶数级第一扫描控制信号 $Vf_E$、偶数级第二扫描控制信号 $Vr_E$、偶数级扫描启动信号 $STV_E$、偶数级第一高频时钟信号 $CK1_E$、偶数级第二高频时钟信号 $CK2_E$ 的信号线;

以及对应于所有 GOA 单元电路设置的用于提供第一低频时钟信号 LC1 与第二低频时钟信号 LC2 的共用信号线 Busline。

如图 2、图 3 所示，每一级 GOA 单元电路均包括：正反向扫描控制模块、级传稳压模块 200、输出模块 300、第一下拉模块 400、及下拉维持模块 500; 所述正反向扫描控制模块又包括第一控制模块 101、与第二控制模块 102。

设 N 为正整数，除第一级、第二级、倒数第二级、及最后一级 GOA 单元电路外，在第 N 级 GOA 单元电路中:

所述第一控制模块 101 包括：第十一晶体管 T11，所述第十一晶体管 T11 的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号 ST（N-2），漏极电性连接于第一节点 Q（N），当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号 $Vf_O$，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号 $Vf_E$。

所述第二控制模块 102 包括：第四十一晶体管 T41，所述第四十一晶体管 T41 的栅极电性连接于第 N + 2 级 GOA 单元电路的级传信号 ST（N + 2），漏极电性连接于第一节点 Q（N），当 N 为奇数时，源极电性连接于奇数级第二扫描控制信号 $Vr_O$，当 N 为偶数时，源极电性连接于偶数级第二扫描控制信号 $Vr_E$。

所述输出模块 300 包括：第二十一晶体管 T21，所述第二十一晶体管 T21 的栅极电性连接于第一节点 Q（N），漏极输出扫描信号 G（N），当 N 为奇数时，源极电性连接于奇数级第一高频时钟信号 $CK1_O$，当 N 为偶数时，源极电性连接于偶数级第一高频时钟信号 $CK1_E$；第二十二晶体管 T22，所述第二十二晶体管 T22 的栅极电性连接于第一节点 Q（N），漏极输出级传信号 ST（N），当 N 为奇数时，源极电性连接于奇数级第一高频时钟信号 $CK1_O$，当 N 为偶数时，源极电性连接于偶数级第一高频时钟信号 $CK1_E$；电容 Cb，所述电容 Cb 的一端电性连接于第一节点 Q（N），另一端电性连接于级传信号 ST（N）。

所述下拉维持模块 500 包括：第五十五晶体管 T55、第一下拉维持模块 501、与第二下拉维持模块 502。

所述第五十五晶体管 T55 的栅极电性连接于第一节点 Q（N），源极电性连接于第二节点 K（N），漏极电性连接于第三节点 P（N）。

所述第一下拉维持模块 501 包括：第三十三晶体管 T33，所述第三十三晶体管 T33 的栅极电性连接于第二节点 K（N），源极电性连接于扫描信号 G（N），漏极电性连接于恒压低电位 VSS；第三十六晶体管 T36，所述第三十六晶体管 T36 的栅极电性连接于第二节点 K（N），源极电性连接于级传信号 ST（N），漏极电性连接于恒压低电位 VSS；第四十三晶体管 T43，所述第四十三晶体管 T43 的栅极电性连接于第二节点 K（N），源极电性连接于第一节点 Q（N），漏极电性连接于恒压低电位 VSS；第五十一晶体管 T51，所述第五十一晶体管 T51 的栅极与源极均电性连接于第一低频时钟信号 LC1，漏极电性连接于第五十三晶体管 T53 的栅极；第五十三晶体管 T53，所述第五十三晶体管 T53 的栅极电性连接于第五十一晶体管 T51 的漏极，源极电性连接于第一低频时钟信号 LC1，漏极电性连接于第二节点 K（N）；

第五十四晶体管 T54，所述第五十四晶体管 T54 的栅极电性连接于第二低频时钟信号 LC2，源极电性连接于第一低频时钟信号 LC1，漏极电性连接于第二节点 K（N）。

所述第二下拉维持模块 502 包括第三十二晶体管 T32，所述第三十二晶体管 T32 的栅极电性连接于第三节点 P（N），源极电性连接于扫描信号 G（N），漏极电性连接于恒压低电位 VSS；第三十五晶体管 T35，所述第三十五晶体管 T35 的栅极电性连接于第三节点 P（N），源极电性连接于级传信号 ST（N），漏极电性连接于恒压低电位 VSS；第四十二晶体管 T42，所述第四十二晶体管 T42 的栅极电性连接于第三节点 P（N），源极电性连接于第一节点 Q(N)，漏极电性连接于恒压低电位 VSS；第六十一晶体管 T61，所述第六十一晶体管 T61 的栅极与源极均电性连接于第二低频时钟信号 LC2，漏极电性连接于第六十三晶体管 T63 的栅极；第六十三晶体管 T63，所述第六十三晶体管 T63 的栅极电性连接于第六十一晶体管 T61 的漏极，源极电性连接于第二低频时钟信号 LC2，漏极电性连接于第三节点 P（N）；第六十四晶体管 T64，所述第六十四晶体管 T64 的栅极电性连接于第一低频时钟信号 LC1，源极电性连接于第二低频时钟信号 LC2，漏极电性连接于第三节点 P（N）。

所述级传稳压模块 200 包括第五十二晶体管 T52，所述第五十二晶体管 T52 的栅极电性连接于第一节点 Q（N），源极电性连接于第二节点 K（N），漏极电性连接于恒压低电位 VSS；第六十二晶体管 T62，所述第六十二晶体管 T62 的栅极电性连接于第一节点 Q（N），源极电性连接于第三节点 P（N），漏极电性连接于恒压低电位 VSS；第十晶体管 T10，所述第十晶体管 T10 的栅极电性连接于第 N+2 级 GOA 单元电路的级传信号 ST（N+2），漏极电性连接于第二节点 K（N），当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号 $Vf_O$，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号 $Vf_E$；第十二晶体管 T12，所述第十二晶体管 T12 的栅极电性连接于第 N+2 级 GOA 单元电路的级传信号 ST（N+2），漏极电性连接于第三节点 P（N），当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号 $Vf_O$，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号 $Vf_E$；第五十六晶体管 T56，所述第五十六晶体管 T56 的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号 ST（N-2），源极电性连接于第五十一晶体管 T51 的漏极及第二节点 K（N），当 N 为奇数时，漏极电性连接于奇数级第二扫描控制信号 $Vr_O$，当 N 为偶数时，漏极电性连接于偶数级第二扫描控制信号 $Vr_E$；第六十六晶体管 T66，所述第六十六晶体管 T66 的栅极电性连接于第 N-2

级 GOA 单元电路的级传信号 ST（N-2），源极电性连接于第六十一晶体管 T61 的漏极及第三节点 P（N），当 N 为奇数时，漏极电性连接于奇数级第二扫描控制信号 $Vr_O$，当 N 为偶数时，漏极电性连接于偶数级第二扫描控制信号 $Vr_E$。

所述第一下拉模块 400 包括第三十一晶体管 T31，源极电性连接于扫描信号 G（N），漏极电性连接于恒压低电位 VSS，当 N 为奇数时，所述第三十一晶体管 T31 的栅极电性连接于奇数级第二高频时钟信号 $CK2_O$，当 N 为偶数时，所述第三十一晶体管 T31 的栅极电性连接于偶数级第二高频时钟信号 $CK2_E$。

当 N 为奇数时，在第 N+2 级 GOA 单元电路中，第二十一晶体管 T21 的源极与第二十二晶体管 T22 的源极均电性连接于奇数级第二高频时钟信号 $CK2_O$，第三十一晶体管 T31 的栅极电性连接于奇数级第一高频时钟信号 $CK1_O$。

当 N 为偶数时，在第 N+2 级 GOA 单元电路中，第二十一晶体管 T21 的源极与第二十二晶体管 T22 的源极均电性连接于偶数级第二高频时钟信号 $CK2_E$，第三十一晶体管 T31 的栅极电性连接于偶数级第一高频时钟信号 $CK1_E$。

进一步的，本发明的栅极驱动电路的奇数级 GOA 单元电路与偶数级 GOA 单元电路能够分别进行正向或反向扫描。所述第一控制模块 101 在正向扫描时起上拉控制作用，在反向扫描时起下拉作用；所述第二控制模块 102 在反向扫描时起上拉控制作用，在正向扫描时起下拉作用。当所述奇数级第一扫描控制信号 $Vf_O$ 为高电位、奇数级第二扫描控制信号 $Vr_O$ 为低电位时，控制奇数级 GOA 单元电路进行正向扫描；当所述奇数级第一扫描控制信号 $Vf_O$ 为低电位、奇数级第二扫描控制信号 $Vr_O$ 为高电位时，控制奇数级 GOA 单元电路进行反向扫描。当所述偶数级第一扫描控制信号 $Vf_E$ 为高电位、偶数级第二扫描控制信号 $Vr_E$ 为低电位时，控制偶数级 GOA 单元电路进行正向扫描；当所述偶数级第一扫描控制信号 $Vf_E$ 为低电位、偶数级第二扫描控制信号 $Vr_E$ 为高电位时，控制偶数级 GOA 单元电路进行反向扫描。

所述第一低频时钟信号 LC1 与第二低频时钟信号 LC2 的相位相反，控制所述第一下拉维持模块 501、与第二下拉维持模块 502 交替起作用。

特别的，请分别参阅图 4、图 5、图 6、及图 7，所述栅极驱动电路的第一级连接关系中，所述第十一晶体管 T11 的栅极、第五十六晶体管 T56 的栅极、及第六十六晶体管 T66 的栅极均电性连接于奇数级扫描启动信号 $STV_O$；第二十一晶体管 T21 的源极与第二十二晶体管 T22 的源极均电性连

接于奇数级第一高频时钟信号 $CK1_O$，第三十一晶体管 T31 的栅极电性连接于奇数级第二高频时钟信号 $CK2_O$。

所述栅极驱动电路的第二级连接关系中，所述第十一晶体管 T11 的栅极、第五十六晶体管 T56 的栅极、及第六十六晶体管 T66 的栅极均电性连接于偶数级扫描启动信号 $STV_E$；第二十一晶体管 T21 的源极与第二十二晶体管 T22 的源极均电性连接于偶数级第一高频时钟信号 $CK1_E$，第三十一晶体管 T31 的栅极电性连接于偶数级第二高频时钟信号 $CK2_E$。

所述栅极驱动电路的倒数第二级连接关系中，所述第四十一晶体管 T41 的栅极、第十晶体管 T10 的栅极、及第十二晶体管 T12 的栅极均电性连接于奇数级扫描启动信号 $STV_O$；第二十一晶体管 T21 的源极与第二十二晶体管 T22 的源极均电性连接于奇数级第二高频时钟信号 $CK2_O$，第三十一晶体管 T31 的栅极电性连接于奇数级第一高频时钟信号 $CK1_O$。

所述栅极驱动电路的最后一级连接关系中，所述第四十一晶体管 T41 的栅极、第十晶体管 T10 的栅极、及第十二晶体管 T12 的栅极均电性连接于偶数级扫描启动信号 $STV_E$；第二十一晶体管 T21 的源极与第二十二晶体管 T22 的源极均电性连接于偶数级第二高频时钟信号 $CK2_E$，第三十一晶体管 T31 的栅极电性连接于偶数级第一高频时钟信号 $CK1_E$。

请参阅图 2，并结合图 8，本发明的栅极驱动电路的奇数数级 GOA 单元电路进行正向扫描时的具体工作过程为：奇数级第一扫描控制信号 $Vf_O$ 为高电位，奇数级第二扫描控制信号 $Vr_O$ 为低电位，向第一级 GOA 单元电路提供奇数级扫描启动信号 $STV_O$。设 N 为奇数，第 N 级 GOA 单元电路接受来自第 N-2 级 GOA 单元电路的级传信号 ST（N-2），当第 N-2 级 GOA 单元电路的级传信号 ST（N-2）为高电位时，第十一晶体管 T11 打开，奇数级第一扫描控制信号 $Vf_O$ 向第一节点 Q（N）充电，此时第十一晶体管 T11 传递奇数级第一扫描控制信号 $Vf_O$ 至第一节点 Q（N）；同时第五十六晶体管 T56 和第六十六晶体管 T66 打开，拉低第二节点 K（N）与第三节点 P（N）的电位至奇数级第二扫描控制信号 $Vr_O$；随着第一节点 Q（N）充电为高电位，受第一节点 Q（N）电位控制的第五十二晶体管 T52、第五十五晶体管 T55、和第六十二晶体管 T62 打开，进一步拉低第二节点 K（N）与第三节点 P（N）的电位至恒压低电位 VSS，通过两次下拉使得第二节点 K（N）与第三节点 P（N）更好的保持低电位，避免影响扫描信号 G（N）的输出；第三十二晶体管 T32、第三十三晶体管 T33、第三十五晶体管 T35、第三十六晶体管 T36、第四十一晶体管 T41、第四十二晶体管 T42 和第四十三晶体管 T43 均关闭，同时，也受第一节点 Q（N）电位控制的第二十一晶

体管 T21 和第二十二晶体管 T22 打开，奇数级第一高频时钟信号 $CK1_O$ 此时为低电位，奇数级第二高频时钟信号 $CK2_O$ 为高电位，第三十一晶体管 T31 打开下拉扫描信号 G（N）至恒压低电位 VSS，扫描信号 G（N）输出低电位。

接下来，第 N-2 级 GOA 单元电路的级传信号 ST（N-2）变为低电位，第十一晶体管 T11 关闭，第一节点 Q（N）仍保持为高电位，奇数级第一高频时钟信号 $CK1_O$ 变为高电位，奇数级第二高频时钟信号 $CK2_O$ 变为低电位，扫描信号 G（N）与级传信号 ST（N）输出高电位；在电容 Cb 耦合下，第一节点 Q（N）抬升到更高电位，第二十一晶体管 T21 和第二十二晶体管 T22 的栅源极电压 Vgs 基本保持不变，保证扫描信号 G（N）的顺利输出；此时，第五十五晶体管 T55、第五十二晶体管 T52 和第六十二晶体管 T62 仍打开，拉低第二节点 K（N）与第三节点 P（N）的电位，第三十一晶体管 T31 关闭，第三十二晶体管 T32、第三十三晶体管 T33、第三十五晶体管 T35、第三十六晶体管 T36、第四十二晶体管 T42 和第四十三晶体管 T43 均关闭。

然后，奇数级第一高频时钟信号 $CK1_O$ 变为低电位，奇数级第二高频时钟信号 $CK2_O$ 变为高电位，第三十一晶体管 T31 打开，拉低扫描信号 G(N)；第 N+2 级 GOA 单元电路的级传信号 ST（N+2）为高电位，第四十一晶体管 T41 打开，拉低第一节点 Q(N)的电位至奇数级第二扫描控制信号 $Vr_O$；第十晶体管 T10 和第十二晶体管 T12 打开，拉高第二节点 K（N）与第三节点 P（N）的电位至奇数级第一扫描控制信号 $Vf_O$；随后，第五十五晶体管 T55、第五十二晶体管 T52 和第六十二晶体管 T62 关闭；第三十二晶体管 T32、第三十三晶体管 T33、第三十五晶体管 T35、第三十六晶体管 T36、第四十二晶体管 T42 和第四十三晶体管 T43 打开，第一节点 Q（N）、扫描信号 G（N）、及级传信号 ST（N）的电位被拉低至恒压低电位 VSS。

随后，在一帧画面显示剩余的时间内，所述第一低频时钟信号 LC1 与第二低频时钟信号 LC2 交替提供高电位，控制第一下拉维持模块 501 与第二下拉维持模块 502 交替工作，以分别对第二节点 K(N)或第三节点 P(N)充电，维持第一节点 Q（N）和扫描信号 G（N）为低电位。

本发明的栅极驱动电路的奇数级 GOA 单元电路进行反向扫描时的具体工作过程为：奇数级第一扫描控制信号 $Vf_O$ 为低电位，奇数级第二扫描控制信号 $Vr_O$ 为高电位，向倒数第二级 GOA 单元电路提供奇数级扫描启动信号 $STV_O$ 。设 N 为奇数，当第 N+2 级 GOA 单元电路向第四十一晶体管 T41 的栅极提供高电位的级传信号 ST（N+2）时，第四十一晶体管 T41 打

开，奇数级第二扫描控制信号 $Vr_O$ 向第一节点 Q（N）充电，与正向扫描不同，此处第四十一晶体管 T41 传递奇数级第二扫描控制信号 $Vr_O$ 至第一节点 Q（N）；同时第十晶体管 T10 和第十二晶体管 T12 打开，拉低第二节点 K（N）与第三节点 P（N）的电位至低电位的奇数级第一扫描控制信号 $Vf_O$；随着第一节 Q（N）充电至高电位，第五十二晶体管 T52、第五十五晶体管 T55、和第六十二晶体管 T62 打开，进一步拉低第二节点 K（N）与第三节点 P（N）的电位至恒压低电位 VSS；第三十二晶体管 T32、第三十三晶体管 T33、第三十五晶体管 T35、第三十六晶体管 T36、第四十一晶体管 T41、第四十二晶体管 T42 和第四十三晶体管 T43 均关闭；同时，也受第一节点 Q（N）电位控制的第二十一晶体管 T21 和第二十二晶体管 T22 打开，奇数级第一高频时钟信号 $CK1_O$ 为低电位，奇数级第二高频时钟信号 $CK2_O$ 为高电位，第三十一晶体管 T31 打开下拉扫描信号 G（N）至恒压低电位 VSS，扫描信号 G（N）输出低电位。

接下来，第 N+2 级 GOA 单元电路的级传信号 ST（N+2）变为低电位，第四十一晶体管 T41 关闭，第一节点 Q（N）仍保持为高电位，奇数级第一高频时钟信号 $CK1_O$ 变为高电位，奇数级第二高频时钟信号 $CK2_O$ 变为低电位，扫描信号 G（N）、级传信号 ST（N）输出高电位；在电容 Cb 耦合下，第一节点 Q（N）抬升到更高电位，第二十一晶体管 T21 和第二十二晶体管 T22 的栅源极电压 Vgs 均保持不变，保证扫描信号 G（N）的顺利输出；此时，第五十五晶体管 T55、第五十二晶体管 T52 和第六十二晶体管 T62 仍打开，拉低第二节点 K（N）与第三节点 P（N）的电位，第三十一晶体管 T31 关闭，第三十二晶体管 T32、第三十三晶体管 T33、第三十五晶体管 T35、第三十六晶体管 T36、第四十二晶体管 T42 和第四十三晶体管 T43 均关闭。

然后，奇数级第一高频时钟信号 $CK1_O$ 变为低电位，奇数级第二高频时钟信号 $CK2_O$ 变为高电位，第三十一晶体管 T31 打开，拉低扫描信号 G(N)；第 N-2 级 GOA 单元电路的级传信号 ST（N-2）为高电位，第十一晶体管 T11 打开，拉低第一节点 Q（N）的电位；第五十六晶体管 T56 和第六十六晶体管 T66 打开，拉高第二节点 K（N）与第三节点 P（N）的电位至奇数级第二扫描控制信号 $Vr_O$；随后，第五十五晶体管 T55、第五十二晶体管 T52 和第六十二晶体管 T62 关闭；第三十二晶体管 T32、第三十三晶体管 T33、第三十五晶体管 T35、第三十六晶体管 T36、第四十二晶体管 T42 和第四十三晶体管 T43 均打开，第一节点 Q（N）、扫描信号 G（N）、及级传信号 ST（N）的电位被拉低至恒压低电位 VSS。

随后，在一帧画面显示剩余的时间内，所述第一低频时钟信号 LC1 与第二低频时钟信号 LC2 交替提供高电位，控制第一下拉维持模块 501 与第二下拉维持模块 502 交替工作，以分别对第二节点 K(N)或第三节点 P(N)充电，维持第一节点 Q（N）和扫描信号 G（N）为低电位。

请参阅图 3、并结合图 8，本发明的栅极驱动电路的偶数级 GOA 单元电路进行正向扫描或反向扫描时，需将相应的控制信号替换为偶数级第一扫描控制信号 $Vf_E$、偶数级第二扫描控制信号 $Vr_E$、偶数级扫描启动信号 $STV_E$、偶数级第一高频时钟信号 $CK1_E$、以及偶数级第二高频时钟信号 $CK2_E$，且正向扫描从第二级 GOA 单元电路开始，反向扫描从最后一级 GOA 单元电路开始，具体工作过程与上述奇数级 GOA 单元电路进行正向扫描或反向扫描的工作过程相同，此处不再赘述。

请参阅图 9，本发明的栅极驱动电路可以同时进行奇数级 GOA 单元电路与偶数级 GOA 单元电路的正向扫描或反向扫描，具体如下：

对应于图 9 中的逻辑信号 11，奇数级 GOA 单元电路正向扫描与偶数级 GOA 单元电路正向扫描同时进行。具体地，所述奇数级第一扫描控制信号 $Vf_O$ 和偶数级第一扫描控制信号 $Vf_E$ 均为高电位，奇数级第二扫描控制信号 $Vr_O$ 和偶数级第二扫描控制信号 $Vr_E$ 均为低电位；在一帧扫描开始时，向所述第一级 GOA 单元电路的第十一晶体管 T11 的栅极提供奇数级扫描启动信号 $STV_O$，同时向所述第二级 GOA 单元电路的第十一晶体管 T11 的栅极提供偶数级扫描启动信号 $STV_E$。

对应于图 9 中的逻辑信号 00，奇数级 GOA 单元电路反向扫描与偶数级 GOA 单元电路反向扫描同时进行。具体地，所述奇数级第一扫描控制信号 $Vf_O$ 和偶数级第一扫描控制信号 $Vf_E$ 均为低电位，奇数级第二扫描控制信号 $Vr_O$ 和偶数级第二扫描控制信号 $Vr_E$ 均为高电位；在一帧扫描开始时，向所述倒数第二级 GOA 单元电路的第四十一晶体管 T41 的栅极提供奇数级扫描启动信号 $STV_O$，同时向最后一级 GOA 单元电路的第四十一晶体管 T41 的栅极提供偶数级扫描启动信号 $STV_E$。

对应于图 9 中的逻辑信号 10，奇数级 GOA 单元电路正向扫描与偶数级 GOA 单元电路反向扫描同时进行。具体地，所述奇数级第一扫描控制信号 $Vf_O$ 和偶数级第二扫描控制信号 $Vr_E$ 均为高电位，奇数级第二扫描控制信号 $Vr_O$ 和偶数级第一扫描控制信号 $Vf_E$ 均为低电位；在一帧扫描开始时，向所述第一级 GOA 单元电路的第十一薄膜晶体管 T11 的栅极提供奇数级扫描启动信号 $STV_O$，同时向最后一级 GOA 单元电路的第四十一晶体管 T41 的栅极提供偶数级扫描启动信号 $STV_E$。

对应于图 9 中的逻辑信号 01，奇数级 GOA 单元电路反向扫描与偶数级 GOA 单元电路正向扫描同时进行。具体地，所述奇数级第一扫描控制信号 $Vf_O$ 和偶数级第二扫描控制信号 $Vr_E$ 均为低电位，奇数级第二扫描控制信号 $Vr_O$ 和偶数级第一扫描控制信号 $Vf_E$ 均为高电位；在一帧扫描开始时，向所述倒数第二级 GOA 单元电路的第四十一晶体管 T41 的栅极提供奇数级扫描启动信号 $STV_O$，同时向第二级 GOA 单元电路的第十一晶体管 T11 的栅极提供偶数级扫描启动信号 $STV_E$。

请参阅图 10，本发明的栅极驱动电路可以分时进行奇数级 GOA 单元电路与偶数级 GOA 单元电路的正向扫描或反向扫描，具体如下：

对应图 10 中的逻辑信号 1_1，奇数级 GOA 单元电路正向扫描与偶数级 GOA 单元电路正向扫描分时进行。具体地，所述奇数级第一扫描控制信号 $Vf_O$ 和偶数级第一扫描控制信号 $Vf_E$ 均为高电位，奇数级第二扫描控制信号 $Vr_O$ 和偶数级第二扫描控制信号 $Vr_E$ 均为低电位；在一帧扫描的时间内，先向所述第一级 GOA 单元电路的第十一晶体管 T11 的栅极提供奇数级扫描启动信号 $STV_O$，所有奇数级 GOA 单元电路扫描完成后再向所述第二级 GOA 单元电路的第十一晶体管 T11 的栅极提供偶数级扫描启动信号 $STV_E$。

对应图 10 中的逻辑信号 0_0，奇数级 GOA 单元电路反向扫描与偶数级 GOA 单元电路反向扫描分时进行。具体地，所述奇数级第一扫描控制信号 $Vf_O$ 和偶数级第一扫描控制信号 $Vf_E$ 均为低电位，奇数级第二扫描控制信号 $Vr_O$ 和偶数级第二扫描控制信号 $Vr_E$ 均为高电位；在一帧扫描的时间内，先向倒数第二级的 GOA 单元电路的第四十一晶体管 T41 的栅极提供奇数级扫描启动信号 $STV_O$，所有奇数级 GOA 单元电路扫描完成后再向最后一级 GOA 单元电路的第四十一晶体管 T41 的栅极提供偶数级扫描启动信号 $STV_E$。

对应图 10 中的逻辑信号 1_0，奇数级 GOA 单元电路正向扫描与偶数级 GOA 单元电路反向扫描分时进行。具体地，所述奇数级第一扫描控制信号 $Vf_O$ 和偶数级第二扫描控制信号 $Vr_E$ 均为高电位，奇数级第二扫描控制信号 $Vr_O$ 和偶数级第一扫描控制信号 $Vf_E$ 均为低电位；在一帧扫描的时间内，先向所述第一级的 GOA 单元电路的第十一晶体管 T11 的栅极提供奇数级扫描启动信号 $STV_O$，所有奇数级 GOA 单元电路扫描完成后再向所述最后一级 GOA 单元电路的第四十一晶体管 T41 的栅极提供偶数级扫描启动信号 $STV_E$。

对应图 10 中的逻辑信号 0_1，奇数级 GOA 单元电路反向扫描与偶数级 GOA 单元电路正向扫描分时进行。具体地，所述奇数级第一扫描控制信

号 $Vf_O$ 和偶数级第二扫描控制信号 $Vr_E$ 均为低电位，奇数级第二扫描控制信号 $Vr_O$ 和偶数级第一扫描控制信号 $Vf_E$ 均为高电位；在一帧扫描的时间内，先向所述倒数第二级GOA单元电路的第四十一薄膜晶体管 T41 的栅极提供奇数级扫描启动信号 $STV_O$，所有奇数级 GOA 单元电路扫描完成后再向所述第二级GOA单元电路的第十一薄膜晶体管 T11 的栅极提供偶数级扫描启动信号 $STV_E$。

综上所述，本发明的栅极驱动电路，将各个奇数级 GOA 单元电路进行级联，各个偶数级 GOA 单元电路进行级联；对应于奇数级 GOA 单元电路设置奇数级第一、第二扫描控制信号、奇数级扫描启动信号、奇数级第一、第二高频时钟信号；对应于偶数级 GOA 单元电路设置偶数级第一、第二扫描控制信号、偶数级扫描启动信号、偶数级第一、第二高频时钟信号；通过控制奇数级第一、第二扫描控制信号与偶数级第一、第二扫描控制信号的电位，配合不同时序的奇数级扫描启动信号与偶数级扫描启动信号，能够控制奇数级 GOA 单元电路与偶数级 GOA 单元电路同时或分时进行正向扫描或反向扫描，实现了栅极驱动电路扫描方式的多样化，提高显示画质，满足不同显示产品的需求。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

# 权 利 要 求

1、一种栅极驱动电路，包括:

多个 GOA 单元电路，其中的各个奇数级 GOA 单元电路进行级联，各个偶数级 GOA 单元电路进行级联;

对应于奇数级 GOA 单元电路设置的分别用于提供奇数级第一扫描控制信号、奇数级第二扫描控制信号、奇数级扫描启动信号、奇数级第一高频时钟信号、奇数级第二高频时钟信号的信号线;

对应于偶数级 GOA 单元电路设置的分别用于提供偶数级第一扫描控制信号、偶数级第二扫描控制信号、偶数级扫描启动信号、偶数级第一高频时钟信号、偶数级第二高频时钟信号的信号线;

以及对应于所有 GOA 单元电路设置的用于提供第一低频时钟信号与第二低频时钟信号的共用信号线;

每一级 GOA 单元电路均包括: 正反向扫描控制模块、级传稳压模块、输出模块、第一下拉模块、及下拉维持模块; 所述正反向扫描控制模块又包括第一控制模块、与第二控制模块，所述第一控制模块在正向扫描时起上拉控制作用，在反向扫描时起下拉作用; 所述第二控制模块在反向扫描时起上拉控制作用，在正向扫描时起下拉作用;

设 N 为正整数，除第一级、第二级、倒数第二级、及最后一级 GOA 单元电路外，在第 N 级 GOA 单元电路中:

所述第一控制模块包括: 第十一晶体管，所述第十一晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，漏极电性连接于第一节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号;

所述第二控制模块包括: 第四十一晶体管，所述第四十一晶体管的栅极电性连接于第 N + 2 级 GOA 单元电路的级传信号，漏极电性连接于第一节点，当 N 为奇数时，源极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第二扫描控制信号;

所述输出模块包括: 第二十一晶体管，所述第二十一晶体管的栅极电性连接于第一节点，漏极输出扫描信号，当 N 为奇数时，源极电性连接于奇数级第一高频时钟信号，当 N 为偶数时，源极电性连接于偶数级第一高频时钟信号; 第二十二晶体管，所述第二十二晶体管的栅极电性连接于第一节点，漏极输出级传信号，当 N 为奇数时，源极电性连接于奇数级第一

高频时钟信号，当 N 为偶数时，源极电性连接于偶数级第一高频时钟信号；电容，所述电容的一端电性连接于第一节点，另一端电性连接于级传信号；

所述下拉维持模块包括：第五十五晶体管、第一下拉维持模块、与第二下拉维持模块；

所述第五十五晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于第三节点；

所述第一下拉维持模块包括：第三十三晶体管，所述第三十三晶体管的栅极电性连接于第二节点，源极电性连接于扫描信号，漏极电性连接于恒压低电位；第三十六晶体管，所述第三十六晶体管的栅极电性连接于第二节点，源极电性连接于级传信号，漏极电性连接于恒压低电位；第四十三晶体管，所述第四十三晶体管的栅极电性连接于第二节点，源极电性连接于第一节点，漏极电性连接于恒压低电位；第五十一晶体管，所述第五十一晶体管的栅极与源极均电性连接于第一低频时钟信号，漏极电性连接于第五十三晶体管的栅极；第五十三晶体管，所述第五十三晶体管的栅极电性连接于第五十一晶体管的漏极，源极电性连接于第一低频时钟信号，漏极电性连接于第二节点；第五十四晶体管，所述第五十四晶体管的栅极电性连接于第二低频时钟信号，源极电性连接于第一低频时钟信号，漏极电性连接于第二节点；

所述第二下拉维持模块包括第三十二晶体管，所述第三十二晶体管的栅极电性连接于第三节点，源极电性连接于扫描信号，漏极电性连接于恒压低电位；第三十五晶体管，所述第三十五晶体管的栅极电性连接于第三节点，源极电性连接于级传信号，漏极电性连接于恒压低电位；第四十二晶体管，所述第四十二晶体管的栅极电性连接于第三节点，源极电性连接于第一节点，漏极电性连接于恒压低电位；第六十一晶体管，所述第六十一晶体管的栅极与源极均电性连接于第二低频时钟信号，漏极电性连接于第六十三晶体管的栅极；第六十三晶体管，所述第六十三晶体管的栅极电性连接于第六十一晶体管的漏极，源极电性连接于第二低频时钟信号，漏极电性连接于第三节点；第六十四晶体管，所述第六十四晶体管的栅极电性连接于第一低频时钟信号，源极电性连接于第二低频时钟信号，漏极电性连接于第三节点；

所述级传稳压模块包括第五十二晶体管，所述第五十二晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于恒压低电位；第六十二晶体管，所述第六十二晶体管的栅极电性连接于第一节点，源极电性连接于第三节点，漏极电性连接于恒压低电位；第十晶体管，所

述第十晶体管的栅极电性连接于第 N+2 级 GOA 单元电路的级传信号，漏极电性连接于第二节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号；第十二晶体管，所述第十二晶体管的栅极电性连接于第 N+2 级 GOA 单元电路的级传信号，漏极电性连接于第三节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号；第五十六晶体管，所述第五十六晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，源极电性连接于第五十一晶体管的漏极及第二节点，当 N 为奇数时，漏极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，漏极电性连接于偶数级第二扫描控制信号；第六十六晶体管，所述第六十六晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，源极电性连接于第六十一晶体管的漏极及第三节点，当 N 为奇数时，漏极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，漏极电性连接于偶数级第二扫描控制信号；

所述第一下拉模块包括第三十一晶体管，源极电性连接于扫描信号，漏极电性连接于恒压低电位，当 N 为奇数时，所述第三十一晶体管的栅极电性连接于奇数级第二高频时钟信号，当 N 为偶数时，所述第三十一晶体管的栅极电性连接于偶数级第二高频时钟信号；

所述第一低频时钟信号与第二低频时钟信号的相位相反；

当 N 为奇数时，在第 N+2 级 GOA 单元电路中，第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第二高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第一高频时钟信号；

当 N 为偶数时，在第 N+2 级 GOA 单元电路中，第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第二高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第一高频时钟信号；

所述奇数级第一扫描控制信号为高电位、奇数级第二扫描控制信号为低电位时，控制奇数级 GOA 单元电路进行正向扫描；所述奇数级第一扫描控制信号为低电位、奇数级第二扫描控制信号为高电位时，控制奇数级 GOA 单元电路进行反向扫描；

所述偶数级第一扫描控制信号为高电位、偶数级第二扫描控制信号为低电位时，控制偶数级 GOA 单元电路进行正向扫描；所述偶数级第一扫描控制信号为低电位、偶数级第二扫描控制信号为高电位时，控制偶数级 GOA 单元电路进行反向扫描。

2、如权利要求 1 所述的栅极驱动电路，其中，所述栅极驱动电路的第

一级连接关系中，所述第十一晶体管的栅极、第五十六晶体管的栅极、及第六十六晶体管的栅极均电性连接于奇数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第一高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第二高频时钟信号；

所述栅极驱动电路的第二级连接关系中，所述第十一晶体管的栅极、第五十六晶体管的栅极、及第六十六晶体管的栅极均电性连接于偶数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第一高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第二高频时钟信号；

所述栅极驱动电路的倒数第二级连接关系中，所述第四十一晶体管的栅极、第十晶体管的栅极、及第十二晶体管的栅极均电性连接于奇数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第二高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第一高频时钟信号；

所述栅极驱动电路的最后一级连接关系中，所述第四十一晶体管的栅极、第十晶体管的栅极、及第十二晶体管的栅极均电性连接于偶数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第二高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第一高频时钟信号。

3、如权利要求 2 所述的栅极驱动电路，其中，所述奇数级第一扫描控制信号和偶数级第一扫描控制信号均为高电位，奇数级第二扫描控制信号和偶数级第二扫描控制信号均为低电位；

在一帧扫描开始时，向所述第一级 GOA 单元电路的第十一晶体管的栅极提供奇数级扫描启动信号，同时向所述第二级 GOA 单元电路的第十一晶体管的栅极提供偶数级扫描启动信号；奇数级 GOA 单元电路正向扫描与偶数级 GOA 单元电路正向扫描同时进行。

4、如权利要求 2 所述的栅极驱动电路，其中，所述奇数级第一扫描控制信号和偶数级第一扫描控制信号均为高电位，奇数级第二扫描控制信号和偶数级第二扫描控制信号均为低电位；

在一帧扫描的时间内，先向所述第一级 GOA 单元电路的第十一晶体管的栅极提供奇数级扫描启动信号，所有奇数级 GOA 单元电路扫描完成后再向所述第二级 GOA 单元电路的第十一晶体管的栅极提供偶数级扫描启动信号；奇数级 GOA 单元电路正向扫描与偶数级 GOA 单元电路正向扫描分时进行。

5、如权利要求 2 所述的的栅极驱动电路，其中，所述奇数级第一扫描控制信号和偶数级第一扫描控制信号均为低电位，奇数级第二扫描控制信号和偶数级第二扫描控制信号均为高电位；

在一帧扫描开始时，向所述倒数第二级 GOA 单元电路的第四十一晶体管的栅极提供奇数级扫描启动信号，同时向最后一级 GOA 单元电路的第四十一晶体管的栅极提供偶数级扫描启动信号；奇数级 GOA 单元电路反向扫描与偶数级 GOA 单元电路反向扫描同时进行。

6、如权利要求 2 所述的栅极驱动电路，其中，所述奇数级第一扫描控制信号和偶数级第一扫描控制信号均为低电位，奇数级第二扫描控制信号和偶数级第二扫描控制信号均为高电位；

在一帧扫描的时间内，先向倒数第二级的 GOA 单元电路的第四十一晶体管的栅极提供奇数级扫描启动信号，所有奇数级 GOA 单元电路扫描完成后再向最后一级 GOA 单元电路的第四十一晶体管的栅极提供偶数级扫描启动信号；奇数级 GOA 单元电路反向扫描与偶数级 GOA 单元电路反向扫描分时进行。

7、如权利要求 2 所述的的栅极驱动电路，其中，所述奇数级第一扫描控制信号和偶数级第二扫描控制信号均为高电位，奇数级第二扫描控制信号和偶数级第一扫描控制信号均为低电位；

在一帧扫描开始时，向所述第一级 GOA 单元电路的第十一薄膜晶体管的栅极提供奇数级扫描启动信号，同时向最后一级 GOA 单元电路的第四十一晶体管的栅极提供偶数级扫描启动信号；

奇数级 GOA 单元电路正向扫描与偶数级 GOA 单元电路反向扫描同时进行。

8、如权利要求 2 所述的栅极驱动电路，其中，所述奇数级第一扫描控制信号和偶数级第二扫描控制信号均为高电位，奇数级第二扫描控制信号和偶数级第一扫描控制信号均为低电位；

在一帧扫描的时间内，先向所述第一级的 GOA 单元电路的第十一晶体管的栅极提供奇数级扫描启动信号，所有奇数级 GOA 单元电路扫描完成后再向所述最后一级 GOA 单元电路的第四十一晶体管的栅极提供偶数级扫描启动信号；奇数级 GOA 单元电路正向扫描与偶数级 GOA 单元电路反向扫描分时进行。

9、如权利要求 2 所述的栅极驱动电路，其中，所述奇数级第一扫描控制信号和偶数级第二扫描控制信号均为低电位，奇数级第二扫描控制信号和偶数级第一扫描控制信号均为高电位；

在一帧扫描开始时，向所述倒数第二级 GOA 单元电路的第四十一晶体管的栅极提供奇数级扫描启动信号，同时向第二级 GOA 单元电路的第十一晶体管的栅极提供偶数级扫描启动信号；奇数级 GOA 单元电路反向扫描与偶数级 GOA 单元电路正向扫描同时进行。

10、如权利要求 2 所述的栅极驱动电路，其中，所述奇数级第一扫描控制信号和偶数级第二扫描控制信号均为低电位，奇数级第二扫描控制信号和偶数级第一扫描控制信号均为高电位；

在一帧扫描的时间内，先向所述倒数第二级 GOA 单元电路的第四十一薄膜晶体管的栅极提供奇数级扫描启动信号，所有奇数级 GOA 单元电路扫描完成后再向所述第二级 GOA 单元电路的第十一薄膜晶体管的栅极提供偶数级扫描启动信号；奇数级 GOA 单元电路反向扫描与偶数级 GOA 单元电路正向扫描分时进行。

11、一种栅极驱动电路，包括：

多个 GOA 单元电路，其中的各个奇数级 GOA 单元电路进行级联，各个偶数级 GOA 单元电路进行级联；

对应于奇数级 GOA 单元电路设置的分别用于提供奇数级第一扫描控制信号、奇数级第二扫描控制信号、奇数级扫描启动信号、奇数级第一高频时钟信号、奇数级第二高频时钟信号的信号线；

对应于偶数级 GOA 单元电路设置的分别用于提供偶数级第一扫描控制信号、偶数级第二扫描控制信号、偶数级扫描启动信号、偶数级第一高频时钟信号、偶数级第二高频时钟信号的信号线；

以及对应于所有 GOA 单元电路设置的用于提供第一低频时钟信号与第二低频时钟信号的共用信号线；

每一级 GOA 单元电路均包括：正反向扫描控制模块、级传稳压模块、输出模块、第一下拉模块、及下拉维持模块；所述正反向扫描控制模块又包括第一控制模块、与第二控制模块，所述第一控制模块在正向扫描时起上拉控制作用，在反向扫描时起下拉作用；所述第二控制模块在反向扫描时起上拉控制作用，在正向扫描时起下拉作用；

设 N 为正整数，除第一级、第二级、倒数第二级、及最后一级 GOA 单元电路外，在第 N 级 GOA 单元电路中：

所述第一控制模块包括：第十一晶体管，所述第十一晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，漏极电性连接于第一节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号；

所述第二控制模块包括：第四十一晶体管，所述第四十一晶体管的栅极电性连接于第 N + 2 级 GOA 单元电路的级传信号，漏极电性连接于第一节点，当 N 为奇数时，源极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第二扫描控制信号；

所述输出模块包括：第二十一晶体管，所述第二十一晶体管的栅极电性连接于第一节点，漏极输出扫描信号，当 N 为奇数时，源极电性连接于奇数级第一高频时钟信号，当 N 为偶数时，源极电性连接于偶数级第一高频时钟信号；第二十二晶体管，所述第二十二晶体管的栅极电性连接于第一节点，漏极输出级传信号，当 N 为奇数时，源极电性连接于奇数级第一高频时钟信号，当 N 为偶数时，源极电性连接于偶数级第一高频时钟信号；电容，所述电容的一端电性连接于第一节点，另一端电性连接于级传信号；

所述下拉维持模块包括：第五十五晶体管、第一下拉维持模块、与第二下拉维持模块；

所述第五十五晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于第三节点；

所述第一下拉维持模块包括：第三十三晶体管，所述第三十三晶体管的栅极电性连接于第二节点，源极电性连接于扫描信号，漏极电性连接于恒压低电位；第三十六晶体管，所述第三十六晶体管的栅极电性连接于第二节点，源极电性连接于级传信号，漏极电性连接于恒压低电位；第四十三晶体管，所述第四十三晶体管的栅极电性连接于第二节点，源极电性连接于第一节点，漏极电性连接于恒压低电位；第五十一晶体管，所述第五十一晶体管的栅极与源极均电性连接于第一低频时钟信号，漏极电性连接于第五十三晶体管的栅极；第五十三晶体管，所述第五十三晶体管的栅极电性连接于第五十一晶体管的漏极，源极电性连接于第一低频时钟信号，漏极电性连接于第二节点；第五十四晶体管，所述第五十四晶体管的栅极电性连接于第二低频时钟信号，源极电性连接于第一低频时钟信号，漏极电性连接于第二节点；

所述第二下拉维持模块包括第三十二晶体管，所述第三十二晶体管的栅极电性连接于第三节点，源极电性连接于扫描信号，漏极电性连接于恒压低电位；第三十五晶体管，所述第三十五晶体管的栅极电性连接于第三节点，源极电性连接于级传信号，漏极电性连接于恒压低电位；第四十二晶体管，所述第四十二晶体管的栅极电性连接于第三节点，源极电性连接于第一节点，漏极电性连接于恒压低电位；第六十一晶体管，所述第六十一晶体管的栅极与源极均电性连接于第二低频时钟信号，漏极电性连接于

第六十三晶体管的栅极；第六十三晶体管，所述第六十三晶体管的栅极电性连接于第六十一晶体管的漏极，源极电性连接于第二低频时钟信号，漏极电性连接于第三节点；第六十四晶体管，所述第六十四晶体管的栅极电性连接于第一低频时钟信号，源极电性连接于第二低频时钟信号，漏极电性连接于第三节点；

所述级传稳压模块包括第五十二晶体管，所述第五十二晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于恒压低电位；第六十二晶体管，所述第六十二晶体管的栅极电性连接于第一节点，源极电性连接于第三节点，漏极电性连接于恒压低电位；第十晶体管，所述第十晶体管的栅极电性连接于第 N+2 级 GOA 单元电路的级传信号，漏极电性连接于第二节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号；第十二晶体管，所述第十二晶体管的栅极电性连接于第 N+2 级 GOA 单元电路的级传信号，漏极电性连接于第三节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号；第五十六晶体管，所述第五十六晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，源极电性连接于第五十一晶体管的漏极及第二节点，当 N 为奇数时，漏极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，漏极电性连接于偶数级第二扫描控制信号；第六十六晶体管，所述第六十六晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，源极电性连接于第六十一晶体管的漏极及第三节点，当 N 为奇数时，漏极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，漏极电性连接于偶数级第二扫描控制信号；

所述第一下拉模块包括第三十一晶体管，源极电性连接于扫描信号，漏极电性连接于恒压低电位，当 N 为奇数时，所述第三十一晶体管的栅极电性连接于奇数级第二高频时钟信号，当 N 为偶数时，所述第三十一晶体管的栅极电性连接于偶数级第二高频时钟信号；

所述第一低频时钟信号与第二低频时钟信号的相位相反；

当 N 为奇数时，在第 N+2 级 GOA 单元电路中，第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第二高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第一高频时钟信号；

当 N 为偶数时，在第 N+2 级 GOA 单元电路中，第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第二高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第一高频时钟信号；

所述奇数级第一扫描控制信号为高电位、奇数级第二扫描控制信号为低电位时，控制奇数级GOA单元电路进行正向扫描；所述奇数级第一扫描控制信号为低电位、奇数级第二扫描控制信号为高电位时，控制奇数级GOA单元电路进行反向扫描；

所述偶数级第一扫描控制信号为高电位、偶数级第二扫描控制信号为低电位时，控制偶数级GOA单元电路进行正向扫描；所述偶数级第一扫描控制信号为低电位、偶数级第二扫描控制信号为高电位时，控制偶数级GOA单元电路进行反向扫描；

其中，所述栅极驱动电路的第一级连接关系中，所述第十一晶体管的栅极、第五十六晶体管的栅极、及第六十六晶体管的栅极均电性连接于奇数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第一高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第二高频时钟信号；

所述栅极驱动电路的第二级连接关系中，所述第十一晶体管的栅极、第五十六晶体管的栅极、及第六十六晶体管的栅极均电性连接于偶数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第一高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第二高频时钟信号；

所述栅极驱动电路的倒数第二级连接关系中，所述第四十一晶体管的栅极、第十晶体管的栅极、及第十二晶体管的栅极均电性连接于奇数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第二高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第一高频时钟信号；

所述栅极驱动电路的最后一级连接关系中，所述第四十一晶体管的栅极、第十晶体管的栅极、及第十二晶体管的栅极均电性连接于偶数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第二高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第一高频时钟信号；

其中，所述奇数级第一扫描控制信号和偶数级第一扫描控制信号均为高电位，奇数级第二扫描控制信号和偶数级第二扫描控制信号均为低电位；

在一帧扫描开始时，向所述第一级GOA单元电路的第十一晶体管的栅极提供奇数级扫描启动信号，同时向所述第二级GOA单元电路的第十一晶体管的栅极提供偶数级扫描启动信号；奇数级GOA单元电路正向扫描与偶数级GOA单元电路正向扫描同时进行。

12、一种栅极驱动电路，包括:

多个 GOA 单元电路，其中的各个奇数级 GOA 单元电路进行级联，各个偶数级 GOA 单元电路进行级联;

对应于奇数级 GOA 单元电路设置的分别用于提供奇数级第一扫描控制信号、奇数级第二扫描控制信号、奇数级扫描启动信号、奇数级第一高频时钟信号、奇数级第二高频时钟信号的信号线;

对应于偶数级 GOA 单元电路设置的分别用于提供偶数级第一扫描控制信号、偶数级第二扫描控制信号、偶数级扫描启动信号、偶数级第一高频时钟信号、偶数级第二高频时钟信号的信号线;

以及对应于所有 GOA 单元电路设置的用于提供第一低频时钟信号与第二低频时钟信号的共用信号线;

每一级 GOA 单元电路均包括: 正反向扫描控制模块、级传稳压模块、输出模块、第一下拉模块、及下拉维持模块; 所述正反向扫描控制模块又包括第一控制模块、与第二控制模块，所述第一控制模块在正向扫描时起上拉控制作用，在反向扫描时起下拉作用; 所述第二控制模块在反向扫描时起上拉控制作用，在正向扫描时起下拉作用;

设 N 为正整数，除第一级、第二级、倒数第二级、及最后一级 GOA 单元电路外，在第 N 级 GOA 单元电路中:

所述第一控制模块包括: 第十一晶体管，所述第十一晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，漏极电性连接于第一节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号;

所述第二控制模块包括: 第四十一晶体管，所述第四十一晶体管的栅极电性连接于第 N + 2 级 GOA 单元电路的级传信号，漏极电性连接于第一节点，当 N 为奇数时，源极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第二扫描控制信号;

所述输出模块包括: 第二十一晶体管，所述第二十一晶体管的栅极电性连接于第一节点，漏极输出扫描信号，当 N 为奇数时，源极电性连接于奇数级第一高频时钟信号，当 N 为偶数时，源极电性连接于偶数级第一高频时钟信号; 第二十二晶体管，所述第二十二晶体管的栅极电性连接于第一节点，漏极输出级传信号，当 N 为奇数时，源极电性连接于奇数级第一高频时钟信号，当 N 为偶数时，源极电性连接于偶数级第一高频时钟信号; 电容，所述电容的一端电性连接于第一节点，另一端电性连接于级传信号;

所述下拉维持模块包括: 第五十五晶体管、第一下拉维持模块、与第

二下拉维持模块;

所述第五十五晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于第三节点;

所述第一下拉维持模块包括：第三十三晶体管，所述第三十三晶体管的栅极电性连接于第二节点，源极电性连接于扫描信号，漏极电性连接于恒压低电位；第三十六晶体管，所述第三十六晶体管的栅极电性连接于第二节点，源极电性连接于级传信号，漏极电性连接于恒压低电位；第四十三晶体管，所述第四十三晶体管的栅极电性连接于第二节点，源极电性连接于第一节点，漏极电性连接于恒压低电位；第五十一晶体管，所述第五十一晶体管的栅极与源极均电性连接于第一低频时钟信号，漏极电性连接于第五十三晶体管的栅极；第五十三晶体管，所述第五十三晶体管的栅极电性连接于第五十一晶体管的漏极，源极电性连接于第一低频时钟信号，漏极电性连接于第二节点；第五十四晶体管，所述第五十四晶体管的栅极电性连接于第二低频时钟信号，源极电性连接于第一低频时钟信号，漏极电性连接于第二节点;

所述第二下拉维持模块包括第三十二晶体管，所述第三十二晶体管的栅极电性连接于第三节点，源极电性连接于扫描信号，漏极电性连接于恒压低电位；第三十五晶体管，所述第三十五晶体管的栅极电性连接于第三节点，源极电性连接于级传信号，漏极电性连接于恒压低电位；第四十二晶体管，所述第四十二晶体管的栅极电性连接于第三节点，源极电性连接于第一节点，漏极电性连接于恒压低电位；第六十一晶体管，所述第六十一晶体管的栅极与源极均电性连接于第二低频时钟信号，漏极电性连接于第六十三晶体管的栅极；第六十三晶体管，所述第六十三晶体管的栅极电性连接于第六十一晶体管的漏极，源极电性连接于第二低频时钟信号，漏极电性连接于第三节点；第六十四晶体管，所述第六十四晶体管的栅极电性连接于第一低频时钟信号，源极电性连接于第二低频时钟信号，漏极电性连接于第三节点;

所述级传稳压模块包括第五十二晶体管，所述第五十二晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于恒压低电位；第六十二晶体管，所述第六十二晶体管的栅极电性连接于第一节点，源极电性连接于第三节点，漏极电性连接于恒压低电位；第十晶体管，所述第十晶体管的栅极电性连接于第 N+2 级 GOA 单元电路的级传信号，漏极电性连接于第二节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号；第

十二晶体管，所述第十二晶体管的栅极电性连接于第 N+2 级 GOA 单元电路的级传信号，漏极电性连接于第三节点，当 N 为奇数时，源极电性连接于奇数级第一扫描控制信号，当 N 为偶数时，源极电性连接于偶数级第一扫描控制信号；第五十六晶体管，所述第五十六晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，源极电性连接于第五十一晶体管的漏极及第二节点，当 N 为奇数时，漏极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，漏极电性连接于偶数级第二扫描控制信号；第六十六晶体管，所述第六十六晶体管的栅极电性连接于第 N-2 级 GOA 单元电路的级传信号，源极电性连接于第六十一晶体管的漏极及第三节点，当 N 为奇数时，漏极电性连接于奇数级第二扫描控制信号，当 N 为偶数时，漏极电性连接于偶数级第二扫描控制信号；

所述第一下拉模块包括第三十一晶体管，源极电性连接于扫描信号，漏极电性连接于恒压低电位，当 N 为奇数时，所述第三十一晶体管的栅极电性连接于奇数级第二高频时钟信号，当 N 为偶数时，所述第三十一晶体管的栅极电性连接于偶数级第二高频时钟信号；

所述第一低频时钟信号与第二低频时钟信号的相位相反；

当 N 为奇数时，在第 N+2 级 GOA 单元电路中，第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第二高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第一高频时钟信号；

当 N 为偶数时，在第 N+2 级 GOA 单元电路中，第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第二高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第一高频时钟信号；

所述奇数级第一扫描控制信号为高电位、奇数级第二扫描控制信号为低电位时，控制奇数级 GOA 单元电路进行正向扫描；所述奇数级第一扫描控制信号为低电位、奇数级第二扫描控制信号为高电位时，控制奇数级 GOA 单元电路进行反向扫描；

所述偶数级第一扫描控制信号为高电位、偶数级第二扫描控制信号为低电位时，控制偶数级 GOA 单元电路进行正向扫描；所述偶数级第一扫描控制信号为低电位、偶数级第二扫描控制信号为高电位时，控制偶数级 GOA 单元电路进行反向扫描；

其中，所述栅极驱动电路的第一级连接关系中，所述第十一晶体管的栅极、第五十六晶体管的栅极、及第六十六晶体管的栅极均电性连接于奇数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第一高频时钟信号，第三十一晶体管的栅极电性连接于奇

数级第二高频时钟信号;

所述栅极驱动电路的第二级连接关系中，所述第十一晶体管的栅极、第五十六晶体管的栅极、及第六十六晶体管的栅极均电性连接于偶数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第一高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第二高频时钟信号;

所述栅极驱动电路的倒数第二级连接关系中，所述第四十一晶体管的栅极、第十晶体管的栅极、及第十二晶体管的栅极均电性连接于奇数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于奇数级第二高频时钟信号，第三十一晶体管的栅极电性连接于奇数级第一高频时钟信号;

所述栅极驱动电路的最后一级连接关系中，所述第四十一晶体管的栅极、第十晶体管的栅极、及第十二晶体管的栅极均电性连接于偶数级扫描启动信号；第二十一晶体管的源极与第二十二晶体管的源极均电性连接于偶数级第二高频时钟信号，第三十一晶体管的栅极电性连接于偶数级第一高频时钟信号;

其中，所述奇数级第一扫描控制信号和偶数级第一扫描控制信号均为高电位，奇数级第二扫描控制信号和偶数级第二扫描控制信号均为低电位;

在一帧扫描的时间内，先向所述第一级 GOA 单元电路的第十一晶体管的栅极提供奇数级扫描启动信号，所有奇数级 GOA 单元电路扫描完成后再向所述第二级 GOA 单元电路的第十一晶体管的栅极提供偶数级扫描启动信号；奇数级 GOA 单元电路正向扫描与偶数级 GOA 单元电路正向扫描分时进行。

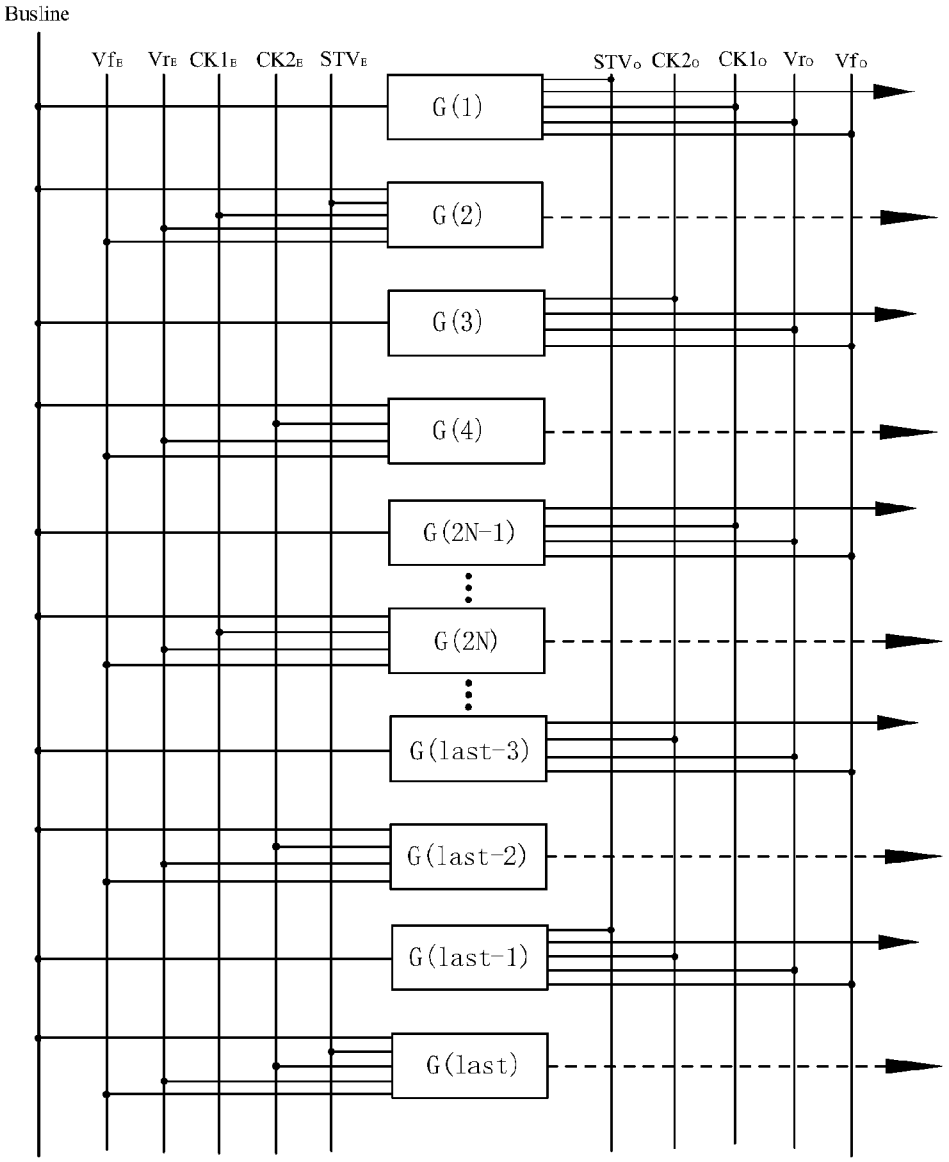

Busline
$Vf_E$
$Vr_E$
$CK1_E$
$CK2_E$
$STV_E$
$STV_O$
$CK2_O$
$CK1_O$
$Vr_O$
$Vf_O$
G(1)
G(2)
G(3)
G(4)
G(2N-1)
G(2N)
G(last-3)
G(last-2)
G(last-1)
G(last)

图1

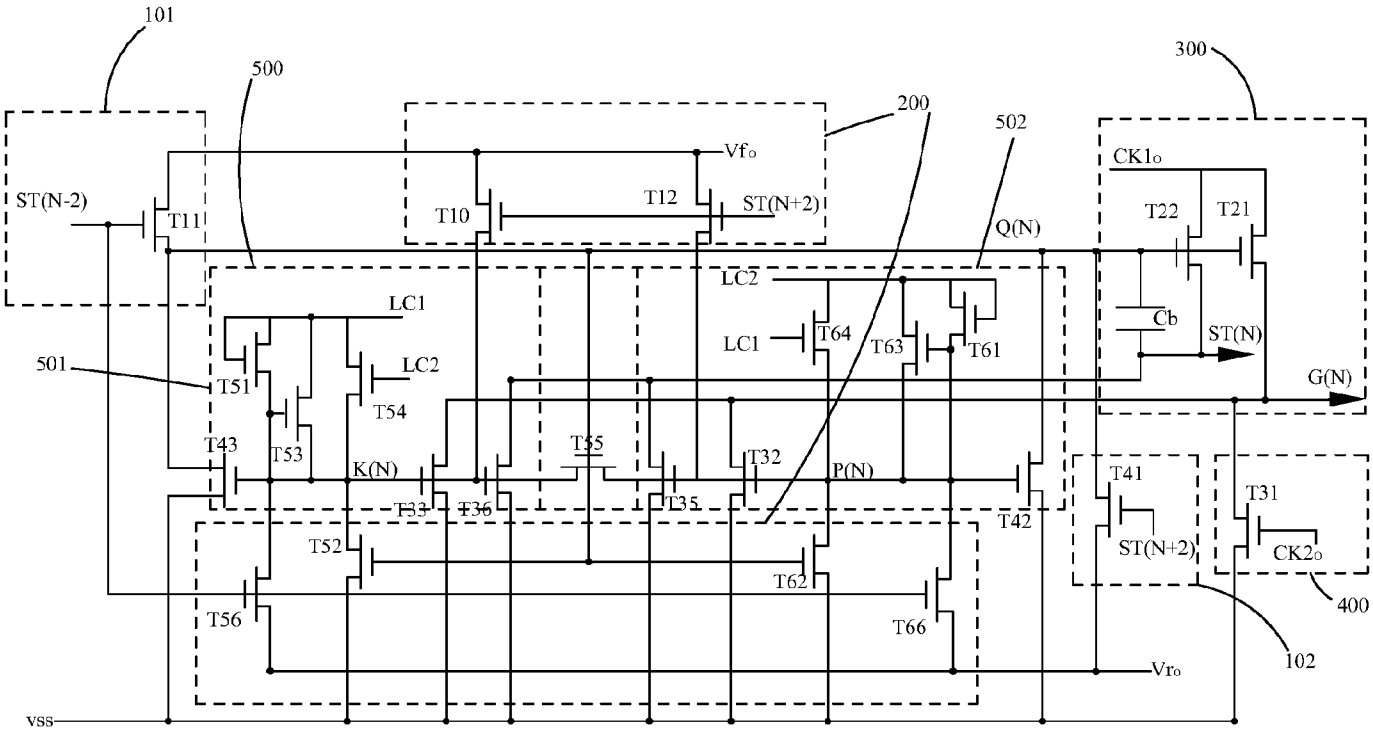

101
500
200
502
300
Vfo
CK1o
ST(N-2)
T11
T10
T12
ST(N+2)
Q(N)
T22
T21
LC2
LC1
T64
T63
T61
Cb
ST(N)
501
T51
LC2
T54
G(N)
T43
T53
K(N)
T55
T32
P(N)
T41
T31
T33
T36
T35
T42
ST(N+2)
CK2o
T52
T62
400
T56
T66
102
Vro
vss

图2

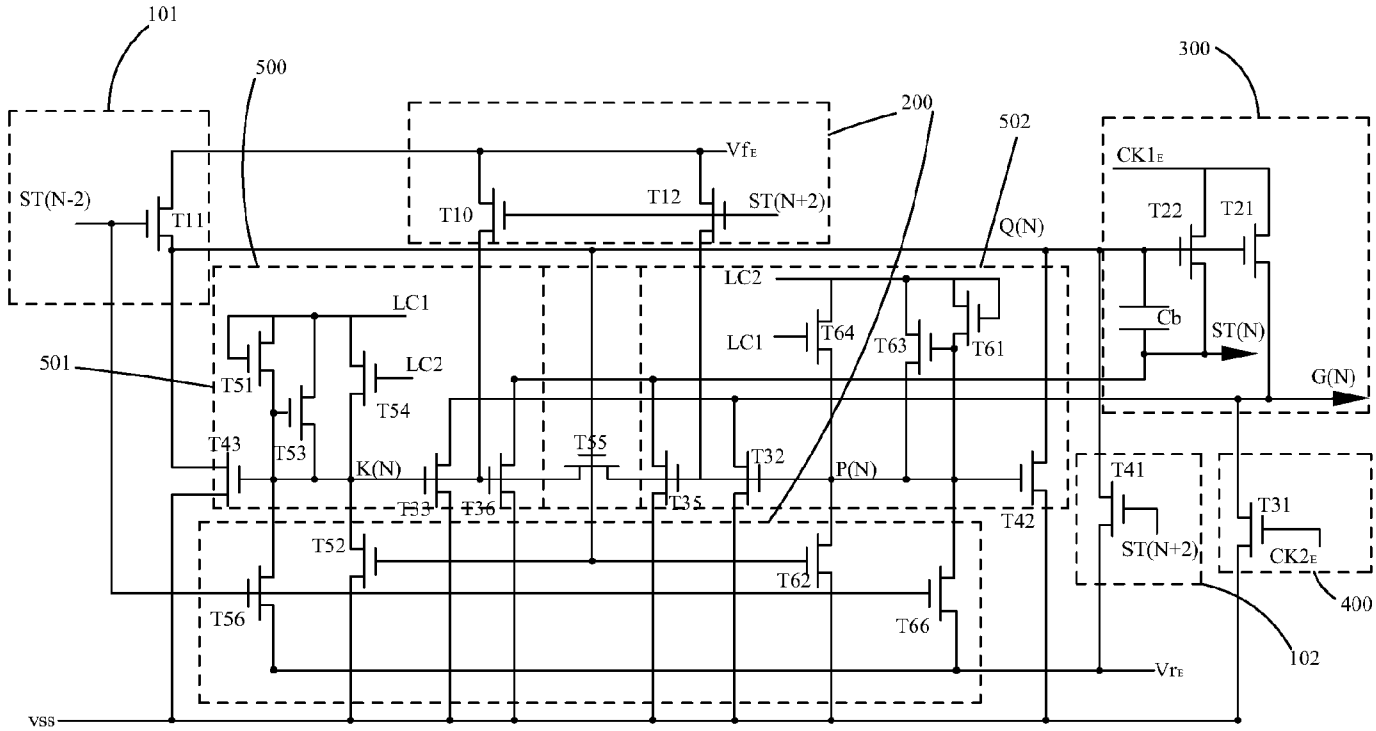

101
500
200
502
300
ST(N-2)
T11
T10
T12
ST(N+2)
Vf_E
Q(N)
CK1_E
T22
T21
LC2
LC1
T64
T63
T61
Cb
ST(N)
G(N)
501
T51
LC1
LC2
T54
T43
T53
K(N)
T33
T36
T55
T35
T32
P(N)
T42
T41
ST(N+2)
T31
CK2_E
400
T52
T62
T56
T66
102
Vr_E
vss

图3

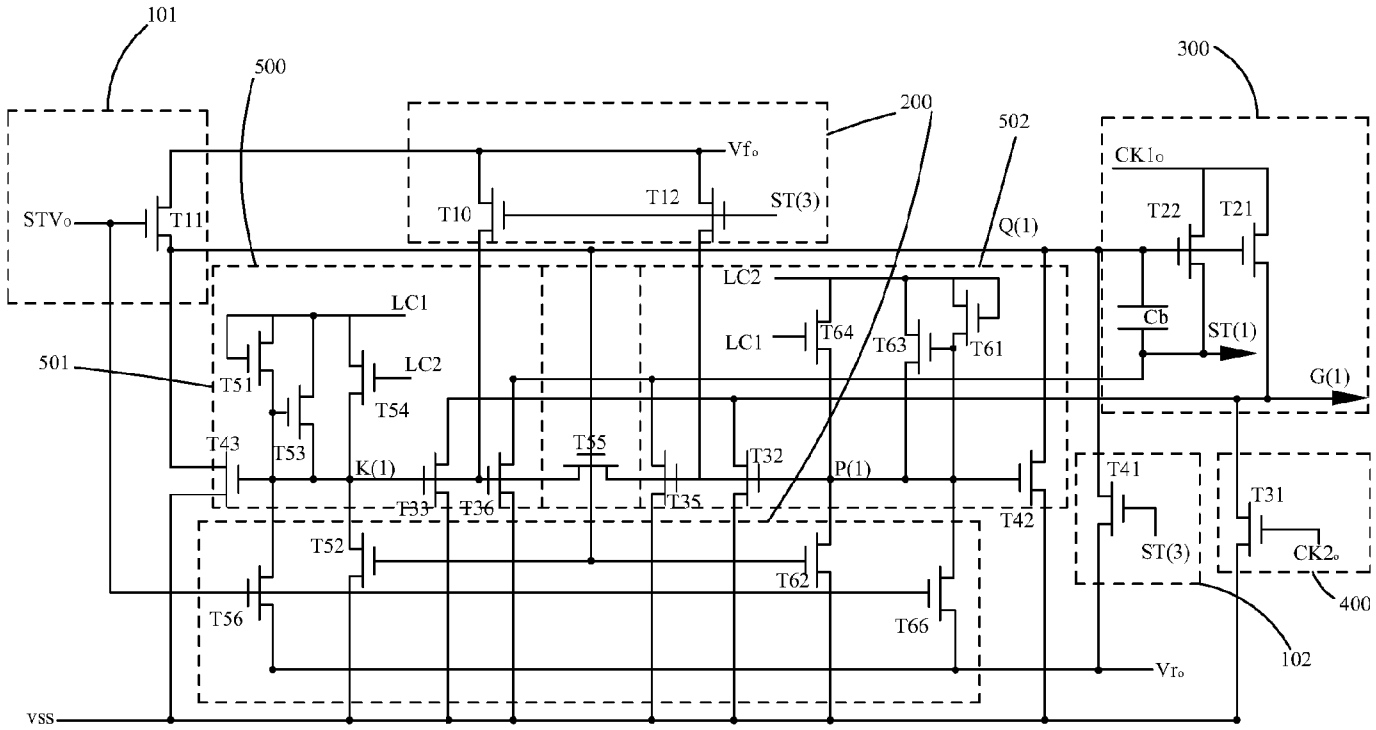

101
500
200
502
300
Vfo
STVo
T11
T10
T12
ST(3)
Q(1)
CKIo
T22
T21
LC2
LC1
T64
T63
T61
Cb
ST(1)
501
T51
LC2
T54
G(1)
T43
T53
K(1)
T55
T32
P(1)
T41
T31
T33
T36
T35
T42
ST(3)
CK2o
T52
T62
400
T56
T66
102
Vro
vss

图4

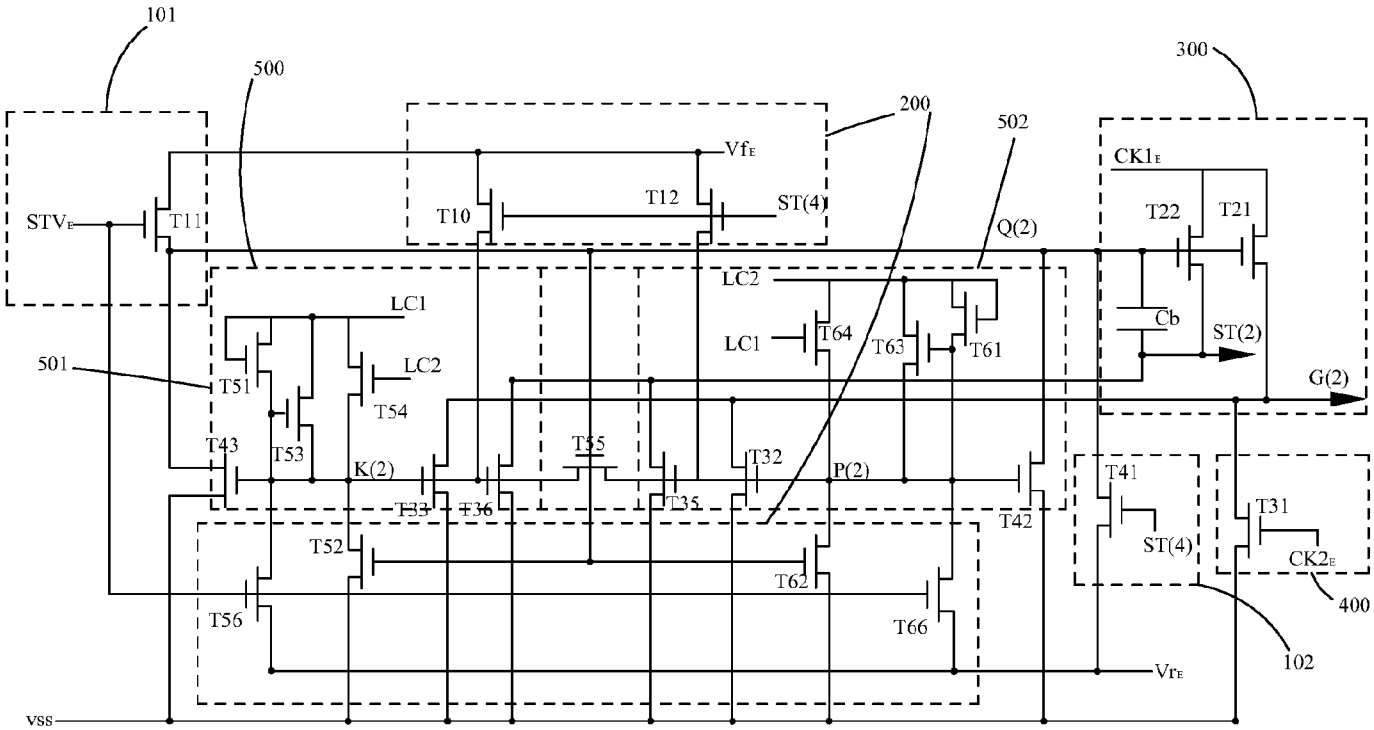

101
500
200
502
300
Vf_E
CK1_E
STV_E
T11
T10
T12
ST(4)
Q(2)
T22
T21
LC2
LC1
T64
T63
T61
Cb
ST(2)
501
T51
T54
G(2)
T43
T53
K(2)
T33
T36
T55
T32
P(2)
T35
T42
T41
T31
ST(4)
CK2_E
400
T52
T62
T56
T66
102
Vr_E
vss

图5

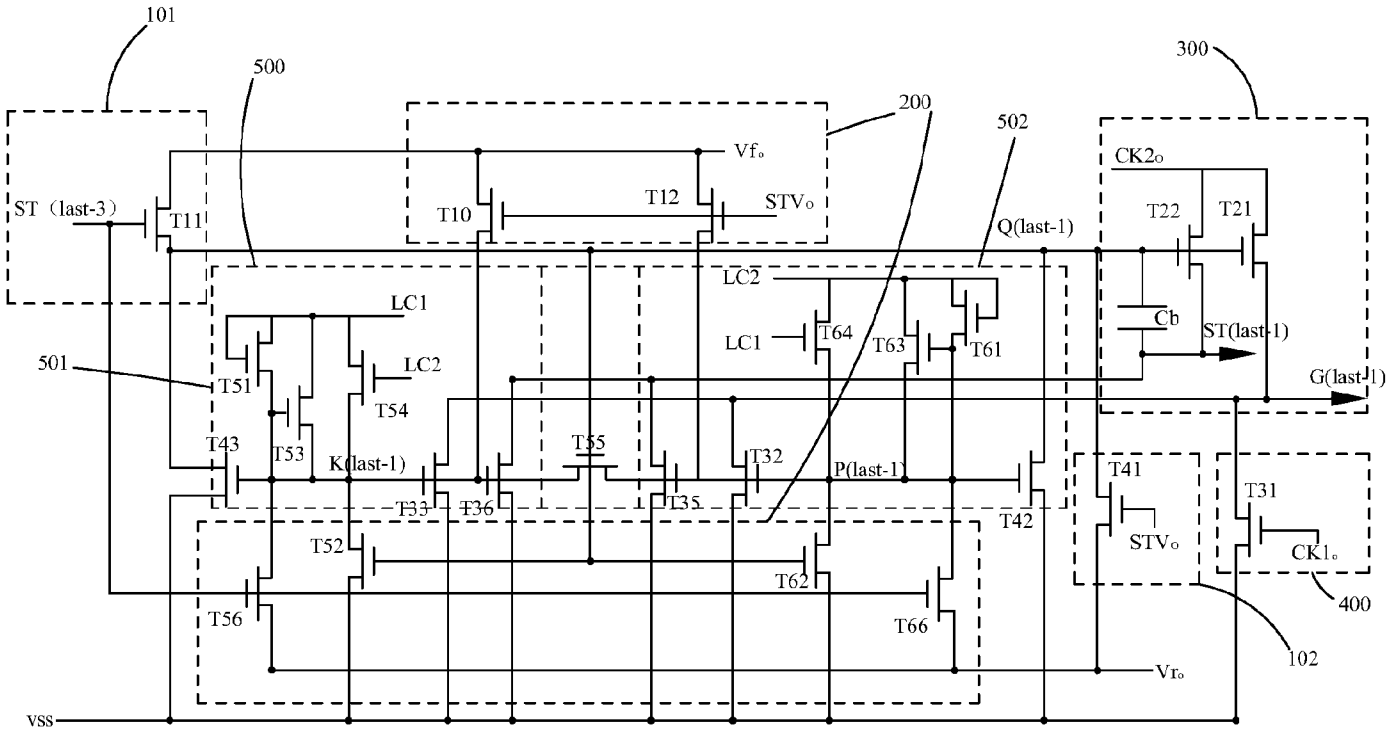

101
500
200
502
300
Vf。
CK2。
ST（last-3）
T11
T10
T12
STV。
T22
T21
Q(last-1)
LC2
LC1
T64
T63
T61
Cb
ST(last-1)
501
T51
LC2
T54
G(last-1)
T43
T53
K(last-1)
T55
T32
P(last-1)
T41
T31
T33
T36
T35
T42
STV。
CK1。
T52
T62
400
T56
T66
102
Vr。
vss

图6

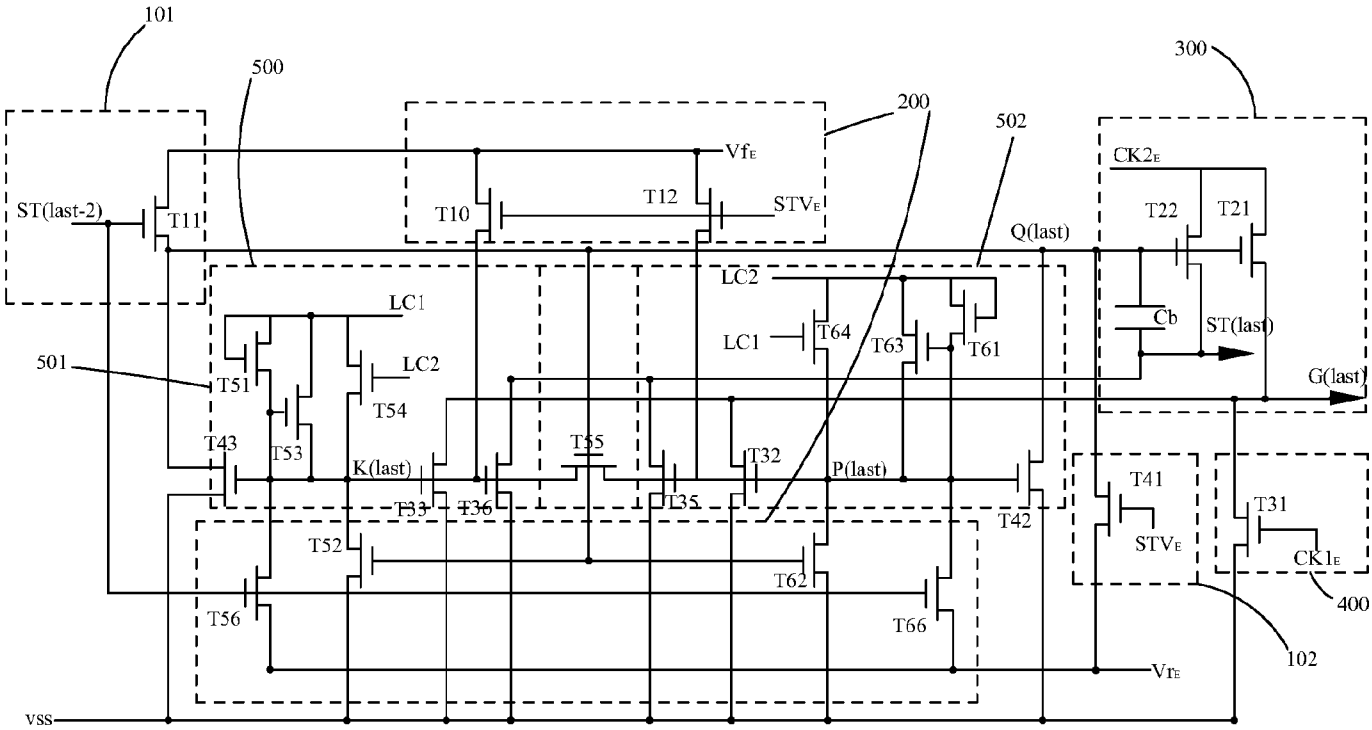

101
500
200
502
300
ST(last-2)
T11
T10
T12
VfE
STVE
CK2E
T22
T21
Q(last)
LC2
LC1
T64
T63
T61
Cb
ST(last)
501
T51
LC1
LC2
T54
G(last)
T43
T53
K(last)
T55
T32
P(last)
T33
T36
T35
T42
T41
T31
STVE
CK1E
400
T52
T62
T56
T66
102
VrE
VSS

图7

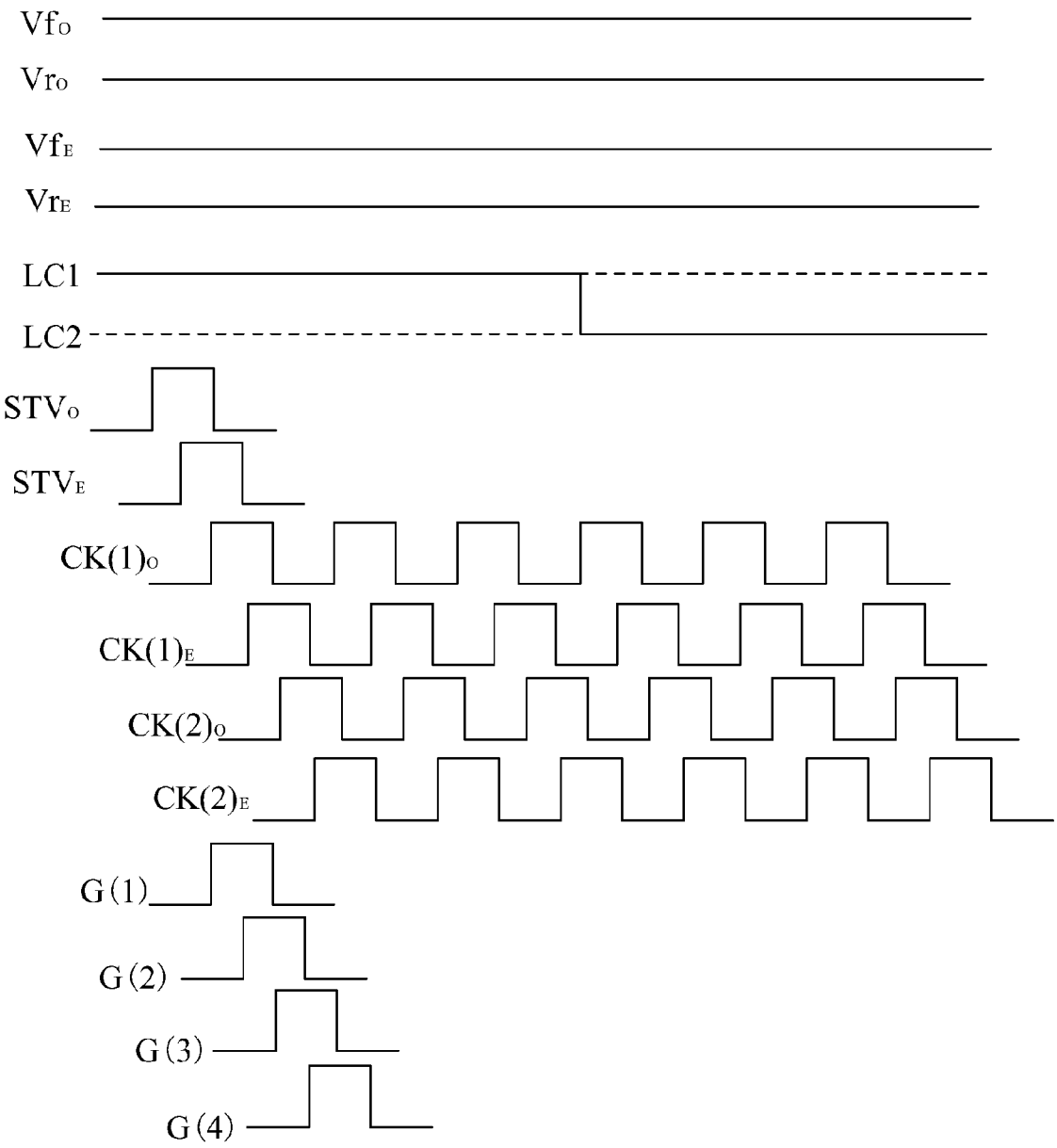

Vfo
Vro
VfE
VrE
LC1
LC2
STVo
STVE
CK(1)o
CK(1)E
CK(2)o
CK(2)E
G(1)
G(2)
G(3)
G(4)

图8

| | $Vf_O$=H | $Vf_O$=L |
|---|---|---|
| $Vf_E$=H | 11 | 01 |
| $Vf_E$=L | 10 | 00 |

图9

| | $Vf_O$=H | $Vf_O$=L |
|---|---|---|
| $Vf_E$=H | 1_1 | 0_1 |
| $Vf_E$=L | 1_0 | 0_0 |

图10

# INTERNATIONAL SEARCH REPORT

International application No.
**PCT/CN2015/082030**

**A. CLASSIFICATION OF SUBJECT MATTER**

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-, G09G 5/-, G02F 1/13-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; VEN: maintain, reverse, uplift, grid, pull up, pull down, shift register, pull-down maintaining, forward direction, reverse direction, clock, odd, rf, register shift, pull+, gate, scan+, even, up, down, direct+, clock, colock

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | CN 104537987 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 22 April 2015 (22.04.2015), description, paragraphs [0040]-[0050], and figures 1-2 | 1-12 |
| A | CN 104505048 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 08 April 2015 (08.04.2015), the whole document | 1-12 |
| A | US 6300928 B1 (LG ELECTRONICS INC.), 09 October 2001 (09.10.2001), the whole document | 1-12 |

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 01 March 2016 (01.03.2016) | **09 March 2016 (09.03.2016)** |
| Name and mailing address of the ISA/CN:<br>State Intellectual Property Office of the P. R. China<br>No. 6, Xitucheng Road, Jimenqiao<br>Haidian District, Beijing 100088, China<br>Facsimile No.: (86-10) 62019451 | Authorized officer<br>**CHANG, Qing**<br>Telephone No.: (86-10) **62085778** |

Form PCT/ISA/210 (second sheet) (July 2009)

**INTERNATIONAL SEARCH REPORT**
Information on patent family members

International application No.
**PCT/CN2015/082030**

| Patent Documents referred in the Report | Publication Date | Patent Family | Publication Date |
|---|---|---|---|
| CN 104537987 A | 22 April 2015 | None | |
| CN 104505048 A | 08 April 2015 | None | |
| US 6300928 B1 | 09 October 2001 | KR 100242244 B1 | 01 February 2000 |
| | | KR 99015789 A | 05 March 1999 |

# 国际检索报告

国际申请号
PCT/CN2015/082030

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3/-, G09G5/-, G02F1/13-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS;VEN:保持，扫描，奇，偶，闸极，反，维持，门极，抬升，栅极，上拉，下拉，移位寄存器，下拉保持，正向，反向，下拉维持，时钟，odd，rf， register shift，pull+，gate，scan+，even，up，down，direct+，clock,colock

C. 相关文件

| 类 型* | 引用文件，必要时，指明相关段落 | 相关的权利要求 |
|---|---|---|
| A | CN 104537987 A (深圳市华星光电技术有限公司) 2015年 4月 22日 (2015-04-22)<br>说明书第[0040]-[0050]段，附图1-2 | 1-12 |
| A | CN 104505048 A (深圳市华星光电技术有限公司) 2015年 4月 8日 (2015-04-08)<br>全文 | 1-12 |
| A | US 6300928 B1 (LG ELECTRONICS INC) 2001年 10月 9日 (2001-10-09)<br>全文 | 1-12 |

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

| 国际检索实际完成的日期 | 国际检索报告邮寄日期 |
|---|---|
| 2016年 3月 1日 | 2016年 3月 9日 |
| ISA/CN的名称和邮寄地址<br>中华人民共和国国家知识产权局(ISA/CN)<br>中国北京市海淀区蓟门桥西土城路6号 100088<br>传真号 (86-10)62019451 | 受权官员<br>常青<br>电话号码 (86-10)62085778 |

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/082030

| 检索报告引用的专利文件 | | | 公布日<br>(年/月/日) | 同族专利 | | | 公布日<br>(年/月/日) |
|---|---|---|---|---|---|---|---|
| CN | 104537987 | A | 2015年 4月 22日 | 无 | | | |
| CN | 104505048 | A | 2015年 4月 8日 | 无 | | | |
| US | 6300928 | B1 | 2001年 10月 9日 | KR | 100242244 | B1 | 2000年 2月 1日 |
| | | | | KR | 99015789 | A | 1999年 3月 5日 |