

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5257954号
(P5257954)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int.Cl.

F I

G O 6 F 3/041 (2006.01)

G O 9 G 5/00 (2006.01)

G O 6 F 3/041 3 8 O H

G O 6 F 3/041 3 3 O B

G O 9 G 5/00 5 1 O H

G O 9 G 5/00 5 5 O C

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2010-530008 (P2010-530008)	(73) 特許権者	504199127
(86) (22) 出願日	平成20年9月15日 (2008.9.15)		フリースケール セミコンダクター イン
(65) 公表番号	特表2011-501295 (P2011-501295A)		コーポレイテッド
(43) 公表日	平成23年1月6日 (2011.1.6)		アメリカ合衆国 テキサス州 7 8 7 3 5
(86) 国際出願番号	PCT/US2008/076390		オースティン ウィリアム キャノン
(87) 国際公開番号	W02009/051928		ドライブ ウェスト 6 5 0 1
(87) 国際公開日	平成21年4月23日 (2009.4.23)	(74) 代理人	100142907
審査請求日	平成23年9月15日 (2011.9.15)		弁理士 本田 淳
(31) 優先権主張番号	11/874,400	(72) 発明者	ピエトリ、ステファノ
(32) 優先日	平成19年10月18日 (2007.10.18)		アメリカ合衆国 7 8 7 3 7 テキサス州
(33) 優先権主張国	米国 (US)		オースティン ライムストーン ティー
			アール. 3 5 1
		最終頁に続く	

(54) 【発明の名称】 タッチパネル検出回路およびその動作方法

(57) 【特許請求の範囲】

【請求項 1】

タッチパネル検出回路であって、
第 1 電圧供給端子と第 1 入力ノードとに電気接続した第 1 部分と、第 2 入力ノードと第 2 電圧供給端子とに電気接続した第 2 部分とを有する電流制限回路と；
前記第 1 部分に平行な伝導パス経由で前記第 1 入力ノードを前記第 1 電圧供給端子に接続し、且つ前記第 1 入力ノードを所定電圧に再充電するプログラマブル再充電回路と；
前記プログラマブル再充電回路と、前記第 1 入力ノードとに電気接続した比較回路とを備え、
前記比較回路は、前記第 1 入力ノードと前記第 2 入力ノードの間の抵抗変化を検出し、
前記比較回路が前記プログラマブル再充電回路によって有効にされることに応答してペングダウン信号を出力することと
を特徴とする、タッチパネル検出回路。

【請求項 2】

前記比較回路は更に、
前記第 1 入力ノードに電気接続した第 1 論理ゲート入力端子と、
前記プログラマブル再充電回路に電気接続した第 2 論理ゲート入力端子と、
出力端子と
を有する論理ゲートを備え、
前記論理ゲートは、前記第 1 入力ノードと前記第 2 入力ノードの間の抵抗変化を検出し

10

20

たときに前記ペンダウン信号を出力する、
請求項 1 記載のタッチパネル検出回路。

【請求項 3】

前記第 1 入力ノードは、集積回路の第 1 入力端子を有し、
前記第 2 入力ノードは、前記集積回路の第 2 入力端子を有し、
前記第 1 入力端子と前記第 2 入力端子は、互いに離間している、
請求項 1 記載のタッチパネル検出回路。

【請求項 4】

前記タッチパネル検出回路はさらに、タッチパネルを備え、
前記タッチパネルは、前記第 1 入力端子に電気接続した第 1 端子と、前記第 2 入力端子
に電気接続した第 2 端子とを有し、

10

物体が前記タッチパネルに物理的に接触することに応じて、前記第 1 入力ノードと前記
第 2 入力ノードの間の抵抗が変化するように構成されている、

請求項 3 記載のタッチパネル検出回路。

【請求項 5】

タッチパネル検出回路の動作方法であって、
第 1 入力ノードと第 2 入力ノードを有する前記タッチパネル検出回路を提供するステッ
プと；

前記第 1 入力ノードと前記第 2 入力ノードの間の抵抗変化を検出することによってペン
ダウン信号を出力すべく、比較回路を前記第 1 入力ノードに電気接続するステップと；

20

前記ペンダウン信号を出力することによって前記比較回路を無効にする間に、第 1 伝導
パス経由で前記第 1 入力ノードに第 1 電力供給端子を接続する急速充電スイッチを制御す
ることによって、前記第 1 入力ノードを選択的に再充電するステップと；

前記第 1 入力ノードの再充電を停止し、第 2 伝導パス経由で前記第 1 入力ノードに電流
制限回路を接続するステップと
を有し、

前記第 2 伝導パスは、前記第 1 伝導パスに平行であり、前記電流制限回路は、前記第 2
入力ノードに電気接続したときに前記第 1 入力ノードへの電流を制限しつつ、前記第 1 入
力ノードの充電を維持することを特徴とする、動作方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本開示は、概してタッチパネルに適した回路、より詳細には、タッチパネル検出回路に
関する。

【背景技術】

【0002】

タッチパネルは、様々なアプリケーションにおいて入力デバイスとして、一般的に使用
されている。たとえば回路は、ペンのような物体がタッチパネルに圧力を印加すると、タ
ッチパネルの 2 つの面が互いに触れようとすることを感知する。一般的に、タッチパネル
に圧力が印加されない場合、タッチパネルキャパシタは、電流制限抵抗器を通じて充電さ
れる。圧力が印加されると、タッチパネルは放電し、圧力がタッチパネルに印加されたこ
と（すなわち、ペンダウン事象）を示す。この点において、更なる処理が発生し、たと
えば連続的な圧力が印加されたかを、または印加圧力の位置を判定する。しかしながら、技
術が進歩するにつれて、タッチパネルはサイズ（パネル領域）が増加し続け且つ厚さが減
少し続けることによって、より高い容量値をもたらす結果となっている。タッチパネルキ
ャパシタは、電流制限抵抗器を通じて充電されるため、これらの高い容量値は、高い抵抗
容量時定数（RC 時定数）をもたらす。RC 時定数は、タッチパネルキャパシタの充電を
ひどく遅くするおそれがあり、印加された圧力の誤った表示（すなわち、誤ったペンダ
ウン事象）をもたらす。これらの誤った表示は、タッチパネル表示システムの信頼性を
損なう。

40

50

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平9-116751号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

現在可能な1つの解決策は、上述の電流制限抵抗器の抵抗値を低減することによってRC時定数を削減しようとすることである。しかしながらこの解決策において、電力消費はペンダウン事象の発生中に増加してしまう。なぜなら、より小さな電流制限回路を通じて電流が増加するからである。バッテリー寿命を延ばすために電力消費を最小にしなければならないハンドヘルドタッチパネル表示システムや携帯タッチパネル表示システムにおいて、この電力消費の増加は特に問題となりうる。現在可能な他の解決策は、電流制限抵抗器をすべて除去してしまうことである。この解決策は、周期的パルスを加えることによって周期的にタッチパネルキャパシタを充電することである。複数の充電パルス同士の間において、タッチパネルキャパシタはフローティング（アースされていない）のままである。しかしながら、この解決策はノイズに非常に敏感であり、信頼性を損ない、また電磁波干渉（EMI）を増加させるおそれがある。

10

【課題を解決するための手段】

【0005】

20

一実施形態において、タッチパネル検出回路は、電流制限回路と、プログラマブル再充電回路（programmable precharge logic）と、比較回路とを有する。電流制限回路は、第1電圧供給端子と第1入力ノードとに接続した第1部分と、第2入力ノードと第2供給電圧端子とに接続した第2部分とを有する。プログラマブル再充電回路は、電流制限回路の第1部分に平行な伝導パス経由で第1電圧供給端子に第1入力ノードを接続し、第1入力ノードを所定電圧に再充電する。比較回路は、プログラマブル再充電回路と、第1入力ノードとに接続し、第1入力ノードと第2入力ノードの間の抵抗変化を検出し、比較回路がプログラマブル再充電回路によって有効にされたときに応じて、信号を出力する。

【0006】

30

更なる実施形態において、第1入力ノードと第2入力ノードは、集積回路の2つの互いに分離した入力端子を有する。更なる実施形態において、タッチパネル検出回路は、第1入力ノードに接続した第1入力端子と、第2入力ノードに接続した第2入力端子とを有するタッチパネルを備える。タッチパネルは、物体によって物理的に接触されたことに応じて、第1入力ノードと第2入力ノードの間の抵抗を変化させる。

【0007】

他の更なる実施形態において、比較回路は、論理ゲートを有する。論理ゲートは、第1入力ノードに接続した第1論理ゲート入力端子と、プログラマブル再充電回路に接続した第2論理ゲート入力端子と、出力端子とを有する。論理ゲートは、第1入力ノードと第2入力ノードの間の抵抗変化を検出するときに信号を供給する。

40

【0008】

他の更なる実施形態において、電流制限回路は、プロセッサ抵抗器と、電流制限回路スイッチと、接地スイッチとを有する。プロセッサ抵抗器は、第1電圧供給端子に接続した第1プロセッサ抵抗端子と、第2プロセッサ抵抗端子とを有する。有効化信号を受信する電流制限回路スイッチは、第2プロセッサ抵抗端子に接続した第1電流端子と、第1入力ノードに接続した第2電流端子と、制御端子とを有する。有効化信号を受信する接地スイッチは、第2入力ノードに接続した第1電流端子と、第2電圧供給端子に接続した第2電流端子と、制御端子とを有する。

【0009】

他の更なる実施形態において、電流制限回路は、プロセッサ抵抗器と、ダイオードと、

50

電流制限回路スイッチと、接地スイッチとを有する。プロセッサ抵抗器は、第1電圧供給端子に接続した第1プロセッサ抵抗端子と、第2プロセッサ抵抗端子とを有する。ダイオードは、第2プロセッサ抵抗端子に接続した陽極と、陰極とを有する。有効化信号を受信する電流制限回路スイッチは、ダイオードの陰極に接続した第1電流端子と、第1入力ノードに接続した第2電流端子と、制御端子とを有する。有効化信号を受信する接地スイッチは、第2入力ノードに接続した第1電流端子と、第2電圧供給端子に接続した第2電流端子と、制御端子とを有する。

【0010】

他の更なる実施形態において、プログラマブル再充電回路は、第1入力ノードと第2入力ノードの間の抵抗変化を検出することによって、比較回路を選択的に有効にしたり無効にしたりする。

10

【0011】

他の更なる実施形態において、プロセッサ14は、プログラマブル再充電回路に接続したプロセッサコアと、第1入力ノードを再充電する時間をプログラミングし、選択的に変化させる比較回路とを有する。

【0012】

他の実施形態において、タッチパネル検出回路の動作方法は、第1入力ノードと第2入力ノードを有する回路を提供することと、比較回路を第1入力ノードに接続することによって、第1入力ノードと第2入力ノードの間の抵抗変化を検出することと、それに応じて検出出力信号を出力することと、急速充電スイッチを制御することによって第1入力ノードを選択的に再充電することと、急速充電スイッチは、検出出力信号を出力することにより比較回路を無効化している期間中に第1伝導パス経由で第1電圧供給端子(VDD電圧供給端子)を第1入力ノードに接続することと、第1入力ノードの再充電を停止し、第1伝導パスに平行な第2伝導パス経由で第1入力ノードに電流制限回路を接続することと、電流制限回路は第2入力ノードに接続したときに第1入力ノードの電流を制限しながら、第1入力ノードにおける充電を維持することとを有する。

20

【0013】

更なる実施形態において、タッチパネル検出回路の動作方法は、第1電圧供給端子(VDD電圧供給端子)と第1入力ノードとに接続した第1部分と、第2入力ノードと第2電圧供給端子(接地電圧供給端子)の間で接続した第2部分とによって電流制限回路を実現することとを有する。更なる実施形態において、動作方法は、第1電圧供給端子に接続した第1プロセッサ抵抗端子と、第2プロセッサ抵抗端子とを有するプロセッサ抵抗器によって電流制限回路の第1部分を実現することとを有する。

30

【0014】

他の更なる実施形態において、タッチパネル検出回路の動作方法は、第1入力ノードと第2入力ノードの間にタッチパネルを配置することによって第1入力ノードを第2入力ノードに接続させ、第1入力ノードと第2入力ノードの間の第1抵抗を設定することと、タッチパネルに物理的に接触することによって第1抵抗を第2抵抗に変更することと、比較回路によって第1抵抗の第2抵抗への変化を検出することとを有する。

【0015】

40

他の更なる実施形態において、タッチパネル検出回路の動作方法は、第1入力ノードを再充電する時間をプログラミングし、選択的に変更することとを有する。

他の実施形態において、タッチパネル検出回路は、第1電圧供給端子と、第2電圧供給端子と、再充電ノードと、電流リミッタ(電流制限回路)と、プログラマブル再充電回路と、比較回路とを有する。再充電ノードは、タッチパネルとタッチパネル検出回路を互いに接続するための、第1入力端子と第2入力端子を形成する。電流リミッタは、再充電ノードと第1電圧供給端子とに接続した第1部分を含み、且つ第2入力端子と第2電圧供給端子とに接続した第2部分を含む。プログラマブル再充電回路は、電流リミッタの第1部分に平行な伝導パス経由で第1電圧供給端子に再充電ノードを接続させ、再充電ノードを所定電圧に再充電する。比較回路は、プログラマブル再充電回路と再充電ノードとに接続

50

され、比較回路は、第 1 入力端子と第 2 入力端子の間の抵抗変化を検出し、それに応じて信号を出力する。

【 0 0 1 6 】

タッチパネル回路の他の実施形態の更なる実施形態において、プログラマブル再充電回路は、再充電ノードを再充電しているときに比較回路を無効化し、再充電ノードを再充電していないときは比較回路を有効にする。

【 0 0 1 7 】

タッチパネル回路の更なる他の実施形態において、比較回路は、第 1 入力端子に接続した第 1 論理ゲート入力と、プログラマブル再充電回路に接続した第 2 論理ゲート入力と、出力とを有する論理ゲートを有する。論理ゲートは、第 1 入力端子と第 2 入力端子の間の抵抗変化を検出したときに信号を出力する。

10

【 0 0 1 8 】

タッチパネル回路の更なる他の実施形態において、電流リミッタの第 1 部分は、プロセッサ抵抗器と、電流制限回路スイッチとを有する。プロセッサ抵抗器は、第 1 電圧供給端子に接続した第 1 プロセッサ抵抗端子と、第 2 プロセッサ抵抗端子とを有する。有効化信号を受信する電流制限回路スイッチは、第 2 プロセッサ抵抗端子に接続した第 1 電流端子と、第 1 入力端子に接続した第 2 電流端子と、制御端子とを有する。制御端子は、比較回路が第 1 入力端子と第 2 入力端子の間の抵抗変化を検出するタイミングを制御する。

【 0 0 1 9 】

タッチパネル回路の他の更なる実施形態において、プログラマブル再充電回路は、再充電ノードを所定電圧に再充電する時間をプログラミングすることができる。

20

タッチパネル回路の他の更なる実施形態において、電流リミッタはさらにプロセッサ抵抗器と、ダイオードと、電流制限回路スイッチと、接地スイッチとを有する。プロセッサ抵抗器は、第 1 電圧供給端子に接続した第 1 プロセッサ抵抗端子と、第 2 プロセッサ抵抗端子とを有する。ダイオードは、第 2 プロセッサ抵抗端子に接続した陽極と、陰極とを有する。有効化信号を受信する電流制限回路スイッチは、ダイオードの陰極に接続した第 1 電流端子と、第 1 入力端子に接続した第 2 電流端子と、制御端子とを有する。電流制限回路スイッチは、比較回路が第 1 入力端子と第 2 入力端子の間の抵抗変化を検出するタイミングを制御する。接地スイッチは、第 2 入力端子に接続した第 1 電流端子と、第 2 電力供給電圧端子に接続した第 2 電流端子と、有効化信号を受信する制御端子とを有する。

30

【 0 0 2 0 】

タッチパネル回路の他の更なる実施形態において、タッチパネル検出回路は更に、プロセッサコアを有する。プロセッサコアは、比較回路から信号を受信する入力と、プログラマブル再充電回路に接続した出力とを有する。プロセッサコアは、プログラマブル再充電回路をプログラム制御することによって、プログラマブル再充電回路が再充電ノードを所定電圧まで再充電する時間を決定する。

【 0 0 2 1 】

タッチパネル検出回路の少なくとも 1 つの実施形態に従って、再充電回路 (precharge circuit) は、電流制限抵抗器に平行な伝導パスを有効にすることによってタッチパネルキャパシタを再充電すべく使用される。このように、タッチパネルキャパシタを迅速に充電しえ、タッチパネルの操作速度を増加し、電力消費を低減し、誤ったペンダウン事象の発生を低減しうる。

40

【 0 0 2 2 】

ここで使用されるように、語句「バス」は、複数の信号または複数の伝導体を意味すべく使用される。複数の信号または複数の伝導体は、データ、アドレス、制御、または状態のような様々な 1 以上の情報を伝送すべく使用されうる。ここで論じた伝導体は、単一の伝導体、複数の伝導体、一方向伝導体、または双方向伝導体であるとして、説明または記述されうる。しかしながら、違った実施形態は、様々な伝導体を使用しうる。たとえば双方向伝導体よりもむしろ離間した一方向伝導体が使用されえ、または離間した一方向伝導体よりもむしろ双方向伝導体が使用されうる。また、複数の伝導体は、複数の信号をシリ

50

アルに、または多重に伝送する単一伝導体に置換されうる。そのように、複数の信号を伝送する複数の単一伝導体は、これらの信号の一部を伝送する様々な違った伝導体に分割されうる。つまり、信号の伝送には様々な選択肢がある。

【 0 0 2 3 】

「アサート」または「セット」は、ここで、信号、ステータスビット、または装置の状態を、論理的に真の状態とするときに使用されうる。「ネゲート」（または「デアサート」または「クリア」）は、信号、ステータスビット、または装置の状態を、論理的に偽の状態とするときに使用されうる。論理的に真の状態が論理レベル 1 である場合、論理的に偽の状態は論理レベル 0 である。そして論理的に真の状態が論理レベル 0 である場合、論理的に偽の状態は論理レベル 1 である。

10

【 0 0 2 4 】

ここで記述されるそれぞれ信号は、正または負の論理として設計されうる。ここで負の論理は、信号名の上のバーによって、または信号名に続くアスタリスク (*) によって、表示されうる。負の論理信号の場合、信号はアクティブロー (active low) であり、論理的に真の状態は論理レベル 0 に対応する。正の論理信号の場合、信号はアクティブハイ (active high) であり、論理的に真の状態は、論理レベル 1 に対応する。ここで記述するいかなる信号も、負の論理信号または正の論理信号として設計されうることを記す。つまり、代りの実施形態において、正の論理信号として記述した信号は、負の論理信号として実現されえ、負の論理信号として記述した信号は、正の論理信号として実現されうる。

20

【 0 0 2 5 】

ブラケットは、バスの伝導体または値のビット位置を示すべく使用されうる。たとえば「バス 6 0 [7 : 0]」または「バス 6 0 の伝導体 [7 : 0]」は、バス 6 0 の 8 つの下位の伝導体を示す。「アドレスビット [7 : 0]」または「アドレス [7 : 0]」は、アドレス値の 8 つの下位ビットを示す。数字の前のシンボル「\$」は、数字が 1 6 進法または 1 6 を基底とした形式で表されることを示す。数字の前のシンボル「%」は、数字が 2 進法または 2 を基底とした形式で表されることを示す。

【 0 0 2 6 】

本発明は例によって説明されるが、参照記号が要素を示す図面によって制限されない。図面中の要素は、簡素化と明確化のために例示され、必ずしも正しい縮尺を示してはいない。

30

【図面の簡単な説明】

【 0 0 2 7 】

【図 1】本発明の一実施形態に従う、タッチパネルシステムのブロック図。

【図 2】図 1 のタッチパネルシステムのより詳細な部分的ブロック図。

【図 3】先行技術のタッチパネル回路に従う、複数のタッチパネル検出回路波形。

【図 4】本発明の一実施形態に従う、複数のタッチパネル検出回路波形。

【発明を実施するための形態】

【 0 0 2 8 】

図 1 は、本発明の一実施形態に従う、タッチパネルシステム 1 0 を説明する。タッチパネルシステム 1 0 は、タッチパネル 1 2 とプロセッサ 1 4 を有する。タッチパネル 1 2 は、伝導プレート 1 6 と抵抗プレート 1 8 を有し、この 2 つのプレートは互いに向き合い、隙間 3 0 によって分離されている。隙間 3 0 は、誘電材料で充填されるか、空洞である。タッチパネル 1 2 に圧力が印加されない場合（すなわちタッチ刺激が無い場合）、タッチパネル 1 2 は、電氣的観点から、高い並列抵抗（効果的には、無限抵抗）を有するキャパシタとしてみなされる。ペンのような物体によって圧力が伝導プレート 1 6 に印加された場合（すなわちタッチ刺激が印加された場合）、伝導プレート 1 6 と抵抗プレート 1 8 は互いに接触させられ、タッチパネルの容量変化は無視できるが、並列抵抗はより低い値となる。タッチパネル 1 2 の抵抗が高い場合、タッチパネルには電流が流れない。しかしながら、圧力が印加され、伝導プレート 1 6 と抵抗プレート 1 8 が互いに接触すると、電流

40

50

が流れうる。この電流変化は、タッチパネル 12 の抵抗変化によるものであり、タッチパネル検出回路は、プロセッサ 14 内にて印加した圧力を検出する（すなわちペンダウン事象を検出する）。印加圧力はペンダウン事象と呼ばれうるが、ペンのみが圧力を印加するのに必要とされるわけではないことを記す。タッチパネル 12 に圧力を印可するペンや指のような任意の物体が、ペンダウン事象をもたらすタッチパネル 12 へのタッチ刺激を出力すべく使用されうる。

【0029】

さらに図 1 を参照すると、抵抗プレート 18 は、第 1 電極 19、第 2 電極 20、第 3 電極 21、および第 4 電極 22 を有する。それぞれこれらの電極は、第 1 入力端子 24、第 2 入力端子 25、第 3 入力端子 26、および第 4 入力端子 27 のうち対応する 1 つにそれぞれ接続されうる。1 つまたはすべての接続は、プロセッサ 14 が有するタッチパネル検出回路によって使用され、ペンダウン事象を検出する。ペンダウン事象が検出されると、プロセッサ 14 が有する回路が、印加された圧力の位置を判定すべく使用されうる。一実施形態において、それぞれ第 1 入力端子 24 と第 3 入力端子 26 経由のそれぞれ第 1 電極 19 と第 3 電極 21 からの情報は、第 1 軸に沿った印加圧力位置を判定すべく使用されうる一方、それぞれ第 2 入力端子 25 と第 4 入力端子 27 経由のそれぞれ第 2 電極 20 と第 4 電極 22 からの情報は、第 1 軸と実質的に垂直な第 2 軸に沿った印加圧力位置を判定すべく使用されうる。このように、タッチパネル 12 の印加圧力位置は判定されうる。ペンダウン事象の検出に応じて、従来の回路や方法がタッチパネル 12 上の印加圧力位置やタッチ刺激位置を判定すべく使用されうることを記す。

【0030】

図 2 は、図 1 のタッチパネルシステム 10 の詳細図を説明する。図 2 において、タッチパネル 12 は、キャパシタ 62（これは、伝導プレート 16 と抵抗プレート 18 によって形成されたタッチパネルキャパシタを示す）と、並列抵抗（タッチパネル抵抗器）64 とによって示される。タッチ刺激 68 がないとき（すなわち、タッチパネル 12 に圧力が印加されていないとき）は、キャパシタ 62 に平行な回路パスはほぼ無限大の抵抗を有することを記す。しかしながら、タッチ刺激 68 が印加された場合（すなわち、タッチパネル 12 に圧力が印加された場合）、タッチパネルスイッチ 66 がオンになり（これは、伝導プレート 16 と抵抗プレート 18 が互いに接触していることを示す）、したがってキャパシタ 62 は放電し、タッチパネル 12 を通じて電流が流れうる。したがって、タッチパネル 12 は、タッチ刺激 68 に応じて（すなわち物体によって物理的に接触したことに応じて）、第 1 入力ノード 56 と第 2 入力ノード 55 との間の抵抗を変化させる。

【0031】

図 2 はまた、プロセッサ 14 のより詳細な図を説明する。プロセッサ 14 は、プログラマブル再充電回路 32 と、プロセッサ抵抗器 42 と、ダイオード 44 と、急速充電スイッチ 40、電流制限回路スイッチ 46、および接地スイッチ 50 と、タッチ位置回路 38 と、比較回路 48（これは、例えば、図示された実施形態の NOR ゲート 49 のような論理ゲートを含みうる）と、プロセッサコア 34 と、電力管理ユニット 36 と、第 2 入力ノード 55 と、第 1 入力ノード 56 と、第 1 電圧供給端子（たとえば VDD 電圧供給端子）と、第 2 電圧供給端子（たとえば VSS 電圧供給端子）とを含む。第 1 入力ノード 56 はまた再充電ノードと呼ばれうることを記す。プロセッサ 14 は、単一の集積回路上に形成されうる。または、プロセッサ 14 は、互いに接続した複数の集積回路上に形成されうる。また、それぞれ第 1 入力ノード 56 と第 2 入力ノード 55 は、プロセッサ 14 の端子またはピンに対応しえ、そして他のタッチパネル信号 58 はまた、プロセッサ端子またはプロセッサピン経由で受信されうることを記す。たとえば第 1 入力ノード（再充電ノード）56 は、図 1 の 1 以上の入力端子 24 ~ 27 に対応しえ、第 2 入力ノード 55 は図 1 の第 5 入力端子 28 に対応する。プロセッサ 14 は、いかなる型の処理システムでも良く、たとえば、マイクロコントローラ、マイクロプロセッサ、デジタル信号プロセッサ、タッチディスプレイ検出回路や、システム（それは、プロセッサコア 34 のようなプロセッサコアを有しても、有さなくてもよく、電力管理ユニット 36 のような電力管理ユニットを有

しても、有さなくてもよい)である。すなわち、プロセッサ14は、互いに異なる配置の互いに異なる回路を有しえ、他の機能を実現する追加回路を有しうる。図2の実施形態において、キャパシタ62が有する第1キャパシタ出力端子と、タッチパネル抵抗器64が有する第1タッチパネル抵抗端子とは、プロセッサ14が有する端子またはピン経由で第1入力ノード56に接続する。タッチパネル抵抗器64の第2タッチパネル抵抗端子は、タッチパネルスイッチ66が有する第1タッチパネルスイッチ電流端子に接続する。キャパシタ62の第2キャパシタ端子と、タッチパネルスイッチ66が有する第2タッチパネルスイッチ電流端子とは、プロセッサ14の端子またはピン経由で第2入力ノード55に接続する。

【0032】

さらに図2を参照すると、プロセッサ抵抗器42は、第1電圧供給端子(これは、図示の実施形態において、VDD電圧供給端子である)に接続した第1プロセッサ抵抗端子と、ダイオード44の陰極に接続した第2プロセッサ抵抗端子とを有する。ダイオード44の陽極は、電流制限回路スイッチ46が有する第1電流端子に接続する。第1電圧供給端子はまた、急速充電スイッチ40が有する第1電流端子に接続し、急速充電スイッチ40が有する第2電流端子は第1入力ノード56に接続する。第1入力ノード56はまた、電流制限回路スイッチ46が有する第2電流端子と、比較回路48が有する第1入力端子(たとえば図示の実施形態におけるNORゲート49の第1入力)とに接続する。プロセッサコア34は、プログラマブル再充電回路32と、タッチ位置回路38と、電力管理ユニット36とに接続する。プロセッサコア34と電力管理ユニット36はそれぞれ、ペンダウン信号60を受信する。ペンダウン信号60は、比較回路による出力(たとえばこれは図示の実施形態におけるNORゲート49の出力に対応する)として提供される。プログラマブル再充電回路32は、再充電有効化信号54を急速充電スイッチ40の制御端子と、比較回路48の第2入力端子(たとえば図示の実施形態におけるNORゲート49の第2入力)とに出力する。タッチ位置回路38は、第1入力ノード56と第2入力ノード55に接続し、他のタッチパネル信号58を受信する。接地スイッチ50が有する第1電流端子は、第2入力ノード55に接続し、接地スイッチ50の第2電流端子は、第2電圧供給端子(これは図示の実施形態における接地またはVSS電圧供給端子である)に接続する。タッチ有効化信号52は、電流制限回路スイッチ46の制御端子と、接地スイッチ50の制御端子とに出力される。タッチ有効化信号52は、一実施形態において、プロセッサコア34によって出力される。

【0033】

一実施形態において、プロセッサ抵抗器42、ダイオード44、および電流制限回路スイッチ46と接地スイッチ50は、電流制限回路(電流リミッタとも呼ばれる)を形成する。一実施形態において、プロセッサ抵抗器42、ダイオード44、および電流制限回路スイッチ46は、第1電圧供給端子(たとえば、VDD電圧供給端子)と第1入力ノード56との間で順に接続し、電流制限回路の第1部分を形成する。接地スイッチ50は、第2入力ノード55と第2電圧供給端子(たとえば、接地またはVSS電圧供給端子)との間で接続し、電流制限回路の第2部分を形成する。

【0034】

一実施形態において、それぞれ急速充電スイッチ40と、電流制限回路スイッチ46と、接地スイッチ50とは、トランジスタとして実現されうる。代わりに、他の型の回路は、これらのスイッチの切替機能を実現すべく使用されうる。それぞれスイッチの第1電流端子は、第1端子と呼ばれえ、それぞれスイッチの第2電流端子は、第2端子と呼ばれうることを記す。また、図示の実施形態において、再充電有効化信号54とペンダウン信号60は、正の論理信号として実現される。

【0035】

動作時にタッチ刺激がタッチパネル12に無い場合、すなわち、タッチパネルスイッチ66がオフである場合、第1入力ノード56は、ほぼ電圧VDDに再充電される。再充電は、急速充電スイッチ40を有効にする(すなわち、オンになる)再充電有効化信号54

10

20

30

40

50

を用いることによって実現され、急速充電スイッチ40を有効にすることによってVDD電圧供給端子と第1入力ノード56との間に低抵抗電流パスが存在することとなる。一実施形態において、急速充電スイッチ40はトランジスタによって実現される。したがって、一実施形態において、プログラマブル再充電回路32は、第1入力ノード56を、伝導パス経由で（たとえば急速充電スイッチ40経由で）VDD電圧供給端子に接続する。伝導パスは、第1入力ノード56を再充電する電流制限回路の第1部分（たとえば、プロセッサ抵抗器42、ダイオード44、および電流制限回路スイッチ46）に平行である。プログラマブル再充電回路32は、再充電ノード（第1入力ノード）56がプルアップ急速充電スイッチ40を通じて電圧VDDまで充電するのに十分な時間で、再充電有効化信号54をアサートする。したがって、より小さなデバイスが急速充電スイッチ40のために使用されると、再充電有効化信号54は、急速充電スイッチ40を或る期間にわたって有効にする必要がありうる。この期間は、より大きなデバイスが急速充電スイッチ40のために使用される場合よりも長い。図4の波形82を参照すると、再充電有効化信号54は時間T1から時間T3までアサートされることを記す。このことは、図4の矢印92と波形84によって図示されるように、第1入力ノード56が電圧VDDに充電される結果となる。第1入力ノード56が再充電を完了する前に、タッチ有効化信号52は、たとえばプロセッサコア34が有する制御回路によってアサートされ、そして電流制限回路スイッチ46と接地スイッチ50を有効にする（すなわち、電流制限回路スイッチ46と接地スイッチ50をオンにする）。波形88を参照すると、タッチ有効化信号52は、時間T1と時間T3の間のT2において有効になることを記す。

10

20

【0036】

また再充電有効化信号54がアサートされている間、比較回路48は無効化される。すなわち、NORゲート49が比較回路48を実現すべく使用される図示の実施形態において、再充電有効化信号54がNORゲート49への第2入力としてアサートされ且つ出力されると、再充電有効化信号54は、NORゲート49の第1入力をマスク（mask）する。したがって、ペンドウン信号60は、デアサートされたままである（この例において論理レベルはローである）一方、再充電有効化信号54はアサートのままである。このように、再充電有効化信号54がデアサートされるまで（すなわちプロセッサ14がタッチパネル12上のタッチ刺激を検出する準備ができるまで）、ペンドウン信号60は、不用意にアサートされることによって誤ったペンドウン事象を表示することはない。

30

【0037】

再充電の後、プロセッサ14は準備され、タッチ刺激を検出する準備ができる。時間T3において再充電有効化信号54はプログラマブル再充電回路32によってデアサートされるため、比較回路48はペンドウン信号60をアサートまたはデアサートすべく有効にされる。つまり、NORゲート49の第2入力が論理レベルローのとき、それはもはやNORゲート49の第1入力をマスクせず、ペンドウン信号60は、第1入力ノード56が出力するNORゲート49の第1論理ゲート入力端子からの値によって影響される。第1入力ノード56が再充電され、且つタッチパネル12にタッチ刺激が印加されていない間、第1入力ノード56は論理レベル1のままであり、したがってペンドウン信号60はデアサートのままである（すなわち、この例では論理レベルローである）。このことは、ペンドウン事象が発生していないことを示す（すなわちタッチパネル12にタッチ刺激がないことを示す）。更に一実施形態において、電流制限回路の一部（例えばプロセッサ抵抗器42）は、再充電された第1入力ノード56における充電を維持するのに有用でありうる。

40

【0038】

タッチ刺激68が印加され、タッチパネルスイッチ66がオンになると、電流はタッチパネル12を通じて、電流制限回路によって提供されるパス経由で流れうる。図示の実施形態において、タッチ刺激68が印加されると、キャパシタ62は、タッチパネル抵抗器64を通じて放電し、タッチパネルスイッチ66をオンにする（タッチパネルスイッチは、上述のように、プレート16と18が互いに接触することを示す）。また、タッチ刺激

50

68が印加されると、電流パスは、VDD電圧供給端子から、プロセッサ抵抗器42と、ダイオード44と、電流制限回路スイッチ46とを通じて、そして第1入力ノード56と第2入力ノード55を通じて、そして接地スイッチ50を通じて、VSS電圧供給端子に提供される。一実施形態において、タッチ刺激68が印加されると、電流制限回路のプロセッサ抵抗器42は電流を制限する。タッチパネルスイッチ66をオンにするタッチ刺激68に応じて、第1入力ノード56は放電され、結局ペンドアウン信号60がNORゲート49を通じてアサートされることを引き起こし(すなわち、この例では論理レベルが1である)、ペンドアウン事象を表示する。図4の波形90を参照すると、タッチ刺激68が時間T4において出力されることを記す。時間T4において、第1入力ノード56は論理レベルローに放電し(図4の波形84を参照)、代わりにペンドアウン信号60のアサートをもたらす(図4の波形86を参照)。ゆえに、比較回路48がプログラマブル再充電回路32によって有効にされると、第1入力ノード56と第2入力ノード55の間の抵抗変化を検出し(抵抗変化は、たとえばタッチ刺激68が印加されることによって発生する)、それに応じてペンドアウン信号60を出力することを記す。さらに一実施形態において、プログラマブル再充電回路32は、第1入力ノード56と第2入力ノード55の間の抵抗変化を検出することにより、比較回路を選択的に有効にしたり無効にしたりする。

10

【0039】

ペンドアウン事象がペンドアウン信号60のアサートを通じて検出されると、プロセッサコア34はペンドアウン事象を処理しうる。一実施形態において、ペンドアウン信号60のアサートは割込みを生成し、プロセッサコア34の処理ルーチンは、割込みを出力する。ペンドアウン事象に回答する更なる処理は、次に発生しうる。たとえば或る場合、ペンドアウン事象の検出時に、プロセッサコア34はタッチ位置回路38を有効にしうる(これは、任意の既知の回路を用いて実現されうる)。タッチ位置回路38は、それから第1電極19と、第2電極20と、第3電極21と、第4電極22と、抵抗プレート18とによって出力される1以上の情報を用いて、ペンドアウン事象を発生させるタッチ刺激の位置を決定しうる。他の場合、ペンドアウン事象の検出時にプロセッサコア34は、他の再充電サイクルを有効にすることによって他のペンドアウン事象を検出する準備をする(ここで再充電有効化信号54はアサートされることによって急速充電スイッチ40をオンにし、そして第1入力ノード56はキャパシタ62を再充電しうる)。そして、たとえば「ダブルクリック」動作が実行されたか否かを判定する。したがって、プロセッサコア34が有する制御回路は、プログラマブル再充電回路32を有効にし、そのあとタッチ有効化信号52を適切にアサートすることによって、続くタッチ刺激検出のためにタッチパネル12を準備する。上述の第1入力ノード56を再充電する準備は必要に応じて実現され、たとえば上述のようにプロセッサ14が入力を予想(expect)する前(タッチパネル12に印加されるべきタッチ刺激を予想する前)や、プロセッサ14が前回のペンドアウン事象の処理を完了したあとに、再充電する準備は実現されうる。またプロセッサ14またはタッチパネルシステム10のすべてまたは一部分の電力管理は、ペンドアウン信号60によって表示されるペンドアウン事象に応じて、電力管理ユニット36によって実行されうる。

20

30

【0040】

一実施形態において、再充電有効化信号54がアサートされる期間は、プログラム制御されうる。すなわちプログラマブル再充電回路32は、再充電有効化信号54をある一定期間アサートしうる。この期間は、プログラムされた値または選択した値に応じて変化しうる。たとえば再充電有効化信号54のアサートの持続期間は、ユーザがプロセッサ14に接続を望むタッチパネルのサイズに基づき、選択やプログラムされうる。一実施形態において、プロセッサコア34は、第1入力ノード56の再充電が発生する期間をプログラムし、選択的に変化させる。プログラム可能な態様は、様々な方法において実現されえ、たとえば抵抗器や、選択回路などを用いて実現されうる。代替として、第1入力ノード56の再充電のために固定期間が使用されてもよい。

40

【0041】

また代替の実施形態において、比較回路48は様々な方法において実現されうることを

50

記す。たとえば一実施形態において、第1入力ノード56がコンパレータの第1入力端子に接続され、かつ参照比較電圧がコンパレータの第2入力に出力される場合や、再充電有効化信号54がコンパレータの有効化入力に供給されうる場合に、コンパレータが使用されうる。そして、コンパレータは、第1入力ノード56が急速充電スイッチ40を通じて再充電されていないときにのみ有効にされる。このように、ペンダウン事象は、第1入力ノード56の電圧が参照比較電圧を下回るときに基づき、ペンダウン信号60によって表示される。代替として、他の回路は、比較回路48を実現すべく使用されうる。

【0042】

電流制限回路（たとえば、プロセッサ抵抗器42、ダイオード44、電流制限回路スイッチ46、および接地スイッチ50を含む）は、ペンダウン事象発生中に電流を制限するよう動作することを記す。たとえばプロセッサ抵抗器42は比較的大きな抵抗器であり（たとえばプロセッサ抵抗器42は約100kの抵抗を有しうる）、プロセッサ抵抗器42は、タッチパネルスイッチ66がオンのときに電流を制限する。（比較として急速充電スイッチ40が有効にされると、急速充電スイッチの抵抗は約1～1000の範囲になりうる。）このように、ペンダウン事象中の電力消費は最小化されうる。代替の実施形態において、電流制限回路は違うように実現されうることを記す。たとえばダイオード44とプロセッサ抵抗器42を入れ替えることも可能であり、ダイオード44は存在しなくてもよく、またはダイオード44とプロセッサ抵抗器42は接地スイッチ50の周囲に位置し、第2入力ノード55とグラウンドの間で接続されてもよい。代替として、電流制限回路内の回路は、VDD電圧供給端子と接地電圧供給端子（VSS電圧供給端子）が入れ替えられるように配置されうる。

【0043】

第1入力ノードを充電するためにプルアップ急速充電スイッチ40を用いて形成された代替パスが無い場合、第1入力ノードは、プルアップ電流制限回路スイッチ46とプロセッサ抵抗器42を通じてよりゆっくりと充電される。この場合第1入力ノード56の充電時間は、キャパシタ62とプロセッサ抵抗器42によって提供されるRC時定数に直接依存する。消費電力を最小化するために、プロセッサ抵抗器42には比較的大きな抵抗を用いることが望ましい。そして抵抗が大きければ大きいほど、タッチパネルが有効になり、キャパシタ62の容量値も大きくなりうる。これらの要因は、時定数を増大させ、結果として第1入力ノード56をフル充電するのにより長い時間が必要となる。このことにより、動作が遅くなり、したがって誤ったペンダウン事象の発生が増加しうる。

【0044】

たとえば図3は従来のタッチパネルシステムにおける波形を示す。ここではタッチパネル容量の充電は、プロセッサ抵抗器42と同様のプルアップ抵抗器のような電流制限回路経路で実現されうる。図3の波形70に示されるように、タッチパネルは、時間T3まではフルに再充電しない。しかしながら、その期間は、ペンダウン事象を検出すべく使用される回路（再充電ノードに接続したインバータなど）は、波形72によって図示されるようにペンダウン事象を誤って表示する。波形76に示すようにT1とT2の間ではタッチパネルにはタッチ刺激が印加されないにもかかわらず、波形72ではペンダウン信号はT1とT2の間にアサートされ、誤ったペンダウン事象が表示されている。ゆえに、従来のシステムにおいて、タッチ有効化信号がアサートされると（図3の波形74に示されるように）、タッチパネルのゆっくりとした充電のためにペンダウン信号もアサートされうる。そして、タッチパネルが電圧レベル80に到達するまでは、ペンダウン信号は適切にデアサートされることはできず、且つ本来のペンダウン事象を表示する準備はできない。ペンダウン信号がアサートされるときであるT3まで、タッチ刺激が印加されても本来のペンダウン事象は発生しないことを記す（波形72と波形76を参照）。ゆえに、タッチパネルの充電が遅いほど、動作が問題となり信頼性が損なわれることを記す。さらに多くの場合において、顧客によって使用されるタッチパネルのサイズがどれくらいであるかは不明であるため、再充電のための適切なRC時定数を有するべき電流制限回路を適切に設計することは困難である。またより迅速な充電時間を可能とする電流制限回路のプルアップ

抵抗器のサイズを小さくすると、電力消費が増大し、多くのアプリケーションに対して不利益となる。

【 0 0 4 5 】

したがって、電流制限回路の少なくとも一部分に平行な代替再充電パスを提供する急速充電スイッチ 4 0 との組合せにおいて、再充電有効化信号 5 4 を使用することによってどのように動作の改善を可能にするかということが理解されうる。さらに一実施形態において、プログラマブル再充電回路 3 2 の使用を通じて、再充電有効化信号 5 4 の持続期間（と、再充電のための平行な電流パスがどれくらいの期間にわたって有効であるか）は、システムの要求に基づき特定の値にプログラムされうる。たとえばその値は、急速充電スイッチ 4 0 のサイズに基づき、またはタッチパネル 1 2 のサイズに基づき、プログラムされうる。また一実施形態において、代替再充電パスの使用は、ペンダウン事象を誤って検出し難い信頼性の高いシステムだけでなく、より速い充電時間を可能としうる。さらに一実施形態において、プルアッププロセッサ抵抗器 4 2 は、第 1 入力ノード 5 6 の充電時間に影響することなく電力消費を最小化すべく、十分に大きく設計されうる。

10

【 0 0 4 6 】

本発明を実現する装置は、ほとんどの部分で、当業者が既知である電子構成要素と電子回路から構成されるため、本発明の概念の理解のためと、本発明の教示を隠匿や阻害したりしないように、回路の詳細は図示したように必要と考えられる以上のことは説明されていない。

【 0 0 4 7 】

20

本発明は、特定の伝導型や特定のポテンシャル極性について記述されたが、当業者は、伝導型とポテンシャル極性が逆になりうることを理解する。たとえば図 2 の電圧供給端子が入れ替わると、ペンダウン信号 6 0 は、上述のように正の論理信号としてよりむしろ負の論理信号として実現されうる。

【 0 0 4 8 】

更に、発明を実施するための形態や請求項における、「前」「後」「上」「底」「上に」「下に」といった語句は、記述的な目的で使用されていて、必ずしも普遍的相対的位置を記述してはいない。そのように使用した語句は適切な状況下で交換され、したがってここで記述した発明の実施形態は、たとえばここで記述した以外の他の方向において動作可能であることが理解される。

30

【 0 0 4 9 】

応用可能な上述の実施形態は、様々な情報処理システムを用いて実現されうる。たとえば図 1 と図 2 とその議論は例示的な情報処理構成を記述したが、この例示的構成は、本発明の様々な態様を議論するための有用な参考例を、単に提供するように示されている。無論、構成の記述は、議論の目的のために単純化され、そしてそれは、本発明にしたがって使用されうる多くの異なる適切な構成のうちの 1 つである。論理ブロック間の境界は単に図示的であることと、代替実施形態は論理ブロックや、回路要素をまとめたり、様々な論理ブロックや回路要素に機能の分解を課しうることを、当業者は理解するであろう。

【 0 0 5 0 】

したがって、ここで記述した構成は単に例示的であることと、事実として同じ機能を実現する多くの他の構成が実現されうるということが理解されるべきである。抽象的であるが限られた意味において、同じ機能を達成する構成要素の配置は効果的に「関連」しているため、所望の機能が達成される。したがって、特定の機能を達成すべくここで結合した任意の 2 つの構成要素は、互いに「関連」としてみなされうるため、構成や中間に位置する構成要素にかかわらず、所望の機能が達成される。同様に、関連した任意の 2 つの構成要素はまた、所望の機能を達成すべく、互いに「動作可能に接続された」または「動作可能に結合された」としてみなされる。

40

【 0 0 5 1 】

またたとえば、一実施形態において、プロセッサ 1 4 の図示された要素は、単一の集積回路上に位置する、または同一デバイス内に位置する回路である。代替として、プロセッ

50

サ１４は、多数の分離した集積回路または多数の互いに接続したデバイスを含みうる。またたとえば、プロセッサ１４またはその一部分は、ソフトウェアまたは物理回路のコード表示または論理表示のコード表示でありうる。ソフトウェアまたはコード表示は、物理回路に変換可能である。そのように、プロセッサ１４は、任意の適切な型のハードウェア記述言語で具現化されうる。

【 0 0 5 2 】

更に、当業者は、上述の動作の機能間の境界が単に図示的であるということを、理解するであろう。複数の動作の機能は、単一の動作に結合されえ、および／または単一の動作の機能は、追加動作に配布されうる。更に、代替実施形態は、特定の動作の複数の例を含みえ、動作順番は、様々な他の実施形態において変更されうる。

【 0 0 5 3 】

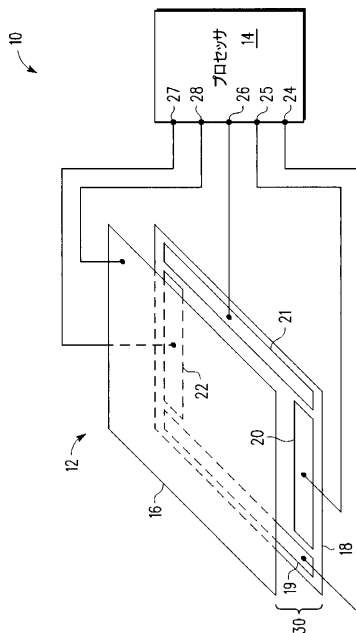
特定の実施形態に関してここで発明が技術されたが、様々な修正と変化が、下記の請求項に記載の本発明の範囲から逸脱することなくなされうる。たとえば比較回路は、電流制限回路がなしうるように、様々な異なる方法で実現されうる。したがって明細書と図面は、限定的な意味としてよりむしろ図示的な意味としてみなされるべきである。そしてすべての修正は、本発明の範囲に含まれるよう意図される。特定の実施形態に関してここで記述された、任意の恩恵、利益、または問題に対する解は、1以上の請求項の、重大な、必要な、または本質的な特徴または要素として解釈するよう意図されていない。

【 0 0 5 4 】

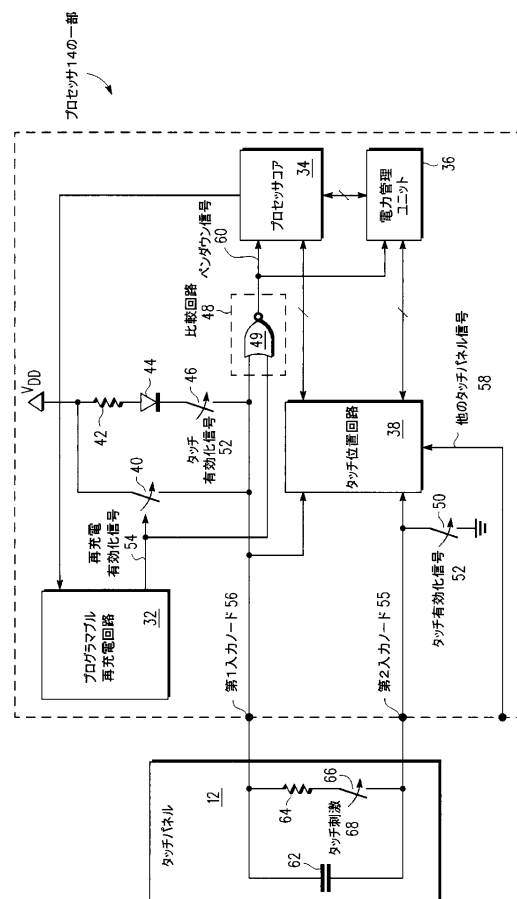
ここで使用した語句「接続」は、直接接続または機械接続に限定されるように意図されていない。

特に記述しない限り、「第 1」と「第 2」のような語句は、記述された語句のような要素間で任意に区別すべく使用される。つまり、これらの語句は、そのような要素の一時的または他の優先順位付けを示すように必ずしも意図されていない。

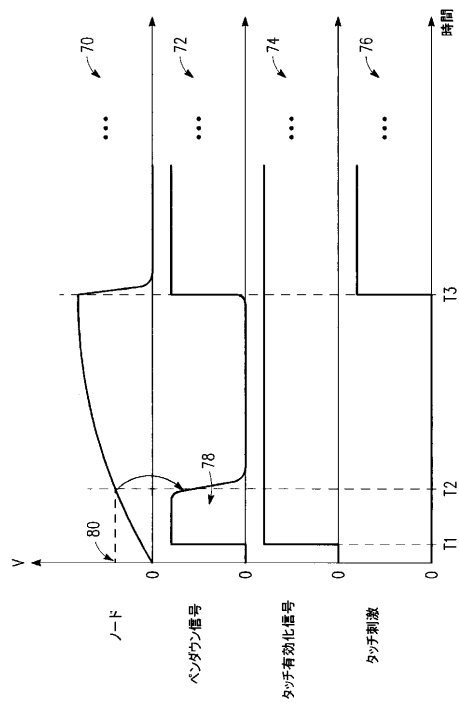
【圖 1】



【圖 2】

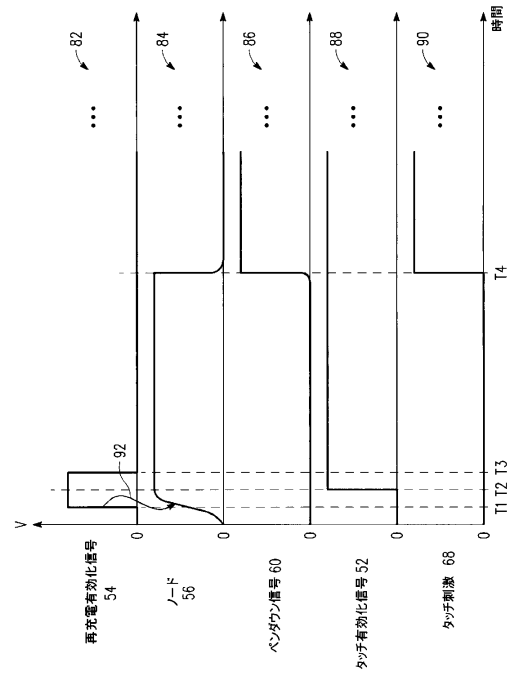


【図 3】



【図 4】

-PRIOR ART-



フロントページの続き

(72)発明者 リン、シェン

中華人民共和国 518034 シェンチェン タイムズ ファイナンシャル センター 20エフ/エフ・ジー・エイチ・

(72)発明者 オルモス、アルフレード

ブラジル国 13085-753 カンピナス エヒ・シネシオ ペレイラ ダ クンナ 137

(72)発明者 ティップル、デイビッド アール・

アメリカ合衆国 78641 テキサス州 リアンダー アップル スプリングス ホロー 14902

審査官 田中 秀樹

(56)参考文献 特開平11-095904(JP, A)

特開平06-012175(JP, A)

特開平09-160709(JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 3/03 - 3/047