

公告本

申請日期	81.8.31
案 號	81117699
類 別	H01L 29/18

A4
C4

512531

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	非揮發性半導體記憶裝置
	日 文	不揮發性半導体記憶裝置
二、發明人 創作	姓 名	1.柴田 昇 2.田中 智晴
	國 籍	1.-2.日本
	住、居所	1.日本國神奈川縣橫濱市金澤區3-2-7 克雷亞雷東芝 並木111 2.日本國神奈川縣橫濱市港南區大久保2-13-21-105
三、申請人	姓 名 (名稱)	日商東芝股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國神奈川縣川崎市幸區堀川町72番地
	代 表 人 名 姓	岡村 正

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：
國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1999 年 09 月 20 日 特願平11-266085 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明之領域

本發明與一種例如可記憶多值資料之非揮發性半導體記憶裝置有關。

先前之技術

能以電重寫之非揮發性半導體記憶裝置，已提出用EEPROM之NAND型閃速記憶體。該NAND型閃速記憶體串聯連接鄰接配置之多數記憶單元之源、汲極，將串聯連接之多數記憶單元為1單位連接於位元線。該NAND型閃速記憶體對排列列方向之多數單元全部或半數單元總括實施寫入或讀取動作。

可是、近來已開發多值記憶體，俾將多數資料記憶於NAND型閃速記憶體之1個單元。

圖3係先前之多值記憶體記憶單元之資料與記憶單元臨限值電壓之關係。茲記憶單元之資料、即資料成為狀態“0”，狀態“0”~狀態“3”，從記憶單元臨限值電壓低之一方向高之一方定義。實施擦除時記憶單元之資料成狀態“0”，由寫入動作使單元臨限值電壓向高之一方移動。將2位元資料記憶於1單元時，2位元資料分為第1頁資料與第2頁資料，此等第1、第2頁之資料由位址轉換。

圖4係先前之寫入方法。將資料寫入記憶單元時，首先寫入第1頁資料，其次寫入第2頁資料。茲構成第1頁或第2頁資料之寫入資料為“1”時，由寫入動作記憶單元臨限值電壓不變，記憶單元之資料不變。即不寫入資料。又構成第1頁或第2頁資料之寫入資料為“0”時，由寫入動作記

五、發明說明(2)

憶單元臨限值電壓變化，隨著記憶單元之資料亦改變。即實施資料之寫入。

首先、使擦除狀態之記憶單元資料為狀態“0”。最初將第1頁資料寫入記憶單元。寫入資料為“1”時，記憶單元資料仍為狀態“0”。又寫入資料為“0”時，記憶單元資料為狀態“1”。

其次寫入第2頁資料。此時、由第1頁之寫入動作，將外部寫入資料為“0”供給資料為狀態“1”之記憶單元時，使記憶單元資料為狀態“3”。又由第1頁之寫入動作，將外部寫入資料為“0”供給資料仍為狀態“0”之記憶單元時，使記憶單元資料為狀態“2”。

此外、由第1頁之寫入動作，將外部寫入資料為“1”供給資料為狀態“1”之記憶單元時，使記憶單元資料仍為狀態“1”。又由第1頁之寫入動作，將外部寫入資料為“1”供給資料仍為狀態“0”之記憶單元時，使記憶單元資料仍為狀態“0”。

發明所欲解決之課題

一方面、欲讀取記憶於記憶單元之資料時，先讀取第2頁資料，其次、讀取第1頁資料。圖3所示定義係在讀取第2頁資料時，記憶單元資料讀取為狀態“0”或狀態“1”之資料為“1”，而記憶單元資料讀取為狀態“0”或狀態“3”之資料為“0”。故讀取第2頁資料時，僅以記憶單元資料為狀態“1”以下或狀態“2”以上之1次動作即可判斷。

針對此、讀取第1頁資料時，記憶單元資料讀取為狀態

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

“0”或狀態“2”之資料為“1”，而記憶單元資料讀取為狀態“1”或狀態“3”之資料為“0”。故於第1頁資料，需記憶單元資料為狀態“0”或狀態“1”以上之判斷，記憶單元資料為狀態“1”以下或狀態“2”以上之判斷，及記憶單元資料為狀態“2”以下或狀態“3”之判斷，合計3次讀取動作。

故先前之非揮發性半導體記憶裝置，從記憶單元讀取資料時，動作次數多，讀取資料耗費時間。

本發明為解決上述課題，其目的為提供：非揮發性半導體記憶裝置，其在讀取資料時可削減動作次數並可縮短讀取資料時間。

課題之解決手段

本發明為解決上述課題，包含：記憶元件，連接於位元線及字線並記憶不同臨限值電壓而成之資料狀態“0”、狀態“1”、狀態“2”、狀態“3”中之一；資料記憶電路，連接於前述位元線並記憶外部供給之第1或第2邏輯電位資料且記憶從前述記憶元件讀取之第1或第2邏輯電位資料；及控制電路，控制前述位元線及字線之電位並控制前述資料記憶電路之動作；前述控制電路，在第1動作時若前述資料記憶電路之資料為第1邏輯電位資料，將前述記憶元件資料從前述狀態“0”變化為狀態“1”，而前述資料記憶電路之資料為第2邏輯電位資料時，將前述記憶元件資料保持於前述狀態“0”，前述資料是否達狀態“1”之驗證動作時，前述資料記憶電路之資料為第1邏輯電位，而前述資料狀態達“1”時將前述資料記憶電路之資料為第2邏輯電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 4 ）

位，前述資料未達狀態“1”時將前述資料記憶電路之資料保持於第1邏輯電位，前述資料記憶電路之資料為第2邏輯電位時，資料記憶電路之資料保持第2邏輯電位，對前述記憶元件實施前述第1動作，在第2動作時若前述資料記憶電路之資料為從外部供給之第1邏輯電位資料，而前述記憶元件資料為狀態“1”時，將前述記憶元件資料從狀態“1”變化為狀態“2”，而前述記憶元件資料為狀態“0”時，將前述記憶元件資料從狀態“0”變化為狀態“3”。

發明之實施形態

以下、參考圖說明本發明之實施形態。

第 1 實施例

先說明本發明之第1實施例之原理。圖1及圖2表示記憶單元資料與記憶單元臨限值電壓之關係。記憶單元資料、即狀態“0”~狀態“3”，從記憶單元臨限值電壓低之一方向高之一方定義。實施擦除時記憶單元之資料成狀態“0”，由寫入動作，使記憶單元臨限值電壓向高之一方移動。

如圖1、圖2所示，本發明係記憶單元之資料對應狀態“2”及狀態“3”之第1、第2頁資料與先前不同。即記憶元件資料為狀態“2”時，將第1、第2頁資料設定為“0”、“0”，而記憶元件資料為狀態“3”時，將第1、第2頁資料設定為“1”、“0”。讀取記憶元件資料時，先讀取第2頁資料，其次、讀取第1頁資料。

讀取第2頁資料時，記憶單元資料讀取為狀態“0”或狀態“1”之資料為“1”，而記憶單元資料讀取為狀態“2”或狀態

五、發明說明 (5)

“3”之資料為“0”。故讀取第2頁資料時，與先前同樣，僅以記憶單元資料為狀態“1”以下或狀態“2”以上之1次動作即可判斷。

一方面、讀取第1頁資料時，記憶單元資料讀取為狀態“0”或狀態“3”之資料為“1”，而記憶單元資料讀取為狀態“1”或狀態“2”之資料為“0”。故第1頁資料，需記憶單元資料為狀態“0”或狀態“1”以上之判斷，與記憶單元資料為狀態“2”以下或狀態“3”之判斷，即可讀取。即第1頁資料，以合計2次動作即可讀取。

如此、讀取第1頁資料時，針對先前需3次讀取動作，本發明則以2次讀取動作即可讀取資料。

圖1係本發明之寫入方法。將資料寫入記憶單元時，先寫入第1頁資料，其次、寫入第2頁資料。茲構成第1頁或第2頁資料之寫入資料為“1”時，由寫入動作記憶單元臨限值電壓不變，記憶單元之資料不變。即不寫入資料。又構成第1頁或第2頁資料之寫入資料為“0”時，由寫入動作記憶單元臨限值電壓變化，隨著記憶單元之資料亦改變。即實施資料之寫入。

首先、使擦除狀態之記憶單元資料為狀態“0”。最初將第1頁資料寫入記憶單元。寫入資料為“1”時，未寫入之記憶單元資料仍為狀態“0”。寫入資料為“0”時，實施寫入之記憶單元資料為狀態“1”。

其次、將第2頁資料寫入記憶單元。此時、由第1頁之寫入動作，將寫入資料“0”供給資料為狀態“1”之記憶單元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（6）

時，使記憶單元資料為狀態“2”，由第1頁之寫入動作，將寫入資料為“0”供給資料為狀態“0”之記憶單元時，記憶單元資料為狀態“3”。

此外、由第1頁之寫入動作，將外部寫入資料為“1”供給資料為狀態“1”之記憶單元時，使記憶單元資料仍為狀態“1”。又由第1頁之寫入動作，將外部寫入資料為“1”供給資料為狀態“0”之記憶單元時，使記憶單元資料仍為狀態“0”。

多值記憶體，需隨寫入資料正確控制記憶單元之臨限值電壓。故將資料寫入記憶單元時，緩緩增加施加於記憶單元控制閘之電壓寫入資料。此種寫入方法稱謂上升寫入方法。

圖5係對記憶單元之上升寫入方法之寫入特性。縱軸表示單元之臨限值電壓，橫軸表示寫入電壓(程式電壓)。

擦除後之單元臨限值電壓(記憶單元資料為狀態“0”)，例如為-3.5V。如上述、本發明在使記憶單元資料從狀態“0”至狀態“3”時，將初期程式電壓16V施加於單元之控制閘。此後、分別以0.2V逐步提高寫入電壓實施寫入，則臨限值電壓沿圖中之“0”→“3”上昇。使記憶單元資料從狀態“0”至狀態“1”時，使初期程式電壓為14V開始寫入。因資料為狀態“1”之臨限值電壓為0.2V，使初期寫入電壓為16V開始寫入時，因在第3步驟與第4步驟間資料成為狀態“1”之臨限值電壓，而有可能發生程式溢載之故。

圖6、圖7表示先前與本發明之寫入次數。

五、發明說明（ 7 ）

第1頁之寫入，因先前與本發明均將記憶單元資料從狀態“0”移動至狀態“1”，故能以13次寫入將記憶單元資料設定於狀態“1”之臨限值電壓。

於第2頁之寫入，先前需將記憶單元資料從狀態“0”向狀態“2”或從狀態“1”向狀態“3”移動。故如圖5所示、以初期寫入電壓為15V開始寫入。寫入次數係如圖6所示，將記憶單元資料從狀態“0”移動至狀態“2”時為13次，惟將記憶單元資料從狀態“1”移動至狀態“3”時為16次。故最高需16次寫入。

針對此、本發明係將記憶單元資料從狀態“0”向狀態“3”或從狀態“1”向狀態“2”移動。且如圖5所示、無論將資料從狀態“0”向狀態“3”或從狀態“1”向狀態“2”移動，均可比先前例高之初期寫入電壓16V開始寫入。故如圖7所示、寫入次數為將記憶單元資料從狀態“0”移動至狀態“3”時為11次，而將記憶單元資料從狀態“1”移動至狀態“2”時為6次。故能以比先前少之最高11次寫入完成程式。

實施例

圖8係本發明之非揮發性半導體記憶裝置概略構造，例如記憶4值(2位元)之NAND型閃速記憶體之構造。

記憶單元陣列1包含多數位元線、多數字線及共通源線，例如以矩陣狀配置EEPROM單元而成之能以電重寫資料之記憶單元。記憶單元陣列1，連接控制位元線用之位元線控制電路2與字線控制電路6。

五、發明說明 (8)

前述位元線控制電路2，如後述含多數資料記憶電路，藉位元線讀取記憶單元陣列1中之記憶單元資料，或藉位元線檢測記憶單元陣列1中之記憶單元狀態，或藉位元線將寫入控制電壓施加於記憶單元陣列1中之記憶單元實施寫入記憶單元。於位元線控制電路2，連接行譯碼器3、資料輸出入緩衝器4。位元線控制電路2內之資料記憶電路由行譯碼器3選擇，資料記憶電路讀取之記憶單元資料，藉前述資料輸出入緩衝器4從資料輸出入端子5向外輸出。

又從外部輸入資料輸出入端子5之寫入資料，藉資料輸出入緩衝器4，輸入由行譯碼器3選擇之資料記憶電路。

前述字線控制電路6，連接於記憶單元陣列1。字線控制電路6，選擇記憶單元陣列1中之字線，供給讀取、寫入或擦除所需電壓。

記憶單元陣列1、位元線控制電路2、行譯碼器3、資料輸出入緩衝器4、及字線控制電路6，連接於控制信號產生電路7a及控制電壓產生電路7b，由控制信號產生電路7a及控制電壓產生電路7b加以控制。控制信號產生電路7a及控制電壓產生電路7b，連接於控制信號輸入端子8，由外部藉控制信號輸入端子8輸入之控制信號加以控制。即控制電壓產生電路7b，產生讀取資料之程式、驗證、讀取、及擦除時所需電壓，供給記憶單元陣列1之各部。

圖9係圖8所示記憶單元陣列1及位元線控制電路2之構造。位元線控制電路2，具有多數資料記憶電路310、311~312112。各資料記憶電路310、311~312112藉行選擇閘

五、發明說明（ 9 ）

320、321~322112連接於前述資料輸出入緩衝器4。行選擇閘320、321~322112由行譯碼器3供給之行選擇信號CSL0、CSL1~CSL2112控制。

各資料記憶電路310、311~312112，連接一對位元線。即資料記憶電路310連接位元線BL0、BL1，資料記憶電路311連接位元線BL2、BL3，資料記憶電路312112連接位元線BL4222、BL4223。

於記憶單元陣列1配置多數NAND單元。1個NAND單元包括：記憶單元M1、M2、M3~M16，由串聯連接之例如16個EEPROM而成；選擇閘S1，連接於記憶單元M1；及選擇閘S2，連接於記憶單元M16。第1選擇閘S1連接於位元線BL0，第2選擇閘S2連接於源線SRC。配置於各列之記憶單元M1、M2、M3~M16之控制閘共通連接於字線WL1、WL2、WL3~WL16。又第1選擇閘S1共通連接於選擇線SG1，第2選擇閘S2共通連接於選擇線SG2。

1塊由4223個NAND單元構成，以塊單位擦除資料。連接於1個字線之記憶單元構成1扇區，將資料寫入各扇區、並讀取。又1扇區記憶例如2頁份資料。

圖10(a)及圖10(b)係記憶單元及選擇電晶體之斷面圖。圖10(a)表示記憶單元。於基板41形成記憶單元之源、汲極之n型擴散層42。基板41上藉閘絕緣膜43形成漂浮閘44，漂浮閘44上藉絕緣膜45形成控制閘46。

圖10(b)表示選擇電晶體。於基板41形成源、汲極之n型擴散層47。基板41上藉閘絕緣膜48形成控制閘49。

五、發明說明 (10)

圖 11 係記憶單元陣列之 1 個 NAND 單元之斷面。本例中、1 個 NAND 單元，以串聯連接構成圖 10(a) 所示構造之 16 個記憶單元 M1~M16。NAND 單元之汲、源極側，設有圖 10(b) 所示構造之第 1 選擇閘 S1 及第 2 選擇閘 S2。

圖 12 係圖 9 所示資料記憶電路 310。資料記憶電路因均為同一構造，故僅說明資料記憶電路 310。

位元線 BLi 連接 N 通道電晶體 61a 之電流通路之一端。將信號 BLTR 供給電晶體 61a 之閘極。電晶體 61a 之電流通路另一端連接於電晶體 61b 之電流通路一端，及電晶體 61c 之電流通路一端。前述電晶體 61b 之電流通路另一端連接於端子 62a。將電壓 VBLA 供給端子 62a。又將信號 PREA 供給前述電晶體 61b 之閘極。將信號 BLSA 供給前述電晶體 61c 之閘極。

又位元線 BLi+1 連接 N 通道電晶體 61d 之電流通路之一端。將前述信號 BLTR 供給電晶體 61d 之閘極。電晶體 61d 之電流通路另一端連接於電晶體 61e 之電流通路一端，及電晶體 61f 之電流通路一端。前述電晶體 61e 之電流通路另一端連接於端子 62b。將電壓 VBLB 供給端子 62b。又將信號 PREB 供給前述電晶體 61e 之閘極。將信號 BLSB 供給前述電晶體 61f 之閘極。電晶體 61b、61e 隨信號 PREA、PREB 將非選擇位元線預充電為電位 VBLA、VBLB。前述電晶體 61c、61f 隨信號 BLSA、BLSB 選擇位元線。

前述電晶體 61c、61f 之電流通路另一端藉電晶體 61g 連接於端子 62c，並連接於節點 NE。將信號 BIAS 供給前述

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (11)

電晶體 61g 之閘極，將電壓 VCC 供給端子 62c。電晶體 61g 在讀取資料時，隨信號 BIAS 預充電位元線。

前述節點 NE 連接電晶體 61h 之電流通路一端。將信號 BLC1 供給前述電晶體 61h 之閘極，電晶體 61h 之電流通路另一端連接第 1 閃鎖電路 LAT(A)。第 1 閃鎖電路 LAT(A) 由 2 個時鐘變換電路 61i、61j 構成。時鐘變換電路 61i 由信號 SEN1、SEN1B (B 表示反相信號) 控制，時鐘變換電路 61j 由信號 LAT1、LAT1B 控制。第 1 閃鎖電路 LAT(A) 閃鎖寫入資料。

前述節點 NE 串聯連接電晶體 61k、61l。電晶體 61k 之閘極連接於前述第 1 閃鎖電路 LAT(A) 之節點 NC，將信號 VRFY1 供給電晶體 61l 之閘極。此外、將信號 VREG 供給電晶體 61l 之電流通路。此等電晶體 61k、61l 隨第 1 閃鎖電路 LAT(A) 閃鎖之資料設定位元線電位。

又前述第 1 閃鎖電路 LAT(A) 之節點 NA，藉 P 通道電晶體 61m 連接於端子 62d。將信號 PRSTB1 供給電晶體 61m 之閘極，將電壓 VCC 供給前述端子 62d。電晶體 61m 在寫入或讀取資料時，將第 1 閃鎖電路 LAT(A) 之節點 NA 設定於高電位。此外、節點 NA，藉電容器 61n 接地。電容器 61n 在讀取資料時，保持節點 NA 之電荷。

此外、前述節點 NA 藉並聯連接之電晶體 61o 與時鐘變換電路 61p，連接於未圖示之前述行選擇閘。將信號 SPB 供給電晶體 61o 之閘極，時鐘變換電路 61p 由信號 Osac、Osacb 控制。電晶體 61o 在寫入資料時將藉前述行選擇閘

五、發明說明 (12)

供給之資料傳輸於第1門鎖電路LAT(A)。前述時鐘變換電路61p，在讀取資料時做為緩衝器動作。

一方面、前述節點NE連接電晶體61q之電流通路一端。將信號BLC2供給電晶體61q之閘極，電晶體61q之電流通路另一端連接第2門鎖電路LAT(B)。第2門鎖電路LAT(B)由2個時鐘變換電路61r、61s構成。時鐘變換電路61r由信號SEN2、SEN2B控制，時鐘變換電路61s由信號LAT2、LAT2B控制。第2門鎖電路LAT(B)門鎖從記憶單元讀取資料。

又前述節點NE串聯連接電晶體61t、61u。電晶體61t之閘極連接於前述第2門鎖電路LAT(B)之節點ND，將信號VRFY2供給電晶體61u之閘極。此外、將信號VREG供給電晶體61u之電流通路。此等電晶體61t、61u隨第2門鎖電路LAT(B)門鎖之資料設定位元線電位。

又前述第2門鎖電路LAT(B)之節點NB，藉P通道電晶體61v連接於端子62e。將信號PRSTB2供給電晶體61v之閘極，將電壓VCC供給前述端子62e。電晶體61v在驗證時將第2門鎖電路LAT(B)之節點NB設定於高電位。此外、節點NB，藉電容器61w接地。電容器61w在驗證時，保持節點NB之電荷。

說明上述構造之動作。

如前述、記憶單元之資料與記憶單元之臨限值電壓，如圖1、圖2所示定義。記憶單元之資料、即狀態“0”~狀態“3”，從記憶單元臨限值電壓低之一方向高之一方定義。

五、發明說明 (13)

又1個記憶單元記憶2位元資料，2位元資料，於非揮發性半導體記憶裝置外部，由第1頁位址、第2頁位址轉換。

如此定義之狀態下，讀取資料時，若指定第1頁位址，則記憶於記憶單元之資料讀取為狀態“0”或狀態“3”之資料為“1”，而記憶單元之資料讀取為狀態“1”或狀態“2”之資料為“0”。故於第1頁，需要記憶單元資料為狀態“0”或狀態“1”以上之判斷，與記憶單元資料為狀態“2”以下或狀態“3”之判斷之合計2次動作。

指定第2頁位址時，記憶單元資料讀取為狀態“0”或狀態“1”之資料為“1”，而記憶單元資料讀取為狀態“2”或狀態“3”之資料為“0”。故於第2頁，僅以記憶單元資料為狀態“1”以下或狀態“2”以上之1次動作即可判斷。

實施擦除動作時記憶單元資料為狀態“0”。

單元選擇方法

資料之讀取(read)動作、程式驗證動作及程式動作時，隨連接於資料記憶電路310~312112之2支位元線BLi、BLi+1(i=0、1、2…)中，從外部供給之外部位址選擇1支位元線。此外、隨前述外部位址選擇1支字線，選擇圖9所示2頁(1扇區)。

擦除(erase)動作，以圖9虛線所示塊單位實施。又就連接於資料記憶電路之2支位元線(BLi、BLi+1)同時實施。

擦除驗證動作，以第1次動作，就連接於資料記憶電路之2支位元線(BLi、BLi+1)中1支字線實施驗證讀取動作，將此結果記憶於圖12所示第1門鎖電路LAT(A)。其次、就

五、發明說明 (14)

另一方位元線(BLi+1)實施驗證動作，將此結果與前述驗證讀取結果之邏輯和記憶於圖12所示第1門鎖電路LAT(A)。此擦除驗證動作，重複至所有第1門鎖電路LAT(A)之節點NA達低電位止。

實施上述擦除動作及擦除驗證動作時記憶單元資料為狀態“0”，無論指定第1頁位址、第2頁位址中之任何一方讀取之資料為“0”。即因第1門鎖電路LAT(A)之節點NA為低電位，故藉時鐘變換電路61p讀取之資料為“1”。

程式及程式驗證

第1頁程式

圖13(a)係第1頁程式之動作。

程式動作，隨外部位址，選擇圖9所示2頁(1扇區)。本實施例僅能依此2頁中、第1頁、第2頁之順序實施程式動作。故先以位址選擇第1頁之資料。

於第1頁程式之動作，先從外部輸入第1頁資料(圖13(a)ST1)。此等資料記憶於圖9所示資料記憶電路310~312112之第1門鎖電路LAT(A)(圖12所示)。從外部輸入資料“1”(不寫入)時，圖12所示第1門鎖電路LAT(A)之節點NA成為高電位(H)。輸入資料“0”(實施寫入)時，第1門鎖電路LAT(A)之節點NA成為低電位(L)。以後、使第1門鎖電路LAT(A)之資料為資料記憶電路之節點NA之電位，而第2門鎖電路LAT(B)之資料為資料記憶電路之節點NB之電位。

其次、實施程式(圖13(a)ST2)。圖14係第1頁程式時之

五、發明說明 (15)

動作順序。如圖 12、圖 14 所示，設供給電晶體 61h 閘極之信號 BLC1 為 $VCC+V_{th}$ ，信號 BLSA 為 V_{pass} 、BLTR 為 VCC ，而資料“1”(不寫入)記憶於第 1 閃鎖電路 LAT(A)時，位元線 BL 之電位為 VCC ，記憶資料“0”(實施寫入)時，位元線 BL 之電位成為接地電位 VSS 。又連接於選擇字線、非選擇頁(位元線為非選擇)之單元不得寫入。使連接於此等單元之位元線亦與供給資料“1”之位元線同樣為電位 VCC 。

茲設選擇塊之選擇線 SG1 為 VCC ，將 $V_{PGM}(20V)$ 施加於選擇字線，並將 $V_{pass}(10V)$ 施加於非選擇字線，而位元線為 VSS 時，因單元之通道為 VSS 、字線為 V_{PGM} 故電子注入單元之漂浮閘，實施寫入。一方面、位元線為 VCC 時，時憶單元之 $20V$ 第 1 選擇閘 S1 斷開。故單元之通道非 VSS 而使 V_{PGM} 上昇，致以耦合成為 $V_{PGM}/2$ 故不實施程式。

如此、寫入資料“0”之記憶單元資料，如圖 1、圖 2 所示，成為狀態“1”。又寫入資料“1”之記憶單元資料，仍為狀態“0”。

第 1 頁程式驗證讀取

其次、實施程式驗證讀取(圖 13(a)ST3)。圖 15 係程式驗證讀取之動作，圖 16 係程式驗證讀取時各部之順序。

第 1 頁程式驗證讀取，如圖 1 所示、將比讀取時電位 b 稍高之電位 $b \times$ 供給選擇之字線。以後“ $\times$ ”表示驗證電位，使其成為比讀取時字線電位高若干之值。

五、發明說明 (16)

其次、如圖 16 所示、將電壓 Vread 供給選擇之塊內非選擇字線及選擇線 SG1，使供給圖 12 所示資料記憶電路之電晶體 61g 閘極之信號 BIAS 為高電位 (1.6V)，預充電位元線。

然後、使記憶單元之源極側選擇線 SG2 為高電位 (Vread)。記憶單元之臨限值電壓高於電位 $b \times$ 時，因記憶單元斷開故位元線仍維高電位，記憶單元之臨限值電壓未達電位 $b \times$ 時，因記憶單元接通故位元線之電位為 VSS。

茲實施寫入時，將低電位 (資料“0”) 門鎖於圖 12 所示第 1 門鎖電路 LAT(A) 之節點 NA，不實施寫入時，將高電位 (資料“1”) 門鎖於節點 NA。故設供給電晶體 611 電流通路之信號 VREG 為 VCC，使供給閘極之信號 VRFY 為高電位時，位元線僅在不寫入時從浮動狀態固定於高電位。此動作後，將位元線電位讀進第 1 門鎖電路 LAT(A)。記憶單元電位達臨限值電壓時，與不寫入時，將高電位門鎖於第 1 門鎖電路 LAT(A)。又僅在記憶單元電位未達臨限值電壓時，將低電位門鎖於第 1 門鎖電路 LAT(A)。

故第 1 門鎖電路 LAT(A) 為低電位時再實施寫入動作重複上述程式動作與驗證讀取動作至所有資料記憶電路之資料達高電位止 (圖 13(a) ST2~ST4)。

第 2 頁程式

圖 13(b) 係第 2 頁程式之動作流程圖。

第 2 頁程式亦與第 1 頁程式同樣，從外部輸入第 2 頁資料 (ST11)。此等資料記憶於各資料記憶電路 310~312 112 之第

五、發明說明 (17)

1 門鎖電路LAT(A)。

第2頁程式之動作，與第1頁程式之動作大為不同處為內部資料裝載(ST12)。第2頁程式之動作隨第1頁程式之動作結果而異。

即如圖1、圖2所示，在第1頁記憶單元之資料高NNB22)為狀態“0”(未實施寫入動作)，而第2頁資料為“0”(實施寫入)時，使記憶單元之資料高NNB22)為狀態“3”。第2頁資料為“1”(不寫入)時，使記憶單元之資料仍高NNB22)為狀態“0”。在第1頁記憶單元之資料高NNB22)為狀態“1”(實施寫入動作於第1頁)，而第2頁資料為“0”(實施寫入)時，使記憶單元之資料高NNB22)為狀態“2”。第2頁資料為“1”(不寫入)時，使記憶單元之資料仍高NNB22)為狀態“1”。

如此、第2頁程式之動作隨第1頁程式之動作結果而異。故在寫入第2頁資料之前，需先查記憶單元之資料為狀態“0”或狀態“1”，並予記憶。故讀取記憶單元之資料，實施裝載於圖8所示資料記憶電路之第2門鎖電路LAT(B)之內部資料裝載(ST12)。內部資料裝載，將圖1所示電位a供給字線，實施讀取動作。將此讀取結果記憶於資料記憶電路之第2門鎖電路LAT(B)。

圖17(a)係內部資料裝載時之動作，圖18係內部資料裝載時之各部順序。參考圖17(a)、圖18，說明內部資料裝載之動作。

內部資料裝載之動作，與圖16所示第1頁驗證動作略

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

同，惟第1頁驗證動作，將記憶單元讀取之資料記憶於第1門鎖電路LAT(A)，而內部資料裝載時記憶於第2門鎖電路LAT(B)。即先使其與圖16所示第1頁驗證動作同樣預充電位元線，由位元線讀取記憶單元之資料。然後、如圖18所示、將信號PRSTB2、SEN2、LAT2、BLC2、VRFY2活化，將位元線讀取之電位記憶於第2門鎖電路LAT(B)。即位元線之電位，在供給圖12所示電晶體61q閘極之信號BLC2如圖18所示成高電位時，門鎖於第2門鎖電路LAT(B)。

記憶單元之資料高NNB22)為狀態“0”時，記憶單元隨前述讀取動作而接通，位元線之電位成低電位。故於第2門鎖電路LAT(B)之節高NNB22)點NB門鎖低電位，節高NNB22)點ND門鎖高電位。又記憶單元之資料高NNB22)為狀態“1”時，記憶單元斷開而位元線之電位成高電位。故於第2門鎖電路LAT(B)之節高NNB22)點NB門鎖高電位，節高NNB22)點ND門鎖低電位。圖17(a)所示第2門鎖電路LAT(B)之資料，表示節高NNB22)點NB。

其次、與第1頁程式同樣，將一定電壓施加於各部，隨記憶於第1門鎖電路LAT(A)之第2頁資料，就選擇之所有單元實施寫入(圖13(b)ST13)。

第2頁驗證

第2頁驗證，包括：第1驗證讀取(ST14)與第2驗證讀取(ST15)等2項。第1驗證讀取(ST14)驗證記憶單元之資料高NNB22)為狀態“2”否。第2驗證讀取(ST15)驗證記憶單元之資料高NNB22)為狀態“3”否。

五、發明說明 (19)

第 2 頁第 1 驗證讀取

圖 17(b)係第 2 頁之第 1 驗證讀取動作，圖 19 係第 2 頁之第 1 驗證讀取時之各部順序。

此驗證，如圖 1 所示、將電位 b' 施加於字線實施讀取動作。結果、記憶單元之臨限值電壓達 b' 時位元線為高電位，而記憶單元之臨限值電壓未達 b' 時位元線為低電位。但因此時、使記憶單元資料為狀態“3”之單元亦斷開，故驗證完成。故在第 1 頁寫入動作時不寫入，使連接於資料為狀態“0”之記憶單元之位元線電位為低電位。

即由前述內部資料裝載，第 1 頁寫入動作時不寫入，記憶單元之資料為狀態“0”時，第 2 門鎖電路 LAT(B) 之節高 NNB22) 點 ND，為高電位。此狀態下，將供給圖 12 所示電晶體 61u 之電流通路之信號 VREG，如圖 19 所示、為接地電壓 VSS，將供給閘極之信號 VRFY2 為高電位，而第 2 門鎖電路 LAT(B) 之節高 NNB22) 點 ND 為高電位時，電晶體 61t 接通並強制使位元線為低電位。

其次、與第 1 頁驗證動作同樣，使信號 VREG 為電源電壓 VCC，供給電晶體 61l 閘極之信號 VRFY1 為高電位。則高電位門鎖於第 1 門鎖電路 LAT(A) 之節高 NNB22) 點 NA (不實施寫入) 時，電晶體 61k 接通，位元線成高電位。此動作後、位元線電位讀進第 1 門鎖電路 LAT(A)。

由上述動作，如圖 17(b) 所示、為使記憶單元之資料為狀態“2”而實施寫入之單元達臨限值電壓時，與不實施寫入時，高電位門鎖於第 1 門鎖電路 LAT(A)。又為使記憶單元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

之資料為狀態“2”而實施寫入之單元未達臨限值電壓時，與實施寫入之記憶單元之資料為狀態“3”時，低電位門鎖於第1門鎖電路LAT(A)。

第2頁第2驗證讀取

圖17(c)係上述第2頁之第2驗證讀取動作，圖16係其時之各部順序。

此驗證與第1頁驗證動作完全相同。因比圖1所示電位c'高之單元除為狀態“3”之單元以外不存在之故。於第1頁驗證，為了驗證記憶單元之資料是否成為狀態“1”將電位a×施加於字線，惟此時、為了驗證記憶單元之資料是否成為狀態“3”，將電位c'施加於字線。

結果、如圖17(c)所示、單元達臨限值電壓時，與不實施寫入(從開始高電位門鎖於第1門鎖電路LAT(A))時，高電位門鎖於第1門鎖電路LAT(A)。又單元未達臨限值電壓時，即為了使記憶單元之資料為狀態“3”而寫入，惟尚未達狀態“3”之NG時，與將記憶單元之資料寫入狀態“2”時，低電位門鎖於第1門鎖電路LAT(A)。

故第2頁驗證，實施記憶單元之資料寫入狀態“2”時之第1驗證讀取，與寫入狀態“3”時之第2驗證讀取之2次動作，第1門鎖電路LAT(A)為低電位時再實施寫入動作，重複此程式動作與驗證動作，至所有資料記憶電路之資料達高電位止(圖9、ST13~ST16)。

但因記憶單元之資料為狀態“3”之臨限值電壓位於高處，故不易寫入。故重複實施之程式驗證動作中最初數

五、發明說明 (21)

次，可省略記憶單元之資料是否成為狀態“3”之驗證動作。又數次重複實施動作時寫入臨限值電壓低之狀態“2”資料之記憶單元，應已完成寫入。故數次重複程式驗證動作後，可省略記憶單元之資料為狀態“2”之驗證。

讀取動作

記憶單元之讀取，先從第2頁之資料讀取。圖20係第2頁讀取動作，圖22係第2頁讀取時之各部順序。

第2頁讀取

第2頁讀取，係如圖1所示、將讀取時之電位c'施加於選擇字線。

其次、如圖22所示，將Vread(4.5V)施加於選擇之塊內非選擇字線及選擇線SG1，將高電位BIAS施加於圖12所示資料記憶電路之電晶體61g閘極，預充電位元線。然後、使單元之源側選擇線SG2為高電位。單元之臨限值電壓高於電位c時，因單元斷開，故位元線仍為高電位。又單元之臨限值電壓未達電位c時，因單元接通，故位元線為接地電位VSS。如圖2所示、因將記憶單元資料與記憶單元臨限值電壓定義，故記憶單元資料為狀態“0”或狀態“1”時，位元線電位為低電位，若為狀態“2”或狀態“3”時，位元線電位為高電位。

其次、此等位元線電位讀進第1門鎖電路LAT(A)。如圖20所示、第1門鎖電路LAT(A)之節點NA，若記憶單元資料為狀態“0”或狀態“1”時為低電位，若為狀態“2”或狀態“3”時為高電位。但輸出節點NA之電位時，時鐘變換電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

路61p活化，通過時鐘變換電路61p。故於輸出入端YIO若記憶單元資料為狀態“0”或狀態“1”時輸出資料“1”，資料為狀態“2”或狀態“3”時輸出資料“0”。

第 1 頁讀取

其次、讀取第1頁資料。於第1頁讀取輸出之資料為“1”時，如圖2所示、記憶單元資料為狀態“0”或狀態“3”。

故需先判斷記憶單元資料為狀態“2”以下、或狀態“3”，後判斷記憶單元資料為狀態“0”、或狀態“1”以上。

第 1 讀取動作

於第1讀取動作，判斷記憶單元資料為狀態“2”以下、或狀態“3”。圖21(a)係第1頁第1讀取動作，圖23左半部表示其時之順序。圖23之順序與圖22同。

首先、爲了查記憶單元資料為狀態“2”以下、或狀態“3”，將電位c施加於字線讀取記憶單元資料。結果、如圖21(a)所示，僅於記憶單元資料為狀態“3”時，高電位門鎖於第1門鎖電路LAT(A)。又記憶單元資料為狀態“0”、“1”、“2”中之任何一項時，低電位門鎖於第1門鎖電路LAT(A)。

第 2 讀取動作

其次、於第2讀取動作，判斷記憶單元資料為狀態“0”、或狀態“1”以上。圖21(b)係第1頁第2讀取動作，圖23右半部表示其時之順序。

爲了查記憶單元資料為狀態“0”、或狀態“1”以上，將電位a施加於字線讀取記憶單元資料。結果、僅於記憶單

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（23）

元資料為狀態“0”時，低電位閘鎖於第1閘鎖電路LAT(A)。又記憶單元資料為狀態“1”、“2”、“3”中之任何一項時，高電位閘鎖於第1閘鎖電路LAT(A)。

茲將圖12所示信號VREG為接地電位VSS，供給電晶體611閘極之信號VRFY1為高電位。高電位閘鎖於第1閘鎖電路LAT(A)時，即於第1頁第1讀取動作，記憶單元資料為狀態“3”時，強制使位元線為低電位。結果、記憶單元資料為狀態“0”或狀態“3”時，位元線之電位成為低電位，記憶單元資料為狀態“1”或狀態“2”時，位元線之電位成為高電位。

其次、將此等位元線電位讀進第1閘鎖電路LAT(A)時，如圖21(b)所示、記憶單元資料為狀態“0”、狀態“3”時為低電位，而狀態“1”、狀態“2”時為高電位。但輸出節點NA之電位時，將時鐘變換電路61p活化，而通過時鐘變換電路61p。故於輸出入端YIO記憶單元資料為狀態“0”、狀態“3”時輸出資料“1”，而狀態“2”、狀態“3”時輸出資料“0”。

依上述第1實施例，於第1頁寫入動作，將資料為狀態“0”之記憶單元為狀態“1”，而於第2頁寫入動作，將資料為狀態“0”之記憶單元為狀態“3”，並將資料為狀態“1”之記憶單元為狀態“2”。因此、讀取資料時，第1頁資料之讀取，因以：第1讀取動作，判斷記憶單元資料為狀態“2”以下、或狀態“3”；及接著第2讀取動作，判斷記憶單元資料為狀態“0”、或狀態“1”以上；之2次即可，故比先

五、發明說明（ 24 ）

前可削減第1頁之讀取次數。

又於第2頁寫入動作，將於第1頁寫入動作時寫入之資料閘鎖於第2閘鎖電路LAT(B)，然後、實施第2頁之寫入動作，資料為狀態“2”之驗證時，將資料為狀態“0”之記憶單元，依將資料寫入狀態“3”之單元之位元線電位閘鎖於第2閘鎖電路LAT(B)之資料，成為低電位，俾使狀態資料“3”之記憶單元不致結束寫入。由於能同時實施：將寫入狀態“0”資料之記憶單元寫入狀態“3”資料之動作；及將寫入狀態“1”資料之記憶單元寫入狀態“2”資料之動作；故可高速動作。

且於第2頁寫入動作，將狀態“0”資料之記憶單元為狀態“3”資料，將狀態“1”資料之記憶單元為狀態“2”資料中之任何一種情形，均可使用比先前高之初期寫入電壓。故可實現高速之寫入動作。

又上述第1實施例，說明記憶4值(2位元)資料之情形。惟並不受此限制，而在記憶n值($n \geq 8$ 、3位元以上)資料時亦可適用本發明。

第2實施例

圖24、圖25表示本發明之第2實施例，表示記憶8值(3位元)資料之情形。

圖24係記憶單元之資料與其臨限值電壓、及第1、第2、第3頁之寫入資料與讀取資料。寫入(程式)動作，依第1、第2、第3頁之順序寫入資料。第1、第2之寫入動作，與4值之情形完全相同，由第1、第2之寫入動作，記憶單

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

元之資料成為狀態“0”~狀態“3”。又於第1、第2、第3頁之寫入，寫入資料為“0”時實施寫入，寫入資料為“1”時不實施寫入。此等寫入資料，記憶於圖12所示資料記憶電路之第1門鎖電路LAT(A)。

第3頁之寫入動作，如圖25所示實施。先就寫入資料為“1”之情形加以說明。寫入前之記憶單元資料為狀態“0”時，使記憶單元資料仍舊為狀態“0”，寫入前之記憶單元資料為狀態“1”時，使記憶單元資料仍舊為狀態“1”，寫入前之記憶單元資料為狀態“2”時，使記憶單元資料仍舊為狀態“2”，而寫入前之記憶單元資料為狀態“3”時，使記憶單元資料仍舊為狀態“3”。

又寫入資料為“0”，而寫入前之記憶單元資料為狀態“0”時，使記憶單元資料為狀態“7”，寫入前之記憶單元資料為狀態“1”時，使記憶單元資料為狀態“6”，寫入前之記憶單元資料為狀態“2”時，使記憶單元資料為狀態“5”，而寫入前之記憶單元資料為狀態“3”時，使記憶單元資料為狀態“4”。

其次、說明驗證動作。此種情形亦與上述4值之情形同樣，由內部資料裝載，將記憶單元資料預先記憶於第2門鎖電路LAT(B)，即使寫入大於驗證對象之記憶單元資料之記憶單元驗證結果為通過驗證時，亦能使寫入此等大資料之記憶單元寫入動作繼續，並使第1門鎖電路LAT(A)之記憶資料，保持於寫入資料“0”。

即本實施例，由第3頁之程式，記憶單元資料成為狀態

五、發明說明 (26)

“4”、狀態“5”、狀態“6”、狀態“7”。故為記憶其中3種狀態、即狀態“5”、狀態“6”、狀態“7”，資料記憶電路，例如設有3個第2門鎖電路LAT(B)，由內部資料裝載，各記憶單元資料狀態分別記憶於此等3個第2門鎖電路LAT(B)。

於記憶單元資料是否為狀態“4”之驗證動作，記憶單元資料為狀態“4”時，使記憶單元資料為狀態“5”、狀態“6”、狀態“7”之單元之驗證亦通過，而第1門鎖電路LAT(A)之資料即成為“1”。為迴避此種情形，依記憶於第2門鎖電路LAT(B)之資料，將記憶單元資料為狀態“5”、狀態“6”、狀態“7”之記憶單元所連接之第1門鎖電路LAT(A)之記憶資料，保持於寫入資料“0”，僅實施記憶單元資料為狀態“4”之寫入之記憶單元所連接之第1門鎖電路LAT(A)，改變為表示通過驗證之資料“1”。

同樣、於記憶單元資料是否為狀態“5”之驗證動作，記憶單元資料為狀態“5”時，為使記憶單元資料為狀態“6”或狀態“7”而實施寫入動作之記憶單元之驗證亦通過。故為使記憶單元資料為狀態“6”或狀態“7”而實施寫入動作之記憶單元所連接之第1門鎖電路LAT(A)之記憶資料，保持於寫入資料“0”，僅實施記憶單元資料為狀態“5”之寫入之記憶單元所連接之第1門鎖電路LAT(A)，改變為表示通過驗證之資料“1”。

同樣、於記憶單元資料是否為狀態“6”之驗證動作，記憶單元資料為狀態“6”時，為使記憶單元資料為狀態“7”

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (27)

而實施寫入動作之記憶單元之驗證亦通過。故為使記憶單元資料為狀態“7”而實施寫入動作之記憶單元所連接4止G之第1門鎖電路LAT(A)之記憶資料，保持於寫入資料“0”，僅實施記憶單元資料為狀態“6”之寫入之記憶單元所連接之第1門鎖電路LAT(A)，改變為表示通過驗證之資料“1”。

如此、重複上述第3頁之寫入動作及驗證動作，至所有第1門鎖電路LAT(A)之資料為“1”止。

其次、說明讀取動作。記憶單元之資料，依第3頁、第2頁、第1頁之順序讀取。記憶單元之資料與第1、第2、第3頁之寫入讀取資料，如圖24所示定義。故第3頁之讀取動作，若記憶單元之資料為“3”以下時讀取之資料為“1”，而記憶單元之資料為“4”以上時讀取之資料為“0”。故以1次讀取動作即可讀取資料。

第2頁之讀取動作，若記憶單元之資料為“1”以下、或“6”以上時讀取之資料為“1”，而記憶單元之資料為“2”以上“5”以下時讀取之資料為“0”。故以2次讀取動作即可讀取資料。

第1頁之讀取動作，若記憶單元之資料為“0”以下、或“3”以上“4”以下、或“7”以上時讀取之資料為“1”，而記憶單元之資料為“1”以上“2”以下、或“5”以上“6”以下時讀取之資料為“0”。故以4次讀取動作即可讀取資料。

依上述第2實施例，於第3頁之寫入動作，由第1、第2頁之寫入動作，使資料為狀態“0”之記憶單元為狀態

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (28)

“7”，資料為狀態“1”之記憶單元為狀態“6”，資料為狀態“2”之記憶單元為狀態“5”，資料為狀態“3”之記憶單元為狀態“4”。故第1頁之讀取動作為1次，第2頁之讀取動作為2次，第3頁之讀取動作為4次，與第1實施例同樣，可削減第1頁之讀取次數。

此外、可同時實施：資料為狀態“0”之記憶單元為狀態“7”，資料為狀態“1”之記憶單元為狀態“6”，資料為狀態“2”之記憶單元為狀態“5”，資料為狀態“3”之記憶單元為狀態“4”之寫入動作。且寫入上述動作時，可用比先前高之初期寫入電壓。故可使寫入高速化。

第3實施例

圖26係本發明第3實施例之n值非揮發性半導體記憶裝置動作概略圖。此亦與上述第1、第2實施例同樣，從第1頁依序寫入資料。而第n頁寫入時，若寫入資料為“0”，則使狀態“0”之資料之記憶單元為例如最大狀態“x”，並使狀態“1”之資料之記憶單元為狀態“x-1”，以下、由第n-1頁之寫入動作使寫入之資料最大狀態“i”成為狀態“i+1”。

又於本實施例，由程式動作提高單元之臨限值電壓，而以擦除動作降低單元之臨限值電壓，惟並不受此限制，而亦可將本發明適用於由程式動作降低單元之臨限值電壓，而以擦除動作提高單元之臨限值電壓之構造之非揮發性半導體記憶裝置。

又第1、第2門鎖電路LAT(A)、LAT(B)用時鐘變換電路構成，惟不受此限制，而亦可例如用電容器與控制此電容

五、發明說明（ 29 ）

器充放電之電晶體構成亦可。

此外、本發明不受上述實施例之限制，而當可在不改變發明之要旨範圍實施各種變形。

發明之效果

如以上詳述依本發明，可提供之非揮發性半導體記憶裝置，在讀取資料時可削減動作次數，並可縮短資料之讀取時間。

圖式之簡要說明：

圖1係依照本發明第1實施例之4值資料寫入方法圖。

圖2係本發明第1實施例之4值記憶單元之資料與寫入及讀取資料之關係圖。

圖3係先前之記憶單元之資料與寫入及讀取資料之關係圖。

圖4係先前之寫入方法圖。

圖5係上升寫入方法之寫入特性圖。

圖6係先前之寫入次數圖。

圖7係本發明之寫入次數圖。

圖8係本發明之非揮發性半導體記憶裝置概略構造圖。

圖9係圖8所示記憶單元陣列及位元線控制電路之構成電路圖。

圖10(a)及圖10(b)係記憶單元及選擇電晶體之斷面圖。

圖11係記憶單元陣列之1個NAND單元之斷面圖。

圖12係圖9所示資料記憶電路之一例電路圖。

圖13(a)係第1頁程式之動作流程圖，圖13(b)係第2頁程

五、發明說明（ 30 ）

式之動作流程圖。

圖 14 係第 1 頁程式時之動作順序波形圖。

圖 15 係程式驗證動作圖。

圖 16 係第 1 頁驗證讀取及第 2 頁之第 2 驗證讀取動作順序波形圖。

圖 17(a)係內部資料裝載時之動作，圖 17(b)係第 2 頁之第 1 驗證讀取動作，圖 17(c)係第 2 頁之第 2 驗證讀取動作圖。

圖 18 係內部資料裝載時之順序波形圖。

圖 19 係第 2 頁之第 1 驗證讀取順序波形圖。

圖 20 係第 2 頁讀取動作圖。

圖 21 係第 1 頁第 1 讀取動作及第 1 頁第 2 讀取動作圖。

圖 22 係第 2 頁讀取動作順序波形圖。

圖 23 係第 1 頁第 1、第 2 讀取動作順序波形圖。

圖 24 係本發明第 2 實施例之 8 值記憶單元之資料與寫入及讀取資料之關係圖。

圖 25 係本發明第 2 實施例之 8 值資料寫入方法圖。

圖 26 係本發明第 3 實施例之 n 值資料寫入方法圖。

元件符號之說明：

- 1 . . . 記憶單元陣列
- 2 . . . 位元線控制電路
- 3 . . . 行譯碼器
- 4 . . . 資料輸出入緩衝器
- 5 . . . 資料輸出入端子
- 6 . . . 字線控制電路

五、發明說明 (31)

- 7 a . . . 控制信號產生電路
- 7 b . . . 控制電壓產生電路
- 310、311~312112 . . . 資料記憶電路
- BL0~BL4223 . . . 位元線
- M1、M2、M3~M16 . . . 記憶單元
- WL、WL2、WL3~WL16 . . . 字線
- LAT(A) . . . 第1門鎖電路
- LAT(B) . . . 第2門鎖電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：非揮發性半導體記憶裝置）

一種非揮發性半導體記憶裝置。

本發明係解決第1頁之讀取次數多，而讀取資料需要長時間之問題。

本發明之解決方法為：一種多值記憶體，依臨限值電壓低之順序具有狀態“0”、狀態“1”、狀態“2”、狀態“3”之資料，於第1頁之寫入動作使資料為狀態“0”之記憶單元為狀態“1”，於第2頁之寫入動作使資料為狀態“0”之記憶單元為狀態“3”，使資料狀態“1”之單元為狀態“2”。故在讀取資料時第1頁之資料能以2次讀取。此外、因第2頁之寫入動作可用高初期寫入電壓，故可使寫入動作高速化。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

日文發明摘要（發明之名稱：不揮發性半導体記憶裝置）

【課題】第1ページの読み出し回数が多く、データの読み出しに長時間を要していた。

【解決手段】閾値電圧が低い順に状態“0”，状態“1”，状態“2”，状態“3”のデータを有する多値メモリであって、第1ページの書き込み動作でデータが状態“0”のメモリセルは状態“1”とされ、第2ページの書き込み動作でデータが状態“0”のメモリセルは状態“3”とされ、データが状態“1”のセルは状態“2”とされる。このため、データの読み出し時に第1ページのデータは2回で読み出すことが可能である。さらに、第2ページの書き込み動作は、高い初期書き込み電圧を用いることができるため、書き込み動作を高速化できる。

【選択図】 図1

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種非揮發性半導體記憶裝置，其特徵為包含：

記憶元件，連接於位元線及字線並記憶不同臨限值電壓而成之資料狀態“0”、狀態“1”、狀態“2”、狀態“3”中之一；

資料記憶電路，連接於前述位元線並記憶外部供給之第1或第2邏輯電位資料且記憶從前述記憶元件讀取之第1或第2邏輯電位資料；及

控制電路，控制前述位元線及字線之電位並控制前述資料記憶電路之動作，

其中前述控制電路在第1動作時若前述資料記憶電路之資料為第1邏輯電位資料，將前述記憶元件資料從前述狀態“0”變化為狀態“1”，而前述資料記憶電路之資料為第2邏輯電位資料時，將前述記憶元件資料保持於前述狀態“0”，

前述資料是否達狀態“1”之驗證動作時，前述資料記憶電路之資料為第1邏輯電位，而前述資料狀態達“1”時將前述資料記憶電路之資料為第2邏輯電位，前述資料未達狀態“1”時將前述資料記憶電路之資料保持於第1邏輯電位，前述資料記憶電路之資料為第2邏輯電位時，資料記憶電路之資料保持第2邏輯電位，對前述記憶元件實施前述第1動作，

在第2動作時若前述資料記憶電路之資料為從外部供給之第1邏輯電位資料，而前述記憶元件資料為狀態“1”時，將前述記憶元件資料從狀態“1”變化為狀態“2”，

六、申請專利範圍

而前述記憶元件資料為狀態“0”時，將前述記憶元件資料從狀態“0”變化為狀態“3”。

2. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中前述控制電路，

在判斷前述記憶元件之資料是否達狀態“2”之第1驗證時力中在動作時，前述資料記憶電路之資料為第1邏輯電位，而在實施第2動作前，前述記憶元件之資料為狀態“1”，而資料達狀態“2”時將資料記憶電路之資料為第2邏輯電位，資料未達狀態“2”時將前述資料記憶電路之資料保持第1邏輯電位，而在實施前述第2動作前，前述記憶元件之資料為狀態“0”時，不改變資料記憶電路之邏輯電位，前述資料記憶電路之資料為第2邏輯電位時，資料記憶電路之資料保持第2邏輯電位，

在判斷前述記憶元件之資料是否達狀態“3”之第2驗證時力中在動作時，前述資料記憶電路之資料為第1邏輯電位，而在資料達狀態“3”時將資料記憶電路之資料為第2邏輯電位，資料未達狀態“3”時將前述資料記憶電路之資料保持第1邏輯電位，而前述資料記憶電路之資料為第2邏輯電位時，前述資料記憶電路之資料保持第2邏輯電位，實施前述第2時力中在動作、第1、第2驗證動作至前述資料記憶電路之資料為第2邏輯電位。

3. 一種非揮發性半導體記憶裝置，其特徵為包含：

記憶元件，連接於位元線及字線並記憶不同臨限值電壓而成之資料狀態“0”、狀態“1”、狀態“2”、狀態“3”

六、申請專利範圍

中之一；

第1記憶電路，連接於前述位元線並記憶外部供給之第1或第2邏輯電位資料；

第2記憶電路，記憶從前述記憶元件讀取之第1或第2邏輯電位資料；及

控制電路，控制前述位元線及字線之電位並控制前述資料記憶電路之動作，

其中前述控制電路在第1動作時若前述資料記憶電路之資料為第1邏輯電位資料時，將前述記憶元件資料從前述狀態“0”變化為狀態“1”，而前述資料記憶電路之資料為第2邏輯電位資料時，將前述記憶元件資料保持於前述狀態“0”，

前述資料是否達狀態“1”之驗證動作時，前述第1記憶電路之資料為第1邏輯電位，而前述資料狀態達“1”時將前述第1記憶電路之資料為第2邏輯電位，前述資料未達狀態“1”時將前述資料記憶電路之資料保持於第1邏輯電位，前述第1記憶電路之資料為第2邏輯電位時，對前述記憶元件實施前述第1動作，至前述第1記憶電路之資料為第2邏輯電位，

在第2動作時將前述記憶元件讀取之資料保持於前述第2記憶電路，若前述第1記憶電路之資料為從外部供給之第1邏輯電位資料時，將前述記憶元件資料從狀態“1”變化為狀態“2”，而前述記憶元件資料為狀態“0”時，將前述記憶元件資料從狀態“0”變化為狀態“3”，為第2

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

邏輯電位資料時，保持前述記憶元件資料，

在判斷前述記憶元件之資料是否達狀態“2”之第1驗證時力中在動作時，前述資料記憶電路之資料為第1邏輯電位，而在實施第2動作前，前述記憶元件之資料為狀態“1”，而資料達狀態“2”時將前述第1記憶電路之資料為第2邏輯電位，前述資料未達狀態“2”時將前述第1記憶電路之資料保持第1邏輯電位，在實施前述第2動作前，前述記憶元件之資料為狀態“0”，而前述第2記憶電路之資料為第2邏輯電位時，將連接記憶元件之位元線電位為第1邏輯電位，將前述第1記憶電路之資料為第1邏輯電位，

在判斷前述資料是否達狀態“3”之第2驗證時力中在動作時，前述第1記憶電路之資料為第1邏輯電位，而在資料達狀態“3”時將前述第1記憶電路之資料為第2邏輯電位，前述資料未達狀態“3”時將前述第1記憶電路之資料保持第1邏輯電位，而前述第1記憶電路之資料為第2邏輯電位時，前述第1記憶電路之資料保持第2邏輯電位，實施前述第2時力中在動作、第1、第2驗證動作至前述第1記憶電路之資料為第2邏輯電位。

4. 如申請專利範圍第1或3項之非揮發性半導體記憶裝置，其中前述控制電路在第2動作讀取已讀出之資料時，判斷記憶元件之資料為狀態“2”以下或狀態“3”，將此結果保持於前述資料記憶電路，然後判斷資料為狀態“0”或狀態“1”以上，若保持於前述資料記憶電路之資料為

六、申請專利範圍

狀態“3”時，將連接於記憶此資料之記憶元件之位元線電位為低電位，將連接於記憶資料為狀態“1”或狀態“2”之記憶元件之位元線電位保持高電位。

5. 如申請專利範圍第1或3項之非揮發性半導體記憶裝置，其中前述控制電路在前述第2動作，前述資料是否達狀態“2”之驗證動作前半，省略前述資料是否達狀態“3”之驗證動作，而於前述資料是否達狀態“3”之驗證動作後半，省略前述資料是否達狀態“2”之驗證動作。

6. 一種非揮發性半導體記憶裝置，其特徵為包含：

記憶元件，具有狀態“0”、狀態“1”、…狀態“n”、($3 \leq n$ 、 n 為自然數)而成之 n 個資料並記憶 n 個資料中之一之資料；

資料記憶電路，記憶從外部輸入之第1邏輯電位資料或第2邏輯電位資料；及

控制電路，控制前述資料記憶電路之動作，

其中前述控制電路在最後動作時將記憶於前述記憶元件之最小資料狀態“0”為最小資料狀態“n”。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

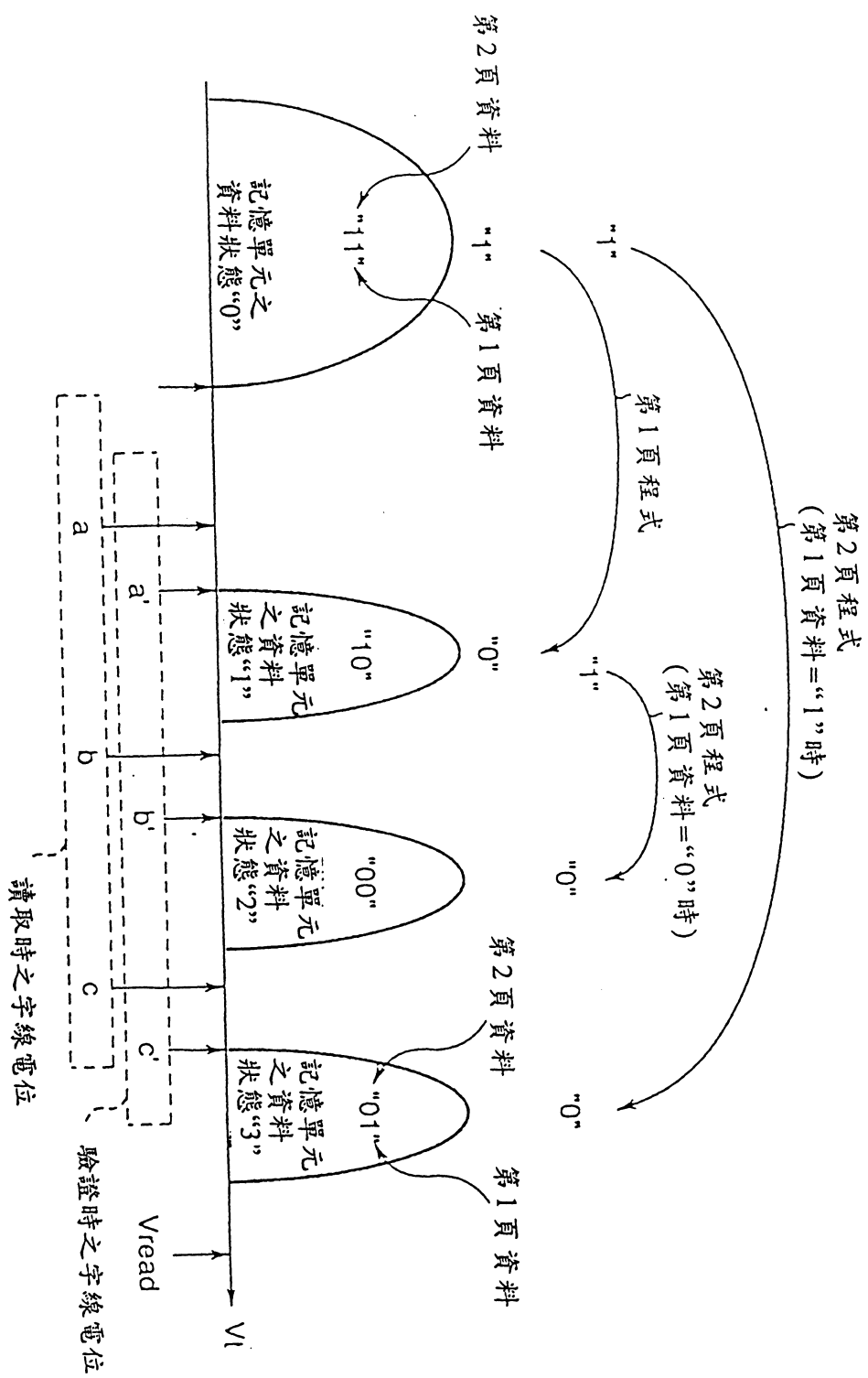


圖 1

記憶單元之 資料(狀態)	記憶單元之 臨限值	寫入及讀取之資料	
		第2頁	第1頁
0	0V以下	1	1
1	0.3V~0.5V	1	0
2	0.8V~1.0V	0	0
3	1.3V~1.5V	0	1

圖 2

記憶單元之 資料(狀態)	記憶單元之 臨限值	寫入及讀取之資料	
		第2頁	第1頁
0	0V以下	1	1
1	0.3V~0.5V	1	0
2	0.8V~1.0V	0	1
3	1.3V~1.5V	0	0

圖 3

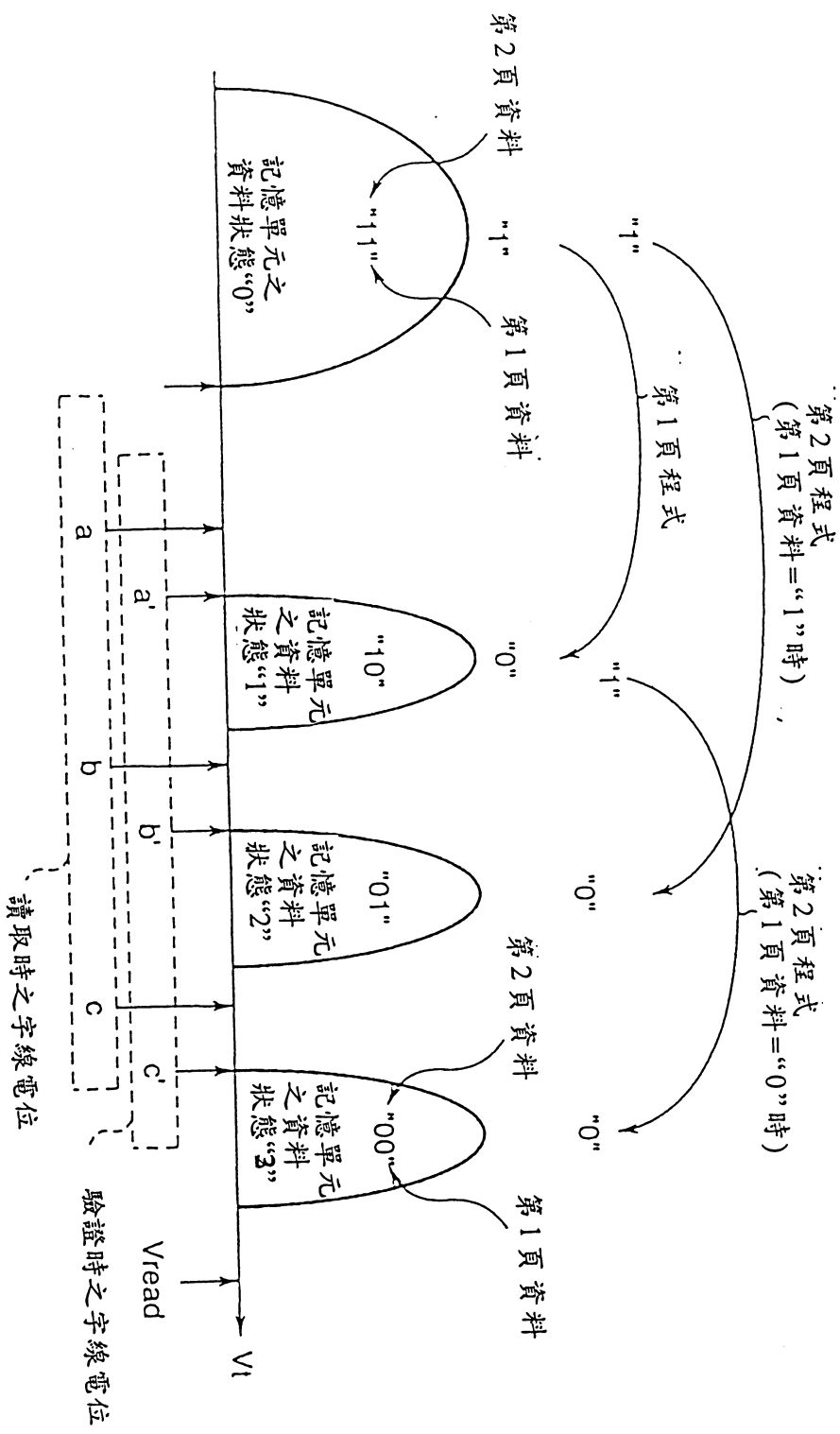


圖 4

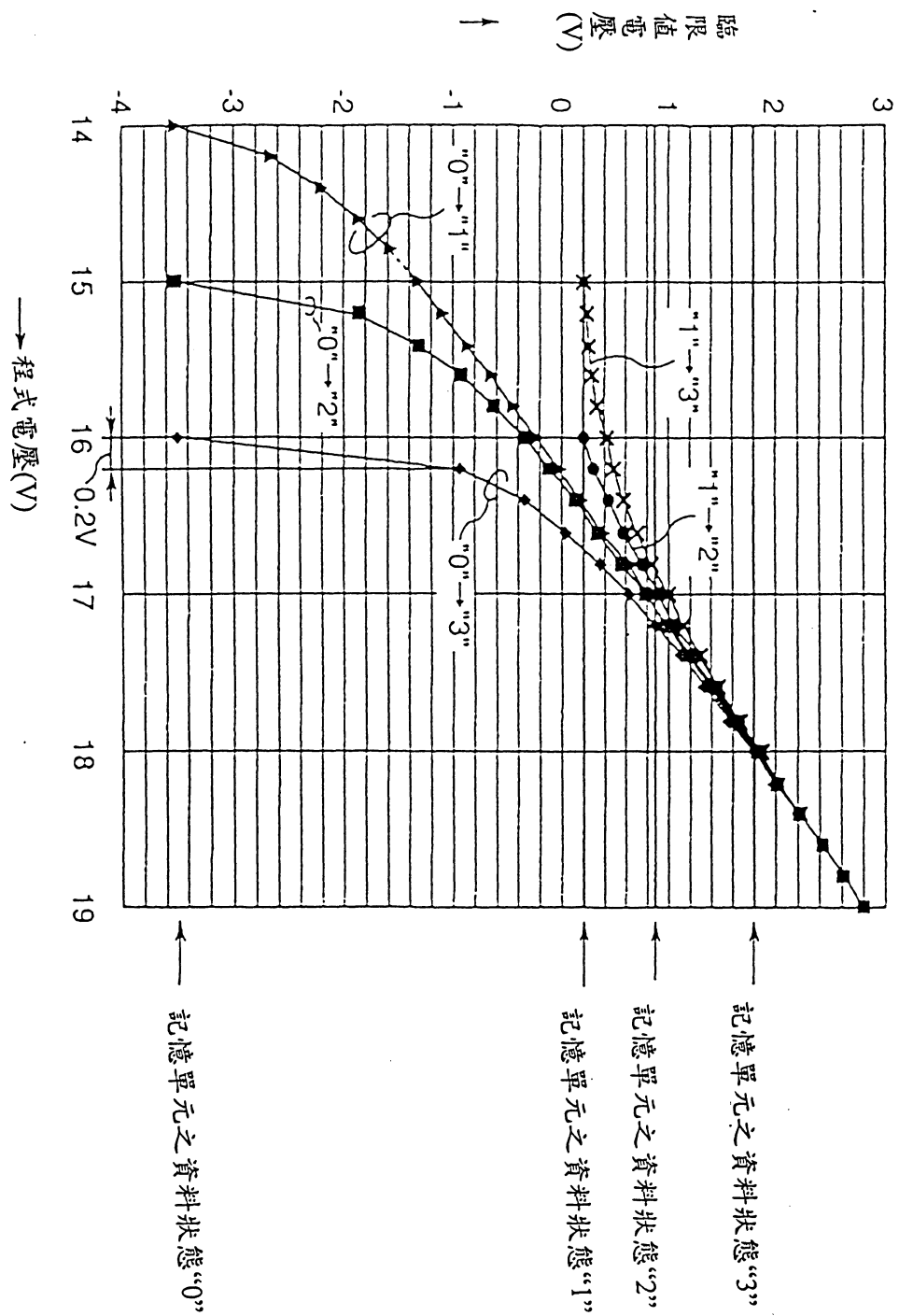


圖 5

先前例	需要上升次數	
第1頁寫入	13次	(0→1)13次
第2頁寫入	16次	(0→2)13次 (1→3)16次
合計	29次	

圖 6

本發明	需要上升次數	
第1頁寫入	13次	(0→1)13次
第2頁寫入	11次	(0→3)11次 (1→2)6次
合計	24次	

圖 7

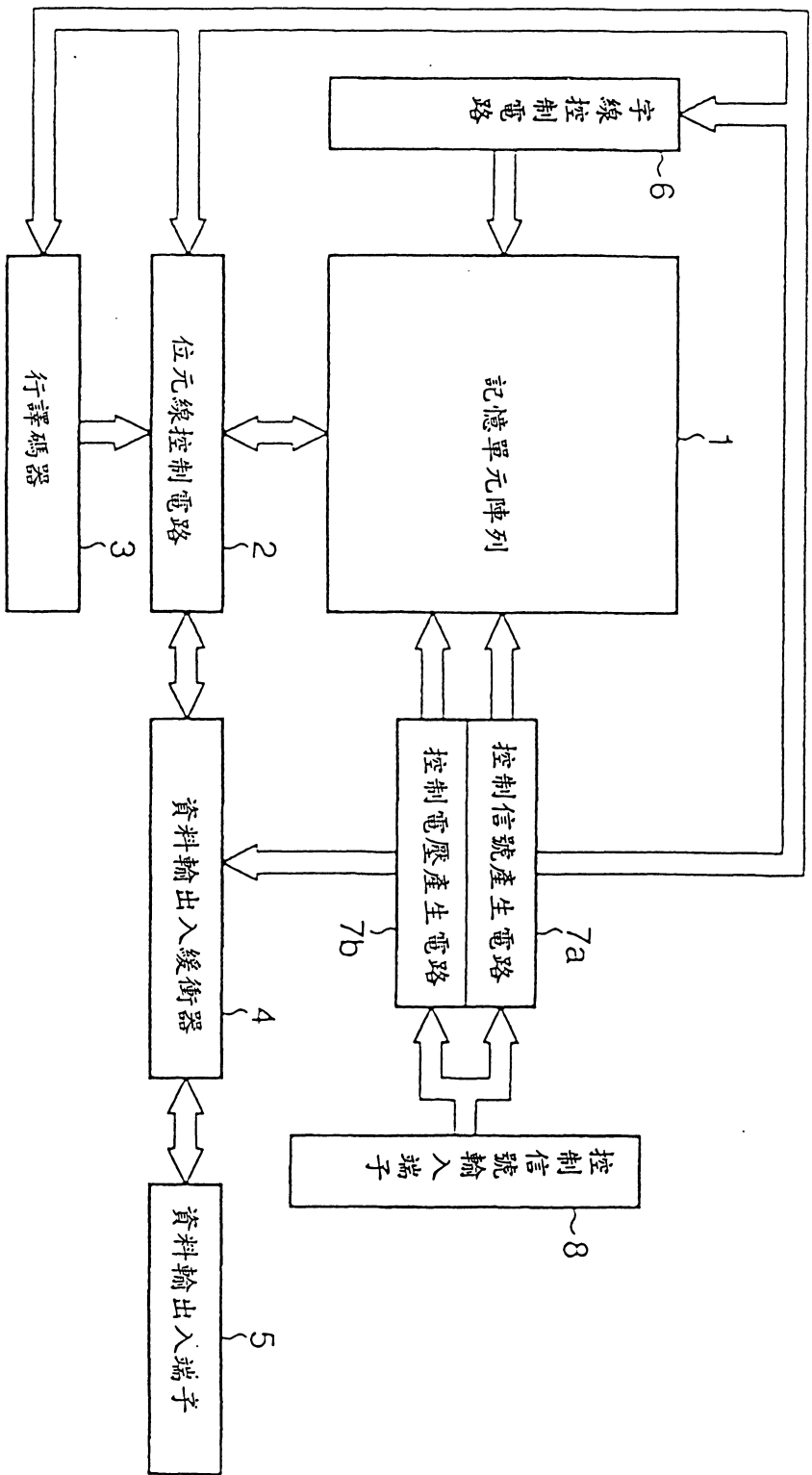


圖 8

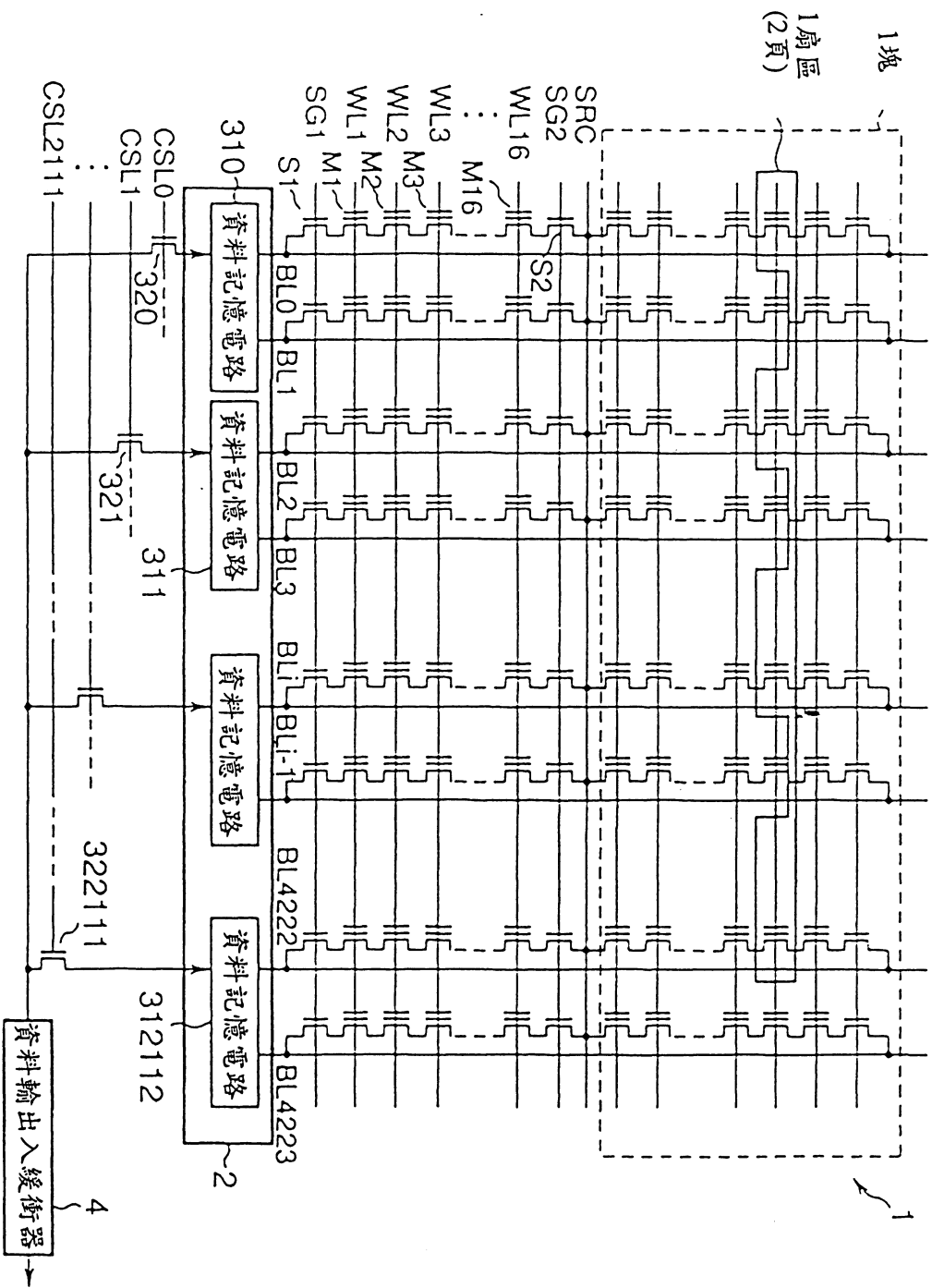


圖 9

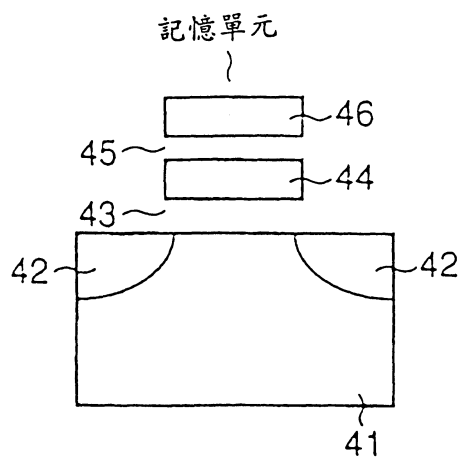


圖 10(a)

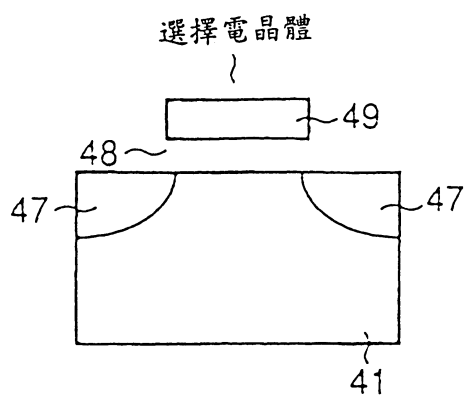


圖 10(b)

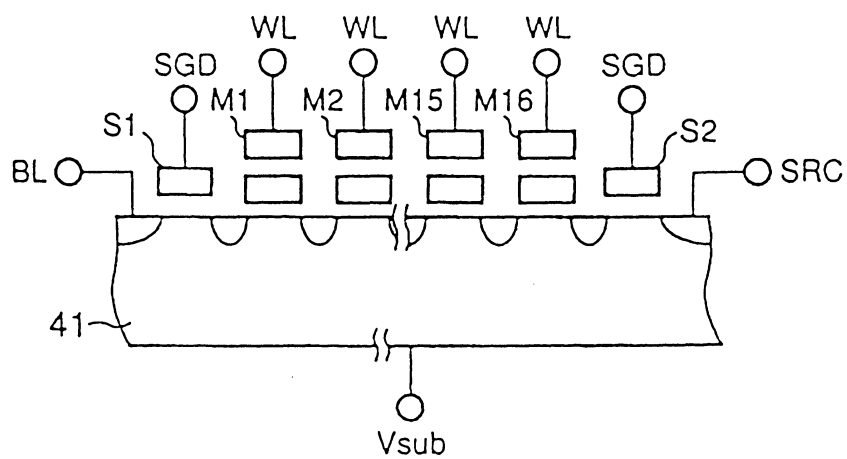


圖 11

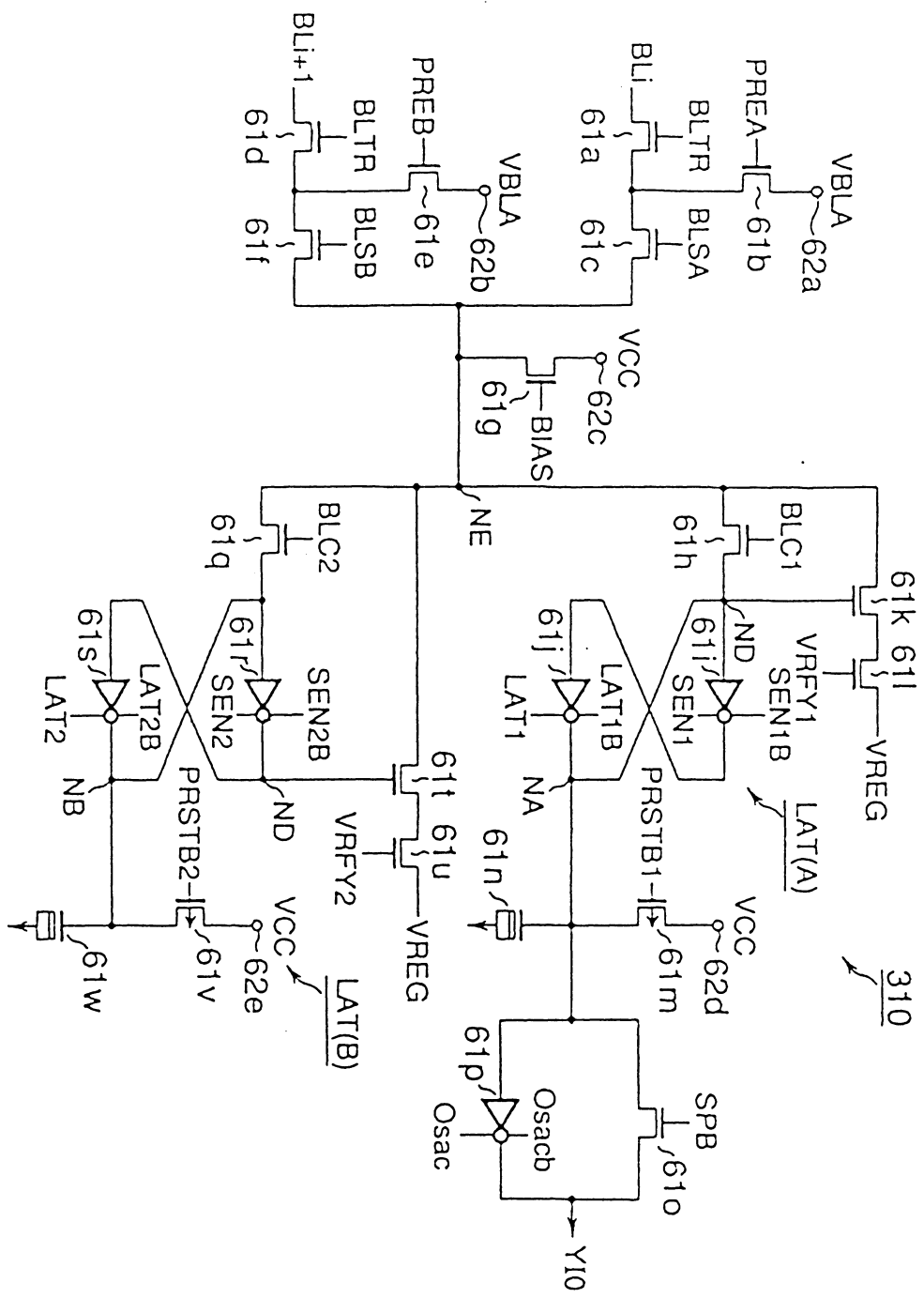


圖 12

第1頁程式

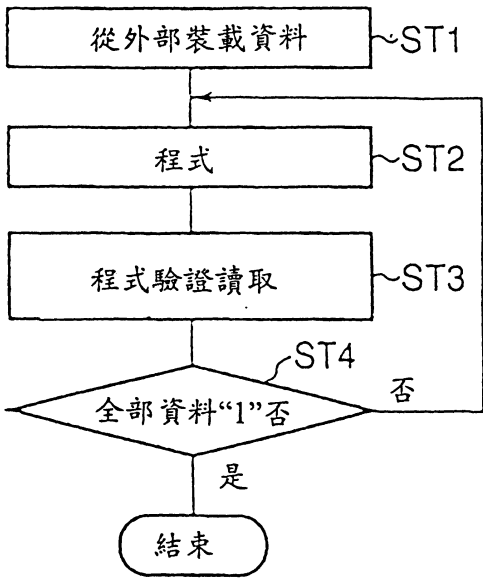


圖 13(a)

第2頁程式

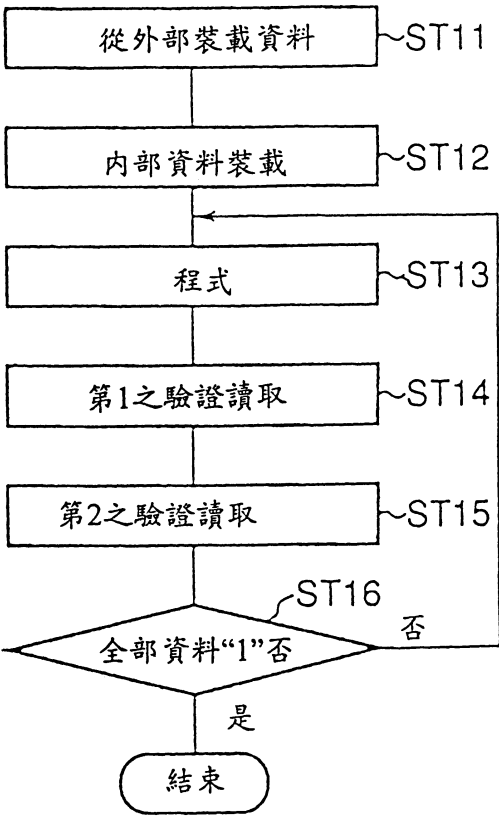


圖 13(b)

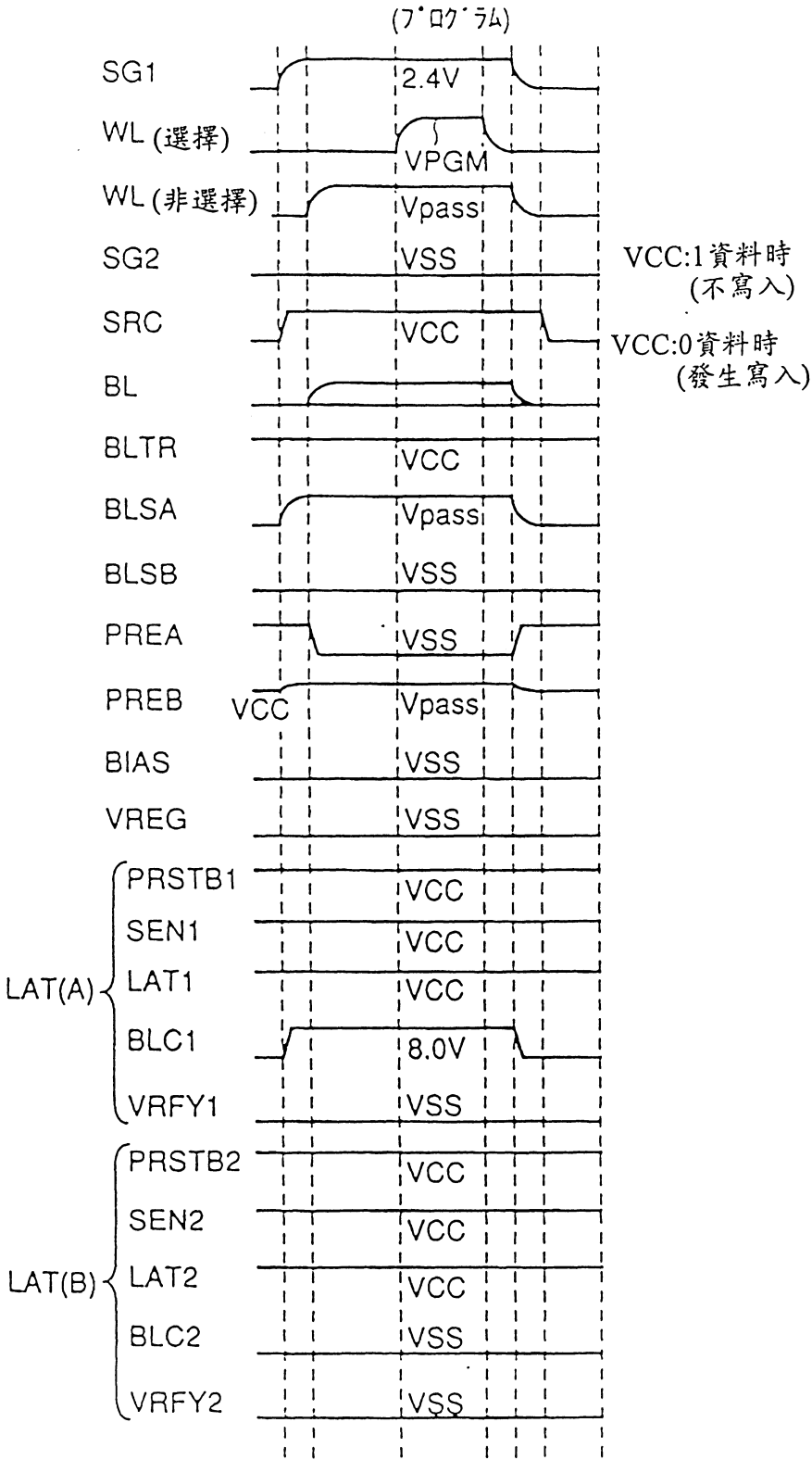


圖 14

程式驗證(第1頁)

狀態0	狀態0→1		記憶單元之資料	
inhibit	Write(OK)	Write(NG)		
A B bit	A B bit	A B bit		
H	L	L	資料裝載(寫於A→L、inhibit→H)	
H L	L H	L L	以b'讀取	0→1
H H	L H	L L	A為H時位元線H(VRFY1)	Verify
H H	H H	L L	將位元線電位門鎖於A	

(inhibit= 非寫入、Write=寫入、A=LAT(A)、B=LAT(B))

圖 15

(第1頁驗證讀取、第2頁第2之驗證讀取)

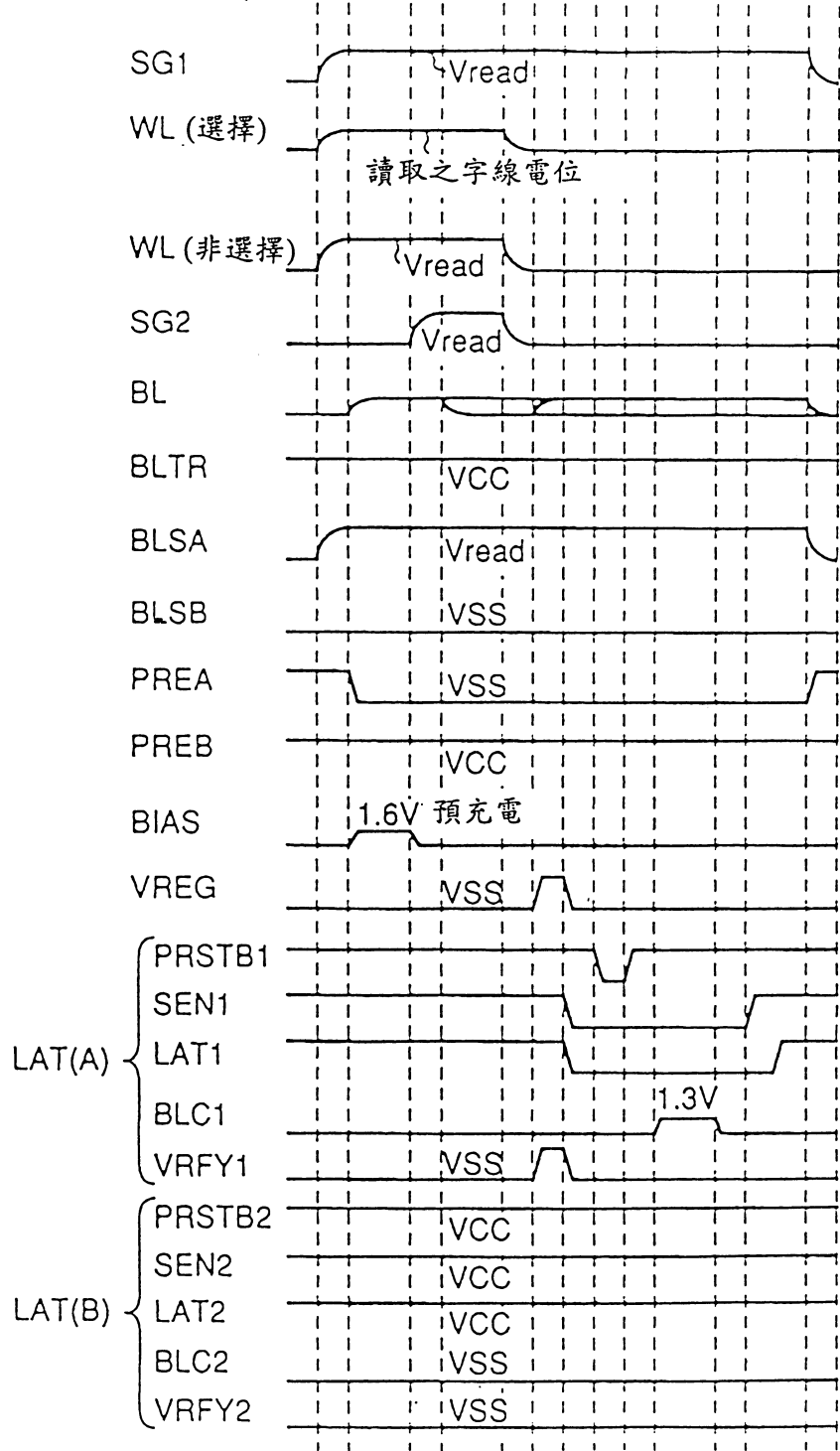


圖 16

程式驗證(第2頁)

狀態0		狀態0→3		狀態1		狀態1→2		記憶單元之資料	
inhibit	Write(OK)	Write(NG)	inhibit	Write(OK)	Write(NG)				
A B bit	A B bit	A B bit	A B bit	A B bit	A B bit				
H	L		H	L	L	資料裝載(寫於A→L、inhibit→H)	外部資料裝載		
H L	L L		H H	L H		以a'讀取	內部資料裝載		
H L L	L L L		H H H	L H H		位元線之電位門鎖於B			

圖 17(a)

H L	L L		H H	L H	L H	以b'讀取	
H L L	L L L/H		H H L	L H H	L H L	B為L時位元線L(VRFY2)	1→2
H L L	L L L		H H L	L H H	L H L	A為H時位元線H(VRFY1)	Verify
H L H	L L L		H H H	H H H	L H L	位元線之電位門鎖於A	

圖 17(b)

H L	L L	L L	H H	L H		以b'讀取	
H L L	L L H	L L L	H H L	L H L		A為H時位元線H(VRFY1)	3
H L H	L L H	L L L	H H H	L H L		位元線之電位門鎖於A	Verify
H L H	H L H	L L L	H H H	L H L			

圖 17(c)

(inhibit= 非寫入、Write= 寫入、A=LAT(A)、B=LAT(B))

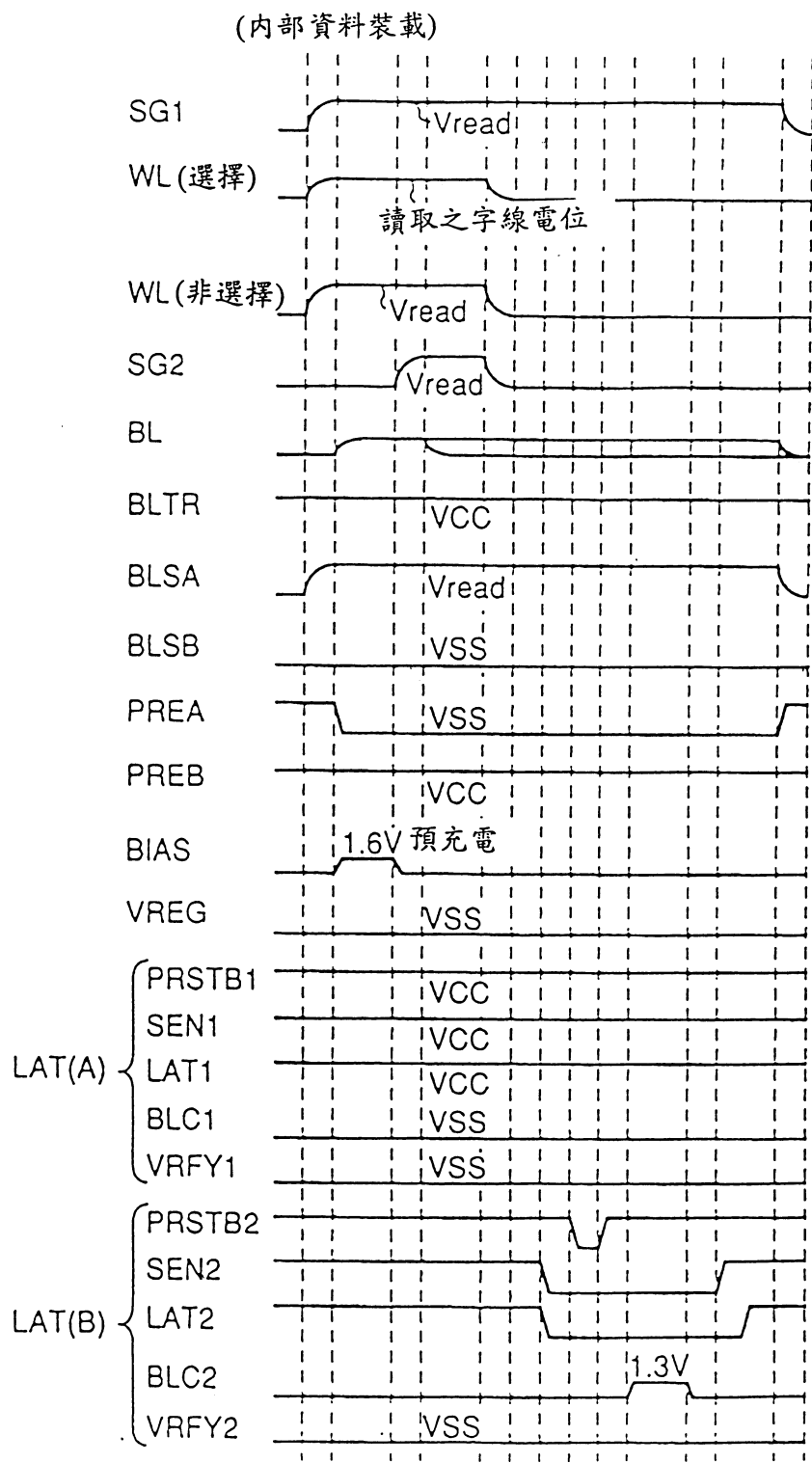


圖 18

(第2頁第1之驗證讀取)

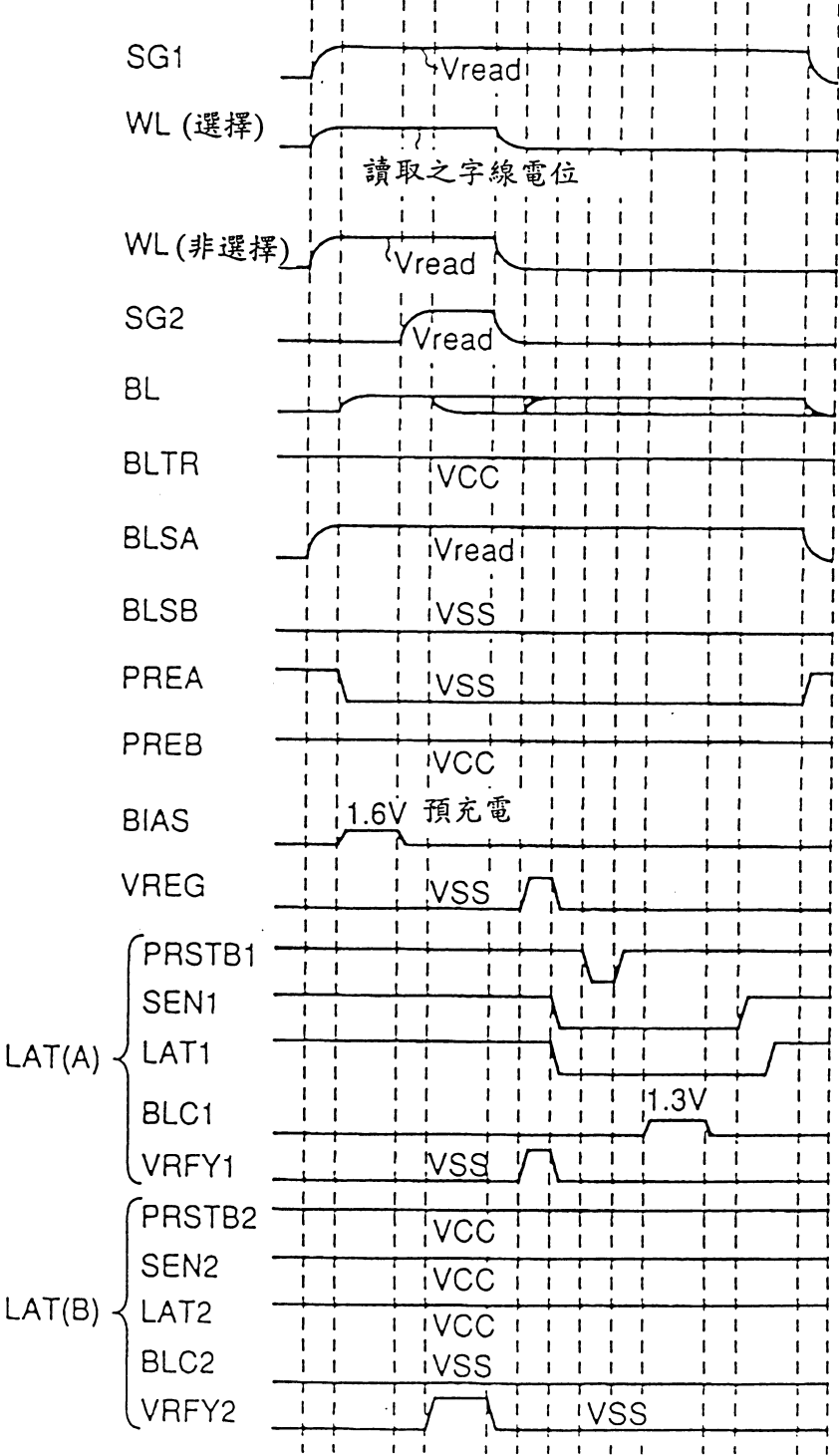


圖 19

讀取(第2頁)

狀態0, 1	狀態2, 3		
A B bit	A B bit		
L	H	以b讀取	第2頁讀取
L L	H H	將位元線之電位閃鎖於A	

$(A=LAT(A), B=LAT(B))$

圖 20

讀取(第1頁)

狀態0	狀態1, 2	狀態3		
A B bit	A B bit	A B bit		
L	L	H	以c讀取	第1之讀取
L L	L L	H H	位元線之電位閃鎖於LAT(A)	
L L	L H	H	以a讀取	第2之讀取
L L	L H	H L	若LAT(A)為H則位元線L(VRFY1)	
L L	H H	L L	位元線之電位閃鎖於A	

$(A=LAT(A), B=LAT(B))$

圖 21

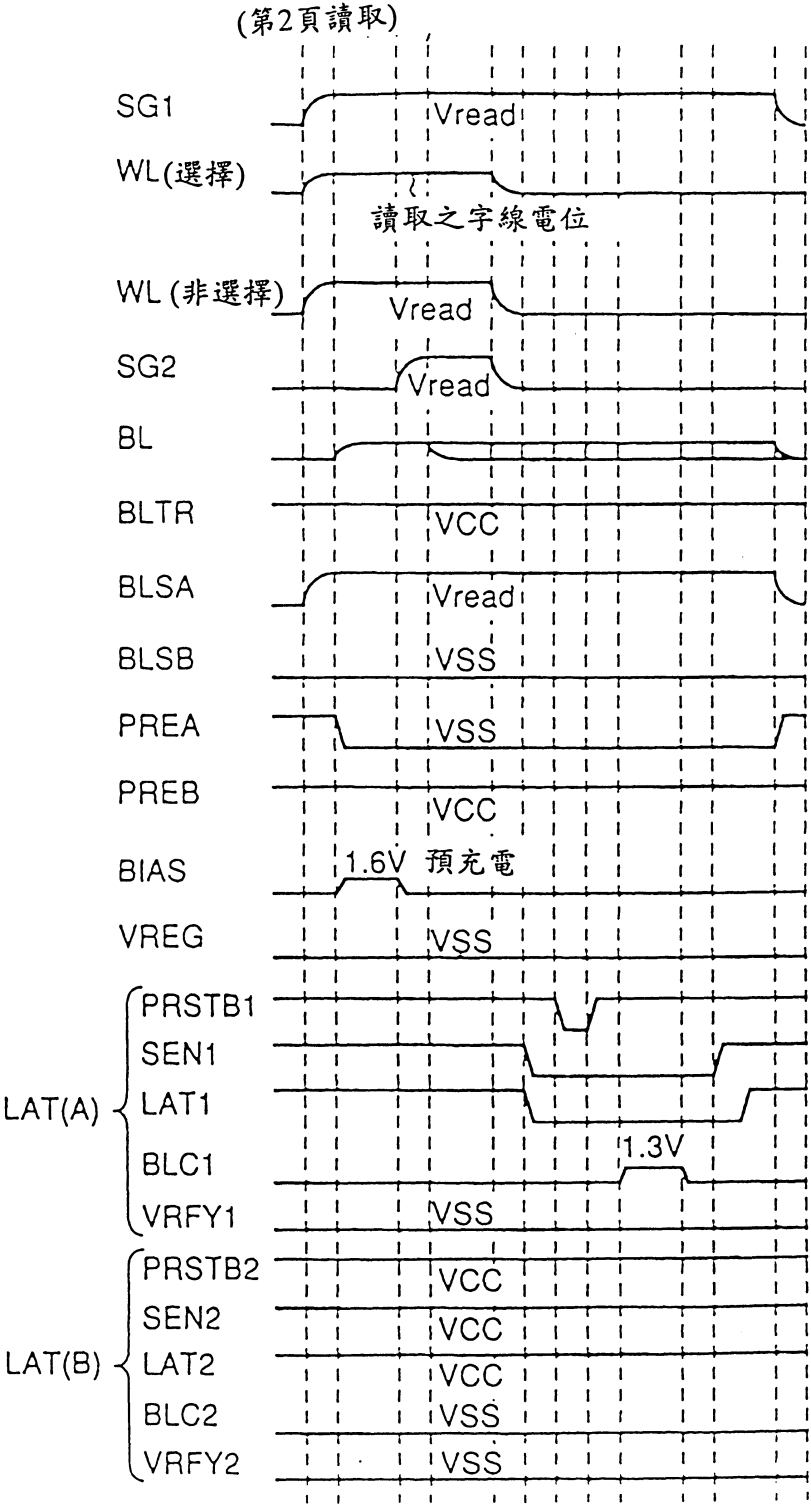
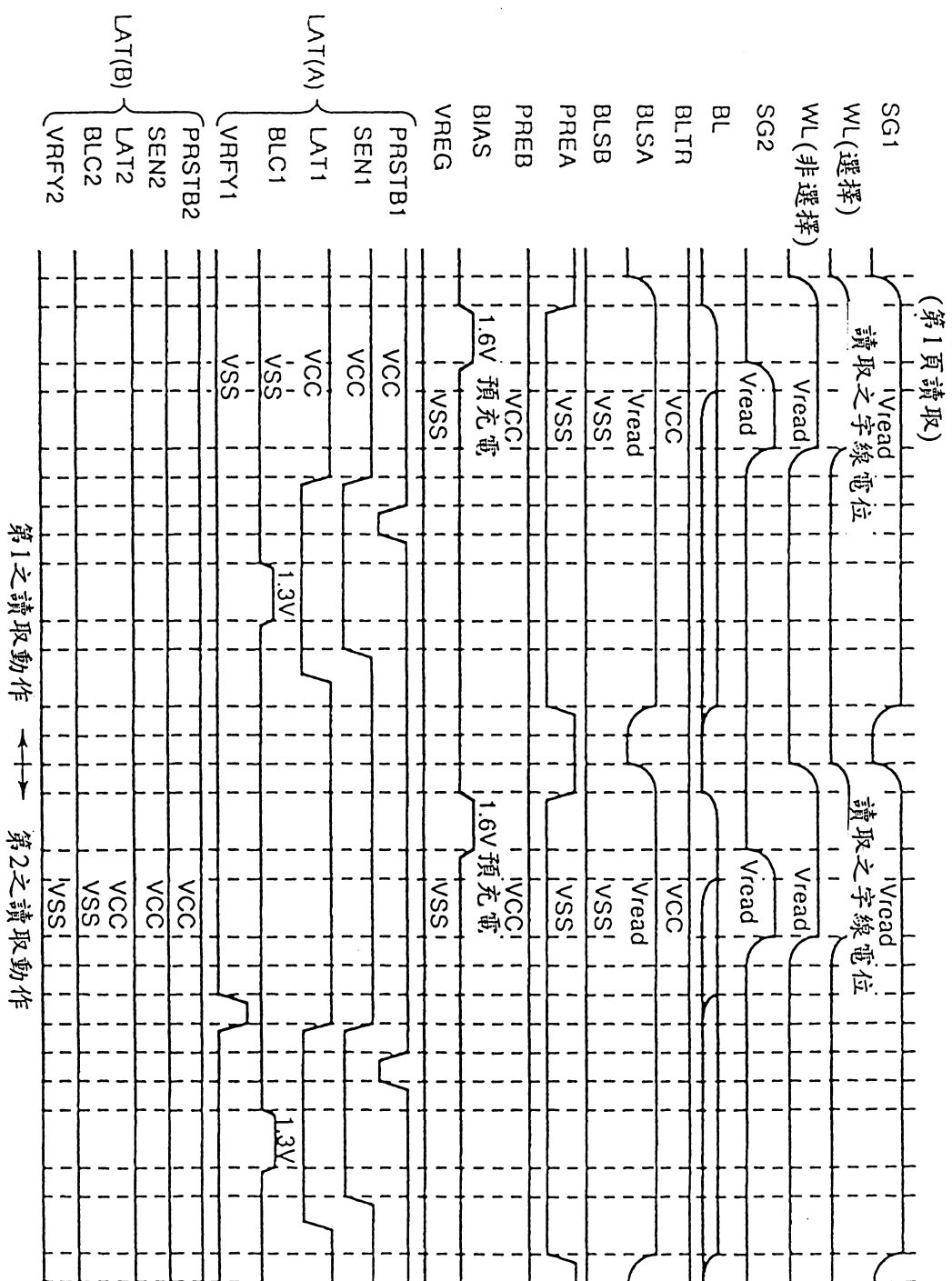


圖 22



記憶單元之資料(狀態)	記憶單元之資料臨限值	寫入及讀取之資料		
		第3頁	第2頁	第1頁
0	0V以下	1	1	1
1	0.2V~0.4V	1	1	0
2	0.5V~0.7V	1	0	0
3	0.8V~1.0V	1	0	1
4	1.1V~1.3V	0	0	1
5	1.4V~1.6V	0	0	0
6	1.7V~1.9V	0	1	0
7	2.0V~2.2V	0	1	1

圖 24

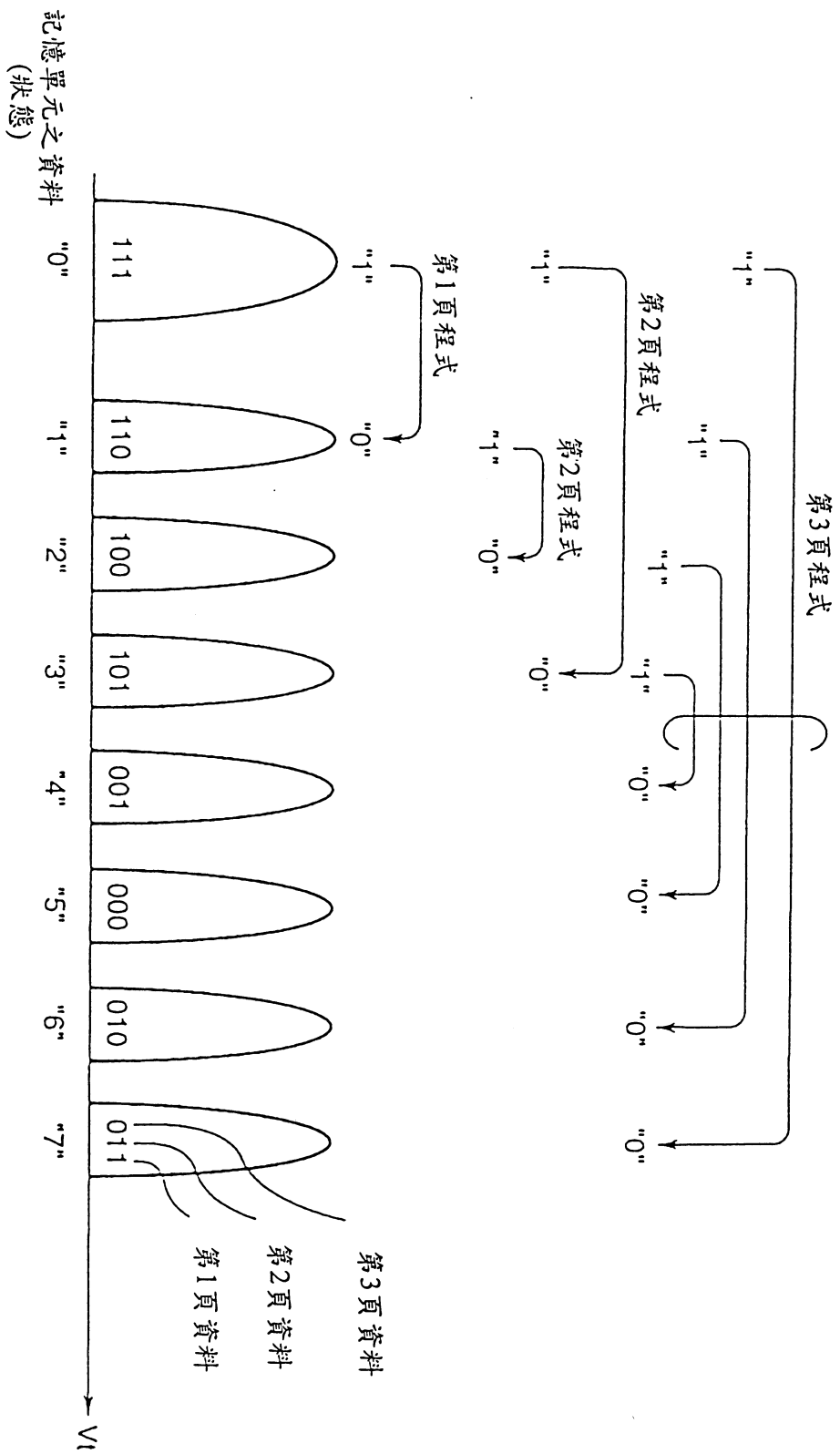


圖 25

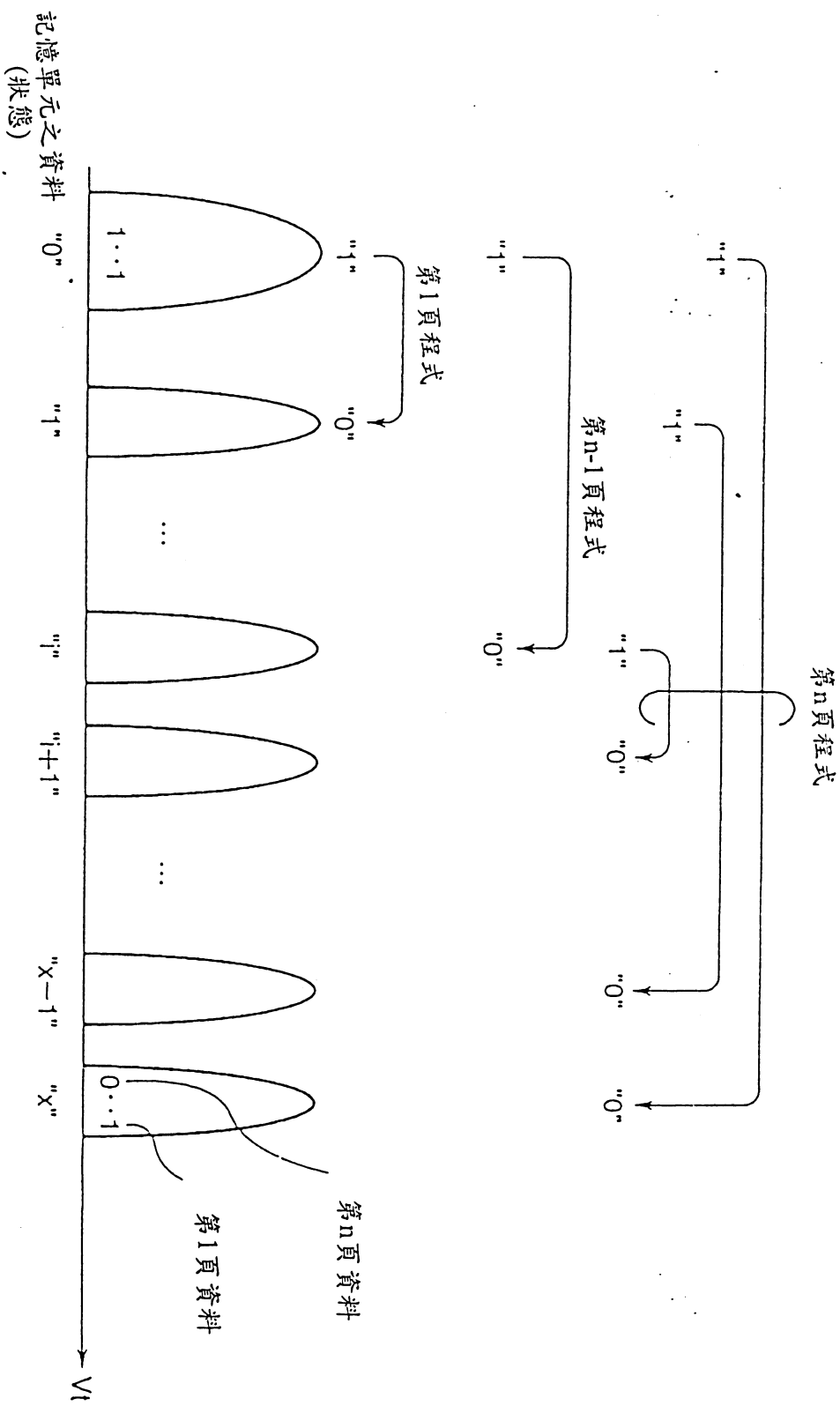


圖 26