(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2020 年 11 月 5 日 (05.11.2020)

WIPO | PCT

(10) 国际公布号
WO 2020/220529 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01) *G02F 1/1368* (2006.01)
H01L 21/77 (2017.01)

(21) 国际申请号: PCT/CN2019/102181

(22) 国际申请日: 2019 年 8 月 23 日 (23.08.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910365438.2 2019年4月30日 (30.04.2019) CN

(71) 申请人: 深 圳 市 华 星 光 电 技 术 有 限 公 司(**SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中 国 广 东 省 深 圳 市 光 明 新 区 塘 明 大 道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: **田 新 斌 (TIAN, Xinbin)**; 中 国 广 东 省 深 圳 市 光 明 新 区 塘 明 大 道 9-2 号, Guangdong 518132 (CN)。 **徐 向 阳 (XU, Xiangyang)**; 中 国 广 东 省 深 圳 市 光 明 新 区 塘 明 大 道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所(**COMIPS INTELLECTUAL PROPERTY OFFICE**); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) **Title:** TFT ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: TFT 阵列基板及其制作方法

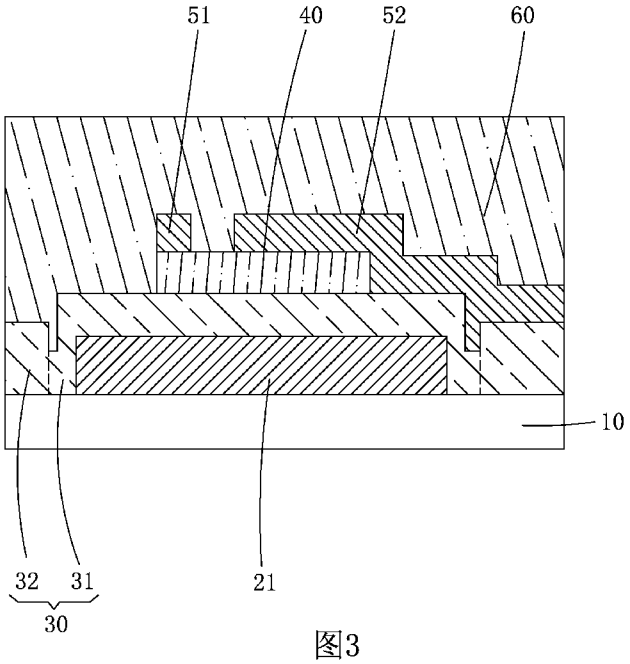


图3

(57) **Abstract:** A TFT array substrate and a manufacturing method therefor. The TFT array substrate comprises a substrate (10), a first metal layer (20) disposed on the substrate (10), a gate insulating layer (30) disposed on the substrate (10) and the first metal layer (20), an active layer (40) disposed on the gate insulating layer (30), and a second metal layer (50) disposed on the gate insulating layer (30); the first metal layer (20) comprises a gate (21); the active layer (40) is located above the gate (21); the second metal layer (50) comprises a source (51) and a drain (52) which are spaced from each other; the source (51) and the drain (52) are respectively in contact with two

WO 2020/220529 A1

[见续页]

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

ends of the active layer (40); the gate insulating layer (30) comprises a first portion (31) covering the gate (21) and a second portion (32) connected to the first portion (31); the thickness of the first portion (31) is smaller than the thickness of the second portion (32). The on-state current of a TFT device can be effectively increased and the threshold voltage can be reduced to improve the switching characteristics, and thus the product quality is improved.

(57) 摘要：一种TFT阵列基板及其制作方法。TFT阵列基板包括衬底（10）、设于衬底（10）上的第一金属层（20）、设于衬底（10）及第一金属层（20）上的栅极绝缘层（30）、设于栅极绝缘层（30）上的有源层（40）及设于栅极绝缘层（30）上的第二金属层（50），第一金属层（20）包括栅极（21），有源层（40）位于栅极（21）上方，第二金属层（50）包括间隔的源极（51）及漏极（52），源极（51）及漏极（52）分别与有源层（40）的两端接触，栅极绝缘层（30）包括覆盖栅极（21）的第一部分（31）及连接第一部分（31）的第二部分（32），第一部分（31）的厚度小于第二部分（32）的厚度，能够有效提升TFT器件的开态电流并降低阈值电压以提升其开关特性，从而提升产品的品质。

TFT 阵列基板及其制作方法

技术领域

[0001] 本发明涉及显示技术领域，尤其涉及一种TFT阵列基板及其制作方法。

背景技术

[0002] 随着显示技术的发展，液晶显示器（Liquid Crystal Display，LCD）等平面显示装置因具有高画质、省电、机身薄及应用范围广等优点，而被广泛的应用于手机、电视、个人数字助理、数字相机、笔记本电脑、台式计算机等各种消费性电子产品，成为显示装置中的主流。

[0003] 现有市场上的液晶显示装置大部分为背光型液晶显示器，其包括液晶显示面板及背光模组（back light module）。液晶显示面板的工作原理是在两片平行的玻璃基板当中放置液晶分子，两片玻璃基板中间有许多垂直和水平的细小电线，通过通电与否来控制液晶分子改变方向，将背光模组的光线折射出来产生画面。

[0004] 通常液晶显示面板由彩膜（CF，Color Filter）基板、薄膜晶体管阵列（Thin Film Transistor Array，TFT Array）基板、及夹设于彩膜基板与薄膜晶体管基板之间的液晶（LC）及密封胶框（Sealant）组成，其成型工艺一般包括：前段阵列制程（薄膜、黄光、蚀刻及剥膜）、中段成盒（Cell）制程（TFT阵列基板与CF基板贴合）及后段模组组装制程（驱动芯片与印刷电路板压合）。其中，前段Array制程主要是形成TFT阵列基板，以便于控制液晶分子的运动，中段Cell制程主要是在TFT阵列基板与CF基板之间添加液晶，后段模组组装制程主要是驱动芯片压合与印刷电路板的整合，进而驱动液晶分子转动，显示图像。

[0005] 请参阅图1，为现有的一种TFT阵列基板的结构示意图，该TFT阵列基板包括衬底100、设于衬底100上的栅极200、设于衬底100及栅极200上的栅极绝缘层300、设于栅极绝缘层300上且位于栅极200上方的有源层400以及设于栅极绝缘层300上且与有源层400两端连接的源极500及漏极600，栅极200、栅极绝缘层300、有源层400、源极500及漏极600构成TFT器件，该TFT器件相当于一个开关，利

用施加于栅极200上的电压来控制源极500与漏极600之间的电流。TFT器件的开关特性直接影响到液晶显示面板的性能，如何提升TFT器件的开关特性，尤其是TFT器件的开态电流特性，已经成为面板领域的研究重点。

发明概述

技术问题

[0006] 本发明的目的在于提供一种TFT阵列基板，开关特性较好，产品品质高。

[0007] 本发明的另一目的在于提供一种TFT阵列基板的制作方法，能够提升TFT阵列基板中TFT器件的开关特性，提升产品的品质。

问题的解决方案

技术解决方案

[0008] 为实现上述目的，本发明首先提供一种TFT阵列基板，包括衬底、设于衬底上的第一金属层、设于衬底及第一金属层上的栅极绝缘层、设于栅极绝缘层上的有源层及设于栅极绝缘层上的第二金属层；

[0009] 所述第一金属层包括栅极；所述有源层位于栅极上方；所述第二金属层包括间隔的源极及漏极，所述源极及漏极分别与有源层的两端接触；

[0010] 所述栅极绝缘层包括覆盖栅极的第一部分及连接第一部分的第二部分；所述第一部分的厚度小于第二部分的厚度。

[0011] 所述第一部分的厚度为2800Å -3200Å ，所述第二部分的厚度为4800 Å -5200 Å 。

[0012] 所述第一部分的厚度为3000Å ，所述第二部分的厚度为5000 Å 。

[0013] 所述第一金属层还包括与栅极连接的扫描线以及与栅极及扫描线均间隔的电容极板；所述漏极的部分与电容极板重叠。

[0014] 所述TFT阵列基板还包括设于第二金属层、有源层及栅极绝缘层上的钝化层及设于钝化层上的像素电极；所述钝化层设有位于漏极上方的过孔，所述像素电极经过孔与漏极接触。

[0015] 本发明还提供一种TFT阵列基板的制作方法，包括如下步骤：

[0016] 步骤S1、提供衬底，在衬底上形成第一金属材料膜并进行图案化，形成栅极；

[0017] 步骤S2、在衬底及栅极上形成绝缘材料膜并进行图案化，形成栅极绝缘层；所

述栅极绝缘层包括覆盖栅极的第一部分及连接第一部分的第二部分；所述第一部分的厚度小于第二部分的厚度；

[0018] 步骤S3、在栅极绝缘层上制作有源层，所述有源层位于栅极上方；在栅极绝缘层及有源层上形成第二金属材料膜并进行图案化，形成间隔的源极及漏极，所述源极及漏极分别与有源层的两端接触。

[0019] 所述步骤S2中，对绝缘材料膜进行图案化形成栅极绝缘层的具体过程为：在绝缘材料膜上形成一层光阻膜，利用一道光罩对所述光阻膜进行图案化处理，在光阻膜上形成开口，所述开口的边缘位于栅极边缘的外侧；以光阻膜为遮挡对绝缘材料膜进行干蚀刻，减薄绝缘材料膜未被光阻膜遮挡的部分的厚度，形成栅极绝缘层。

[0020] 所述第一部分的厚度为2800Å -3200Å ，所述第二部分的厚度为4800 Å -5200 Å 。

[0021] 所述步骤S1中在对第一金属材料膜进行图案化形成栅极的同时还形成与栅极连接的扫描线以及与栅极及扫描线均间隔的电容极板；所述步骤S2中在衬底、栅极、扫描线及电容极板上形成绝缘材料膜；所述漏极的部分与电容极板重叠。

[0022] 所述TFT阵列基板的制作方法还包括步骤S4、在源极、漏极、有源层及栅极绝缘层上形成钝化层，对钝化层进行图案化，形成位于漏极上方的过孔；在钝化层上制作像素电极，所述像素电极经过孔与漏极接触。

发明的有益效果

有益效果

[0023] 本发明的有益效果：本发明的TFT阵列基板包括衬底、设于衬底上的第一金属层、设于衬底及第一金属层上的栅极绝缘层、设于栅极绝缘层上的有源层及设于栅极绝缘层上的第二金属层，第一金属层包括栅极，有源层位于栅极上方，第二金属层包括间隔的源极及漏极，源极及漏极分别与有源层的两端接触，栅极绝缘层包括覆盖栅极的第一部分及连接第一部分的第二部分，第一部分的厚度小于第二部分的厚度，能够有效提升TFT器件的开态电流并降低阈值电压以提升其开关特性，从而提升产品的品质。本发明的TFT阵列基板的制作方法能够提升TFT阵列基板中TFT器件的开关特性，提升产品的品质。

对附图的简要说明

附图说明

[0024] 为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

[0025] 附图中，

[0026] 图1为现有的TFT阵列基板的结构示意图；

[0027] 图2为本发明的TFT阵列基板的俯视示意图；

[0028] 图3为沿图2中的A-A’线的剖视示意图；

[0029] 图4为沿图2中的B-B’线的剖视示意图；

[0030] 图5为本发明的TFT阵列基板的制作方法的流程图；

[0031] 图6为本发明的TFT阵列基板的制作方法的步骤S1的示意图；

[0032] 图7至图9为本发明的TFT阵列基板的制作方法的步骤S2的示意图；

[0033] 图10为本发明的TFT阵列基板的制作方法的步骤S3的示意图。

发明实施例

本发明的实施方式

[0034] 为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

[0035] 请参阅图2至图4，本发明提供一种TFT阵列基板，包括衬底10、设于衬底10上的第一金属层20、设于衬底10及第一金属层20上的栅极绝缘层30、设于栅极绝缘层30上的有源层40及设于栅极绝缘层30上的第二金属层50。所述第一金属层20包括栅极21。所述有源层40位于栅极21上方。所述第二金属层50包括间隔的源极51及漏极52，所述源极51及漏极52分别与有源层40的两端接触。栅极21、栅极绝缘层30、有源层40、源极51及漏极51构成TFT器件。

[0036] 需要重点注意的是，所述栅极绝缘层30包括覆盖栅极21的第一部分31及连接第一部分31的第二部分32。所述第一部分31的厚度小于第二部分32的厚度。

[0037] 具体地，所述第一部分31的厚度为2800Å -3200Å，所述第二部分32的厚度为4800 Å -5200 Å。优选地，所述第一部分31的厚度为3000Å，所述第二部分32的厚度为5000 Å。

[0038] 具体地，所述第一金属层20还包括与栅极21连接的扫描线22以及与栅极21及扫描线22均间隔的电容极板23。所述漏极52的部分与电容极板23重叠，以形成存储电容。

[0039] 具体地，请结合图7至图9，所述栅极绝缘层30可通过如下方式制得：在衬底10、栅极21、扫描线22及电容极板23上形成绝缘材料膜39，在绝缘材料膜39上形成一层光阻膜90，利用一道光罩对所述光阻膜90进行图案化处理，在光阻膜90上形成开口91，所述开口91的边缘位于栅极21边缘的外侧。以光阻膜90为遮挡对绝缘材料膜39进行干蚀刻，减薄绝缘材料膜39未被光阻膜90遮挡的部分的厚度，形成栅极绝缘层30。

[0040] 具体地，所述第二金属层50还包括与源极51连接的数据线（未图示）。

[0041] 具体地，请结合图2及图4，所述TFT阵列基板还包括设于第二金属层50、有源层40及栅极绝缘层30上的钝化层60及设于钝化层60上的像素电极70。所述钝化层60设有位于漏极52上方的过孔61，所述像素电极70经过孔61与漏极52接触。

[0042] 具体地，所述TFT阵列基板可应用于液晶显示面板，也可应用于OLED显示面板。

[0043] 需要说明的是，现有的TFT阵列基板中的栅极绝缘层是厚度均匀的膜层，本发明中通过使得栅极绝缘层30包括覆盖栅极21的第一部分31及连接第一部分31的第二部分32，并且使得第一部分31的厚度小于第二部分32的厚度，也即栅极21上方的栅极绝缘层30的厚度被减薄，在保证TFT阵列基板中数据线与扫描线23之间具有较小的电容的同时，能够有效地改善TFT器件的特性曲线，加大TFT器件的开态电流，降低TFT器件的阈值电压，提升TFT器件的开关特性，从而提升TFT阵列基板中像素的充电特性，以提升应用该TFT阵列基板的显示面板的显示画质，有效地提升了产品的品质。

[0044] 请参阅图5，基于同一发明构思，本发明还提供一种TFT阵列基板的制作方法，包括如下步骤：

[0045] 步骤S1、请参阅图6，提供衬底10，在衬底10上形成第一金属材料膜并进行图案化，形成栅极21。

[0046] 具体地，所述步骤S1中在对第一金属材料膜进行图案化形成栅极21的同时还形

成与栅极21连接的扫描线22以及与栅极21及扫描线22均间隔的电容极板23。

[0047] 步骤S2、请参阅图7及图9，在衬底10及栅极21上形成绝缘材料膜39并进行图案化，形成栅极绝缘层30。所述栅极绝缘层30包括覆盖栅极21的第一部分31及连接第一部分31的第二部分32。所述第一部分31的厚度小于第二部分32的厚度。

[0048] 具体地，所述步骤S2中，对绝缘材料膜39进行图案化形成栅极绝缘层30的具体过程为：请参阅图8，在绝缘材料膜39上形成一层光阻膜90，利用一道光罩对所述光阻膜90进行图案化处理，在光阻膜90上形成开口91，所述开口91的边缘位于栅极21边缘的外侧，以光阻膜90为遮挡对绝缘材料膜39进行干蚀刻，减薄绝缘材料膜39未被光阻膜90遮挡的部分的厚度，形成栅极绝缘层30，栅极绝缘层30的第一部分31与光阻膜90的开口91对应，第二部分32与光阻膜90中开口91以外的区域对应。

[0049] 具体地，所述第一部分31的厚度为2800Å -3200Å，所述第二部分32的厚度为4800 Å -5200 Å。优选地，所述第一部分31的厚度为3000Å，所述第二部分32的厚度为5000 Å。

[0050] 具体地，所述步骤S2中在衬底10、栅极21、扫描线22及电容极板23上形成绝缘材料膜39。

[0051] 步骤S3、请参阅图10，在栅极绝缘层30上制作有源层40，所述有源层40位于栅极21上方。在栅极绝缘层30及有源层40上形成第二金属材料膜并进行图案化，形成间隔的源极51及漏极52，所述源极51及漏极52分别与有源层40的两端接触。栅极21、栅极绝缘层30、有源层40、源极51及漏极51构成TFT器件。

[0052] 具体地，所述漏极52的部分与电容极板23重叠，从而形成存储电容。

[0053] 具体地，所述步骤S3中对第二金属材料膜进行图案化形成源极51及漏极52的同时还形成与源极51连接的数据线（未图示）。

[0054] 步骤S4、请结合图2至图4，在源极51、漏极52、有源层40及栅极绝缘层30上形成钝化层60，对钝化层60进行图案化，形成位于漏极52上方的过孔61。在钝化层60上制作像素电极70，所述像素电极70经过孔61与漏极52接触。

[0055] 需要说明的是，本发明中通过在栅极21及衬底10上形成绝缘材料膜39并对其进行图案化形成包括覆盖栅极21的第一部分31及连接第一部分31的第二部分32的

栅极绝缘层30，并且使得第一部分31的厚度小于第二部分32的厚度，也即栅极21上方的栅极绝缘层30的厚度被减薄，在保证制得的TFT阵列基板中数据线与扫描线23之间具有较小的电容的同时，能够有效地改善TFT器件的特性曲线，加大TFT器件的开态电流，降低TFT器件的阈值电压，提升TFT器件的开关特性，从而提升TFT阵列基板中像素的充电特性，以提升应用该TFT阵列基板的显示面板的显示画质，有效地提升了产品的品质。

[0056] 综上所述，本发明的TFT阵列基板包括衬底、设于衬底上的第一金属层、设于衬底及第一金属层上的栅极绝缘层、设于栅极绝缘层上的有源层及设于栅极绝缘层上的第二金属层，第一金属层包括栅极，有源层位于栅极上方，第二金属层包括间隔的源极及漏极，源极及漏极分别与有源层的两端接触，栅极绝缘层包括覆盖栅极的第一部分及连接第一部分的第二部分，第一部分的厚度小于第二部分的厚度，能够有效提升TFT器件的开态电流并降低阈值电压以提升其开关特性，从而提升产品的品质。本发明的TFT阵列基板的制作方法能够提升TFT阵列基板中TFT器件的开关特性，提升产品的品质。

[0057] 以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权利要求书

[权利要求 1] 一种TFT阵列基板，包括衬底、设于衬底上的第一金属层、设于衬底及第一金属层上的栅极绝缘层、设于栅极绝缘层上的有源层及设于栅极绝缘层上的第二金属层；

所述第一金属层包括栅极；所述有源层位于栅极上方；所述第二金属层包括间隔的源极及漏极，所述源极及漏极分别与有源层的两端接触；

所述栅极绝缘层包括覆盖栅极的第一部分及连接第一部分的第二部分；所述第一部分的厚度小于第二部分的厚度。

[权利要求 2] 如权利要求1所述的TFT阵列基板，其中，所述第一部分的厚度为2800Å -3200Å，所述第二部分的厚度为4800 Å -5200 Å。

[权利要求 3] 如权利要求2所述的TFT阵列基板，其中，所述第一部分的厚度为3000Å，所述第二部分的厚度为5000 Å。

[权利要求 4] 如权利要求1所述的TFT阵列基板，其中，所述第一金属层还包括与栅极连接的扫描线以及与栅极及扫描线均间隔的电容极板；所述漏极的部分与电容极板重叠。

[权利要求 5] 如权利要求1所述的TFT阵列基板，还包括设于第二金属层、有源层及栅极绝缘层上的钝化层及设于钝化层上的像素电极；所述钝化层设有位于漏极上方的过孔，所述像素电极经过孔与漏极接触。

[权利要求 6] 一种TFT阵列基板的制作方法，包括如下步骤：

步骤S1、提供衬底，在衬底上形成第一金属材料膜并进行图案化，形成栅极；

步骤S2、在衬底及栅极上形成绝缘材料膜并进行图案化，形成栅极绝缘层；所述栅极绝缘层包括覆盖栅极的第一部分及连接第一部分的第二部分；所述第一部分的厚度小于第二部分的厚度；

步骤S3、在栅极绝缘层上制作有源层，所述有源层位于栅极上方；在栅极绝缘层及有源层上形成第二金属材料膜并进行图案化，形成间隔的源极及漏极，所述源极及漏极分别与有源层的两端接触。

[权利要求 7] 如权利要求6所述的TFT阵列基板的制作方法，其中，所述步骤S2中，对绝缘材料膜进行图案化形成栅极绝缘层的具体过程为：在绝缘材料膜上形成一层光阻膜，利用一道光罩对所述光阻膜进行图案化处理，在光阻膜上形成开口，所述开口的边缘位于栅极边缘的外侧；以光阻膜为遮挡对绝缘材料膜进行干蚀刻，减薄绝缘材料膜未被光阻膜遮挡的部分的厚度，形成栅极绝缘层。

[权利要求 8] 如权利要求6所述的TFT阵列基板的制作方法，其中，所述第一部分的厚度为2800Å -3200Å ，所述第二部分的厚度为4800 Å -5200 Å 。

[权利要求 9] 如权利要求6所述的TFT阵列基板的制作方法，其中，所述步骤S1中在对第一金属材料膜进行图案化形成栅极的同时还形成与栅极连接的扫描线以及与栅极及扫描线均间隔的电容极板；所述步骤S2中在衬底、栅极、扫描线及电容极板上形成绝缘材料膜；所述漏极的部分与电容极板重叠。

[权利要求 10] 如权利要求6所述的TFT阵列基板的制作方法，还包括步骤S4、在源极、漏极、有源层及栅极绝缘层上形成钝化层，对钝化层进行图案化，形成位于漏极上方的过孔；在钝化层上制作像素电极，所述像素电极经过孔与漏极接触。

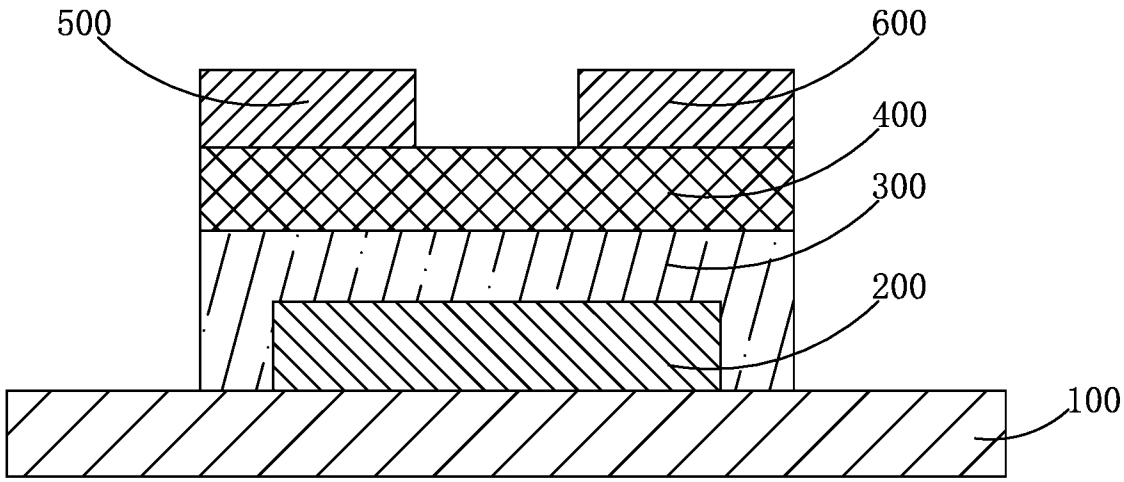


图1

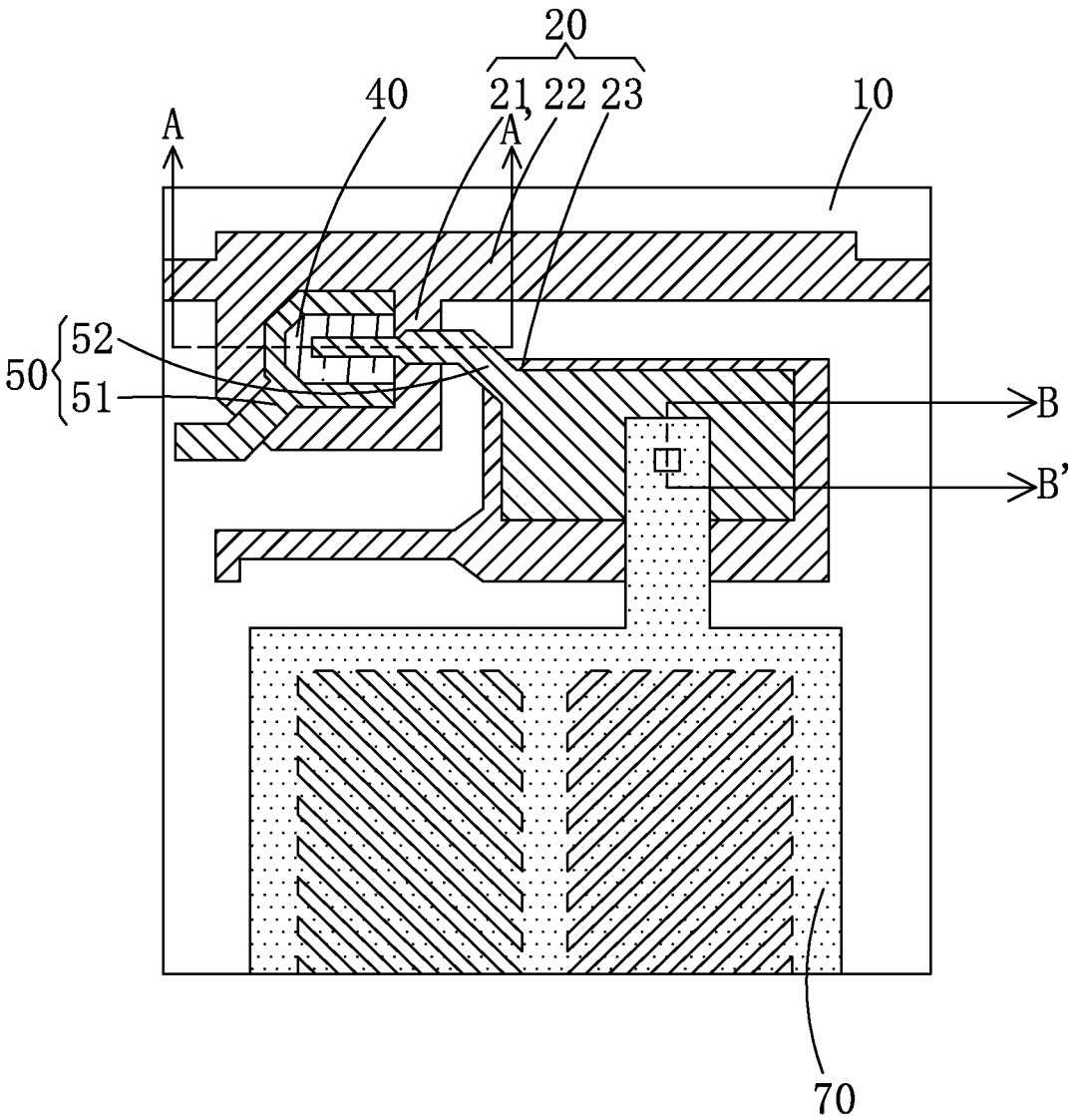


图2

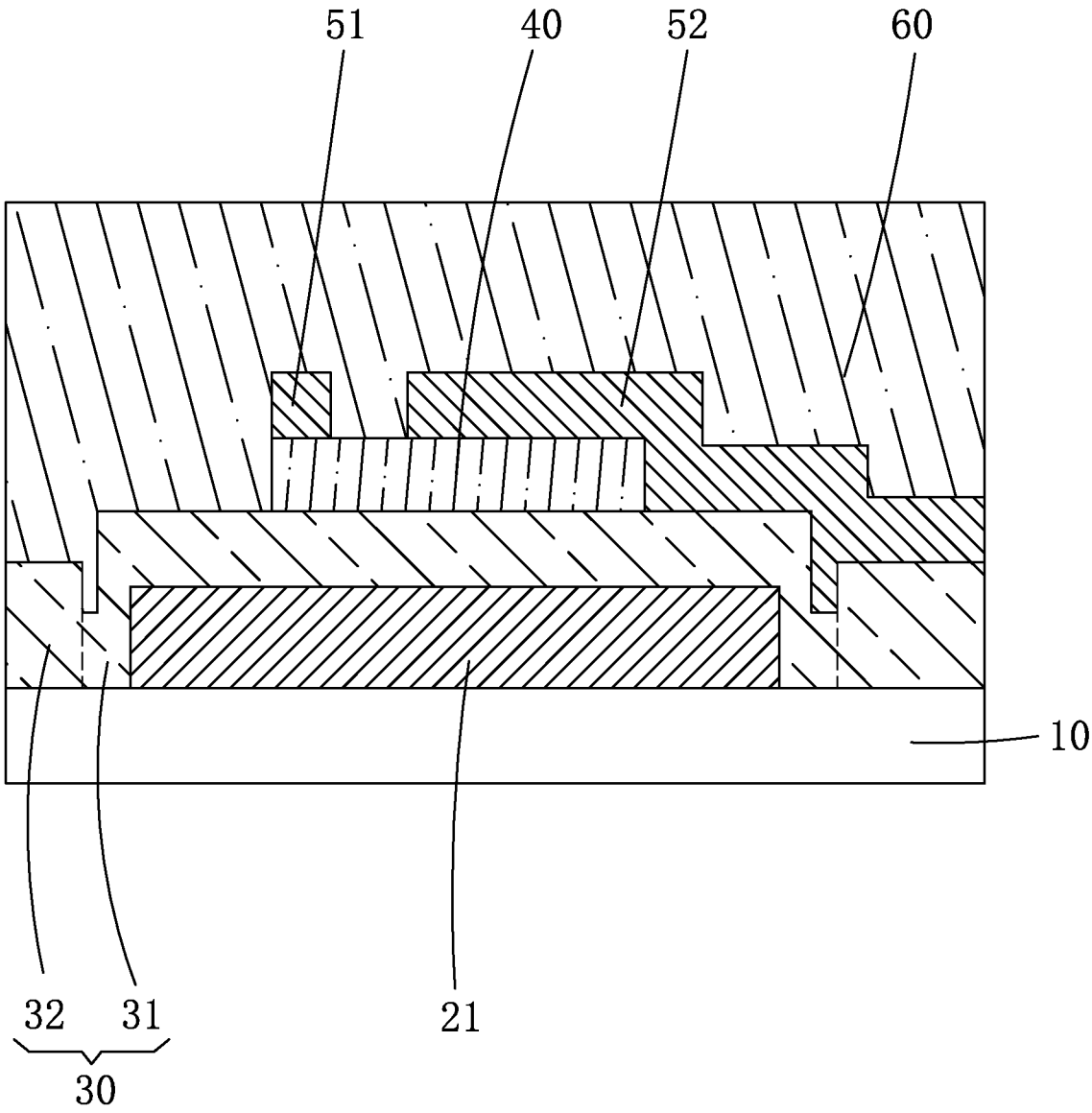


图3

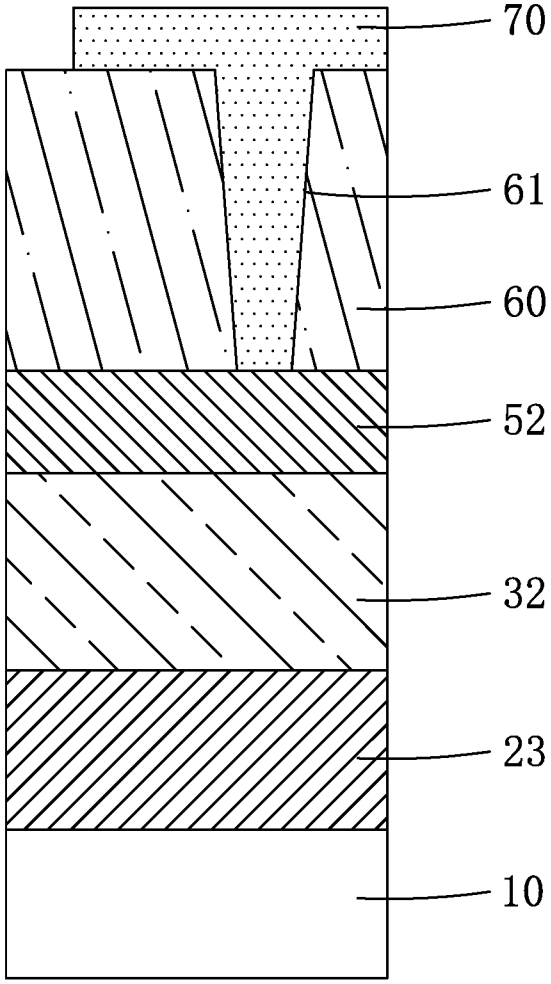


图4

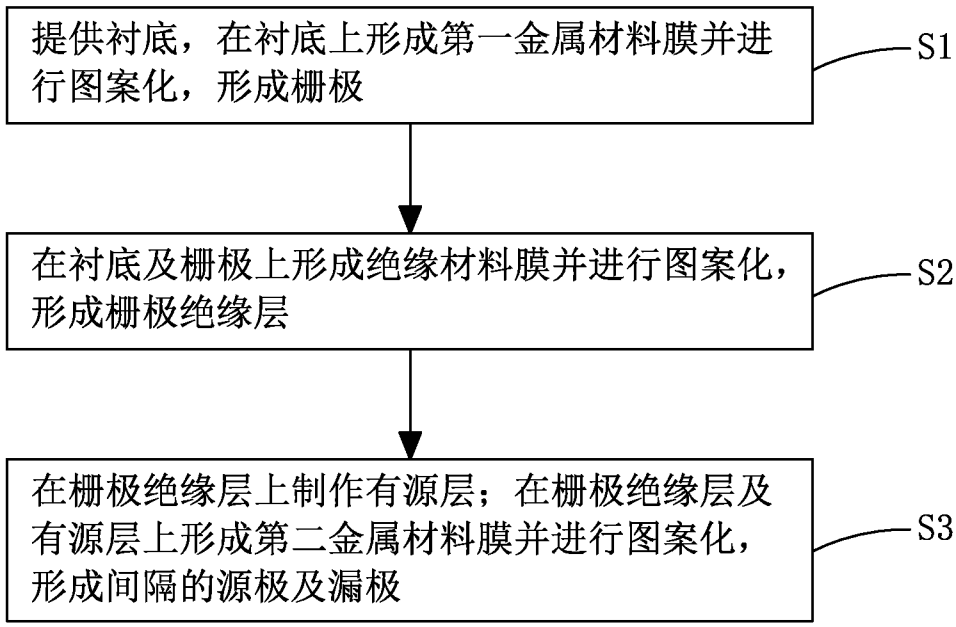

提供衬底，在衬底上形成第一金属材料膜并进行图案化，形成栅极
S1
在衬底及栅极上形成绝缘材料膜并进行图案化，形成栅极绝缘层
S2
在栅极绝缘层上制作有源层；在栅极绝缘层及有源层上形成第二金属材料膜并进行图案化，形成间隔的源极及漏极
S3

图5

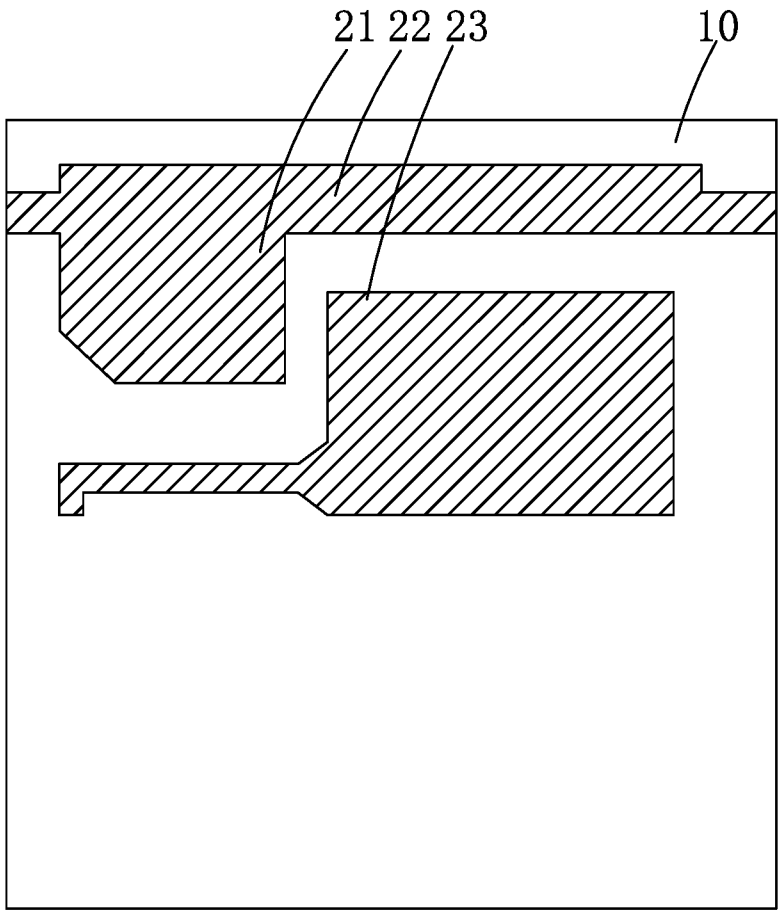


图6

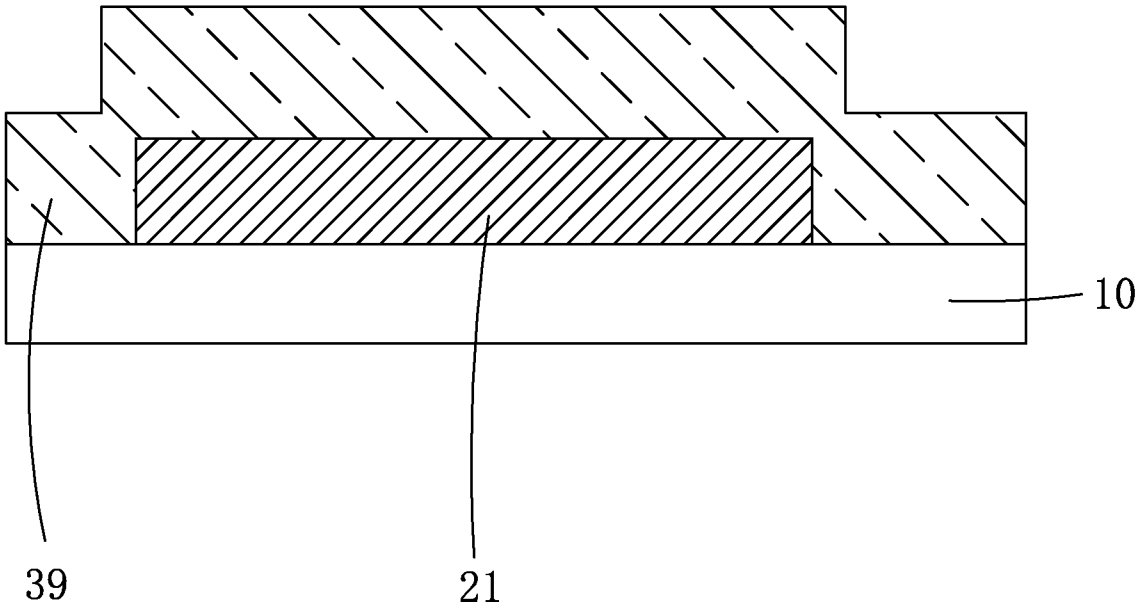


图7

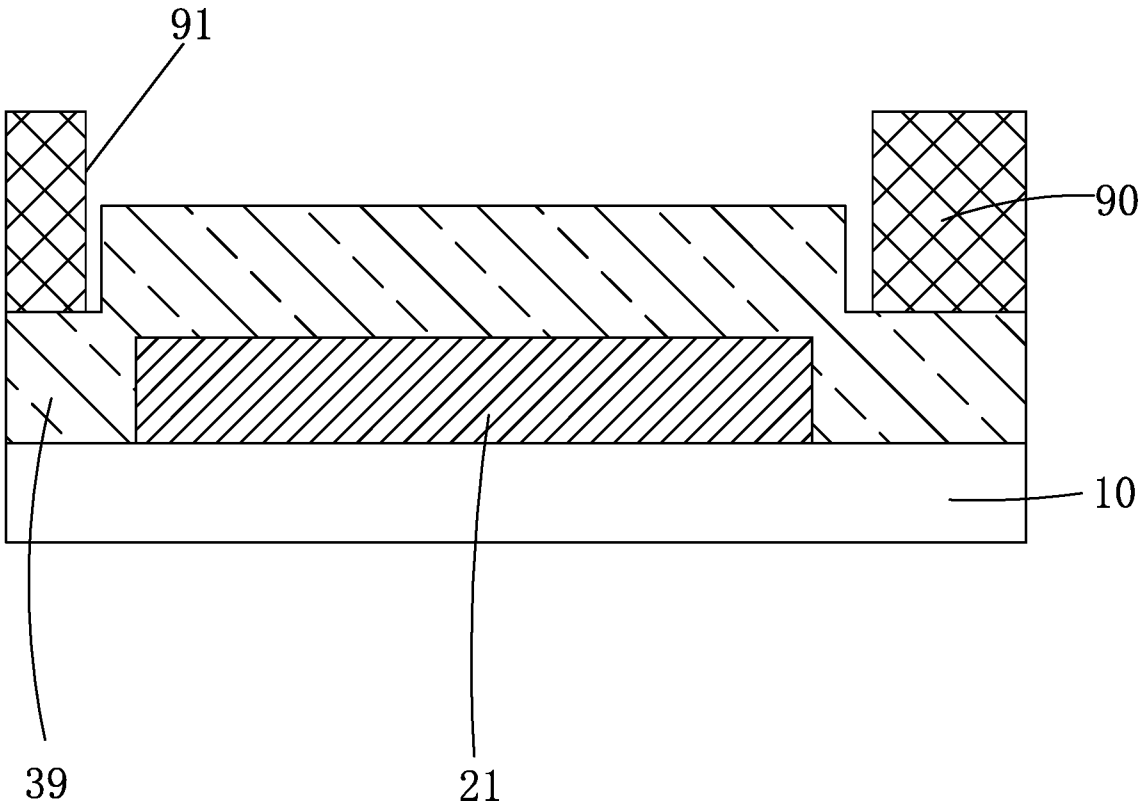


图8

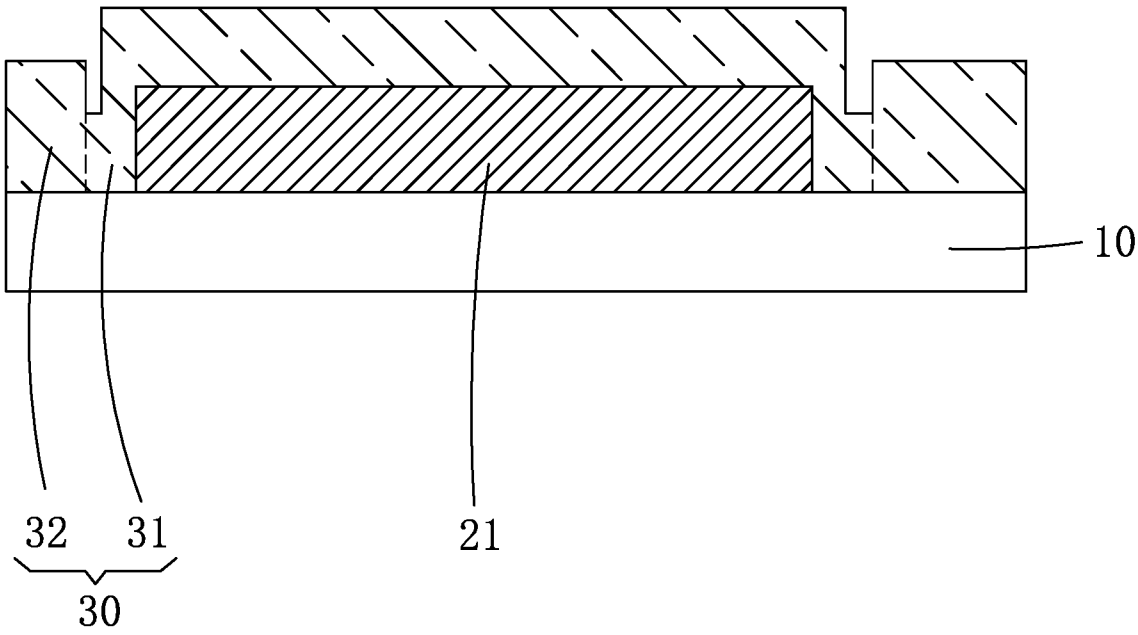


图9

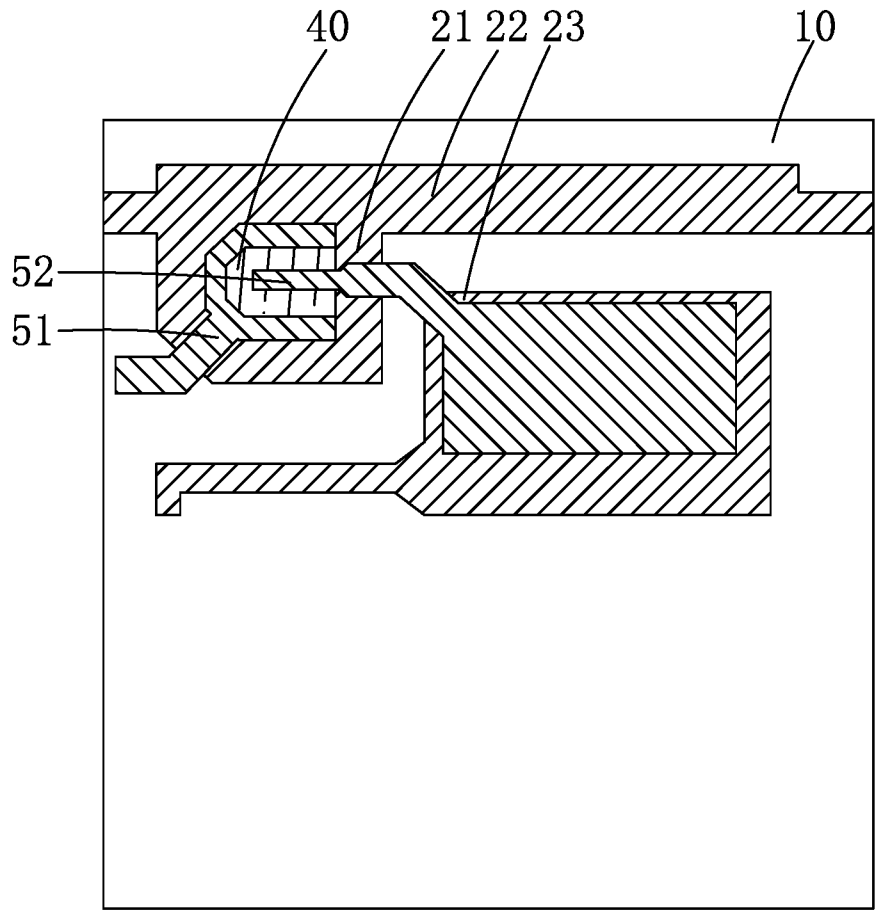


图10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2019/102181

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i; H01L 21/77(2017.01)i; G02F 1/1368(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L,G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE, GOOGLE: TFT, 薄膜晶体管, 阵列基板, 栅绝缘, 栅介电, 栅介质, 栅极绝缘, 栅极介电, 栅极介质, 厚度, 层厚, 膜厚, 减薄, 蚀刻, 刻蚀, thin film transistor, gate insulat+, gete dielectri+, gate isolat+, thick+, thin+, etch+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 110085604 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 02 August 2019 (2019-08-02) claims 1-10	1-10
X	CN 107195634 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 22 September 2017 (2017-09-22) description, paragraphs 12-67, and figures 3-13	1-3, 5-8, 10
Y	CN 107195634 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 22 September 2017 (2017-09-22) description, paragraphs 12-67, and figures 3-13	4, 9
Y	CN 107170752 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 15 September 2017 (2017-09-15) description, paragraphs 57-64, and figures 2-5	4, 9
A	CN 108649016 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 12 October 2018 (2018-10-12) entire document	1-10

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 January 2020	**23 January 2020**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration** **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088** **China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 08236775 A (TOSHIBA CORP.) 13 September 1996 (1996-09-13) entire document	1-10
A	US 2007018151 A1 (SIRRINGHAUS, H. et al.) 25 January 2007 (2007-01-25) entire document	1-10
A	CN 103117285 A (BOE TECHNOLOGY GROUP CO., LTD.) 22 May 2013 (2013-05-22) entire document	1-10
A	CN 101740631 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 16 June 2010 (2010-06-16) entire document	1-10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2019/102181

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 110085604 A	02 August 2019	None	
CN 107195634 A	22 September 2017	WO 2018205318 A1	15 November 2018
		US 10290666 B2	14 May 2019
		US 2018331132 A1	15 November 2018
CN 107170752 A	15 September 2017	None	
CN 108649016 A	12 October 2018	None	
JP 08236775 A	13 September 1996	None	
US 2007018151 A1	25 January 2007	WO 2005038881 A3	03 November 2005
		EP 1673799 A2	28 June 2006
		WO 2005038881 A2	28 April 2005
		GB 0324189 D0	19 November 2003
CN 103117285 A	22 May 2013	US 9799642 B2	24 October 2017
		US 2016071834 A1	10 March 2016
		CN 103117285 B	02 December 2015
		WO 2014117440 A1	07 August 2014
		US 2018012885 A1	11 January 2018
		US 10181465 B2	15 January 2019
CN 101740631 A	16 June 2010	JP 2019114805 A	11 July 2019
		TW 201628198 A	01 August 2016
		JP 6229000 B2	08 November 2017
		KR 101792997 B1	02 November 2017
		JP 2014158030 A	28 August 2014
		JP 5500947 B2	21 May 2014
		KR 20160075436 A	29 June 2016
		JP 2016157955 A	01 September 2016
		TW I669822 B	21 August 2019
		JP 2018019100 A	01 February 2018
		US 8319216 B2	27 November 2012
		KR 20140144672 A	19 December 2014
		KR 20100051562 A	17 May 2010
		JP 5913404 B2	27 April 2016
		KR 101630620 B1	15 June 2016
		JP 2010135772 A	17 June 2010
		US 2010117076 A1	13 May 2010
		TW I655778 B	01 April 2019
		CN 101740631 B	16 July 2014
		TW I539595 B	21 June 2016
		TW 201813107 A	01 April 2018
		TW 201034191 A	16 September 2010
		JP 6502453 B2	17 April 2019

国际检索报告

国际申请号
PCT/CN2019/102181

A. 主题的分类

H01L 27/12(2006.01)i; H01L 21/77(2017.01)i; G02F 1/1368(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L,G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT,WPI,EPODOC,CNKI,IEEE,GOOGLE:TFT,薄膜晶体管，阵列基板，栅绝缘，栅介电，栅介质，栅极绝缘，栅极介电，栅极介质，厚度，层厚，膜厚，减薄，蚀刻，刻蚀，thin film transistor, gate insulat+,gete dielectri+, gate isolat+,thick+,thin+,etch+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 110085604 A (深圳市华星光电技术有限公司) 2019年 8月 2日 (2019-08-02) 权利要求1-10	1-10
X	CN 107195634 A (深圳市华星光电技术有限公司) 2017年 9月 22日 (2017-09-22) 说明书第12-67段、附图3-13	1-3、5-8、10
Y	CN 107195634 A (深圳市华星光电技术有限公司) 2017年 9月 22日 (2017-09-22) 说明书第12-67段、附图3-13	4、9
Y	CN 107170752 A (京东方科技集团股份有限公司 等) 2017年 9月 15日 (2017-09-15) 说明书第57-64段、附图2-5	4、9
A	CN 108649016 A (深圳市华星光电技术有限公司) 2018年 10月 12日 (2018-10-12) 全文	1-10
A	JP 08236775 A (TOSHIBA CORP.) 1996年 9月 13日 (1996-09-13) 全文	1-10
A	US 2007018151 A1 (SIRRINGHAUS, Henning 等) 2007年 1月 25日 (2007-01-25) 全文	1-10

☑ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2020年 1月 17日	2020年 1月 23日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 陆然 电话号码 86-(10)-53961226

国际检索报告

国际申请号
PCT/CN2019/102181

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 103117285 A（京东方科技集团股份有限公司）2013年 5月 22日（2013 - 05 - 22） 全文	1-10
A	CN 101740631 A（株式会社半导体能源研究所）2010年 6月 16日（2010 - 06 - 16） 全文	1-10

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2019/102181

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110085604	A	2019年 8月 2日	无			
CN	107195634	A	2017年 9月 22日	WO	2018205318	A1	2018年 11月 15日
				US	10290666	B2	2019年 5月 14日
				US	2018331132	A1	2018年 11月 15日
CN	107170752	A	2017年 9月 15日	无			
CN	108649016	A	2018年 10月 12日	无			
JP	08236775	A	1996年 9月 13日	无			
US	2007018151	A1	2007年 1月 25日	WO	2005038881	A3	2005年 11月 3日
				EP	1673799	A2	2006年 6月 28日
				WO	2005038881	A2	2005年 4月 28日
				GB	0324189	D0	2003年 11月 19日
CN	103117285	A	2013年 5月 22日	US	9799642	B2	2017年 10月 24日
				US	2016071834	A1	2016年 3月 10日
				CN	103117285	B	2015年 12月 2日
				WO	2014117440	A1	2014年 8月 7日
				US	2018012885	A1	2018年 1月 11日
				US	10181465	B2	2019年 1月 15日
CN	101740631	A	2010年 6月 16日	JP	2019114805	A	2019年 7月 11日
				TW	201628198	A	2016年 8月 1日
				JP	6229000	B2	2017年 11月 8日
				KR	101792997	B1	2017年 11月 2日
				JP	2014158030	A	2014年 8月 28日
				JP	5500947	B2	2014年 5月 21日
				KR	20160075436	A	2016年 6月 29日
				JP	2016157955	A	2016年 9月 1日
				TW	I669822	B	2019年 8月 21日
				JP	2018019100	A	2018年 2月 1日
				US	8319216	B2	2012年 11月 27日
				KR	20140144672	A	2014年 12月 19日
				KR	20100051562	A	2010年 5月 17日
				JP	5913404	B2	2016年 4月 27日
				KR	101630620	B1	2016年 6月 15日
				JP	2010135772	A	2010年 6月 17日
				US	2010117076	A1	2010年 5月 13日
				TW	I655778	B	2019年 4月 1日
				CN	101740631	B	2014年 7月 16日
				TW	I539595	B	2016年 6月 21日
				TW	201813107	A	2018年 4月 1日
				TW	201034191	A	2010年 9月 16日
				JP	6502453	B2	2019年 4月 17日