(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0026829
(43) 공개일자 2015년03월11일

(51) 국제특허분류(Int. Cl.)
H01L 21/60 (2006.01) *H01L 23/52* (2006.01)
(21) 출원번호 10-2014-0103243
(22) 출원일자 2014년08월11일
심사청구일자 없음
(30) 우선권주장
JP-P-2013-182362 2013년09월03일 일본(JP)

(71) 출원인
르네사스 일렉트로닉스 가부시키가이샤
일본국 카나가와켄 카와사키시 나카하라쿠 시모누마베 1753반치
(72) 발명자
오카다 마키오
일본국 카나가와켄 카와사키시 나카하라쿠 시모누마베 1753반치 르네사스 일렉트로닉스 가부시키가이샤 나이
마에다 타케히코
일본국 카나가와켄 카와사키시 나카하라쿠 시모누마베 1753반치 르네사스 일렉트로닉스 가부시키가이샤 나이
(74) 대리인
특허법인원전

전체 청구항 수 : 총 7 항

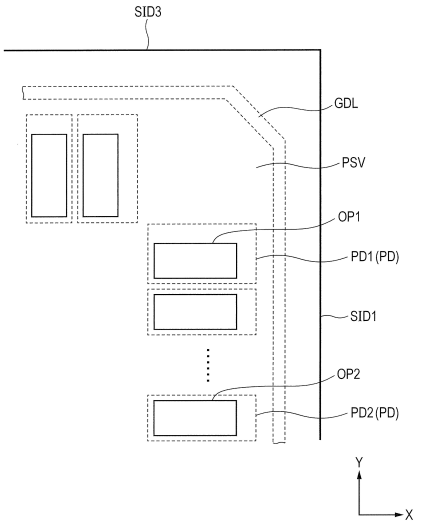
(54) 발명의 명칭 **반도체 장치**

(57) 요 약

[과제] 열응력이 전극 패드에 가해져도, 전극 패드가 이동하는 것을 억제한다.

[해결 수단] 반도체칩(SC)의 기판(SUB)의 평면 형상은 직사각형이다. 그리고, 반도체칩(SC)은, 복수의 전극 패드(PD)를 가지고 있다. 기판(SUB)의 제1변(SID1)을 따르는 방향에서, 제1 전극 패드(PD1)의 중심은, 제1 개구(OP1)의 중심보다, 제1변(SID1)의 단부 근처에 위치하고 있다. 따라서, 제1변(SID1)을 따르는 방향에서의 제1 전극 패드(PD1) 중 절연막(PSV)으로 피복되어 있는 부분의 폭은, 제1변(SID1)의 단부에 가까운 쪽이, 그 반대 측보다 넓게 되어 있다.

대 표 도 - 도3



특허청구의 범위

청구항 1

직사각형의 기판과,

상기 기판 상에 형성된 다층 배선층과,

상기 다층 배선층의 최상층의 배선층에 형성되고, 상기 기판의 제1변을 따라서 배치된 복수의 전극 패드와,

상기 최상층의 배선층 상에 형성되고, 상기 복수의 전극 패드 각각의 상에 위치하는 복수의 개구를 가지는 절연막을 갖추며,

상기 개구는, 상기 전극 패드보다 작고,

상기 제1변의 일단에 가장 가까운 상기 전극 패드를 제1 전극 패드로 하여, 상기 제1 전극 패드 상에 위치하는 상기 개구를 제1 개구로 한 경우, 상기 제1변을 따르는 방향에서, 제1 전극 패드의 중심은, 상기 제1 개구의 중심보다, 상기 일단의 근처에 위치하고 있는 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제1변의 중심에 가장 가까운 상기 전극 패드를 제2 전극 패드로 하여, 상기 제2 전극 패드 상에 위치하는 상기 개구를 제2 개구로 한 경우, 상기 제1변을 따르는 방향에서, 상기 제2 전극 패드의 중심과 상기 제2 개구의 중심의 거리는, 상기 제1 전극 패드의 중심과 상기 제1 개구의 중심의 거리보다 작은 반도체 장치.

청구항 3

제 2 항에 있어서,

상기 제1변을 따르는 방향에서,

상기 제1 개구의 폭은 상기 제2 개구의 폭과 같고,

상기 제1 전극 패드의 폭은, 상기 제2 전극 패드의 폭보다 큰 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 제1 전극 패드의 두께는 1. 2㎛ 이상인 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 절연막은, 상기 전극 패드보다 두꺼운 반도체 장치.

청구항 6

직사각형의 기판과,

상기 기판 상에 형성된 다층 배선층과,

상기 다층 배선층의 최상층의 배선층에 형성되고, 상기 기판의 제1변을 따라서 배치된 복수의 전극 패드와,

상기 최상층의 배선층 상에 형성되고, 상기 복수의 전극 패드 각각의 상에 위치하는 복수의 개구를 가지는 절연막을 갖추며,

상기 절연막은, 상기 전극 패드보다 두꺼운 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 절연막은, 산화 실리콘막과, 질화 실리콘막을 이 순서로 적층한 막이며,

상기 산화 실리콘막의 두께는, 상기 전극 패드의 두께보다 두꺼운 반도체 장치.

명 세 서

기 술 분 야

[0001] 본 발명은, 반도체 장치에 관한 것으로, 예를 들면 전극 패드를 가지는 반도체 장치에 적용 가능한 기술이다.

배 경 기 술

[0002] 반도체칩은, 외부 접속용 단자로서 전극 패드를 가지고 있다. 이 전극 패드는, 예를 들면 특허문헌 1에 기재되어 있는 바와 같이, 보호 절연막에 설치된 개구로부터 외부로 노출되어 있다. 또한, 특허문헌 1에는, 반도체칩의 가장자리에 직각인 방향에서, 보호 절연막에 설치된 개구의 중심이, 전극 패드의 중심으로부터 어긋나 있는 것도 기재되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특개평 6-163629호 공보

발명의 내용

해결하려는 과제

[0004] 근년에는, 반도체칩의 소비 전력이 증대하고 있다. 이 때문에, 본 발명자는, 배선층 이내의 배선 저항을 억제하기 위해서, 전극 패드를 두껍게 하는 것을 검토했다.

[0005] 한편, 반도체칩은, 리드 프레임이나 인터포저 등의 배선 기판에 탑재된 후, 밀봉 수지로 밀봉된다. 밀봉 수지의 열팽창 계수는, 배선층에 이용되는 절연체나 금속의 열팽창 계수와 다르다. 이 때문에, 밀봉 수지와 반도체칩의 계면에는 열응력이 발생한다. 여기서, 상기한 바와 같이 전극 패드를 두껍게 하면, 상기한 열응력이 전극 패드에 가해져, 전극 패드가 이동할 가능성이 생긴다.

[0006] 그 외의 과제와 신규한 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명확해 질 것이다.

과제의 해결 수단

[0007] 일 실시 형태에 따르면, 직사각형의 기판 상에는 다층 배선층이 형성되어 있다. 다층 배선층의 최상층의 배선층에는, 복수의 전극 패드가 형성되어 있다. 이러한 복수의 전극 패드는, 기판의 제1변을 따라서 배치되어 있다. 그리고, 제1변의 일단에 가장 가까운 전극 패드를 제1 전극 패드로 하여, 제1 전극 패드 상에 위치하는 개구를 제1 개구로 한 경우, 제1변을 따르는 방향에서, 제1 전극 패드의 중심은, 제1 개구의 중심보다, 상기 일단의 근처에 위치하고 있다.

발명의 효과

[0008] 상기 일 실시 형태에 따르면, 열응력이 전극 패드에 가해져도, 전극 패드가 이동하는 것을 억제할 수 있다.

도면의 간단한 설명

[0009] [도 1] 실시 형태에 따른 반도체 장치의 구성을 나타내는 단면도이다.

[도 2] 반도체칩의 평면도이다.

[도 3] 제1 전극 패드에 대한 제1 개구의 위치, 및 제2 전극 패드에 대한 제2 개구의 위치를 설명하는 도이다.

[도 4] (a)는, 제1 전극 패드에 대한 제1 개구의 위치를 나타내는 도이며, (b)는, 제2 전극 패드에 대한 제2 개구의 위치를 설명하는 도이다.

[도 5] 도 4의 변형예를 나타내는 도이다.

[도 6] 반도체칩의 구성을 설명하기 위한 단면도이다.

[도 7] 변형예 1에 따른 반도체 장치에서 이용되는 반도체칩의 구성을 나타내는 평면도이다.

[도 8] 도 7의 요부를 확대한 도이다.

[도 9] 변형예 2에 따른 반도체 장치의 구성을 나타내는 단면도이다.

[도 10] 변형예 3에 따른 반도체 장치의 구성을 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 실시 형태에 대해서, 도면을 이용하여 설명한다. 또한, 모든 도면에 있어서, 동일한 구성요소에는 같은 부호를 부여하여, 적절히 설명을 생략한다.

[0011] (실시 형태)

[0012] 도 1은, 실시 형태에 따른 반도체 장치(SD)의 구성을 나타내는 단면도이다. 본 실시 형태에 따른 반도체 장치(SD)는, 반도체칩(SC)을 밀봉 수지(MDR)로 밀봉한 구성을 가지고 있다. 구체적으로는, 반도체칩(SC)은, 기판 탑재부(DP) 상에, 전극 형성면을 위로 하여 유지(保持)되고 있다. 기판 탑재부(DP)는, 예를 들면 리드 프레임의 다이 패드이다. 그리고, 반도체칩(SC)은, 본딩 와이어(WIR)를 통하여 리드 단자(LD)에 접속하고 있다. 리드 단자(LD) 중 본딩 와이어(WIR)와의 접속부, 및 본딩 와이어(WIR)는, 밀봉 수지(MDR)로 밀봉되어 있다. 또한, 리드 단자(LD)의 단부는, 밀봉 수지(MDR)의 외부로 연장되어 있다.

[0013] 본 도면에 나타내는 예에 있어서, 기판 탑재부(DP)는, 반도체칩(SC)보다 작다. 다만, 기판 탑재부(DP)는 반도체칩(SC)보다 커도 좋다.

[0014] 도 2는, 반도체칩(SC)의 평면도이다. 반도체칩(SC)의 기판(SUB)의 평면 형상은 직사각형이다. 그리고, 반도체칩(SC)은, 복수의 전극 패드(PD)를 가지고 있다. 전극 패드(PD)의 평면 형상은, 예를 들면 장방형이다. 전극 패드(PD)에는, 도 1에 나타낸 본딩 와이어(WIR)의 일단이 접속되어 있다.

[0015] 복수의 전극 패드(PD)는, 적어도 기판(SUB)의 제1변(SID1)을 따라서 배치되어 있다. 본 도면에 나타내는 예에서는, 전극 패드(PD)는, 기판(SUB)의 제1변(SID1) 외에, 제1변(SID1)에 대향하는 변(제2변(SID2)), 및 나머지의 2변(제3변(SID3), 제4변(SID4))을 따라서 배치되어 있다. 그리고 전극 패드(PD)의 짧은 변은, 기판(SUB)의 4변 중 그 전극 패드(PD)에 가장 가까운 변에 평행하게 되어 있다.

[0016] 본 도면에 나타내는 예에 있어서, 복수의 전극 패드(PD)는, 일렬로 배치되어 있다. 또한, 전극 패드(PD)는 등간격으로 배치되어 있지만, 적어도 일부의 전극 패드(PD)는, 다른 전극 패드(PD)와는 다른 간격으로 배치되어 있어도 좋다. 또한, 반도체칩(SC)에는 가드링(guard ring; GDL)이 형성되어 있다. 복수의 전극 패드(PD)는, 가드링(GDL)으로 둘러싸인 영역에 위치하고 있다.

[0017] 또한, 반도체칩(SC)의 최상층에는 절연막(PSV)이 형성되어 있다. 절연막(PSV)은, 예를 들면 패시베이션막(passivation film)으로 불리는 막이며, 예로써 산화 실리콘막과 질화 실리콘막을 이 순서로 적층한 구성을 가지고 있고, 반도체칩(SC)의 다층 배선층(MINC)(도 5를 이용하여 후술)을 보호하고 있다. 그리고 절연막(PSV)에는, 전극 패드(PD) 상에 위치하는 개구(OP)(도 3을 이용하여 후술)가 형성되어 있다. 또한, 전극 패드(PD) 중, 가장 기판(SUB)의 각(角)에 가까운 전극 패드(PD)(이하, 제1 전극 패드(PD1)로 기재)와 그 위에 위치하는 개구(OP)(이하, 제1 개구(OP1)로 기재)의 상대 위치는, 전극 패드(PD) 중 각 변의 중심에 가장 가까운 전극 패드(PD)(이하, 제2 전극 패드(PD2)로 기재)와 그 위에 위치하는 개구(OP)(이하, 제2 개구(OP2)로 기재)의 상대 위치와는 다르다. 이 점에 대해서, 도 3, 4를 이용하여 설명한다.

[0018] 도 3은, 제1 전극 패드(PD1)에 대한 제1 개구(OP1)의 위치, 및 제2 전극 패드(PD2)에 대한 제2 개구(OP2)의 위치를 설명하는 도이다. 도 4(a)는, 제1 전극 패드(PD1)에 대한 제1 개구(OP1)의 위치를 나타내는 도이며, 도 4(b)는, 제2 전극 패드(PD2)에 대한 제2 개구(OP2)의 위치를 설명하는 도이다.

[0019] 도 3에 나타내는 바와 같이, 제1변(SID1)을 따르는 방향(도면 중 Y방향)에서, 제1 전극 패드(PD1)의 중심은, 제

1 개구(OP1)의 중심보다, 제1변(SID1)의 단부 근처에 위치하고 있다. 그래서, 도 4(a)에 나타내는 바와 같이, 제1변(SID1)을 따르는 방향에서의 제1 전극 패드(PD1) 중 절연막(PSV)으로 피복되어 있는 부분의 폭은, 제1변(SID1)의 단부에 가까운 쪽(도면 중 상측)이, 그 반대 측(도면 중 하측)보다 넓게 되어 있다. 상세하게는, 상기한 바와 같이, 제1 전극 패드(PD1)의 짧은 변은 제1변(SID1)에 평행하게 되어 있다. 그리고 제1 전극 패드(PD1)의 2개의 긴 변 중 제1변(SID1)의 단부에 가까운 쪽의 변(도면 중 상측 변)으로부터 제1 개구(OP1)의 가장자리까지의 거리 α_1은, 제1 전극 패드(PD1)의 나머지 긴 변(도면 중 하측 변)으로부터 제1 개구(OP1)의 가장자리까지의 거리 α_2보다 크게 되어 있다. 거리 α_1은, 예를 들면 5㎛이상 20㎛이하이며, 거리 α_2는, 예를 들면 1㎛이상 5㎛이하이다. 또한, 제1 전극 패드(PD1)의 짧은 변 중 제1변(SID1)에 가까운 쪽의 변으로부터 제1 개구(OP1)의 가장자리까지의 거리 α_3은, 제1 전극 패드(PD1)의 나머지 짧은 변으로부터 제1 개구(OP1)의 가장자리까지의 거리 α_4보다 크게 되어 있다. 거리 α_3은, 예를 들면 5㎛이상 20㎛이하이며, 거리 α_4는, 예를 들면 1㎛이상 5㎛이하이다.

[0020] 한편, 도 3에 나타내는 바와 같이, 제1변(SID1)을 따르는 방향(도면 중 Y방향)에서, 제2 전극 패드(PD2)의 중심은, 제2 개구(OP2)의 중심과 거의 중첩되어 있다. 상세하게는, 제2 전극 패드(PD2)의 2개의 긴 변 각각으로부터 제1 개구(OP1)의 가장자리까지의 거리 β_1, β_2는, 서로 같다. 거리 β_1은, 예를 들면 1㎛이상 5㎛이하이다. 다만, 제조 오차에 기인하여, 제2 전극 패드(PD2)의 중심이, 제2 개구(OP2)의 중심보다, 제1변(SID1)의 단부 근처에 위치하기도 한다. 다만, 이 경우에서도, 제1변(SID1)을 따르는 방향에서, 제2 전극 패드(PD2)의 중심으로부터 제2 개구(OP2)의 중심까지의 거리는, 제1 전극 패드(PD1)의 중심과 제1 개구(OP1)의 중심의 거리보다 작다. 또한, 제2 전극 패드(PD2)의 짧은 변 중 제2변(SID2)에 가까운 쪽의 변으로부터 제2 개구(OP2)의 가장자리까지의 거리 β_3은, 제2 전극 패드(PD2)의 나머지 짧은 변으로부터 제2 개구(OP2)의 가장자리까지의 거리 β_4보다 크게 되어 있다. 또한, 거리 β_3, β_4는, 각각 거리 α_3, α_4와 거의 같다.

[0021] 본 도면에 나타내는 예에서는, 제1변(SID1)을 따르는 방향에서, 제1 전극 패드(PD1)의 폭을 제2 전극 패드(PD2)에 대해서 크게 하는 것에 의해, 제1 개구(OP1)와 제2 개구(OP2)의 크기를 서로 같게 한 채로, 상기한 상대 위치를 실현하고 있다. 이와 같이 하면, 제1 개구(OP1)를 작게 하지 않아서 좋기 때문에, 제1 전극 패드(PD1)와 본딩 와이어(WIR)의 접속 면적을 확보할 수 있다.

[0022] 다만, 도 5에 나타내는 바와 같이, 제1변(SID1)을 따르는 방향에서, 제1 개구(OP1)의 폭을 제1 개구(OP1)에 대해서 작게 하는 것에 의해, 제1 전극 패드(PD1)와 제2 전극 패드(PD2)의 크기를 서로 같게 한 상태에서, 상기한 상대 위치를 실현해도 좋다.

[0023] 또한, 도 3에 나타낸 예에서는, 제1 전극 패드(PD1) 이외의 전극 패드(PD)와 그 위의 개구(OP)의 상대 위치가, 제2 전극 패드(PD2)와 제2 개구(OP2)의 상대 위치와 같게 되어 있다. 다만, 다른 전극 패드(PD)와 그 위에 위치하는 개구(OP)의 상대 위치, 예를 들면, 제1 전극 패드(PD1)의 근처에 위치하는 전극 패드(PD)와 그 위의 개구(OP)의 상대 위치는, 제1 전극 패드(PD1)와 제1 개구(OP1)의 상대 위치와 같게 되어 있어도 좋다.

[0024] 도 6은, 반도체칩(SC)의 구성을 설명하기 위한 단면도이다. 상기한 바와 같이, 반도체칩(SC)은 기판(SUB)을 가지고 있다. 기판(SUB)은, 예를 들면 실리콘 기판 등의 반도체 기판이다. 기판(SUB)에는 소자 분리막(EI)이 형성되어 있다. 소자 분리막(EI)은, 예를 들면 STI법을 이용하여 형성되고 있지만, LOCOS법을 이용하여 형성되어 있어도 좋다. 기판(SUB)에는, 또한 트랜지스터(TR)가 형성되어 있다. 소자 분리막(EI)은, 트랜지스터(TR)를 다른 영역으로부터 분리하고 있다.

[0025] 기판(SUB) 위, 소자 분리막(EI) 위, 및 트랜지스터(TR) 위에는, 다층 배선층(MINC)이 형성되어 있다. 다층 배선층(MINC)이 가지는 배선층 중 적어도 한층(예를 들면 도면에서 배선(INC1)을 가지는 층)은, 동 배선층이며, 다마신법(Damascene method)을 이용해 형성되어 있다. 배선(INC1)의 두께는, 예를 들면 0. 1㎛이상 0. 8㎛이하이다.

[0026] 그리고, 다층 배선층(MINC)의 최상층의 배선층 상에는, 복수의 전극 패드(PD)가 형성되어 있다. 전극 패드(PD)의 기초(underlayer)가 되는 절연층은, 예를 들면 산화 실리콘막이다. 전극 패드(PD)는, 예를 들면 Al(또는 Al 합금)을 이용하여 형성되고 있다. 전극 패드(PD)와 동일층에는, 전극 패드(PD)에 접속하는 배선(INC2)이 형성되고 있다. 배선(INC2)의 배선 저항을 낮게 하기 위해서, 전극 패드(PD) 및 배선(INC2)은, 배선(INC1)보다 두껍게 형성되고 있다. 전극 패드(PD) 및 배선(INC2)의 두께는, 예를 들면 1. 2㎛이상이다.

[0027] 전극 패드(PD) 및 배선(INC2) 상에는, 절연막(PSV)이 형성되어 있다. 절연막(PSV)은, 제1 절연막(PSV1)과 제2

절연막(PSV2)의 적층막으로 되어 있다. 제1 절연막(PSV1)은 예를 들면 산화 실리콘막이며, 제2 절연막(PSV2)은 예를 들면 질화 실리콘막이다. 그리고 절연막(PSV)의 두께는, 전극 패드(PD)보다 두껍다. 본 도면에 나타내는 예에서는, 제1 절연막(PSV1)이 전극 패드(PD)보다 두껍게 되어 있다.

[0028] 다음으로, 본 실시 형태에 따른 반도체 장치(SD)의 제조 방법을 설명한다. 우선, 기판(SUB)에 소자 분리막(EI)을 형성한다. 이에 따라, 트랜지스터(TR)가 형성되는 영역(소자 형성 영역)이 다른 영역으로부터 분리된다. 다음으로, 소자 형성 영역에 위치하는 기판(SUB)에, 게이트 절연막 및 게이트 전극을 형성한다. 게이트 절연막은 산화 실리콘막이어도 좋고, 산화 실리콘막보다 유전율이 높은 고유전율막(예를 들면, 하프늄 실리케이트막(hafnium silicate film))이어도 좋다. 게이트 절연막이 산화 실리콘막인 경우, 게이트 전극은 폴리실리콘막에 의해 형성된다. 또한 게이트 절연막이 고유전율막인 경우, 게이트 전극은, 금속막(예를 들면 TiN)과 폴리실리콘막의 적층막에 의해 형성된다. 또한, 게이트 전극이 폴리실리콘에 의해 형성되는 경우, 게이트 전극을 형성하는 공정에서, 소자 분리막(EI) 상에 폴리실리콘 저항을 형성해도 좋다.

[0029] 다음으로, 소자 형성 영역에 위치하는 기판(SUB)에, 소스 및 드레인의 확장(extension) 영역을 형성한다. 이어서 게이트 전극의 측벽에 사이드 월(side wall)을 형성한다. 다음으로, 소자 형성 영역에 위치하는 기판(SUB)에, 소스 및 드레인이 되는 불순물 영역을 형성한다. 이렇게 하여, 기판(SUB) 상에 트랜지스터(TR)가 형성된다.

[0030] 다음으로, 기판(SUB)상, 트랜지스터(TR)상, 및 소자 분리막(EI)상에, 다층 배선층(MINC)을 형성한다. 이 공정에서, 최상층의 배선층에는, 전극 패드(PD)가 형성된다. 전극 패드(PD)는, 예를 들면, Al막을 형성하고, 이 Al막 상에 레지스트 패턴(resist pattern)을 형성하며, 이 레지스트 패턴을 마스크로서 Al막을 에칭함으로써, 형성된다.

[0031] 다음으로, 다층 배선층(MINC) 상에, 제1 절연막(PSV1) 및 제2 절연막(PSV2)을, 이 순서로 형성한다. 제1 절연막(PSV1) 및 제2 절연막(PSV2)은, 예를 들면 플라스마 CVD법을 이용하여 형성된다. 이에 따라, 절연막(PSV)이 형성된다.

[0032] 다음으로, 제2 절연막(PSV2) 상에 레지스트 패턴을 형성하고, 이 레지스트 패턴을 마스크로서 절연막(PSV)를 에칭한다. 이에 따라, 개구(OP)가 형성된다. 그 후, 레지스트 패턴을 제거한다.

[0033] 그 다음에, 기판(SUB)을 다이싱(dicing)하여 반도체칩(SC)으로 개편화한다.

[0034] 다음으로, 반도체칩(SC)을 기판 탑재부(DP) 상에 탑재하고, 반도체칩(SC)의 전극 패드(PD)와 리드 단자(LD)를, 본딩 와이어(WIR)를 이용하여 접속한다. 그 후, 금형을 이용해 밀봉 수지(MDR)를 형성한다.

[0035] 다음으로, 본 실시 형태의 효과에 대해서 설명한다. 본 실시 형태에서는, 전극 패드(PD)를 두껍게 함으로써, 전극 패드(PD)와 동일층의 배선 저항을 낮게 하고 있다. 이 경우, 밀봉 수지(MDR)와 반도체칩(SC)의 사이에 생기는 열응력이, 전극 패드(PD)에 가해지기 쉽게 된다. 특히 기판(SUB)의 각(角) 근처에 위치하는 제1 전극 패드(PD1)는, 기판(SUB) 중심으로부터의 거리가 다른 전극 패드(PD)와 비교하여 크기 때문에, 다른 전극 패드(PD)보다 큰 열응력이 가해진다. 이 경우, 제1 전극 패드(PD1)는 기초가 되는 절연층으로부터 박리되어, 움직일 가능성이 생긴다.

[0036] 이에 대해서 본 실시 형태에서는, 제1 전극 패드(PD1)의 중심은, 제1 개구(OP1)의 중심보다, 제1변(SID1)의 단부 근처에 위치하고 있다. 이 때문에, 제1변(SID1)을 따르는 방향에서의 제1 전극 패드(PD1) 중 절연막(PSV)으로 피복되어 있는 부분의 폭은, 제1변(SID1)의 단부에 가까운 쪽이, 그 반대 측보다 넓게 되어 있다. 이에 따라, 제1 전극 패드(PD1) 중 열응력이 가해지는 측의 영역은 절연막(PSV)에 의해서 눌려지기 때문에, 제1 전극 패드(PD1)가 기초에서 박리되기 어려워진다. 따라서, 제1 전극 패드(PD1)는 이동하기 어렵게 된다.

[0037] 또한 본 실시 형태에서는, 절연막(PSV)의 두께를, 전극 패드(PD)의 높이보다 크게 하고 있다. 이 때문에, 전극 패드(PD)와 기초(underlayer)의 단차(stepped portion)가 절연막(PSV)에 의해 메워지고, 또한, 전극 패드(PD)와 기초의 단차에 기인하여 절연막(PSV)의 표면에 생기는 단차도, 작아진다. 이에 따라, 밀봉 수지(MDR)와 반도체칩(SC)의 사이에 생기는 열응력이, 전극 패드(PD)의 측면에 가해지기 어려워진다.

[0038] 또한 본 실시 형태에서는, 절연막(PSV)은 제1 절연막(PSV1)과 제2 절연막(PSV2)의 적층막으로 되어 있다. 그리고 제1 절연막(PSV1)을 산화 실리콘막으로서 제2 절연막(PSV2)을 질화 실리콘막으로 한 다음에, 제1 절연막(PSV1)을 전극 패드(PD)보다 두껍게 하면, 절연막(PSV)을 두껍게 해도, 절연막(PSV)과 다층 배선층(MINC) 사이에 생기는 열응력이 커지는 것을 억제할 수 있다.

[0039] 또한, 모든 전극 패드(PD)에 있어서, 전극 패드(PD)의 짧은 변 중 기판(SUB)의 가장자리에 가까운 쪽의 변에서 개구(OP)까지의 거리는, 그 전극 패드(PD)의 나머지 짧은 변(중심측의 짧은 변)으로부터 개구(OP)까지의 거리보다 크게 되어 있다. 바꾸어 말하면, 기판(SUB)의 가장자리로부터 기판(SUB)의 중심에 가까워지는 방향에서, 전극 패드(PD) 중 절연막(PSV)으로 피복되어 있는 부분의 폭은, 기판(SUB)의 가장자리에 가까운 쪽이, 그 반대 측보다 넓게 되어 있다. 따라서, 모든 전극 패드(PD)는, 열응력이 가해져도 이동하기 어렵다.

[0040] (변형예 1)

[0041] 도 7은, 변형예 1에 따른 반도체 장치(SD)에서 이용되는 반도체칩(SC)의 구성을 나타내는 평면도이며, 실시 형태에 따른 도 2에 대응하고 있다. 도 8은, 도 7의 요부를 확대한 도이다. 본 실시 형태에 따른 반도체 장치(SD)는, 반도체칩(SC)의 전극 패드(PD)가 각 변을 따라서 복수 열(예를 들면 2열)로 배치되어 있는 점을 제외하고, 실시 형태에 따른 반도체 장치(SD)와 같은 구성이다.

[0042] 상세하게는, 전극 패드(PD)는, 각 변을 따라서 지그재그 형상(staggered manner)으로 배치되어 있다. 그리고, 어느 열에 있어서도, 각 변의 단부(즉, 기판(SUB)의 각)에 가장 가까운 제1 전극 패드(PD1) 및 그 위의 제1 개구(OP1)의 상대 위치는, 실시 형태에서의 제1 전극 패드(PD1)와 제1 개구(OP1)의 상대 위치와 같게 되어 있다. 그리고, 각 열에 있어서, 제2 전극 패드(PD2)와 제2 개구(OP2)의 상대 위치도, 실시 형태와 같게 되어 있다.

[0043] 본 변형예에 의해서도, 실시 형태와 같은 효과를 얻을 수 있다. 또한, 본 변형예에 있어서, 최외측 이외의 패드 열에서, 제1 전극 패드(PD1) 및 그 위의 제1 개구(OP1)의 상대 위치는, 제2 전극 패드(PD2) 및 제2 전극 패드(PD2)의 상대 위치와 같게 되어 있어도 좋다.

[0044] 본 변형예에 의해서도, 실시 형태와 같은 효과를 얻을 수 있다.

[0045] (변형예 2)

[0046] 도 9는, 변형예 2에 따른 반도체 장치(SD)의 구성을 나타내는 단면도이다. 본 변형예에 따른 반도체 장치(SD)는 QFN(Quad Flat No Lead Package)인 점을 제외하고, 실시 형태 또는 변형예 1에 따른 반도체 장치(SD)와 같은 구성이다.

[0047] 상세하게는, 기판 탑재부(DP) 중 반도체칩(SC)을 탑재하고 있지 않은 면은, 밀봉 수지(MDR)로부터 노출되어 있다. 그리고, 밀봉 수지(MDR) 중 기판 탑재부(DP)가 노출되어 있는 면에는, 복수의 단자(TER)가 매립되어 있다. 복수의 단자(TER)는 밀봉 수지(MDR)의 4변을 따라서 배치되어 있다.

[0048] 본 변형예에 의해서도, 실시 형태와 같은 효과를 얻을 수 있다.

[0049] (변형예 3)

[0050] 도 10은, 변형예 3에 따른 반도체 장치(SD)의 구성을 나타내는 단면도이다. 본 변형예에 따른 반도체 장치(SD)는, 반도체칩(SC)을 인터포저 등의 배선 기판(IP) 상에 탑재하고 있는 점을 제외하고, 실시 형태 또는 변형예 1에 따른 반도체 장치(SD)와 같은 구성이다.

[0051] 상세하게는, 반도체칩(SC)은, 배선 기판(IP) 상에, 전극 형성면을 위로 하여 유지되고 있다. 그리고, 배선 기판(IP)상의 단자(예를 들면, 핑거(finger))와 반도체칩(SC)의 전극 패드(PD)는, 본딩 와이어(WIR)를 통하여 접속되고 있다.

[0052] 반도체칩(SC), 배선 기판(IP) 중 반도체칩(SC)이 탑재된 면, 및 본딩 와이어(WIR)는, 밀봉 수지(MDR)에 의해서 밀봉되고 있다. 본 도면에 나타내는 예에서는, 밀봉 수지(MDR)의 측면은, 배선 기판(IP)의 측면과 동일면을 형성하고 있다. 다만, 밀봉 수지(MDR)의 측면은, 배선 기판(IP)의 내측에 위치하고 있어도 좋다.

[0053] 그리고, 배선 기판(IP) 중 밀봉 수지(MDR)로 밀봉되지 않은 면에는, 땜납 볼(SB)이 설치되어 있다. 땜납 볼(SB)은, 배선 기판(IP) 내의 배선 및 본딩 와이어(WIR)를 통하여, 반도체칩(SC)에 접속되어 있다.

[0054] 본 변형예에 의해서도, 실시 형태와 같은 효과를 얻을 수 있다.

[0055] 이상, 본 발명자에 의해서 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시 형태로 한정되는 것이 아니라, 그 요지를 벗어나지 않는 범위에서 다양한 변경이 가능한 것은 말할 필요도 없다.

부호의 설명

[0056] DP 기판 탑재부

EI 소자 분리막

GDL 가드링

INC1 배선

INC2 배선

IP 배선 기판

LD 리드 단자

MDR 밀봉 수지

MINC 다층 배선층

OP 개구

OP1 제1 개구

OP2 제2 개구

PD 전극 패드

PD1 제1 전극 패드

PD2 제2 전극 패드

PSV 절연막

PSV1 제1 절연막

PSV2 제2 절연막

SC 반도체칩

SD 반도체 장치

SID1 제1변

SID2 제2변

SID3 제3변

SID4 제4변

SUB 기판

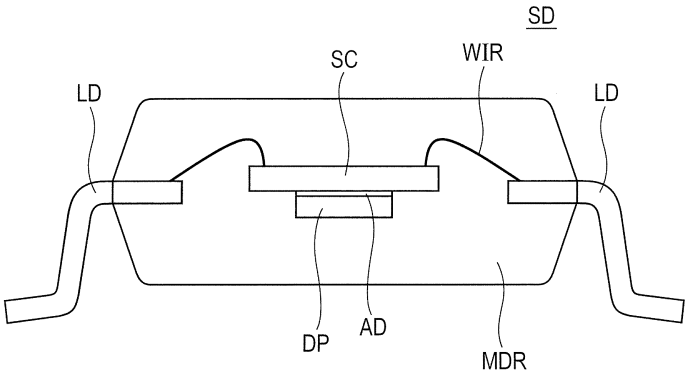
TER 단자

TR 트랜지스터

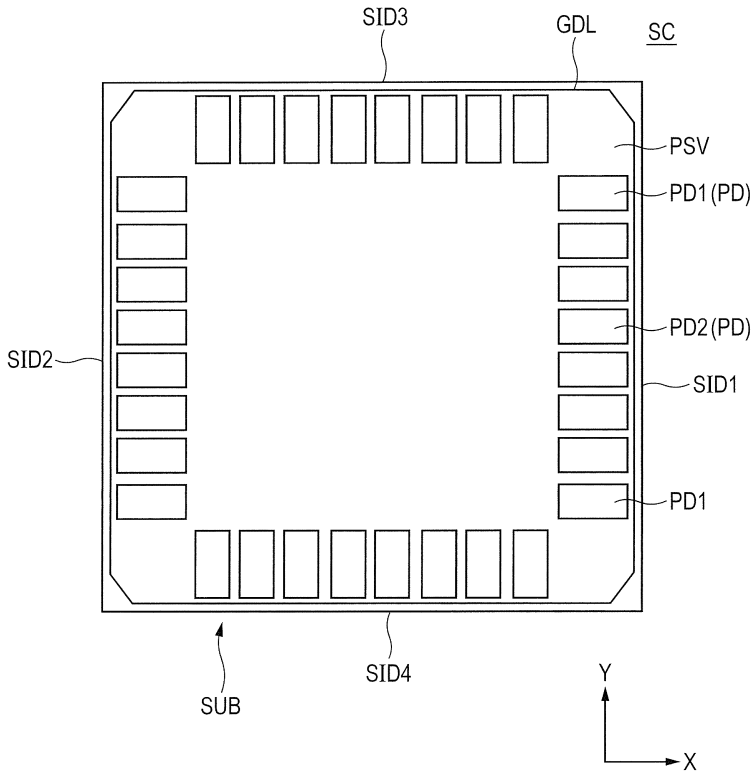
WIR 본딩 와이어

도면

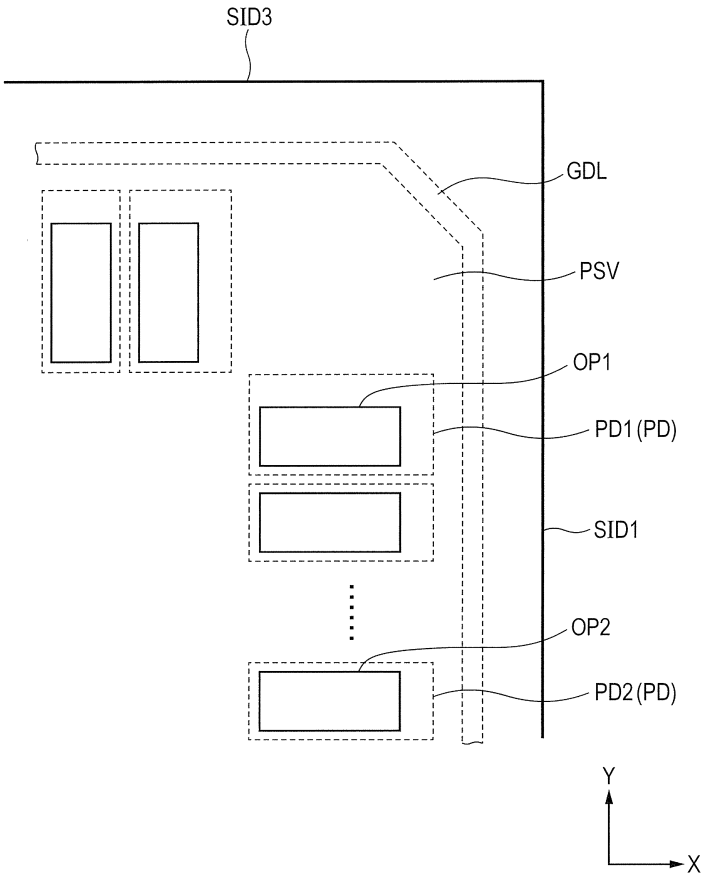
도면1


SD
SC
WIR
LD
LD
DP
AD
MDR

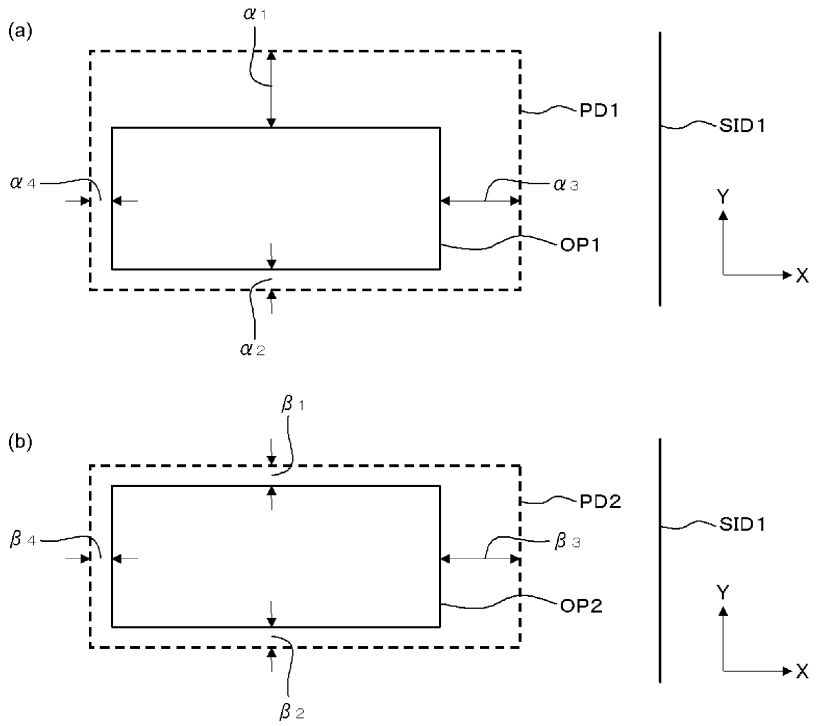
도면2


SID3
GDL
SC
PSV
PD1(PD)
PD2(PD)
SID2
SID1
PD1
SUB
SID4
Y
X

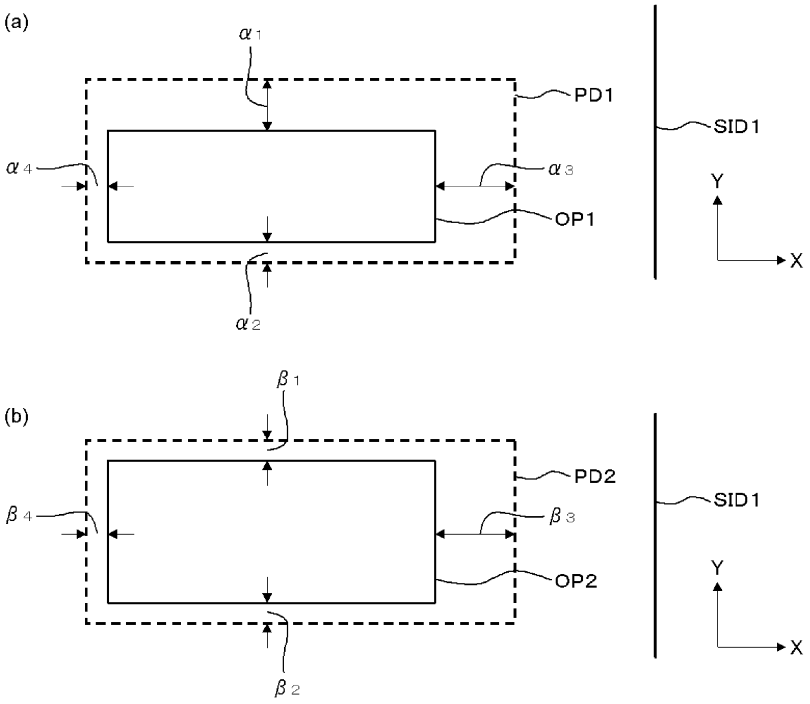
도면3



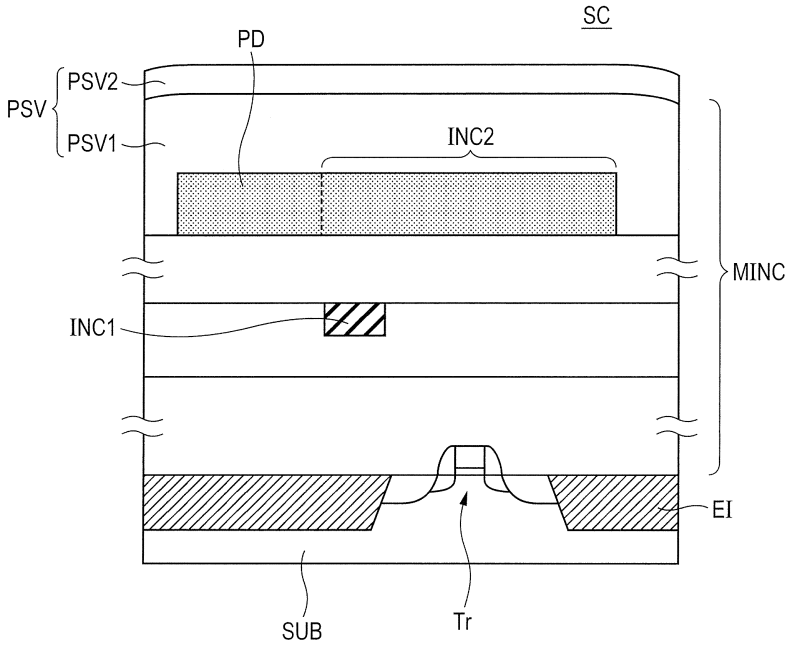
도면4


(a)
α1
PD1
SID1
α4
α3
Y
OP1
X
α2
(b)
β1
PD2
SID1
β4
β3
Y
OP2
X
β2

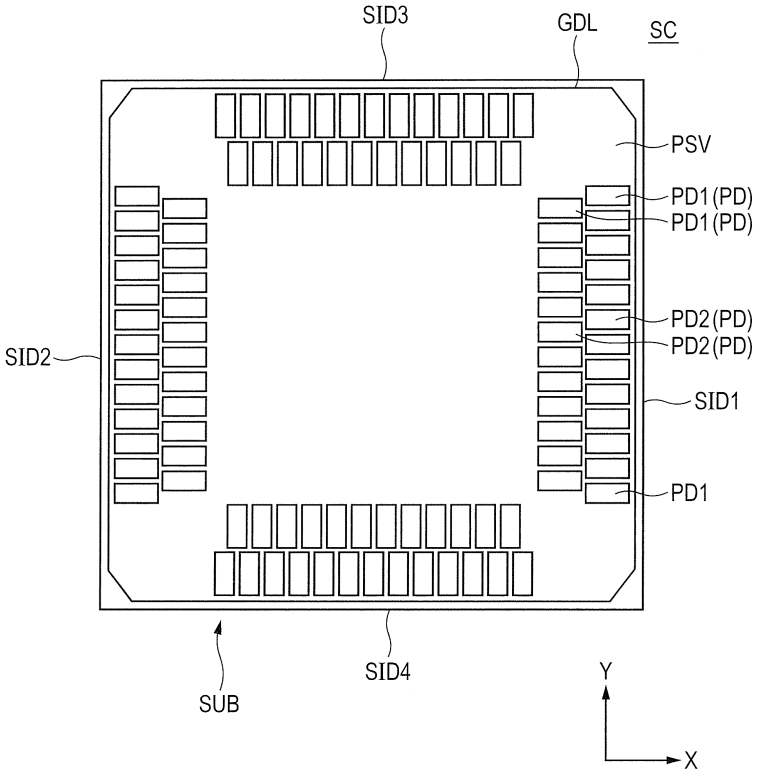
도면5


(a)
α1
PD1
SID1
α4
α3
Y
OP1
X
α2
(b)
β1
PD2
SID1
β4
β3
Y
OP2
X
β2

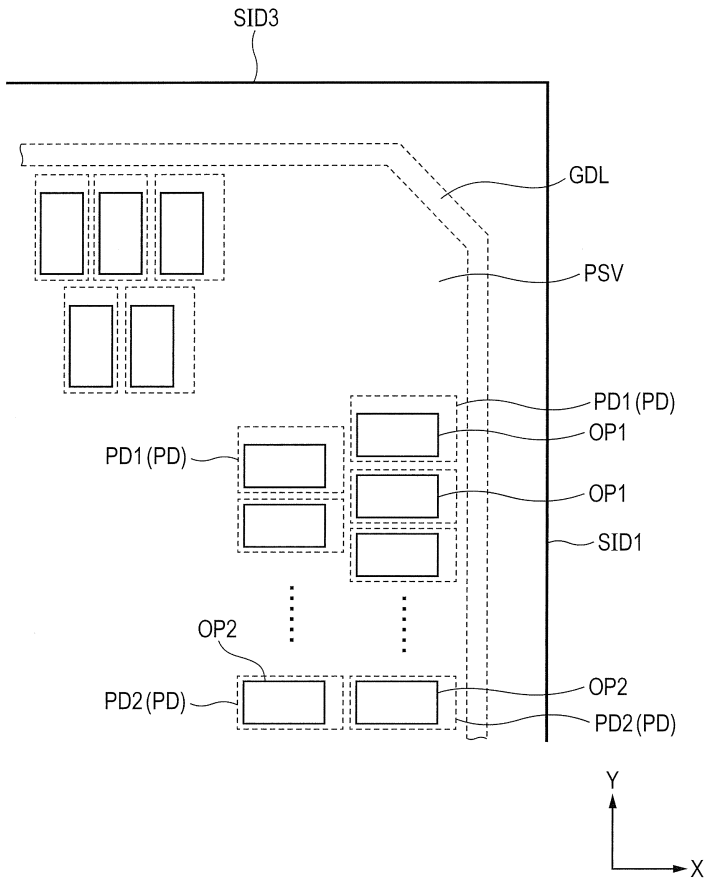
도면6


SC
PD
PSV
PSV2
PSV1
INC2
MINC
INC1
EI
SUB
Tr

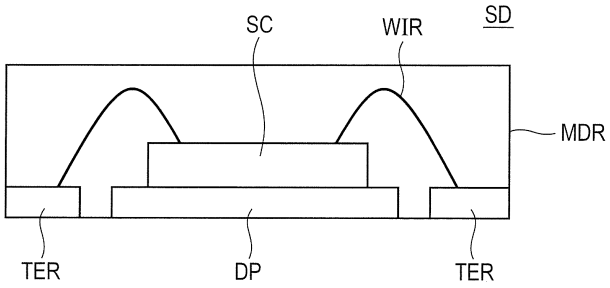
도면7


SID3
GDL
SC
PSV
PD1(PD)
PD1(PD)
PD2(PD)
PD2(PD)
SID1
PD1
SID2
SUB
SID4
Y
X

도면8


SID3
GDL
PSV
PD1(PD)
OP1
PD1(PD)
OP1
SID1
OP2
PD2(PD)
OP2
PD2(PD)
Y
X

도면9


SC
WIR
SD
MDR
TER
DP
TER

도면10

