

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6533129号
(P6533129)

(45) 発行日 令和1年6月19日(2019.6.19)

(24) 登録日 令和1年5月31日(2019.5.31)

(51) Int.Cl.

F I

G 1 1 C 15/04 (2006.01)

G 1 1 C 15/04 6 3 1 M

G 1 1 C 15/04 6 3 1 E

請求項の数 16 (全 43 頁)

(21) 出願番号 特願2015-168522 (P2015-168522)
 (22) 出願日 平成27年8月28日(2015.8.28)
 (65) 公開番号 特開2017-45495 (P2017-45495A)
 (43) 公開日 平成29年3月2日(2017.3.2)
 審査請求日 平成30年5月10日(2018.5.10)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 渡邊 直也
 東京都江東区豊洲三丁目2番24号 ルネ
 サスエレクトロニクス株式会社内
 (72) 発明者 伊賀上 太
 東京都小平市上水本町五丁目20番1号
 ルネサスシステムデザイン株式会社内

審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

各々がT C A M (Ternary Content Addressable Memory) セルアレイを含む複数のサブアレイを備え、

各前記サブアレイは、前記T C A Mセルアレイの行ごとに格納された複数のデータのうち、入力されたサーチデータの対応部分に一致するものを検索し、前記行ごとに一致または不一致という検索結果を出力し、

各前記サブアレイは、前記T C A Mセルアレイの全てのデータがドントケアであることに基づいて検索動作前にあらかじめ設定された、対応する第1の制御信号が活性化されている場合には、前記T C A Mセルアレイについて検索を行わずに、一致という検索結果を前記行ごとに出力する、半導体装置。

【請求項2】

各前記サブアレイは、

前記T C A Mセルアレイの行にそれぞれ設けられ、対応する行の各T C A Mセルが接続された複数のマッチ線と、

前記T C A Mセルアレイの列にそれぞれ設けられた複数のサーチ線と、

検索時に、前記複数のサーチ線に前記サーチデータの対応部分を供給するサーチ線ドライバと、

前記複数のマッチ線にそれぞれ対応し、各々が検索時に、対応するマッチ線の電位に従って検索結果を出力する複数のマッチアンプと、

10

20

前記複数のマッチ線にそれぞれ対応し、各々が検索時に、対応するマッチ線をプリチャージする複数のプリチャージ回路と、

制御論理回路とを含み、

前記制御論理回路は、前記第 1 の制御信号が活性化されている場合には、前記サーチ線ドライバおよび前記複数のプリチャージ回路が動作しないように制御し、

各前記マッチアンプは、前記第 1 の制御信号が活性化されている場合には、対応する前記マッチ線の電位によらず一致という検索結果を出力するように構成される、請求項 1 に記載の半導体装置。

【請求項 3】

各前記サブアレイは、前記第 1 の制御信号を出力する第 1 のレジスタを含む、請求項 2 に記載の半導体装置。

【請求項 4】

各前記サブアレイは、前記 T C A M セルアレイの行ごとに設けられ、各々が、第 2 の制御信号を出力する複数の第 2 のレジスタを含み、

前記マッチアンプは、対応する前記第 2 の制御信号が活性化されている場合には、前記第 1 の制御信号が活性化されていても、不一致という検索結果を出力するように構成される、請求項 3 に記載の半導体装置。

【請求項 5】

各前記サブアレイは、前記 T C A M セルアレイの行ごとに設けられ、各々が第 3 の制御信号を出力する複数の第 3 のレジスタを含み、

各前記プリチャージ回路は、対応する前記第 3 の制御信号が活性化されている場合には、前記第 1 の制御信号が活性化されていなくても、対応する前記マッチ線をプリチャージせず、

各前記マッチアンプは、対応する前記第 3 の制御信号が活性化されている場合には、前記第 1 の制御信号が活性化されていなくても、対応する前記マッチ線の電位によらず一致という検索結果を出力する、請求項 3 に記載の半導体装置。

【請求項 6】

各前記サブアレイは、

前記 T C A M セルアレイの行ごとに設けられ、各々が、第 2 の制御信号を出力する複数の第 2 のレジスタと、

前記 T C A M セルアレイの行ごとに設けられ、各々が、第 3 の制御信号を出力する複数の第 3 のレジスタとを含み、

各前記プリチャージ回路は、対応する前記第 2 および第 3 の制御信号の少なくとも一方が活性化されている場合には、前記第 1 の制御信号が活性化されていなくても、対応する前記マッチ線をプリチャージせず、

各前記マッチアンプは、対応する前記第 2 の制御信号が活性化されておらず、対応する前記第 3 の制御信号が活性化されている場合には、前記第 1 の制御信号が活性化されていなくても、対応する前記マッチ線の電位によらず一致という検出結果を出力し、

各前記マッチアンプは、対応する前記第 2 の制御信号が活性化されている場合には、前記第 1 の制御信号および対応する前記第 3 の制御信号のいずれかが活性化されていても、対応する前記マッチ線の電位によらず不一致という検出結果を出力する、請求項 3 に記載の半導体装置。

【請求項 7】

前記 T C A M セルアレイは、列方向に並ぶ第 1 のセルアレイと第 2 のセルアレイとに区分され、

前記サーチ線ドライバは、

前記第 1 のセルアレイに隣接して設けられ、前記第 1 のセルアレイに前記サーチデータの対応部分を供給する第 1 のドライバと、

前記第 2 のセルアレイに隣接して設けられ、前記第 2 のセルアレイに前記サーチデータの対応部分を供給する第 2 のドライバとを含む、請求項 2 に記載の半導体装置。

【請求項 8】

前記半導体装置は、

各前記サブアレイを構成する前記 T C A M セルアレイの行ごとにデータを書込む際に、共通のマッチ線に接続された全ての T C A M セルにドントケアが書込まれた特定行があるか否かを判定するデータ判定回路をさらに備え、

前記データ判定回路は、前記特定行に対応する前記第 3 の制御信号が活性化されるように、前記特定行に対応する前記第 3 のレジスタの値を設定する、請求項 5 に記載の半導体装置。

【請求項 9】

各前記サブアレイは、さらに、

前記 T C A M セルアレイの行ごとに設けられ、各々が、第 3 の制御信号を出力する複数の第 3 のレジスタと、

前記複数の第 3 のレジスタからそれぞれ出力された複数の前記第 3 の制御信号が全て活性化されている場合に、活性化された前記第 1 の制御信号を生成して出力する論理回路を含む、請求項 2 に記載の半導体装置。

【請求項 10】

前記制御論理回路は、各前記プリチャージ回路の動作を制御するためのプリチャージイネーブル信号を生成し、

各前記サブアレイは、前記 T C A M セルアレイの複数行ごとに設けられ、各々が、前記プリチャージイネーブル信号および前記第 1 の制御信号を整形し、整形後の前記プリチャージイネーブル信号および前記第 1 の制御信号を前記複数行に対応する前記プリチャージ回路および前記マッチアンプにそれぞれ供給する複数のバッファアンプ部をさらに含み、

各前記バッファアンプ部は、対応する前記複数行に設けられた前記第 3 のレジスタが出力する前記第 3 の制御信号が全て活性化されている場合には、出力する整形後の前記第 1 の制御信号を活性化するとともに、出力する整形後の前記プリチャージイネーブル信号を非活性化することによって対応する各前記プリチャージ回路が動作しないように制御する、請求項 5 に記載の半導体装置。

【請求項 11】

前記半導体装置への電源供給後、いずれの前記サブアレイの前記 T C A M セルにもデータが書き込まれていない状態において、各前記サブアレイの前記第 1 の制御信号および複数の前記第 2 の制御信号がいずれも活性状態となるように、各前記第 1 のレジスタおよび各前記第 2 のレジスタの値が初期設定される、請求項 4 に記載の半導体装置。

【請求項 12】

前記半導体装置への電源供給後、いずれの前記サブアレイの前記 T C A M セルにもデータが書き込まれていない状態において、各前記サブアレイの前記第 1 の制御信号および複数の前記第 3 の制御信号がいずれも活性状態となるように、各前記第 1 のレジスタおよび各前記第 3 のレジスタの値が初期設定される、請求項 5 に記載の半導体装置。

【請求項 13】

前記半導体装置への電源供給後、いずれの前記サブアレイの前記 T C A M セルにもデータが書き込まれていない状態において、各前記サブアレイの前記第 1 の制御信号および各前記サブアレイの前記第 2 の制御信号および複数の前記第 3 の制御信号がいずれも活性状態となるように、各前記第 1 のレジスタおよび各前記第 2 のレジスタおよび各前記第 3 のレジスタの値が初期設定される、請求項 6 に記載の半導体装置。

【請求項 14】

各前記サブアレイの前記 T C A M セルアレイへの書込みデータの配列順および前記サーチデータの配列順を定められた規則に従って変更するデータ配列変更回路をさらに備える、請求項 1 に記載の半導体装置。

【請求項 15】

互いに行方向に並び、共通のエントリに対応する複数の前記サブアレイは、パイプライン方式で順番に検索を行うように構成され、

10

20

30

40

50

各前記サブアレイは、最初のステージで検索を行うサブアレイを除いて、前記 T C A M セルアレイの行ごとに設けられ、各々が、前ステージのサブアレイの対応する行の検索結果を格納する複数の D フリップフロップを含み、

前記複数の D フリップフロップが設けられた各前記サブアレイにおいて、各前記プリチャージ回路は、対応する前記 D フリップフロップに不一致の検索結果が格納されている場合には、対応する前記マッチ線をプリチャージせず、

前記複数の D フリップフロップが設けられた各前記サブアレイにおいて、各前記マッチアンプは、対応する前記 D フリップフロップに不一致の検索結果が格納されている場合には、前記第 1 の制御信号が活性化されていても、不一致の検索結果を出力するように構成される、請求項 2 に記載の半導体装置。

10

【請求項 16】

前記サブアレイから出力された検索結果に基づいて、前記サーチデータの検索結果を出力するプライオリティ・エンコードをさらに備える、請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置に関し、たとえば、T C A M (Ternary Content Addressable Memory) 装置を備えた半導体装置に好適に用いられるものである。

【背景技術】

【0002】

20

連想メモリまたは C A M (内容参照メモリ: Content Addressable Memory) と呼ばれる記憶装置は、記憶しているデータワードの中から検索ワードに一致しているものを検索し、一致しているデータワードが見つかった場合は、そのアドレスを出力するものである。

【0003】

C A M には B C A M (Binary CAM) と T C A M (Ternary CAM) とがある。B C A M の各メモリセルは“0”か“1”かのいずれかの情報を記憶する。一方、T C A M の場合には、各メモリセルは、“0”および“1”の他に“ドントケア (Don't Care)”の情報を記憶可能である。“ドントケア”は“0”および“1”のどちらでも良いことを示す。

【0004】

T C A M 装置は、インターネットなどのネットワーク用のルータにおいてアドレス検索およびアクセス制御のために幅広く利用されている。大容量化に対応するために、T C A M 装置は、通常、複数のサブアレイを有し、各サブアレイに対して同時にサーチ動作が実行される構成となっている。たとえば、非特許文献 1 は、ビルディングブロック (Building Block) と呼ばれるサブアレイがワード線方向に 8 個、ビット線方向に 4 個配列されている。

30

【0005】

T C A M 装置は、入力サーチデータ (入力パケット) と T C A M セルデータとを一斉に比較することができるので、全ての検索用途において R A M (Random Access Memory) よりも高速である。しかしながら、検索時にサーチ電流が発生するために消費電力の増大が問題となっている。

40

【0006】

特開 2003 - 272386 号公報 (特許文献 1) は、低消費電力化のためにマッチ線方向に並ぶ複数のサブアレイがパイプライン方式で連結された構成の T C A M 装置を開示する。この文献の T C A M 装置では、後続するステージでは、前ステージで一致したエントリのみ検索が実行される。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2003 - 272386 号公報

【非特許文献】

50

【 0 0 0 8 】

【非特許文献 1】H. Miyatake 他 2 名、"A design for high-speed low-power CMOS fully parallel content-addressable memory macros"、IEEE J. Solid-State Circuits, Vol. 36, pp. 956-968, June 2001

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 9 】

T C A M 装置では、ドントケアに設定された T C A M セルがある範囲に固まって存在する場合がある。たとえば、サブアレイの一部のマッチ線に接続された T C A M セルが全てドントケアに設定されていることがしばしば生じる。より顕著な場合には、サブアレイを構成する全 T C A M セルがドントケアに設定されている場合もある。このような場合には、サーチ結果が自明（サーチデータによらず必ずヒット（一致）になる）であるので、サーチ動作のために電流を無駄に消費してしまう。

10

【 0 0 1 0 】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 1 】

一実施形態による半導体装置は、各々が T C A M セルアレイを含む複数のサブアレイを備える。各サブアレイは、入力サーチデータのうちの対応部分の検索を行う。各サブアレイは、対応する第 1 の制御信号が活性化されている場合には、検索を行わずに、一致という検索結果をエントリごとに出力する。

20

【発明の効果】

【 0 0 1 2 】

上記の実施形態によれば、T C A M 装置の消費電流を低減することができる。

【図面の簡単な説明】

【 0 0 1 3 】

【図 1】T C A M セルの構成の一例を示す回路図である。

【図 2】図 1 の X セルおよび Y セルの記憶内容と T C A M セルデータとの対応関係を表形式で示す図である。

30

【図 3】T C A M 装置を構成する 1 つのサブアレイの構成を示すブロック図である。

【図 4】T C A M 装置の構成を示すブロック図である。

【図 5】各マッチアンプの検出結果の A N D 演算について説明するための図である。

【図 6】データ検索システムの全体構成を示すブロック図である。

【図 7】A C L ルールファイルの一例を表形式で示す図である。

【図 8】図 7 の A C L を変換することによって得られた T C A M 用データの一例を示す図である。

【図 9】A C L に基づく変換データが書込まれた T C A M 装置の記憶状態を模式的に示す図である。

【図 10】第 1 の実施形態による T C A M 装置において、サブアレイの構成を示すブロック図である。

40

【図 11】図 10 の制御論理回路のうち、サーチ動作に関係する部分の構成を示す回路図である。

【図 12】図 10 のサーチ線ドライバの構成の一例を示す回路図である。

【図 13】図 10 のマッチアンプの構成の一例を示す回路図である。

【図 14】図 10 のサブアレイに設けられたレジスタ R E G 1 に非ドントケアを表す " 0 " が格納されているときのサーチ動作を示すタイミング図である。

【図 15】図 10 のサブアレイに設けられたレジスタ R E G 1 にドントケアを表すデータ " 1 " が格納されているときのサーチ動作を示すタイミング図である。

【図 16】図 10 のマッチアンプの変形例を示す回路図である。

50

【図 17】第 2 の実施形態による T C A M 装置において、サブアレイ S A の構成を示すブロック図である。

【図 18】第 3 の実施形態による T C A M 装置において、マッチアンプ M A の構成を示す回路図である。

【図 19】第 3 の実施形態による T C A M 装置の構成を示すブロック図である。

【図 20】図 19 のデータ判定回路 33 の動作を示すフローチャートである。

【図 21】第 3 の実施形態の T C A M 装置において、図 18 のレジスタ R E G 3 へのデータ書込み手順を示すタイミング図である。

【図 22】図 18 のマッチアンプ M A の変形例を示すブロック図である。

【図 23】第 4 の実施形態による T C A M 装置において、サブアレイの構成を模式的に示すブロック図である。

10

【図 24】図 23 の制御論理回路 24 において、検索動作に関係する部分の構成を示す回路図である。

【図 25】制御論理回路 24 からの出力信号のために用いられるバッファアンプの配置について説明するための図である。

【図 26】第 5 の実施形態の T C A M 装置において、バッファアンプ部の構成を説明するための図である。

【図 27】電源立ち上げ後において、各レジスタ R E G 1 , R E G 2 , R E G 3 へのデータ書込みの手順について説明するための図である。

【図 28】入力データの配列変換について説明するための図である。

20

【図 29】第 7 の実施形態の検索システムの構成を示すブロック図である。

【図 30】データ配列変換の対象となる T C A M 用データの一例が書き込まれた T C A M 装置の記憶状態を模式的に示す図である。

【図 31】第 8 の実施形態による T C A M 装置の構成を示すブロック図である。

【図 32】図 31 のマッチアンプ M A の構成例を示す回路図である。

【図 33】図 31 の T C A M 装置の動作を説明するための図である。

【発明を実施するための形態】

【0014】

以下、各実施形態について図面を参照して詳しく説明する。なお、同一または相当する部分には同一の参照符号を付して、その説明を繰返さない。

30

【0015】

< 各実施形態に共通する構成 >

[T C A M セルの構成]

図 1 は、T C A M セルの構成の一例を示す回路図である。図 1 を参照して、T C A M セル（メモリセル M C とも称する）は、2 個の S R A M セル（Static Random Access Memory Cell）11, 12 と、データ比較部 13 とを含む。S R A M セル 11 を X セルとも称し、S R A M セル 12 を Y セルとも称する。X セル 11 は、内部の記憶ノード対 N D 1, N D 1 __ n に互いに相補となる（一方が “ 1 ” のとき他方が “ 0 ” となる）1 ビット（b i t）のデータを記憶する。Y セル 12 は、内部の記憶ノード対 N D 2, N D 2 __ n に互いに相補となる 1 ビットのデータを記憶する。

40

【0016】

T C A M セルは、ビット線対 B L, B L __ n、サーチ線対 S L, S L __ n、マッチ線 M L、およびワード線 W L X, W L Y と接続される。ビット線対 B L, B L __ n は、図 3 の T C A M セルアレイ 20 の列方向（Y 方向）に延在し、列方向に配列された複数の T C A M セルによって共有される。サーチ線対 S L, S L __ n は、T C A M セルアレイ 20 の列方向（Y 方向）に延在し、列方向に配列された複数の T C A M セルによって共有される。マッチ線 M L は、T C A M セルアレイ 20 の行方向（X 方向）に延在し、行方向に配列された複数の T C A M セルによって共有される。ワード線 W L X, W L Y は、T C A M セルアレイ 20 の行方向（X 方向）に延在し、行方向に配列された複数の T C A M セルによって共有される。

50

【 0 0 1 7 】

Xセル11は、インバータINV1, INV2と、NチャネルMOS (Metal Oxide Semiconductor) トランジスタQ1, Q2とを含む。インバータINV1は、記憶ノードND1__nから記憶ノードND1へ向かう方向が順方向となるように、記憶ノードND1と記憶ノードND1__nの間に接続される。インバータINV2は、INV1と並列かつ逆方向に接続される。MOSトランジスタQ1は、記憶ノードND1とビット線BLとの間に接続される。MOSトランジスタQ2は、記憶ノードND1__nとビット線BL__nとの間に接続される。MOSトランジスタQ1, Q2のゲートは、ワード線WLXと接続される。

【 0 0 1 8 】

10

Yセル12は、インバータINV3, INV4と、MOS (Metal Oxide Semiconductor) トランジスタQ3, Q4とを含む。インバータINV3は、記憶ノードND2__nから記憶ノードND2に向かう方向が順方向となるように、記憶ノードND2と記憶ノードND2__nの間に接続される。インバータINV4は、INV3と並列かつ逆方向に接続される。MOSトランジスタQ3は、記憶ノードND2とビット線BLとの間に接続される。MOSトランジスタQ4は、記憶ノードND2__nとビット線BL__nとの間に接続される。MOSトランジスタQ3, Q4のゲートは、ワード線WLYと接続される。

【 0 0 1 9 】

データ比較部13は、NチャネルMOSトランジスタQ6~Q9を含む。MOSトランジスタQ6, Q7はマッチ線MLとの接続点であるノードND3と接地ノードGNDとの間に直列に接続される。MOSトランジスタQ8, Q9は、ノードND3と接地ノードGNDとの間に直列に、かつ、直列接続されたMOSトランジスタQ6, Q7の全体と並列に接続される。MOSトランジスタQ6, Q8のゲートは、記憶ノードND1, ND2とそれぞれ接続される。MOSトランジスタQ7, Q9のゲートは、サーチ線SL, SL__nとそれぞれ接続される。

20

【 0 0 2 0 】

図2は、図1のXセルおよびYセルの記憶内容とTCAMセルデータとの対応関係を表形式で示す図である。

【 0 0 2 1 】

図2および図3を参照して、TCAMセルは、2ビットのSRAMセルを用いて、“0”、“1”、“x”(ドントケア: don't care)の3値を格納することができる。具体的に、Xセル11の記憶ノードND1に“1”が格納され、Yセル12の記憶ノードND2に“0”が格納されているとき、TCAMセルには“0”が格納されているとする。Xセル11の記憶ノードND1に“0”が格納され、Yセル12の記憶ノードND2に“1”が格納されているとき、TCAMセルには“1”が格納されているとする。Xセル11の記憶ノードND1に“0”が格納され、Yセル12の記憶ノードND2に“0”が格納されているとき、TCAMセルには“x”(ドントケア)が格納されているとする。Xセル11の記憶ノードND1に“1”が格納され、Yセル12の記憶ノードND2に“1”が格納されている場合は使用しない。

30

【 0 0 2 2 】

40

上記のTCAMセルの構成によれば、サーチデータが“1”(すなわち、サーチ線SLが“1”、かつ、サーチ線SL__nが“0”)であり、TCAMデータが“0”(記憶ノードND1が“1”、かつ、記憶ノードND2が“0”)である場合には、MOSトランジスタQ6, Q7がオン状態となるために、プリチャージされたマッチ線MLの電位が接地電位まで引き抜かれる。サーチデータが“0”(すなわち、サーチ線SLが“0”、かつ、サーチ線SL__nが“1”)であり、TCAMデータが“1”(記憶ノードND1が“0”、かつ、記憶ノードND2が“1”)である場合には、MOSトランジスタQ8, Q9がオン状態となるために、プリチャージされたマッチ線MLの電位が接地電位まで引き抜かれる。すなわち、サーチデータとTCAMデータとが不一致の場合には、マッチ線MLの電位は接地電位まで引き抜かれる。

50

【 0 0 2 3 】

逆に、入力されたサーチデータが“ 1 ”であり、かつ、T C A Mデータが“ 1 ”または“ x ”の場合、もしくは、サーチデータが“ 0 ”であり、かつ、T C A Mデータが“ 0 ”または“ X ”の場合（すなわち、両者が一致する場合）、プリチャージされたマッチ線 M L の電位（電源電位 V D D レベル）は維持される。

【 0 0 2 4 】

上記のように、T C A Mでは、1つのエントリ（行）に対応するマッチ線 M L に接続された全ての T C A Mセルのデータが入力サーチデータと一致しない限り、マッチ線 M L に蓄えられた電荷が引き抜かれる。このため、T C A Mでの検索は高速であるが、消費電流が大きいという問題がある。

10

【 0 0 2 5 】

〔サブアレイの構成〕

図 3 は、T C A M装置を構成する 1 つのサブアレイの構成を示すブロック図である。図 3 を参照して、サブアレイ S A は、T C A Mセルアレイ 2 0（単にセルアレイとも称する）と、書込みドライバ 2 1 と、サーチ線（S L）ドライバ 2 2 と、マッチアンプ部 2 3 と、制御論理回路 2 4 とを含む。サブアレイ S A は、さらに、図 1 のワード線 W L X，W L Y を駆動するためのワード線ドライバ（不図示）を含む。

【 0 0 2 6 】

セルアレイ 2 0 は、行列状（m 行；k 列）に配列された T C A Mセルを含む。図 3 のセルアレイ 2 0 は、行数（エントリ数）m が 2 5 6 であり、列数（ビット数）k が 3 2 の場合が示されている。

20

【 0 0 2 7 】

セルアレイ 2 0 の各列に対応して、k 個（k = 3 2）のビット線対（B L [0]，B L _ n [0] から B L [k - 1]，B L _ n [k - 1] まで）と、k 個（k = 3 2）のサーチ線対（S L [0]，S L _ n [0] から S L [k - 1]，S L _ n [k - 1] まで）とが設けられる。セルアレイ 2 0 の各行に対応して、m 本（m = 2 5 6）のマッチ線（M L [0] から M L [m - 1] まで）と、図示しない m 本の X セル用のワード線（W L X [0] から W L X [m - 1] まで）と、図示しない m 本の Y セル用のワード線（W L Y [0] から W L Y [m - 1] まで）とが設けられている。

【 0 0 2 8 】

書込みドライバ 2 1 は、書込み時に、ビット線対 B L，B L _ n を介して各 T C A Mセルに書込みデータを供給する。サーチ線ドライバ 2 2 は、検索時に、サーチ線対 S L，S L _ n を介して各 T C A Mセルにサーチデータを供給する。制御論理回路 2 4 は、サブアレイ S A 全体の動作を制御する。たとえば、制御論理回路 2 4 は、検索時には、サーチコマンドを受け取り、サーチ線ドライバ 2 2 と、マッチアンプ部 2 3 に制御信号を出力することによって、サーチ線ドライバ 2 2、マッチアンプ部 2 3、およびプリチャージ回路の動作を制御する。

30

【 0 0 2 9 】

マッチアンプ部 2 3 は、セルアレイの行にそれぞれ対応する複数のマッチアンプ M A を含む。マッチアンプ M A は、検索時に、対応するマッチ線 M L の電位に基づいて、対応する T C A Mセルデータと入力サーチデータの対応部分とが一致するか否かを検出する。この実施形態では、マッチアンプ M A は、検索時に対応するマッチ線 M L をプリチャージするためのプリチャージ回路を含む。

40

【 0 0 3 0 】

〔T C A Mの構成〕

図 4 は、T C A M装置の構成を示すブロック図である。図 4 を参照して、T C A M装置 1 0 0 は、行列状に配列された複数のサブアレイ S A と、プライオリティ・エンコーダ 3 0 と、データ入力回路 3 1 と、コマンド入力回路 3 2 とを含む。

【 0 0 3 1 】

図 4 の T C A M装置が実現している検索テーブルサイズは、1 エントリ（1 行）のビット

50

ト長が128ビット(bit)であり、総エントリ数が4096エントリ(entry)である。TCAM装置100は、16行4列のサブアレイSA[0,0]~SA[15,3]に分割されている。各サブアレイSAのサイズは、総エントリ数は256エントリ、1エントリのビット長は32ビットになる。これらの数字は一例であって、TCAM装置の構成はこれに限られるものでない。

【0032】

すでに説明したサーチ線対SL, SL_n、ビット線対BL, BL_n、マッチ線ML、およびワード線は、各サブアレイごとに配設されている。たとえば、サブアレイSA[0,0]には、サーチ線対SL[0], SL_n[0]からサーチ線対SL[31], SL_n[31]までが設けられる。サブアレイSA[0,1]には、サーチ線対SL[32], SL_n[32]からサーチ線対SL[63], SL_n[63]までが設けられる。サブアレイSA[0,2]には、サーチ線対SL[64], SL_n[64]からサーチ線対SL[95], SL_n[95]までが設けられる。サブアレイSA[0,3]には、サーチ線対SL[96], SL_n[96]からサーチ線対SL[127], SL_n[127]までが設けられる。

10

【0033】

図4において、1エントリのサーチデータ全体および1エントリのTCAMセルデータ(書込みデータ)全体に対して、マッチ線MLは32ビット単位で4分割された構成になっている。このため、マッチアンプ部23には、図5で説明するように、各マッチアンプMAの検出結果の論理積をとるためのANDゲート(図5の参照符号26)が行ごとに設けられている。

20

【0034】

データ入力回路31は、データ書込み時には、書込みデータを外部(たとえば、図6のネットワーク・プロセッサ・ユニット)から受信し、受信した書込みデータを対応するサブアレイのSAの書込みドライバ21に出力する。データサーチ時には、サーチデータを外部から受信し、受信したサーチデータを対応するサブアレイSAのサーチ線ドライバ22に出力する。

【0035】

コマンド入力回路32は、書込みコマンド、サーチコマンドなどの各種コマンドを外部から受信し、受信したコマンドを対応するサブアレイSAの制御論理回路24に出力する。

30

【0036】

プライオリティ・エンコーダ30は、各エントリごとのサーチ結果(入力サーチデータとTCAMデータとが一致したか否か)を隣接するサブアレイSA[0,3], SA[1,3], ..., SA[15,3]から受け取る。プライオリティ・エンコーダ30は、ヒットアドレス(サーチデータと一致したTCAMデータが格納されているエントリアドレス)を出力する、複数のエントリがヒット(一致)した場合には、プライオリティ・エンコーダ30は、優先度の高いヒットエントリのアドレスを出力する。

【0037】

[同一エントリの複数のマッチアンプの検出結果のAND演算について]

40

図5は、各マッチアンプの検出結果のAND演算について説明するための図である。図5では代表的にサブアレイSA[0,0], SA[0,1]の1つのエントリのみ示されているが、他のエントリおよび他のサブアレイについても同様である。

【0038】

図5に示すように、各サブアレイSAのマッチアンプ部23は、行ごとに、マッチアンプMAの後段に設けられたANDゲート26を含む。ただし、プライオリティ・エンコーダ30から最も離れたサブアレイSA[0,0], [1,0], ...に設けられたANDゲート26は、一方の入力ノードに“H”レベルの電位(電源電位VDD)が入力されることによって、バッファとして機能している。以下、図4および図5を参照して、サブアレイSA[0,0]~SA[0,3]の1つのエントリを例に挙げて、ANDゲート26の

50

動作について説明する。

【 0 0 3 9 】

図 4 および図 5 を参照して、まず、サブアレイ S A [0 , 0] ~ S A [0 , 3] の各々において、サーチ線対 S L , S L _ n を介して入力されたサーチデータの対応部分と、T C A M セルデータとの比較が行われる。各サブアレイ S A のマッチアンプ M A は、対応するマッチ線 M L の電位（入力サーチデータの対応部分と T C A M セルデータとが全て一致する場合：“ H ” レベル、少なくとも 1 つも不一致がある場合：“ L ” レベル）を検出する。

【 0 0 4 0 】

次に、サブアレイ S A [0 , 0] のマッチアンプ M A の検出結果は、サブアレイ [0 , 0] のマッチアンプ部に設けられたバッファとして用いられる A N D ゲート 2 6 を通過した後に、マッチアンプ出力信号 m o _ 0 として、隣接するサブアレイ S A [0 , 1] に転送される。サブアレイ S A [0 , 1] のマッチアンプ部 2 3 に設けられた A N D ゲート 2 6 は、上記のマッチアンプ出力信号 m o _ 0 と、サブアレイ S A [0 , 1] のマッチアンプ M A の検出結果との論理積を演算する。この演算結果は、マッチアンプ出力信号 m o _ 1 として、隣接するサブアレイ S A [0 , 2] に転送される。

【 0 0 4 1 】

以下同様に、サブアレイ S A [0 , 2] のマッチアンプ部 2 3 に設けられた A N D ゲート 2 6 は、上記のマッチアンプ出力信号 m o _ 1 と、サブアレイ S A [0 , 2] のマッチアンプ M A の検出結果との論理積を演算する。この演算結果は、マッチアンプ出力信号 m o _ 2 として、隣接するサブアレイ S A [0 , 3] に転送される。サブアレイ S A [0 , 3] のマッチアンプ部 2 3 に設けられた A N D ゲート 2 6 は、上記のマッチアンプ出力信号 m o _ 2 と、サブアレイ S A [0 , 3] のマッチアンプ M A の検出結果との論理積を演算する。この演算結果は、マッチアンプ出力信号 m o _ 3 として、プライオリティ・エンコーダ 3 0 に入力される。

【 0 0 4 2 】

〔 データ検索システムの構成 〕

図 6 は、データ検索システムの全体構成を示すブロック図である。図 6 のブロック図は、インターネットなどのネットワーク用のルータに設けられたデータ検索システム 1 2 0 の構成を示す。

【 0 0 4 3 】

ネットワークトラフィックの品質向上やネットワークセキュリティ管理を目的として、ネットワークシステムには A C L (Access Control List) が使われている。A C L ルールファイルはネットワーク管理者によって作成され、記憶装置 1 0 2 に格納される。

【 0 0 4 4 】

データ検索システム 1 2 0 は、A C L に記載されたルールのもとに、L A N (Local Area Network) を介して入力されたネットワークパケットが、通過を許可すべきパケットが通過を拒否するパケットなのかを即座に判断する。すなわち、データ検索システム 1 2 0 には、入力してきたパケットが A C L 内のどのルールに対応しているかを高速に検索する能力が必要となり、その処理には一般的に T C A M 装置 1 0 0 を利用したデータ検索システム 1 2 0 が利用されている。

【 0 0 4 5 】

具体的に、データ検索システム 1 2 0 は、T C A M 装置 1 0 0 と N P U (Network Processor Unit) 1 0 1 とを含む。N P U 1 0 1 は、T C A M 装置 1 0 0 の動作を制御するためのものであり、T C A M 装置 1 0 0 に対して、各種コマンド（書込みコマンド、読出しコマンド、サーチコマンドなど）および各種データ（書込みデータ、サーチデータなど）を出力する。さらに、T C A M 装置 1 0 0 には制御レジスタが設けられており、T C A M 装置 1 0 0 は、この制御レジスタ用のコマンドおよびデータも出力する。

【 0 0 4 6 】

図 6 において、T C A M 装置 1 0 0 のみが 1 つの半導体装置として構成されていてもよ

10

20

30

40

50

いし、T C A M装置 1 0 0 と N P U (Network Processor Unit) 1 0 1 とを併せて 1 つの半導体装置として構成されていてもよい。

【 0 0 4 7 】

ネットワーク管理者が作成した A C L ルールファイルは、N P U 1 0 1 のデータ変換部 1 0 3 において T C A M 用のデータに変換され、変換後のデータが T C A M 装置内部に格納される。T C A M 装置 1 0 0 は、ネットワークパケットに含まれる I P アドレスなどに基づくサーチデータと、T C A M 装置内部に格納されている全てのデータとを同時に比較できる能力を有している。ただし、T C A M の検索動作には大電流を発生してしまうデメリットがある。T C A M 装置を搭載するネットワークシステムおよびデータ検索システムでは、低消費電力化が課題となっている。

10

【 0 0 4 8 】

[A C L ルールファイルおよび対応する T C A M 用データの例について]

図 7 は、A C L ルールファイルの一例を表形式で示す図である。図 7 では、A C L が 3 行のみ示されているが、実際にはより多数の行によって A C L ルールファイルが構成される。図 7 に示すように、A C L は、ネットワークから入力されたパケットのプロトコル番号、宛先ポート番号、送信元ポート番号、宛先 I P アドレス、および送信元 I P アドレスをチェックするためのものである。これらのチェック要素は、範囲指定が可能となっている。

【 0 0 4 9 】

たとえば、図 7 の参照符号 2 0 1 で示された行は、送信元 I P アドレスについて範囲指定されている。具体的に、“ 1 4 7 . 1 2 1 . 5 6 . 1 5 2 / 2 9 ” は、アドレス 3 2 ビットのうち上位 2 9 ビットを固定し、残り 3 ビットをマスク (wild card) とした表現である。すなわち、1 4 7 . 1 2 1 . 5 6 . 1 5 2 ~ 1 4 7 . 1 2 1 . 5 6 . 2 5 5 の範囲が指定されている。宛先 I P アドレスについても、同様の範囲指定記載が可能である。

20

【 0 0 5 0 】

図 7 の参照符号 2 0 2 で示された行は、送信元ポート番号について範囲指定されている。すなわち、“ 0 : 6 5 5 3 5 ” の表現によって、0 ~ 6 5 5 3 5 の範囲が指定されている。

【 0 0 5 1 】

図 7 の参照符号 2 0 3 で示された行は、宛先ポート番号が範囲指定されている。すなわち、“ 1 0 2 4 : 6 5 5 3 5 ” の表現によって、1 0 2 4 ~ 6 5 5 3 5 の範囲が指定されている。

30

【 0 0 5 2 】

図 8 は、図 7 の A C L を変換することによって得られた T C A M 用データの一例を示す図である。

【 0 0 5 3 】

図 8 を参照して、1 つのルールは、プロトコル番号が 8 ビット、宛先ポート番号が 1 6 ビット、送信元ポート番号が 1 6 ビット、宛先 I P アドレスが 3 2 ビット、送信元 I P アドレスが 3 2 ビットの合計 1 0 4 ビットのデータで構成される。図中の “ x ” は、ドントケア (don't care) データ (wild card データ) を示す。ドントケアデータは、“ 1 ” または “ 0 ” のどちらにでも一致するデータのことである。

40

【 0 0 5 4 】

図 8 の参照符号 2 0 1 , 2 0 2 , 2 0 3 で示された行の表記は、図 7 の参照符号 2 0 1 , 2 0 2 , 2 0 3 で示された行の A C L ルールにそれぞれ対応している。参照符号 2 0 3 で示すように、A C L ルールでは 1 行の範囲指定ルール (1 0 2 4 ~ 6 5 5 3 5) であったものが、T C A M 用データに変換すると 6 行のデータになる場合がある。さらに、宛先ポート番号と送信元ポート番号などの複数の要素が範囲指定ルールとなった場合には、T C A M に必要な行数がより一層増加してしまう。たとえば、宛先ポート番号と送信元ポート番号ともに 1 0 2 4 ~ 6 5 5 3 5 の領域指定ルールであるとする、T C A M 装置には 3 6 行のデータ領域が必要となる。したがって、A C L に領域指定ルールが多く含まれて

50

いる場合には、T C A M用データにはドントケア (don't care) データが多く含まれることが分かる。

【 0 0 5 5 】

図 9 は、A C L に基づく変換データが書込まれた T C A M 装置の記憶状態を模式的に示す図である。図 9 では、範囲指定ルールが多い A C L ルールファイルが T C A M 装置の記憶領域に書込まれた状態が示されている。

【 0 0 5 6 】

図 9 の T C A M 装置は 4 0 9 6 エントリの記憶領域を有し、1 エントリあたり 1 2 8 ビットのデータを記憶可能である。T C A M 装置全体は、1 6 行 4 列の合計 6 4 個のサブアレイ S A [0 , 0] ~ S A [1 5 , 3] に区分される。

10

【 0 0 5 7 】

T C A M 装置の記憶領域のうち図 9 の太枠で囲まれた領域 2 1 0 が、A C L に基づく変換データが書き込まれた領域である。データが書き込まれた領域 2 1 0 のビット幅は、1 0 4 ビットであり、図 8 で説明した 5 つのチェック要素 (プロトコル番号 : 8 ビット、宛先ポート番号 : 1 6 ビット、送信元ポート番号 : 1 6 ビット、宛先 I P アドレス : 3 2 ビット、送信元 I P アドレス : 3 2 ビット) に対応している。太枠の領域 2 1 0 のうち、狭い間隔の斜線のハッチングが付された領域 2 1 1 は、ドントケアデータの領域を示しており、残りの領域は “ 0 ” および “ 1 ” のデータ領域を示す。

【 0 0 5 8 】

1 0 4 ビットの A C L ルールに対して、T C A M 装置のビット幅は 1 2 8 ビットなので、T C A M 装置にはデータの埋まらない 2 4 ビット幅の領域 2 1 2 ができてしまう。この領域 2 1 2 の T C A M セルには、ドントケアデータが格納される。

20

【 0 0 5 9 】

さらに、T C A M 装置の総エントリ数が 4 0 9 6 エントリであるのに対して、ルール数が不足している場合には、データが埋まらない 1 2 8 ビット幅の空き領域 2 1 3 が存在する。この空き領域は、インバリッドエントリ (Invalid Entry) (検索非対象エントリとも称する) として設定される。インバリッドエントリの領域は、サーチ時に必ずミス (miss : 不一致) になる。

【 0 0 6 0 】

具体的に、図 9 の T C A M では、サブアレイ S A [1 4 , 1] , S A [1 2 , 2] , S A [1 3 , 2] , S A [1 4 , 2] , S A [j , 3] (j = 7 ~ 1 4) については、各サブアレイ内の全てのセルデータがドントケアであるため、これらのサブアレイの全ての行のサーチ結果は自明である (全てヒット (hit) となる) 。図 9 のサブアレイ S A [1 5 , 1] , S A [1 5 , 2] , S A [1 5 , 3] については、当該サブアレイの各行は、ドントケアのセルデータのみによって構成されているか、インバリッドエントリに該当するかのいずれかであるので、これらのサブアレイの各行のサーチ結果は自明である。ところが、従来の T C A M では、サーチコマンドが入力されると全てのサブアレイに対してサーチ動作が実行されるので、上記のようにサーチ結果が自明のサブアレイに対してもサーチ動作が実行されてしまう。このために、無駄に電流を消費してしまうという問題があった。

30

40

【 0 0 6 1 】

< 第 1 の実施形態 >

第 1 の実施形態では、T C A M 装置内のサーチ結果が自明な領域、具体的にはドントケア (don't care) データ領域のサーチ動作を停止させながらも、正常なサーチ結果を出力する技術が提供される。これによって、従来技術において無駄に消費してしまう電流を削減することができるので、より低消費電力な T C A M 装置ならびに T C A M 装置を用いたデータ検索システムを提供することができる。以下、図面を参照して具体的に説明する。

【 0 0 6 2 】

[サブアレイの構成]

図 1 0 は、第 1 の実施形態による T C A M 装置において、サブアレイの構成を示すプロ

50

ック図である。図10を参照して、図10のサブアレイSAは、レジスタREG1をさらに含む点で、図3のサブアレイSAと異なる。図10では、レジスタREG1は、制御論理回路24の内部に設けられているように図示しているが、制御論理回路24の外部に設けられていても構わない。図10のその他の構成は図3の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。図10ではデータ検索に関する部分を主として記載しているので、データ書込みに関する書込みドライバ21は図示していない。

【0063】

レジスタREG1は、TCAMセルアレイ20の全てのデータがドントケアである場合にハイレベル“H”（この明細書では“1”とする）に設定され、少なくとも1つがドントケアでない場合（「非ドントケア」と称する）にローレベル“L”（この明細書では“0”とする）に設定される。具体的には、TCAMセルアレイ20内の全てのデータがドントケアであるか否かの解析をTCAM装置内の専用回路が行い、当該専用回路が、解析結果に基づいてレジスタREG1の値を設定するようにしてもよい。もしくは、上記の解析を外部（たとえば、図6のNPU101のデータ解析部104）で行い、解析結果を外部からレジスタREG1に書込むようにしてもよい。

10

【0064】

制御論理回路24は、レジスタREG1に設定された論理レベルに応じて、サーチ動作を制御するための制御信号（`sl e` , `force__hit` , `ma e` , `mlpre__n`）を生成する。以下、図11～図15を参照して、具体的に説明する。

20

【0065】

[サーチ系制御回路の構成]

図11は、図10の制御論理回路のうち、サーチ動作に関係する部分の構成を示す回路図である。図10および図11を参照して、制御論理回路24は、レジスタREG1と、インバータ42、47、48と、ANDゲート43、49、51と、Dフリップフロップ44、45と、遅延段50とを含む。レジスタREG1は、Dフリップフロップ40と、ANDゲート41とを含む。

【0066】

レジスタ設定データは、レジスタ書込みコマンドが“H”レベルに活性化されると、クロック信号`cl k`の立ち上がり時に（すなわち、ANDゲート41の出力が“H”になると）、Dフリップフロップ40に書込まれる。サブアレイ内の全セルのデータがドントケアの場合に、Dフリップフロップ40には“1”（“H”レベル）が書き込まれ、非ドントケアの場合に、Dフリップフロップ40には“0”（“L”レベル）が書き込まれる。レジスタ設定データおよびレジスタ書込みデータは、TCAM装置の外部（たとえば、図6のNPU101など）から与えられる。レジスタ設定データの書込みは、たとえば、TCAM装置の起動時に行われる。

30

【0067】

Dフリップフロップ40の出力信号は、制御信号`force__hit`としてマッチアンプ部23の各マッチアンプMAに入力される。Dフリップフロップの出力は、さらに、インバータ42を介してANDゲート43に入力される。

40

【0068】

サーチコマンドは、ANDゲート43、フリップフロップ44、45、ANDゲート46、およびインバータ47を順に介して、マッチ線プリチャージ信号`mlpre__n`としてマッチアンプ部23に出力される。上記のANDゲート43の他方の入力ノードにはインバータ42によって反転された制御信号`force__hit`が入力される。上記のフリップフロップ44、45のクロック端子にはクロック信号`cl k`が入力される。上記のANDゲート46の他方の入力ノードには、クロック信号`cl k`が入力される。

【0069】

上記のフリップフロップ45の出力信号は、さらに、ANDゲート49を介して、サーチ線イネーブル信号`sl e`としてサーチ線ドライバ22に出力される。ANDゲート49

50

の他方の入力ノードには、クロック信号 clk をインバータ 48 によって反転した信号が入力される。

【0070】

上記のANDゲート49の出力信号は、さらに、遅延段50を介してANDゲート51の第1の入力ノードに入力されるとともに、遅延段50を介さずに直接ANDゲート51の第2の入力ノードに入力される。ANDゲート51の出力信号は、マッチアンブイネーブル信号 mae としてマッチアンプ部23の各マッチアンプMAに入力される。

【0071】

上記の回路構成によれば、制御信号 $force_hit$ は、レジスタREG1の設定値に従って、レジスタREG1の設定値が“1”の場合は“H”レベルとなり、レジスタREG1の設定値が“0”の場合は“L”レベルとなる。サーチ動作制御用の制御信号($sle, mae, mlpre_n$)は、レジスタREG1の設定値およびサーチコマンドに従って変化する。

10

【0072】

具体的に、レジスタREG1の格納データが“L”(非ドントケア)であり、かつ、サーチコマンドが“H”レベルに活性化された場合には、最初に、マッチ線プリチャージ信号 $mlpre_n$ が“L”レベルに活性化される。次に、サーチ線イネーブル信号 sle が“H”レベルに活性化される。最後に、マッチアンブイネーブル信号 mae が“H”レベルに活性化される。

20

【0073】

逆に、レジスタREG1の設定データが“H”(ドントケア)の場合には、サーチコマンドが“H”レベルに活性化されたとしても、マッチ線プリチャージ信号 $mlpre_n$ は“H”レベル(非活性状態)を維持し、サーチ線イネーブル信号 sle は“L”レベル(非活性状態)を維持し、マッチアンブイネーブル信号 mae は“L”レベル(非活性状態)を維持する。

【0074】

[サーチ線ドライバの構成および動作]

図12は、図10のサーチ線ドライバの構成の一例を示す回路図である。図10および図12を参照して、サーチ線ドライバ22は、サーチ線イネーブル信号 sle が“H”レベルに活性化されたときに、入力サーチデータ $sd[i]$ ($i = 0, 1, \dots, k$) をサーチ線 $SL[i]$ に出力するとともに、入力サーチデータ $sd[i]$ の論理レベルを反転した信号を相補のサーチ線 $SL_n[i]$ に出力する。

30

【0075】

具体的に、サーチ線ドライバ22は、サーチ線 $SL[0] \sim SL[k]$ にそれぞれ対応するANDゲート60[0]~60[k]と、サーチ線 $SL_n[0] \sim SL_n[k]$ にそれぞれ対応するANDゲート61[0]~61[k]と、インバータ62[0]~62[k]とを含む。サーチ線イネーブル信号 sle は、ANDゲート60[0]~60[k]およびANDゲート61[0]~61[k]に共通に入力される。さらに、ANDゲート60[i] ($i = 0, 1, \dots, k$) には、対応するサーチデータ $sd[i]$ 、および対応するマスク信号 $mask_n[i]$ が入力される。ANDゲート60[i] ($i = 0, 1, \dots, k$) の出力信号はサーチ線 $SL[i]$ に送信される。ANDゲート61[i] ($i = 0, 1, \dots, k$) には、対応するサーチデータ $sd[i]$ を反転した信号、および対応するマスク信号 $mask_n[i]$ が入力される。

40

【0076】

上記構成によれば、たとえば、サーチ線イネーブル信号 sle が“H”レベルに活性化され、かつ、入力データ $sd[i]$ が“H”レベル(“1”)である場合には、サーチ線 $SL[i]$ の電圧が“H”レベルとなり、サーチ線 $SL_n[i]$ の電圧が“L”レベルとなる。サーチ線イネーブル信号 sle が“H”レベルに活性化され、かつ、入力データ $sd[i]$ が“L”レベル(“0”)である場合には、サーチ線 $SL[i]$ の電圧が“L”レベルとなり、サーチ線 $SL_n[i]$ の電圧が“H”レベルとなる。マスクサーチ(

50

サーチ動作をマスクする動作モード)の場合、マスク信号`mask_n[i]` ($i = 0, 1, \dots, k$)が“L”レベルに活性化されると、サーチ線`SL[i]`の電圧が“L”レベルとなり、サーチ線`SL_n[i]`の電圧が“L”レベルとなる。

【0077】

[マッチアンプの構成および動作]

図13は、図10のマッチアンプの構成の一例を示す回路図である。図10および図13を参照して、マッチアンプMAは、プリチャージ回路としてのPチャネルMOSトランジスタ70と、インバータ71~74と、論理ゲート(NANDゲート)75とを含む。図13では、プリチャージ回路としてのMOSトランジスタ70がマッチアンプMAの内部にあるように図示しているが、MOSトランジスタ70はマッチアンプMAの外部に設けられていても構わない。

10

【0078】

以下、上記の構成要素の接続について説明する。MOSトランジスタ70は、対応するマッチ線MLと電源電位VDDを与える電源ノードとの間に接続される。MOSトランジスタ70のゲートには、マッチ線プリチャージ信号`ml_pre_n`が入力される。マッチ線MLは、さらに、インバータ71の入力ノードに接続される。インバータ71の出力ノードは、論理ゲート75の第1の入力ノードに接続される。論理ゲート75の第2の入力ノードには、インバータ74を介して制御信号`force_hit`が入力される。論理ゲート75の出力ノードは、インバータ72を介して論理ゲート75の第1の入力ノードに接続される。マッチアンプイネーブル信号`mae`およびその論理レベルをインバータ73によって反転させた信号は、インバータ71, 72の駆動電源ノードに接続される。マッチアンプイネーブル信号`mae`が非活性状態(“L”レベル)のとき、インバータ71は非動作状態となり、インバータ72は動作状態となる。マッチアンプイネーブル信号`mae`が活性状態(“H”レベル)のとき、インバータ71は動作状態となり、インバータ72は非動作状態となる。

20

【0079】

次に、図13のマッチアンプMAの回路動作について説明する。最初に、(i)制御論理回路24のレジスタREG1が“L”レベル(非ドントケアを表す)に設定されている場合について説明する。この場合、制御信号`force_hit`は“L”レベルであるので、論理ゲート75はインバータとして機能する。

30

【0080】

まず、マッチ線プリチャージ信号`ml_pre_n`が活性化される(“L”レベルになる)ことによって、MOSトランジスタ70が導通する。これによって、マッチ線MLが電源電位VDDまで充電される(プリチャージされる)。

【0081】

マッチ線プリチャージ信号`ml_pre_n`が非活性化された後に、図10のサーチ線イネーブル信号`sl_e`が活性化される(“H”レベルになる)ことによって、サーチ線対SL, `SL_n`にサーチデータが入力される。これによって、マッチ線MLの電位がサーチ結果(入力サーチデータの対応部分とTCAMセルデータとの比較結果)に依存して変化する。すなわち、一致(ヒット:hit)の場合、マッチ線MLの電位は電源電位VDD(“H”レベル)のまま維持され、不一致(ミス:miss)の場合、マッチ線MLの電荷が接地ノードに放電されるのでマッチ線のML電位は接地電位(“L”レベル)に変化する。

40

【0082】

次に、マッチアンプイネーブル信号`mae`が活性化される(“H”レベルになる)。これによって、サーチ結果に基づくマッチ線MLの電位が、インバータ71および論理ゲート75(インバータと同等)を介してマッチアンプ出力信号`mo`として出力される。マッチアンプイネーブル信号`mae`が非活性化される(“L”レベルになる)とき、インバータとして機能する論理ゲート75とインバータ72とによって構成されるラッチ回路69に、サーチ結果に基づくマッチ線MLの電位が保持される。

【0083】

50

一方、(i i) レジスタ R E G 1 が “ H ” レベル (ドントケアを表す) に設定されている場合には、制御信号 f o r c e _ h i t は “ H ” レベルであるので、マッチアンプ M A の出力信号 m o (論理ゲート 7 5 の出力信号) は、 “ H ” レベル (一致 (h i t) を表す) に固定される。さらに、この場合、マッチ線プリチャージ信号 m l p r e _ n は “ H ” レベル (非活性状態) であるので、マッチ線 M L のプリチャージは行われない。サーチ線イネーブル信号 s l e は “ L ” レベル (非活性状態) であるので、サーチ線対 S L , S L _ n はいずれも “ L ” レベルに固定されたままである (サーチ線ドライバ 2 2 は動作しない) 。マッチアンプイネーブル信号 m a e は “ L ” レベル (非活性状態) であるので、インバータ 7 1 は非動作状態である。

【 0 0 8 4 】

10

[サーチ動作の一例]

以下、ある 1 つのサブアレイにおけるサーチ動作の例について、図 1 4 および図 1 5 のタイミング図を参照して説明する。

【 0 0 8 5 】

(レジスタ R E G 1 に “ 0 ” が格納されている場合)

図 1 4 は、図 1 0 のサブアレイに設けられたレジスタ R E G 1 に非ドントケアを表す “ 0 ” が格納されているときのサーチ動作を示すタイミング図である。図 1 4 において、各サイクルはクロック信号 c l k のポジティブエッジから次のポジティブエッジまでの期間である。制御論理回路 2 4 から出力される制御信号 f o r c e _ h i t は、 “ L ” レベルである。

20

【 0 0 8 6 】

図 1 4 を参照して、T 1 サイクルへ切替わる付近で (T 1 サイクルの 1 つ前のサイクルの後半から T 1 サイクルの前半にかけて)、サーチコマンドとサーチデータとが T C A M 装置に入力される。T 1 サイクルの最初のクロック信号 c l k の立上がりにおいて、サーチコマンドとサーチデータとが制御論理回路 2 4 に取り込まれる。このサーチコマンドにตอบสนองして、次の T 2 サイクルの前半で制御論理回路 2 4 は、マッチ線プリチャージ信号 m l p r e _ n を活性化する (“ L ” レベルにする)。これによって、マッチ線 M L が電源電位 V D D まで充電される (プリチャージされる)。

【 0 0 8 7 】

サーチコマンドにตอบสนองして、T 2 サイクルの後半で、制御論理回路 2 4 はサーチ線イネーブル信号 s l e を活性化する (“ H ” レベルにする)。サーチ線イネーブル信号 s l e が活性化する前に、マッチ線プリチャージ信号 m l p r e _ n は非活性化される (“ H ” レベルになる)。サーチ線イネーブル信号 s l e の活性化によってサーチ線ドライバ 2 2 が活性化され、サーチ線ドライバ 2 2 はサーチデータ s d をサーチ線対 S L , S L _ n に転送する。この結果、マッチ線 M L に接続された全ての T C A M セルのセルデータと、サーチ線対 S L , S L _ n を介して転送されたサーチデータ s d とが一致した場合には (ヒット)、マッチ線 M L の電位は電源電位 V D D (“ H ” レベル) に維持される。マッチ線 M L に接続された T C A M セルの格納値のうち 1 つでも、転送されたサーチデータ s d と一致しない場合には (ミス)、マッチ線 M L にプリチャージされた電荷が放電されるために、マッチ線 M L の電位は接地電位 (“ L ” レベル) に変化する。

30

40

【 0 0 8 8 】

サーチコマンドにตอบสนองして、T 2 サイクルの後半において、さらに、制御論理回路 2 4 は、サーチ線イネーブル信号 s l e を活性化した後でかつ非活性化する前に、マッチアンプイネーブル信号 m a e を活性化する (“ H ” レベルにする)。これによって、行 (エントリ) ごとに、マッチアンプ M A からマッチ線 M L の電位に基づく信号 (サーチ結果) が出力される。同一のエントリに対応する複数のサブアレイ (マッチアンプ M A) でのサーチ結果は、A N D 演算された後にプライオリティ・エンコーダ 3 0 に入力される。

【 0 0 8 9 】

次の T 3 サイクルにおいて、制御論理回路 2 4 がマッチアンプイネーブル信号 m a e を非活性化する (“ L ” レベルにする) ことによって、各マッチ線 M L で検出されたサーチ

50

結果は、対応するマッチアンプMA内のラッチ回路69に保持される。さらに、T3サイクルにおいて、プライオリティ・エンコーダ30は、ヒットアドレス（サーチ結果）を出力する。ヒットアドレスが複数存在する場合には、最も優先度の高いものが出力される。

【0090】

（レジスタREG1に“1”が格納されている場合）

図15は、図10のサブアレイに設けられたレジスタREG1にドントケアを表すデータ“1”が格納されているときのサーチ動作を示すタイミング図である。

【0091】

図15を参照して、電源立ち上げ時などにおいて、最初に（図15では、T1サイクルの1つ前のサイクルの後半からT1サイクルの前半にかけて）、レジスタ書込みコマンドとドントケアを表すレジスタ設定データ（“H”レベル）とがTCAM装置に入力される。T1サイクルの最初のクロック信号clkの立上がりにおいて、レジスタ設定データ（“H”レベル）は、対応するサブアレイSAのレジスタREG1に書込まれる。これによって、制御信号force_hitが“H”レベルになり、各マッチアンプMAの出力信号moが“H”レベル（ヒットを表す）に固定される。

【0092】

サーチ動作時において、最初に（図15では、T2サイクルの後半からT3サイクルの前半にかけて）、サーチコマンドとサーチデータとがTCAM装置に入力される。レジスタREG1に“L”レベルが設定されている場合には、T3サイクルの最初のクロック信号clkの立上がりにおいて、サーチコマンドが制御論理回路24に取り込まれ、次のT4サイクルにおいてサーチ動作が実行される（図14参照）。しかしながら、レジスタREG1に“H”レベルが設定されている場合には、サーチコマンドが制御論理回路24に取り込まれることはない。このため、次のT4サイクルにおいて、サーチ動作が開始されない。

【0093】

このように、ある1つのサブアレイの全てのTCAMセルのセルデータがドントケアを表すデータの場合には、レジスタREG1が“H”レベル（“1”）に設定される。この結果、当該サブアレイの各マッチアンプMAの出力が“H”レベル（ヒット）に固定されるとともに、当該サブアレイではサーチ動作（マッチ線のプリチャージおよびサーチ線ドライバの動作）が実行されないようになるので、省電力化を図ることができる。

【0094】

〔マッチアンプの構成の変形例〕

たとえば、図9のTCAM装置のサブアレイSA[15, 1], SA[15, 2], SA[15, 3]については、データが格納されていないインバリッドエントリを含んでいる。すなわち、これらのサブアレイの各行は、全てのセルデータがドントケアに設定されているか、インバリッドエントリに該当するかのいずれかである。したがって、各行（エントリ）のサーチ結果は自明である。このような場合においても、図10の制御論理回路24内のレジスタREG1を“H”レベル（“1”）に設定することによって、当該サブアレイではサーチ動作を行わないようにすることによって、低消費電力化を図ることができる。ただし、これらのサブアレイのうちインバリッドエントリに該当する行に関しては、マッチアンプMAがサーチ結果として“L”レベル（ミス）を出力するように変更する必要がある。

【0095】

以下、上記のように、インバリッドエントリではサーチ結果としてミスを出力するように変更されたマッチアンプMAの構成について説明する。なお、図9で説明したように、インバリッドエントリ（Invalid Entry）とは、TCAM装置の総エントリのうちデータが格納されていない空きエントリを意味し、検索非対象エントリとなっている。一方、バリッドエントリ（Valid Entry）とは、TCAM装置の総エントリのうちデータが格納されている検索対象エントリである。

【0096】

図16は、図10のマッチアンプの変形例を示す回路図である。図16のマッチアンプMAは、ANDゲート76とレジスタREG2をさらに含む点で、図10のマッチアンプと異なる。レジスタREG2は、サブアレイの対応する行（エントリ）がインバリッドエントリの場合に“L”レベル（この明細書では“0”とする）に設定され、バリッドエントリの場合に“H”レベル（この明細書では“1”とする）に設定される。レジスタREG2は、サブアレイSAの行ごとにマッチアンプMAに対応して設けられていればよいので、必ずしも図16のようにマッチアンプMAの内部に設けられている必要はない。上記のレジスタREG2の値の設定は、TCAM装置内部の専用回路が行ってもよいし、TCAM装置の外部（たとえば、図6のNPU101）から行うようにしてもよい。

【0097】

10

ANDゲート76は、レジスタREG2から出力された制御信号val__entと論理ゲート75の出力信号とのAND演算結果を、マッチアンプMAの出力信号moとして出力する。図16のその他の構成は図10の場合と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

【0098】

上記構成によれば、図10および図11で説明したレジスタREG1が、ドントケアを表す“H”レベルの値（“1”）に設定されていた場合であっても、インバリッドエントリに対応するマッチアンプMAのレジスタREG2を“L”レベルの値（“0”）に設定することによって、マッチアンプMAの出力信号moを“L”レベル（ミス）にすることができる。したがって、あるサブアレイの各行が、全てドントケアのセルデータによって構成されているか、インバリッドエントリに該当し、“1”または“0”のデータを格納するTCAMセルが含まれていない場合には、当該サブアレイでのサーチ動作を停止させた上で、各マッチアンプMAからヒット（ドントケアの場合）またはミス（インバリッドエントリの場合）を正常に出力させることができる。この結果、当該サブアレイの消費電力を低減させることができる。

20

【0099】

〔第1の実施形態の効果〕

上記の実施形態によれば、サーチ結果が自明なサブアレイは、サーチ動作を行わないようにしたうえで、当該サブアレイから正常なサーチ結果を出力するように制御できる。具体的に、サブアレイに含まれるすべてのTCAMセルのデータがドントケアである場合には、各マッチアンプMAからヒットを表わす“H”レベルの信号が出力される。サブアレイの各行が、全てドントケアのセルデータによって構成されているか、インバリッドエントリに該当するかのいずれかである場合には、ドントケアの場合に対応するマッチアンプMAからヒットを表す“H”レベルの信号が出力され、インバリッドエントリの場合に対応するマッチアンプからミスを表す“L”レベルの信号が出力される。この結果、当該サブアレイの各マッチアンプMAは、マッチ線のプリチャージ電流および動作電流を発生しないので、TCAM装置の消費電力を低減させることができる。

30

【0100】

さらに、サーチ結果が自明なサブアレイに対してサーチ動作を行わないことによって、サーチ動作時のピーク電流を低減させ、急激な電流変化を抑制することができる。さらに、急激な電流変化を抑制することによって、TCAM装置を搭載した半導体チップに供給する電源電圧の揺らぎを低減することができ、この結果、サーチ特性が安定した高品質なTCAM装置を実現することができる。さらに、TCAM装置の消費電流およびサーチ動作時のピーク電流の削減によって、TCAM装置に接続する外部電源装置の必要能力（すなわち、電流の供給能力および応答性能など）を軽減することができるので、安価で高品質なデータ検索システムを実現することができる。

40

【0101】

< 第2の実施形態 >

〔TCAMサブアレイの構成〕

図17は、第2の実施形態によるTCAM装置において、サブアレイSAの構成を示す

50

ブロック図である。図 17 に示すサブアレイ S A は、列方向 (Y 方向) の両端に配置された 2 個の制御論理回路 24 A, 24 B と、列方向 (Y 方向) の両端に配置された 2 個のサーチ線ドライバ 22 A, 22 B とを含む点で、図 10 のサブアレイ S A と異なる。図 17 では図示していないが、書込みドライバについても列方向 (Y 方向) の両端に配置されている。

【0102】

第 0 行から第 $(m - 1) / 2$ 行までの T C A M セル (セルアレイ 20 A と称する) は、これらの T C A M セル (セルアレイ 20 A) に隣接する S L ドライバ 22 A、マッチアンプ部 23 A、および制御論理回路 24 A によって制御される。

【0103】

セルアレイ 20 A がドントケアのデータのみを格納している場合には、制御論理回路 24 A に設けられたレジスタ R E G 1 A に “H” レベルの値 (“1”) が設定される。この場合、制御論理回路 24 A から出力される制御信号 `force_hit` は “H” レベル (“1”) となるので、マッチアンプ部 23 A に設けられたマッチアンプ (不図示) からの出力信号 `mo[0] ~ mo[(m - 1) / 2]` は “H” レベル (ヒット) に固定される。

【0104】

第 $(m - 1) / 2 + 1$ 行から第 m 行までの T C A M セル (セルアレイ 20 B と称する) は、これらの T C A M セル (セルアレイ 20 B) に隣接する S L ドライバ 22 B、マッチアンプ部 23 B、および制御論理回路 24 B によって制御される。

【0105】

セルアレイ 20 B がドントケアのデータのみを格納している場合には、制御論理回路 24 B に設けられたレジスタ R E G 1 B に “H” レベルの値 (“1”) が設定される。この場合、制御論理回路 24 B から出力される制御信号 `force_hit` は “H” レベル (“1”) となるので、マッチアンプ部 23 B に設けられたマッチアンプ (不図示) からの出力信号 `mo[(m - 1) / 2 + 1] ~ mo[m]` は “H” レベル (ヒット) に固定される。

【0106】

図 17 のサブアレイ S A のマッチアンプ部 23 A, 23 B に設けられた各マッチアンプ (不図示) は、図 16 で説明したレジスタ R E G 2 を有するマッチアンプ M A の構成としてもよい。この場合、サブアレイ S A のセルアレイ 20 A, 20 B のうちインバリッドエントリに該当する行のマッチアンプからの出力信号 `mo` は “L” レベル (ミス) となる。

【0107】

図 17 のその他の点は、図 10 などでも説明した第 1 の実施形態の場合と同様であるので、同一または相当する部分については同一の参照符号を付して説明を繰返さない。

【0108】

[第 2 の実施形態の効果]

上記の構成のサブアレイを備えた T C A M 装置によれば、第 1 の実施形態の T C A M 装置と同様の効果を奏するとともに、さらに次のような効果を奏する。まず、第 1 の実施形態の図 10 の構成のサブアレイに比べて、総エントリ (行) 数が半分の領域に対してドントケア領域か否かの設定が可能になる。したがって、ドントケア領域が比較的小さな A C L ルールファイルに対しても省電力化を図ることができる。

【0109】

さらに、図 10 の構成のサブアレイ S A を複数配置する場合には、デザインルールの制約のために、サーチ線ドライバ 22 などのドライバ回路とセルアレイ 20 A とが近接しないように、隣合うサブアレイ S A の間にある程度の間隔を設ける必要がある。これに対して、図 17 の構成のサブアレイ S A を複数配置する場合には、各サブアレイ S A のサーチ線ドライバ 22 A および制御論理回路 24 A を、隣接するサブアレイ S A のサーチ線ドライバ 22 B および制御論理回路 24 B に近接して配置することができるので、隣合うサブアレイの間隔を図 10 の場合ほどあけなくてもよいというメリットがある。

【0110】

< 第 3 の実施形態 >

たとえば、図 9 のサブアレイ S A [6 , 1] , S A [1 3 , 1] については、サブアレイ内の全ての行の T C A M セルがドントケアに設定されているわけではないので、図 1 0 および図 1 1 で説明したレジスタ R E G 1 を “ H ” レベル (“ 1 ”) に設定することはできない。しかしながら、一部の行の T C A M セルについては全てドントケアに設定されているので、これらの一部の行についてはサーチ結果がヒットになることは自明である。

【 0 1 1 1 】

そこで、第 3 の実施形態の T C A M 装置は、サブアレイの行ごとに、マッチ線 M L のプリチャージを停止し、マッチアンプ M A の回路動作を行わないよう制御可能にしたものである。これによって一層の低消費電力化を図ることができる。以下、図面を参照して具体的に説明する。

【 0 1 1 2 】

[マッチアンプの構成および動作]

図 1 8 は、第 3 の実施形態による T C A M 装置において、マッチアンプ M A の構成を示す回路図である。図 1 8 のマッチアンプ M A は、レジスタ R E G 3 、 O R ゲート 7 7 、 A N D ゲート 7 8 、およびインバータ 7 9 をさらに含む点で、図 1 3 のマッチアンプ M A と異なる。さらに、図 1 8 のマッチアンプ M A は、インバータ 7 4 に代えて N O R ゲート 8 0 を含む点で図 1 3 のマッチアンプ M A と異なる。

【 0 1 1 3 】

マッチ線 M L を介してマッチアンプ M A に接続された全ての T C A M セルのセルデータがドントケアに設定されている場合には、レジスタ R E G 3 は “ H ” レベル (この明細書では “ 1 ” に対応する) に設定される。マッチ線 M L を介してマッチアンプ M A に接続されている T C A M セルのうち少なくとも 1 つのセルデータがドントケアでない場合には、レジスタ R E G 3 は “ L ” レベル (この明細書では “ 0 ” に対応する) に設定される。レジスタ R E G 3 は、サブアレイ S A の行ごとにマッチアンプ M A に対応して設けられていればよいので、必ずしも図 1 8 のようにマッチアンプ M A の内部に設けられている必要はない。

【 0 1 1 4 】

O R ゲート 7 7 は、レジスタ R E G 3 から出力された制御信号 d n c _ h i t とマッチ線プリチャージ信号 m l p r e _ n との O R 演算を実行し、演算結果を P チャネル M O S トランジスタ 7 0 のゲートに出力する。したがって、レジスタ R E G 3 の設定値に従う制御信号 d n c _ h i t が “ H ” レベルのときは、M O S トランジスタ 7 0 はオフ状態に固定されるので、マッチ線 M L のプリチャージは生じない。

【 0 1 1 5 】

A N D ゲート 7 8 は、レジスタ R E G 3 から出力された制御信号 d n c _ h i t の論理レベルをインバータ 7 9 によって反転させた値とマッチアンプイネーブル信号 m a e との A N D 演算を行う。A N D ゲート 7 8 の A N D 演算結果と、この A N D 演算結果の論理レベルをインバータ 7 3 によって反転させた信号とが、インバータ 7 1 , 7 2 の駆動電源ノードに供給される。したがって、レジスタ R E G 3 の設定値に従う制御信号 d n c _ h i t が “ H ” レベルの場合には、インバータ 7 1 は非動作状態となり、インバータ 7 2 は動作状態となるので、マッチ線 M L の電位は後段の回路に出力されず、マッチ線 M L の電位のラッチも行われない。

【 0 1 1 6 】

N O R ゲート 8 0 は、レジスタ R E G 3 から出力された制御信号 d n c _ h i t と制御信号 f o r c e _ h i t との N O R 演算を行い、演算結果を論理ゲート 7 5 (N A N D ゲート) の第 2 の入力ノードに入力する。したがって、レジスタ R E G 3 (制御信号 d n c _ h i t) が “ H ” レベルに設定されているときは、マッチアンプ M A の出力信号 m o (論理ゲート 7 5 の出力信号) は、 “ H ” レベル (一致 (h i t) を表す) に固定される。

【 0 1 1 7 】

以上のように、レジスタ R E G 3 (制御信号 d n c _ h i t) が “ H ” レベルに設定さ

10

20

30

40

50

れているときは、レジスタREG1が“L”レベルに設定されていたとしても、マッチアンプMAの出力信号moを“H”レベル（ヒット）に固定するとともに、マッチ線MLのプリチャージおよびマッチアンプMAの回路動作を停止させることができる。

【0118】

図18のその他の構成および動作は図13と同様であるので、同一または相当する部分に同一の参照符号を付して説明を繰返さない。たとえば、制御論理回路24に設けられたレジスタREG1とマッチアンプMAに設けられたレジスタREG3とが共に“L”レベル（非ドントケアを表す）に設定されている場合には、マッチアンプMAとマッチ線MLを介して接続されたTCAMセルについては通常のサーチ動作が行われる。制御論理回路24に設けられたレジスタREG1が“H”レベル（ドントケアを表す）に設定されている場合には、サブアレイ全体のサーチ動作が停止される。

10

【0119】

〔レジスタREG3へのデータ設定方法〕

以下、図18～図21を参照して、レジスタREG3へのデータ設定方法について説明する。

【0120】

図18に示すように、レジスタREG3には、レジスタ書込み信号reg_w_sigとレジスタデータreg_dataとが入力される。レジスタREG3は、レジスタ書込み信号reg_w_sigが活性化されたときに、レジスタデータreg_dataを格納する。レジスタ書込み信号reg_w_sigおよびレジスタデータreg_dataは、TCAM装置内部の専用回路から与えてもよいし、TCAM装置外部のプロセッサ（たとえば、図6のNPU101）から与えてもよい。

20

【0121】

特に、TCAM装置内部に専用回路（図19のデータ判定回路33）を設けた場合には、当該専用回路は、TCAM装置へのデータ書込み時に、共通のマッチ線MLに接続された全てのTCAMセルへの書込みデータがドントケアであるか否かを判定し、判定結果に基づいて即座にレジスタREG3に書込みを行うことができるので、都合がよい。当該専用回路は、共通のマッチ線MLに接続された全てのTCAMセルがドントケアに設定される場合に、レジスタREG3を“H”レベル（“1”）に設定し、そうでない場合に、レジスタREG3を“L”レベル（“0”）に設定する。

30

【0122】

これに対して、TCAM装置の外部のプロセッサによってレジスタREG3の設定を行う場合には、TCAM装置へのデータ書込み後に、外部のプロセッサがTCAM装置からエントリごとにデータを読み出して、上記の判定条件が満たされているか否かを判定することになる。したがって、TCAM装置内部に専用回路を設けるよりも、余計に手間がかかってしまう。

【0123】

以下、上記の専用回路（図19のデータ判定回路33）の動作について、図面を参照して詳しく説明する。

【0124】

図19は、第3の実施形態によるTCAM装置の構成を示すブロック図である。図19のTCAM装置は、データ判定回路33[0]～33[3]（総称する場合または不特定のものを示す場合にデータ判定回路33と記載する）をさらに含む点で、図4のTCAM装置と異なる。

40

【0125】

図19に示すように、データ判定回路33[0]は、サブアレイSA[0,0], SA[1,0], SA[2,0], ...に対応して設けられる。データ判定回路33[0]は、コマンド入力回路32を介して入力された書込みコマンドを検出したとき、対応するサブアレイへの書込みデータd[0:31]に基づいて、同一行（エントリ）の全ての書込みデータがドントケアであるという条件が満たされているか否かを判定する。データ判定回

50

路 3 3 [0] は、上記の判定条件が満たされている場合に、当該行に対応するレジスタ R E G 3 を “ H ” レベル（ドントケアを表す）に設定する。

【 0 1 2 6 】

同様に、データ判定回路 3 3 [1] は、サブアレイ S A [0 , 1] , S A [1 , 1] , S A [2 , 1] , ... に対応して設けられ、対応するサブアレイへの書込みデータ d [3 2 : 6 3] に基づいて、対応するサブアレイの各レジスタ R E G 3 の設定を行う。データ判定回路 3 3 [2] は、サブアレイ S A [0 , 2] , S A [1 , 2] , S A [2 , 2] , ... に対応して設けられ、対応するサブアレイへの書込みデータ d [6 4 : 9 5] に基づいて、対応するサブアレイの各レジスタ R E G 3 の設定を行う。データ判定回路 3 3 [3] は、サブアレイ S A [0 , 3] , S A [1 , 3] , S A [2 , 3] , ... に対応して設けられ、対応するサブアレイへの書込みデータ d [9 6 : 1 2 7] に基づいて、対応するサブアレイの各レジスタ R E G 3 の設定を行う。

【 0 1 2 7 】

図 2 0 は、図 1 9 のデータ判定回路 3 3 の動作を示すフローチャートである。図 1 9 および図 2 0 を参照して、T C A M セルへのデータ書込み時に、データ入力回路 3 1 は、エントリごとに、各 T C A M セルの X セル（図 1 参照）用の書込みデータを出力し、次に Y セル用の書込みデータを出力する。データ入力回路 3 1 から順次出力された X セル用および Y セル用の書込みデータ d [0 : 3 1] , d [3 2 : 6 3] , d [6 4 : 9 5] , d [9 6 : 1 2 7] は、3 2 ビットごとに対応するサブアレイ S A の書込みドライバ 2 1 に入力され、書込みドライバ 2 1 から各ビット線対 B L , B L _ n に出力される。X セル用および Y セル用の書込みデータ d [0 : 3 1] , d [3 2 : 6 3] , d [6 4 : 9 5] , d [9 6 : 1 2 7] は、3 2 ビットごとに対応するデータ判定回路 3 3 に入力される。言い替えると、データ判定回路 3 3 は、同一マッチラインに接続された書込み対象である T C A M セルの X セルおよび Y セル用の書込みデータを順次受信する（ステップ S 1 0 0 ）。

【 0 1 2 8 】

次に、データ判定回路 3 3 は、受信した 3 2 ビットの X セル用の書込みデータの全ビットと 3 2 ビットの Y セル用の書込みデータの全ビットとが全て “ 0 ” であるという条件が満たされているか否かを判定する（ステップ S 1 1 0 ）。具体的には、データ判定回路 3 3 は、X セル用の書込みデータの全ビットの O R 演算を行い、さらに、Y セル用の書込みデータの全ビットの O R 演算を行う。データ判定回路 3 3 は、これらの O R 演算の演算結果の N O R 演算を実行し、最終的に得られた値が “ 1 ” （ドントケア）であるか “ 0 ” （非ドントケア）であるかを判定する。

【 0 1 2 9 】

上記の X セル用データおよび Y セル用データの全ビットが “ 0 ” であるという判定条件が満たされている場合、すなわち、上記の論理演算によって最終的に得られた値が “ 1 ” （ドントケア）である場合（ステップ S 1 1 0 で Y E S ）、データ判定回路 3 3 は、書込み対象のエントリに対応するレジスタ R E G 3 を、ドントケアを表す値 “ 1 ” （ “ H ” レベル）に設定する（ステップ S 1 2 0 ）。レジスタ R E G 3 に値 “ 1 ” を設定するタイミングは、T C A M セルにデータを書込むタイミングと同じでよい。

【 0 1 3 0 】

逆に、上記の判定条件が満たされていない場合、すなわち、上記の論理演算によって最終的に得られた値が “ 0 ” （非ドントケア）である場合（ステップ S 1 1 0 で N O ）、データ判定回路 3 3 は、書込み対象のエントリに対応するレジスタ R E G 3 を、非ドントケアを表す値 “ 0 ” （ “ L ” レベル）に設定する（ステップ S 1 3 0 ）。

【 0 1 3 1 】

図 2 1 は、第 3 の実施形態の T C A M 装置において、図 1 8 のレジスタ R E G 3 へのデータ書込み手順を示すタイミング図である。図 2 1 において、各サイクルはクロック信号 c l k のポジティブエッジから次のポジティブエッジまでの期間である。

【 0 1 3 2 】

図 1 9 および図 2 1 を参照して、最初に、T 1 サイクルへ切替わる付近で（T 1 サイク

10

20

30

40

50

ルの１つ前のサイクルの後半からＴ１サイクルの前半にかけて）、Ｘセル用の書込みデータ（１２８ビット）とＸセルへの書込みを指令するためのコマンドとが、それぞれ、データ入力回路３１とコマンド入力回路３２とに入力される。データ入力回路３１は、入力されたＸセル用データ（１２８ビット）を、３２ビットごとに分割し、分割後のＸセル用データ（３２ビット）の各々を対応するサブアレイＳＡおよび対応するデータ判定回路３３に出力する。コマンド入力回路３２は、入力されたコマンド（Ｘセルへの書込み）を各サブアレイＳＡおよび各データ判定回路３３に出力する。Ｔ１サイクルにおいて、各データ判定回路３３は、対応する３２ビット分のＸセル用データを取り込む。

【０１３３】

次に、Ｔ２サイクルへ切替わる付近で（Ｔ１サイクルの後半からＴ２サイクルの前半にかけて）、Ｙセル用の書込みデータ（１２８ビット）とＹセルへの書込みを指令するためのコマンドとが、それぞれ、データ入力回路３１とコマンド入力回路３２とに入力される。データ入力回路３１は、入力されたＹセル用データ（１２８ビット）を、３２ビットごとに分割し、分割後のＹセル用データ（３２ビット）の各々を対応するサブアレイＳＡおよび対応するデータ判定回路３３に出力する。コマンド入力回路３２は、入力されたコマンド（Ｙセルへの書込み）を各サブアレイＳＡおよび各データ判定回路３３に出力する。

【０１３４】

Ｔ２サイクルにおいて、各データ判定回路３３は、対応する３２ビット分のＹセル用の書込みデータを取り込む。さらに、各データ判定回路３３は、Ｔ１サイクルで取り込んだＸセル用データの全ビットのＯＲ演算を行い、演算結果（“０”または“１”）を、たとえば、データ判定回路３３ごとに設けられた２ビットのシフトレジスタの第１ビット目に保持する。

【０１３５】

次のＴ３サイクルにおいて、Ｘセル用データのＯＲ演算結果は、シフトレジスタの第２ビット目にシフトされる。各データ判定回路３３は、Ｔ２サイクルで取り込んだＹセル用データの全ビットのＯＲ演算を行い、演算結果（“０”または“１”）を、上記のシフトレジスタの第１ビット目に保持する。その後、各データ判定回路３３は、対応するシフトレジスタの第１ビット目と第２ビット目とのＮＯＲ演算を行う（すなわち、Ｔ２サイクルで得られたＸセル用データのＯＲ演算結果とＴ３サイクルで得られたＹセル用データのＯＲ演算結果とのＮＯＲ演算がさらに実行される）。以上の論理演算の最終的な結果が“１”の場合は、３２ビットのＸセル用データおよび３２ビットのＹセル用データの各ビットは全て“０”であること、すなわち、３２ビットの書込みデータの全ビットがドントケアであることがわかる。

【０１３６】

次のＴ４サイクルにおいて、データ判定回路３３は、ＮＯＲ演算結果をレジスタデータ `reg_data` として、対応するサブアレイＳＡの各レジスタ `REG3` に出力する。データ判定回路３３は、Ｔ４サイクルのクロック信号 `clk` のネガティブエッジで、書込み対象エントリに対応するマッチアンプ `MA` に設けられたレジスタ `REG3` に供給されるレジスタ書込み信号 `reg_wsig` を活性化する（“Ｈ”レベルにする）。この結果、書込み対象エントリの `TCA` `M` セルの値が全てドントケアの場合には、レジスタ `REG3` に“１”（“Ｈ”レベル）が設定され、そうでない場合（非ドントケアの場合）には、レジスタ `REG3` に“０”（“Ｌ”レベル）が設定される。レジスタ書込み信号 `reg_wsig` をクロック信号 `clk` のネガティブエッジで発生させる理由は、セットアップ時間およびホールド時間を十分に確保するためである。

【０１３７】

〔マッチアンプの変形例〕

図２２は、図１８のマッチアンプ `MA` の変形例を示すブロック図である。図２２のマッチアンプ `MA` は、対応する行がデータの格納されていないインバリッドエントリの場合にも適用可能なものである。

【０１３８】

具体的に、図 2 2 のマッチアンプ M A は、レジスタ R E G 2、A N D ゲート 7 6、インバータ 8 1、および O R ゲート 8 2 をさらに含む点で図 1 8 のマッチアンプ M A と異なる。

【 0 1 3 9 】

レジスタ R E G 2 は、サブアレイの対応する行がインバリッドエントリの場合に “ L ” レベル（この明細書では “ 0 ” とする）に設定され、バリッドエントリの場合に “ H ” レベル（この明細書では “ 1 ” とする）に設定される。レジスタ R E G 2 は、サブアレイ S A の行ごとにマッチアンプ M A に対応して設けられていればよいので、必ずしも図 2 2 のようにマッチアンプ M A の内部に設けられている必要はない。上記のレジスタ R E G 2 の値の設定は、T C A M 装置内部の専用回路が行ってもよいし、T C A M 装置の外部（たとえば、図 6 の N P U 1 0 1 ）から行うようにしてもよい。

10

【 0 1 4 0 】

A N D ゲート 7 6 は、レジスタ R E G 2 から出力された制御信号 v a l _ e n t と論理ゲート 7 5 の出力信号との A N D 演算結果を、マッチアンプ M A の出力信号 m o として出力する。したがって、レジスタ R E G 1 の設定値が “ 1 ”（ドントケア）であるか、または、レジスタ R E G 3 の設定値が “ 1 ”（ドントケア）であったとしても、レジスタ R E G 2 の設定値が “ 0 ”（インバリッド）であれば、レジスタ R E G 2 のインバリッド設定が優先されるため、マッチアンプ M A の出力信号 m o を “ L ” レベル（ミス）にすることができる。

20

【 0 1 4 1 】

O R ゲート 8 2 は、レジスタ R E G 3 から出力された制御信号 d n c _ h i t と、レジスタ R E G 2 から出力された制御信号 v a l _ e n t の論理レベルをインバータ 8 1 によって反転させた値との O R 演算を行う。

【 0 1 4 2 】

O R ゲート 7 7 は、O R ゲート 8 2 の出力値とマッチ線プリチャージ信号 m l p r e _ n との O R 演算を実行し、演算結果を P チャネル M O S トランジスタ 7 0 のゲートに出力する。したがって、レジスタ R E G 3 の設定値に従う制御信号 d n c _ h i t が “ H ” レベル（ドントケア）の場合、および／または、レジスタ R E G 2 の設定値に従う制御信号 v a l _ e n t が “ L ” レベル（インバリッド）の場合に、M O S トランジスタ 7 0 はオフ状態に固定されるので、マッチ線 M L のプリチャージは生じない。

30

【 0 1 4 3 】

A N D ゲート 7 8 は、O R ゲート 8 2 の出力値の論理レベルをインバータ 7 9 によって反転させた値とマッチアンプイネーブル信号 m a e との A N D 演算を行う。A N D ゲート 7 8 の A N D 演算結果と、この A N D 演算結果の論理レベルをインバータ 7 3 によって反転させた信号とが、インバータ 7 1、7 2 の駆動電源ノードに供給される。したがって、レジスタ R E G 3 の設定値に従う制御信号 d n c _ h i t が “ H ” レベル（ドントケア）の場合、および／または、レジスタ R E G 2 の設定値に従う制御信号 v a l _ e n t が “ L ” レベル（インバリッド）の場合には、インバータ 7 1 は非動作状態となり、インバータ 7 2 は動作状態となるので、マッチ線 M L の電位は後段の回路に出力されず、マッチ線 M L の電位のラッチも行われな

40

【 0 1 4 4 】

図 2 2 のその他の構成は図 1 8 の場合と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

【 0 1 4 5 】

このように、マッチアンプ M A に対応する行がインバリッドエントリの場合にもサーチ結果が自明（ミスになる）であるため、マッチ線 M L のプリチャージ動作が停止され、マッチアンプ M A の回路動作が停止される。この場合には、マッチアンプ M A の出力信号が “ L ” レベル（ミス）に固定されることによって、正常なサーチ結果が出力される。

【 0 1 4 6 】

図 2 2 において、インバータ 8 1 および O R ゲート 8 2 を設けないような変形例も可能

50

である。すなわち、レジスタREG2から出力された制御信号val__entは、ANDゲート76にのみ入力される。この場合、レジスタREG2を“0”（インバリッド）に設定しただけでは、対応するマッチ線MLのプリチャージを停止したり、マッチアンプMAの回路動作を停止したりすることができない。したがって、レジスタREG2を“0”（インバリッド）に設定した場合には、必ず、レジスタREG3を“1”（ドントケア）に設定する必要がある。

【0147】

[第3の実施形態の効果]

上記のとおり、サブアレイ内の全てのセルデータがドントケアでない場合であっても、全セルデータがドントケアである行（以下、「ドントケアエントリ」と称する）を含んでいる場合、もしくは、データが設定されていないインバリッドエントリを含んでいる場合には、当該行のサーチ結果は自明である。このような場合には、当該行（ドントケアエントリまたはインバリッドエントリ）のマッチ線MLのプリチャージ動作が停止され、マッチアンプMAの回路動作が停止される。これによって、TCAM装置の消費電力を低減させることができる。そして、ドントケアエントリに対応するマッチアンプMAからの出力信号を“H”レベル（ヒット）に固定し、インバリッドエントリに対応するマッチアンプMAからの出力信号を“L”レベル（ミス）に固定することによって、正常なサーチ動作を行うことができる。

【0148】

第3の実施形態のTCAM装置によれば、サブアレイ内にドントケアエントリまたはインバリッドエントリが散在している場合に有効な低消費電力化手段を与えることができる。

【0149】

<第4の実施形態>

第4の実施形態のTCAM装置では、図10および図11で説明した、サブアレイ全体のサーチ動作を停止可能するためのレジスタREG1が設けられていない場合について説明する。この場合、図18および図22で説明したマッチアンプMAごとに設けられているレジスタREG3の設定値に基づいて、サブアレイ全体のサーチ動作を停止するか否かが判定される。以下、図面を参照して詳しく説明する。

【0150】

[サブアレイの構成]

図23は、第4の実施形態によるTCAM装置において、サブアレイの構成を模式的に示すブロック図である。図23のサブアレイSAは、制御論理回路24内のレジスタREG1が設けられておらず、このレジスタREG1に代えて論理積回路27が設けられている点で、図10のサブアレイSAと異なる。図23のその他の構成は図10と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

【0151】

論理積回路27は、TCAMセルアレイ20の行ごとに（マッチ線MLごとに）設けられたレジスタREG3[0]～REG3[m]のそれぞれの設定値dnc__hit[0]～dnc__hit[m]の論理積を演算し、演算結果を制御信号force__hitとして出力する。制御信号force__hitは、制御論理回路24に入力される。既に説明したように、レジスタREG3は、サブアレイ内の対応する行のセルデータが全てドントケアであるときに“1”（“H”レベル）に設定され、そうでない場合に“0”（“L”レベル）に設定される。したがって、サブアレイ内の全てのセルデータがドントケアの場合に制御信号force__hitは“H”レベル（“1”）になり、そうでない場合に制御信号force__hitは“L”レベル（“0”）になる。

【0152】

[制御論理回路の構成]

図24は、図23の制御論理回路24において、検索動作に関係する部分の構成を示す回路図である。図24の制御論理回路24は、レジスタREG1を含まない点で図11の

制御論理回路 24 と異なる。図 24 の場合、インバータ 42 への入力される制御信号 `force__hit` は、図 23 の論理積回路 27 から与えられる。

【0153】

さらに、図 24 の場合、制御信号 `force__hit` は制御論理回路 24 から各マッチアンプ MA に出力されない。したがって、図 18 および図 22 のマッチアンプ MA では、NOR ゲート 80 に代えて、レジスタ REG 3 から出力された制御信号 `dn_c__hit` の論理レベルを反転するためのインバータが設けられる。このインバータの出力信号が論理ゲート 75 に入力される。図 24 のその他の構成は図 11 と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

【0154】

〔第 4 の実施形態の効果〕

上記の構成によれば、サブアレイ内の全てのセルデータがドントケアに設定されており、これによって、サブアレイ内の行ごとに設けられたレジスタ REG 3 が全てドントケアに設定されている場合には、自動的にサブアレイのサーチ動作を停止することができる。図 19 ~ 図 21 で説明したように、レジスタ REG 3 の値の設定については、データ判定回路 33 を用いて自動的に行うことができるので、レジスタ REG 1 の値を設定するために、TCAM 装置へのデータ書込み後に TCAM セルデータの内容を解析する必要がないというメリットがある。

【0155】

変形例として、図 10 および図 11 で説明したレジスタ REG 1 と、図 23 の論理積回路 27 とのいずれも設けないという構成が考えられる。しかし、この変形例の構成において、サブアレイ内の全てのセルデータがドントケアに設定されていた場合には、全てのマッチ線 ML のプリチャージ動作を停止し、全てのマッチアンプ MA の回路動作を停止することはできるけれども、サーチ線ドライバ 22 の動作を停止することができない。上記の実施形態では、全てのサーチ動作が停止可能か否かを判定するために、論理積回路 27 が設けられている。

【0156】

< 第 5 の実施形態 >

〔バッファアンプ部の構成について〕

図 25 は、制御論理回路 24 からの出力信号のために用いられるバッファアンプの配置について説明するための図である。

【0157】

図 11 の制御論理回路 24 から出力された制御信号 `force__hit`、マッチ線プリチャージ信号 `ml_pre__n`、およびマッチアンプイネーブル信号 `mae` は、サブアレイ内の全てのマッチアンプ MA に出力される。したがって、サブアレイごとのエントリ数が多い場合には、バッファアンプを設ける必要がある。このため、図 25 の場合には、4 個のマッチアンプ MA ごとにバッファアンプ部 84 が設けられている。

【0158】

図 25 を参照して、バッファアンプ部 84 は、4 個のマッチアンプ MA [0]、MA [1]、MA [2]、MA [3] に対応して設けられ、バッファ 85、86、87 を含む。マッチ線プリチャージ信号 `ml_pre__n` は、バッファ 85 によって整形された後に、対応する 4 個のマッチアンプ MA [0]、MA [1]、MA [2]、MA [3] の各々の OR ゲート 77 に入力される。マッチアンプイネーブル信号 `mae` は、バッファ 86 によって整形された後に、対応する 4 個のマッチアンプ MA [0]、MA [1]、MA [2]、MA [3] の各々の AND ゲート 78 に入力される。制御信号 `force__hit` は、バッファ 87 によって整形された後に、対応する 4 個のマッチアンプ MA [0]、MA [1]、MA [2]、MA [3] の各々の NOR ゲート 80 に入力される。

【0159】

なお、図 25 では、マッチアンプ MA [0]、MA [1]、MA [2] について、それぞれレジスタ REG 3 [0]、REG 3 [1]、REG 3 [2] を除く部分の回路部分 8

10

20

30

40

50

3 は、マッチアンプ M A [3] の回路部分 8 3 と同一構成であるので、図示を省略している。

【 0 1 6 0 】

〔バッファアンプ部の変形例〕

図 2 6 は、第 5 の実施形態の T C A M 装置において、バッファアンプ部の構成を説明するための図である。図 2 6 のバッファアンプ部 8 4 は、低消費電力化のために、図 2 5 のバッファアンプ部 8 4 の構成を変更したものである。

【 0 1 6 1 】

具体的に、図 2 6 のバッファアンプ部では、図 2 5 のバッファに代えて論理ゲートを設けることによって、入力波形の整形機能に加えて論理演算が可能になっている。すなわち、図 2 6 のバッファアンプ部 8 4 では、バッファ 8 5 に代えて O R ゲート 8 9 が設けられ、バッファ 8 6 に代えて A N D ゲート 9 0 およびインバータ 9 1 が設けられ、バッファ 8 7 に代えて O R ゲート 9 2 が設けられている。

【 0 1 6 2 】

さらに、図 2 6 のバッファアンプ部 8 4 は、対応するマッチアンプ M A [0] ~ M A [3] に設けられたレジスタ R E G 3 [0] ~ R E G 3 [3] から出力された制御信号 d n c _ h i t [0] ~ d n c _ h i t [3] の A N D 演算を行う A N D ゲート 8 8 を含む。A N D ゲート 8 8 は、レジスタ R E G 3 [0] ~ R E G 3 [3] から出力された制御信号 d n c _ h i t [0] ~ d n c _ h i t [3] が全てドントケアを表す “ H ” レベル（設定値 “ 1 ” に対応）の場合、“ H ” レベルの信号を出力する。

【 0 1 6 3 】

O R ゲート 8 9 は、マッチ線プリチャージ信号 m l p r e _ n と A N D ゲート 8 8 の出力信号との O R 演算結果を、局所的なマッチ線プリチャージ信号 m l p r e _ l o c a l _ n として、対応するマッチアンプ M A [0] ~ M A [3] に出力する。A N D ゲート 9 0 は、マッチアンプイネーブル信号 m a e と、A N D ゲート 8 8 の出力信号の論理レベルをインバータ 9 1 によって反転させた信号との A N D 演算結果を、局所的なマッチアンプイネーブル信号 m a e _ l o c a l として、対応するマッチアンプ M A [0] ~ M A [3] に出力する。O R ゲート 9 2 は、制御信号 f o r c e _ h i t と A N D ゲート 8 8 の出力信号との O R 演算結果を、局所的な制御信号 f o r c e _ h i t _ l o c a l として、対応するマッチアンプ M A [0] ~ M A [3] に出力する。

【 0 1 6 4 】

したがって、対応するレジスタ R E G 3 [0] ~ R E G 3 [3] から出力された制御信号 d n c _ h i t [0] ~ d n c _ h i t [3] が全てドントケアを表す “ H ” レベル（ “ 1 ” に対応する）の場合、局所的なマッチ線プリチャージ信号 m l p r e _ l o c a l _ n は “ H ” レベルに固定され、局所的なマッチアンプイネーブル信号 m a e _ l o c a l は “ L ” レベルに固定される。さらに、この場合、局所的な制御信号 f o r c e _ h i t _ l o c a l は “ H ” レベルに固定される。このため、これらの局所的な制御信号を伝達するための配線の充放電に要する電流消費を低減することができる。さらに、上記のバッファアンプ部は、第 1 ~ 第 4 の実施形態においても必要な回路を変形したものであるので、実質的な面積の増加はほとんど生じない。

【 0 1 6 5 】

< 第 6 の実施形態 >

図 2 7 は、電源立ち上げ後において、各レジスタ R E G 1 , R E G 2 , R E G 3 へのデータ書込みの手順について説明するための図である。図 2 7 では、3 つのサブアレイ S A [0 , 0] , S A [1 , 0] , S A [2 , 0] が代表的に示されている。各サブアレイには、図 1 0 および図 1 1 で説明したレジスタ R E G 1 が制御論理回路 2 4 に設けられ、図 1 8 および図 2 2 で説明したレジスタ R E G 2 , R E G 3 が行ごとに設けられる。

【 0 1 6 6 】

レジスタ R E G 1 は、サブアレイ全体のセルデータがドントケア（ “ 1 ” ）であるか、そうでない非ドントケア（ “ 0 ” ）であるかを設定するためのものである。レジスタ R E

10

20

30

40

50

G 2 は、対応する行が各 T C A M セルにデータが書込まれたバリッドエントリ（“ 1 ”）であるか、データ書き込まれていないインバリッドエントリ（“ 0 ”）であるかを示すものである。レジスタ R E G 3 は、対応する行のセルデータが全てドントケア（“ 1 ”）であるか、そうでない非ドントケア（“ 0 ”）であるかを設定するためのものである。

【 0 1 6 7 】

各レジスタへのデータの書込みは、T C A M 装置内部の専用回路（たとえば、図 1 9 のデータ判定回路 3 3）から行ってもよいし、T C A M 装置外部のプロセッサ（たとえば、図 6 の N P U 1 0 1）から行ってもよい。

【 0 1 6 8 】

図 2 7（A）を参照して、電源立ち上げ直後には、全てのレジスタ R E G 1，R E G 2，R E G 3 が不定状態となっている。図 2 7（A）において、レジスタが不定状態であることを、ハッチングを付して示している。

【 0 1 6 9 】

図 2 7（B）を参照して、T C A M 装置にデータを書込む前の初期状態において、各レジスタ R E G 1 に“ 1 ”（ドントケア）が設定され、各レジスタ R E G 2 に“ 0 ”（インバリッド）が設定され、各レジスタ R E G 3 に“ 1 ”（ドントケア）が設定される。

【 0 1 7 0 】

図 2 7（C）は、T C A M 装置に A C L ルールファイルを書き込んだ後の状態（サーチ可能状態）を模式的に表すものである。図 2 7（C）に示すように、サブアレイ S A [0，0] の全ての行の T C A M セルには、データが書き込み済みである。サブアレイ S A [1，0] の一部の行の T C A M セルにはデータが書き込まれていない。サブアレイ S A [2，0] のいずれの行の T C A M セルにもデータは書き込まれていない。

【 0 1 7 1 】

ある行の T C A M セルにデータを書込む際には、当該行に対応するレジスタ R E G 2 の値は“ 0 ”（インバリッド）から“ 1 ”（バリッド）に変更され、レジスタ R E G 3 の値は、多くの場合、“ 1 ”（ドントケア）から“ 0 ”（非ドントケア）に変更される。ただし、当該行の全てのセルデータがドントケアの場合には、レジスタ R E G 3 の値は“ 1 ”のまま維持される。さらに、サブアレイ内のいずれかの T C A M セルに“ 1 ”または“ 0 ”の値（すなわち、ドントケア以外）を書き込んだ時点で、レジスタ R E G 1 の値は“ 1 ”（ドントケア）から“ 0 ”（非ドントケア）に変更される。

【 0 1 7 2 】

以上の手順に従って、各レジスタへのデータ書込みが行われた結果、図 2 7（C）に示すように、全行の T C A M セルにデータが書込まれたサブアレイ S A [0，0] については、レジスタ R E G 1 は“ 0 ”（非ドントケア）に設定され、各レジスタ R E G 2 は“ 1 ”（バリッド）に設定され、各レジスタ R E G 3 は“ 0 ”（非ドントケア）に設定される。各行に対応するマッチアンプ M A は、各 T C A M セルに書込まれたデータとサーチデータの対応部分との比較結果に基づいて、“ H ”レベル（マッチ）または“ L ”レベル（ミス）の信号を出力する。

【 0 1 7 3 】

一部の行の T C A M セルのデータ書込みが行われたサブアレイ S A [1，0] については、レジスタ R E G 1 は“ 0 ”（非ドントケア）に設定される。データ書込みが行われたバリッドエントリに対応するレジスタ R E G 2 および R E G 3 はそれぞれ“ 1 ”（バリッド）および“ 0 ”（非ドントケア）に設定される。これらの行に対応するマッチアンプ M A はサーチ結果に基づく信号（“ H ”レベル（マッチ）または“ L ”レベル（ミス））を出力する。

【 0 1 7 4 】

一方、サブアレイ S A [1，0] において、データ書込みが行われていないインバリッドエントリに対応するレジスタ R E G 2 および R E G 3 の値は、それぞれ初期設定された“ 0 ”（インバリッド）および“ 1 ”（ドントケア）のまま変更がない。これらの行に対応するマッチアンプ M A は、レジスタ R E G 2 の値“ 0 ”（インバリッド）に従って“ L ”

10

20

30

40

50

”レベル（ミス）の信号を出力する。さらに、これらの未使用の領域については、レジスタREG2およびREG3の値が“0”（インバリッド）および“1”（ドントケア）にそれぞれ設定されていることによって、マッチ線MLのプリチャージ動作が停止され、マッチアンプMAの回路動作が停止される。これによって、TCAM装置の消費電力を低減させることができる。

【0175】

サブアレイ内の全TCAMセルについてデータ書込みが行われていないサブアレイSA[2, 0]については、レジスタREG1, REG2, REG3の値は、それぞれ初期設定された“1”（ドントケア）、“0”（インバリッド）、および“1”（ドントケア）のまま変更がない。各行に対応するマッチアンプMAはレジスタREG2の値“0”（インバリッド）に従って“L”レベル（ミス）の信号を出力する。レジスタREG1の値が“1”（ドントケア）に設定されていることによって、サブアレイSA[2, 0]のサーチ動作を停止することができるので（すなわち、マッチ線MLのプリチャージ、マッチアンプMAの回路動作、およびサーチ線ドライバ22のいずれも停止することができる）、消費電流を低減することができる。

10

【0176】

このように、各レジスタREG1, REG2, REG3の値を初期設定し、TCAMセルへのデータ書込み時に、書込みデータの値に応じて各レジスタREG1, REG2, REG3の値を変更することによって、効率良く容易に各レジスタの値が設定可能になる。

【0177】

なお、マッチアンプMAが図22のように構成されていれば、レジスタREG3の値が“0”（非ドントケア）に設定されていても、レジスタREG2の値が“0”（インバリッド）に設定されておれば、マッチ線MLのプリチャージおよびマッチアンプMAの回路動作を停止することができる。したがって、この場合には、図27（B）の初期設定において、各レジスタREG3の値を“0”（非ドントケア）に設定してもよい。

20

【0178】

< 第7の実施形態 >

上述した第1～第6の実施形態で説明したTCAM装置の低消費電力化技術は、各サブアレイのマッチ線MLに接続されたTCAMセルが全てドントケア（don't care）に設定されている場合にのみ適用することができる。したがって、ドントケアに設定された比較的多数のTCAMセルが連続して並んでいたとしても、これらのTCAMセルが2つのマッチ線に跨っており、各マッチ線には“1”または“0”に設定されたTCAMセルも含まれている場合には、前述した低消費電力化技術を適用することはできない。

30

【0179】

第7の実施形態では、上記のような場合に、TCAMセルデータの配列を変更することによって、前述の低消費電力化技術を適用可能にするものである。以下、図面を参照して詳しく説明する。なお、以下の説明で用いる入力データのビット幅、入力データの分割数などは一例であって、この例に限られるものではない。

【0180】

図28は、入力データの配列変換について説明するための図である。図28（A）では、入力データのビット幅が32ビットの場合に、配列変換を行わずにそのままの順序で2個のサブアレイSA__0, SA__1に入力される例が示されている。すなわち、データ書込み時に、32ビットの書込みデータのうち前半の16ビットの書込みデータ（ビット番号0～15）がサブアレイSA__0の16個のTCAMセル（ビット番号0～15）にそれぞれ書込まれ、後半の16ビットの書込みデータ（ビット番号16～31）がサブアレイSA__1の16個のTCAMセル（ビット番号16～31）にそれぞれ書込まれる。サーチ時についても同様に、32ビットの入力サーチデータのうち前半の16ビットのサーチデータ（ビット番号0～15）がサブアレイSA__0の16個のTCAMセル（ビット番号0～15）にそれぞれ入力され、後半の16ビットのサーチデータ（ビット番号16～31）がサブアレイSA__1の16個のTCAMセル（ビット番号16～31）にそれ

40

50

ぞれ入力される。

【0181】

ここで、データの配列変換を行わない場合には、図28(A)に示すように、ビット番号0からビット番号9までと、ビット番号29からビット番号31までの各TCAMセル(図中の黒四角)には、“1”または“0”のデータが書き込まれているものとする。ビット番号10からビット番号28までの連続する19個のTCAMセル(図中のハッチングされた四角)の各々にはドントケアを表すデータが書き込まれているものとする。この場合、ドントケアを表すデータビット数は16以上あって連続しているが、これらのドントケアを表すデータが格納されたTCAMセルは、サブアレイSA__0とサブアレイSA__1とに跨っている。このために、各マッチ線ML__0, ML__1には、ドントケアに設定されたTCAMセル以外に“0”または“1”に設定されたTCAMセルも接続されているので、前述の低消費電力化技術を適用することができない。

10

【0182】

図28(B)の例は、図28(A)の例でデータ配列を変更することによって、サブアレイSA__0のマッチ線ML__1に接続された全てのTCAMセルがドントケアに設定されているようにしたものである。これによって、前述の低消費電力化技術が適用可能になる。具体的に、入力データ(書込みデータおよびサーチデータ)のうちビット番号29~31の部分の配列順を繰り上げて、これらのデータがビット番号10~12のTCAMセルにそれぞれ入力されるようにデータ配列が変更される。さらに、入力データのうちビット番号10~28の部分の配列順を繰り下げて、これらのデータがビット番号13~31のTCAMセルにそれぞれ入力されるようにデータ配列が変更される。この結果、図28(B)に示すように、サブアレイSA__1のマッチ線ML__1に接続された全てのTCAMセル(ビット番号16~31)をドントケア(図中のハッチングされた四角)に設定することができるので、前述の低消費電力化技術(マッチ線ML__1のプリチャージの停止およびマッチアンプMA__1の動作停止)を実現することができる。

20

【0183】

図29は、第7の実施形態の検索システムの構成を示すブロック図である。図29の検索システム120は、データ配列を変換するためのスイッチ回路110(以下、データ配列変換スイッチと称する)をさらに含む点で図6の検索システム120と異なる。図29には、入力データdinのビット数が128ビットの場合の例が示されている。

30

【0184】

図29を参照して、NPU(Network Processor Unit)101のデータ変換部103において、記憶装置102に格納されていたACLルールファイルはTCAM用データに変換される。TCAM用データは、“0”、“1”、および“ドントケア”(“1”でも“0”でもよい)の3値で構成される。TCAM用データは、入力データdin[0:127]として、NPU101のデータ出力回路105からデータ配列変換スイッチ110に入力される。

【0185】

データ配列変換スイッチ110は、予め定められた規則に従って、入力データdin[0:127](書込みデータおよびサーチデータ)の配列順を入れ替える。データ配列変換スイッチ110は、配列順の変更後の入力データをTCAM装置100のデータ入力回路31[0]~31[3]に inputs。図29の場合、データ入力回路31[0]~31[3]は、各サブアレイに対応して4つに分割されている(たとえば、データ入力回路31[0]はビット(bit)番号0~31に対応している)。データ配列変換スイッチ110における変換規則は、NPU101のデータ解析部104によって、TCAM用データの解析結果に基づいて定められる。

40

【0186】

図30は、データ配列変換の対象となるTCAM用データの一例が書き込まれたTCAM装置の記憶状態を模式的に示す図である。図30の記憶状態を表す図面は、図9に対応するものであり、図9と異なる点は、ドントケアデータが格納される領域211(図中で

50

間隔の狭いハッチングが付された領域)の配置である。図30のその他の点は図9と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

【0187】

図30のTCAM用データの配列の場合、ドントケアを表す領域のビット幅はサブアレイSAのビット幅である32ビットを超えている部分があるが、1つのサブアレイSAのビット幅全体に亘ってドントケアに設定された部分がないので、これまで説明した第1～第6の実施形態の低消費電力化技術を適用できない。

【0188】

そこで、たとえば、ビット番号26～31の部分の全データとビット番号58～63の部分の全データとを図29のデータ変換配列スイッチを用いて入れ替える。これによって、ビット番号32～63の部分の16個のサブアレイSA[0, 1], SA[1, 1]～SA[15, 1]について、インバリッドエントリを除くTCAMセルデータを全てドントケアにすることができる。この結果、サブアレイSA[0, 1], SA[1, 1]～SA[15, 1]の各々について、レジスタREG1を“1”(ドントケア)に設定することによってサーチ動作を停止することができる。サブアレイSA[15, 1]についてはインバリッドエントリのレジスタREG2を“0”(インバリッド)に設定することによって、マッチアンプMAの出力信号を“L”レベル(ミス)にすることができる。

【0189】

以上のとおり第7の実施形態では、サブアレイのビット幅以上のデータ幅でドントケアに設定された領域が、インバリッドエントリを除くTCAM装置の全エントリについて存在する場合において、低消費電力化を可能にする技術を開示した。この場合、サブアレイのマッチ線に接続されたTCAMセルが全てドントケアに設定されていなくても、各マッチ線に対応するビット番号に応じてデータ配列を入れ替えることによって、これまでの実施形態で説明した低消費電力化技術が適用可能になる。よって、低消費電力の検索システムを構築するためには、各マッチ線がどのビット番号に対応しているかを仕様書などでユーザに公開するのが望ましい。

【0190】

上記の実施形態では、TCAM装置の全エントリについてデータ配列の変更を行ったが、データ配列変更するためのスイッチ回路をサブアレイSAごとに設ければ、サブアレイに属するエントリ単位でデータ配列の変更を行うことも可能である。

【0191】

< 第8の実施形態 >

第1～第7の実施形態では、全サブアレイがほぼ同じタイミングでサーチ動作を行い、各サブアレイの出力信号に基づいてプライオリティ・エンコーダがサーチ結果を出力していた。第8の実施形態では、行方向に並ぶ(よって、共通のエントリに対応する)複数のサブアレイがパイプライン方式で順番に検索を行うように構成された例を開示する。この場合、各サブアレイは、前段のサブアレイのサーチ動作の終了後にサーチ動作を開始する。

【0192】

図31は、第8の実施形態によるTCAM装置の構成を示すブロック図である。図31のTCAM装置では、4個のサブアレイSA__0～SA__3が代表的に示され、プライオリティ・エンコーダは図示していない。サーチ動作は、サブアレイSA__0、サブアレイSA__1、サブアレイSA__2、サブアレイSA__3の順に実行される。各サブアレイSAはm+1本のマッチ線MLを有する。

【0193】

図31に示すように、サブアレイSA__0においてマッチ線ML__0, j (j = 1, 2, ..., m)のサーチ後の電位と電源電位VDDとが、対応するマッチアンプMAに入力され、このマッチアンプMAから出力信号mo__0, j が出力される。同様に、サブアレイSA__i (i = 1, 2, 3)において、マッチ線ML__i, j (j = 1, 2, ..., m)のサーチ後の電位と、前段のサブアレイSA__i - 1の同一エントリの出力信号mo__i -

10

20

30

40

50

1, j とが、対応するマッチアンプ M A に入力され、このマッチアンプ M A から出力信号 mo_i, j が出力される。

【0194】

図32は、図31のマッチアンプ M A の構成例を示す回路図である。図32のマッチアンプ M A は、図31のサブアレイ SA_i ($i = 0, 1, 2, 3$) において、マッチ線 ML_i, j ($j = 1, 2, \dots, m$) に接続されたマッチアンプの構成例を示している。図32では、図13のマッチアンプ M A の構成を変更したものを示しているが、図16、図18、図22のいずれのマッチアンプ M A についても同様に変更することができる。

【0195】

具体的に、図32のマッチアンプ M A は、図13（もしくは、図16、図18、または、図22）のマッチアンプ M A に、Dフリップフロップ83、NANDゲート84、インバータ85、ANDゲート26をさらに追加したものである。Dフリップフロップ83およびANDゲート26は、図32ではマッチアンプ M A の内部に設けられているように図示されているが、エントリごとにマッチアンプ M A にそれぞれ対応して設けられていればよいので、マッチアンプ M A の外部に設けられていても構わない。

【0196】

Dフリップフロップ83は、前ステージのサブアレイの対応する行のマッチアンプ M A の出力信号 mo_pre （前サイクルのサーチ結果）を保持する。ただし、サーチ期間の最初にサーチ動作を行うサブアレイ SA_0 （すなわち、 $i = 0$ ）については、前段の対応する行のマッチアンプ M A の出力信号に代えて、電源電位 VDD が入力される。

【0197】

図13などの変更前の回路においてPチャネルMOSトランジスタ70のゲートに入力されていた信号は、インバータ85によって論理レベルを反転させた後に、NANDゲート84の第1の入力ノードに入力されるように変更される。NANDゲート84の第1の入力ノードには、上記のDフリップフロップ83の出力信号 mo_pre （前サイクルのサーチ結果）が入力される。NANDゲート84の演算結果は、MOSトランジスタ70のゲートに入力される。

【0198】

したがって、上記のDフリップフロップ83の出力信号 mo_pre （前サイクルのサーチ結果）が“L”レベル（ミス）の場合は、MOSトランジスタ70のゲートには、“H”レベルの信号が入力される。この結果、MOSトランジスタ70は常にオフとなってマッチ線 ML のプリチャージが停止する。

【0199】

ANDゲート26は、上記のDフリップフロップ83の出力信号 mo_pre （前サイクルのサーチ結果）と、図13（もしくは、図16、図18、または、図22）に示す変更前の構成のマッチアンプ M A の場合の出力信号 mo_now とのAND演算を行い、演算結果をマッチアンプ M A の出力信号 mo として出力する。ANDゲート26は、図5のANDゲートに対応するものであり、図5のANDゲート26をマッチアンプ M A 内に取り込んだものと考えることができる。

【0200】

したがって、上記のDフリップフロップ83の出力信号 mo_pre （前サイクルの対応する行のサーチ結果）が“L”レベル（ミス）の場合には、ANDゲート26の出力信号（すなわち、マッチアンプ M A の出力信号 mo ）は“L”レベル（ミス）となる。図32にその他の点は、図13（もしくは、図16、図18、または、図22）のマッチアンプ M A と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

【0201】

図33は、図31のTCAM装置の動作を説明するための図である。各マッチアンプ M A においてハッチングを付した領域は、TCAMセルデータがドントケアになっていることを示す。

【 0 2 0 2 】

第 1 サイクルにおいて、サブアレイ S A _ 0 がサーチ動作を行う。各エントリのサーチ結果（ヒット（hit）の場合 “ 1 ”、ミス（miss）の場合 “ 0 ”）は、次段のサブアレイ S A _ 1 のマッチアンプ部 2 3 の対応する行の D フリップフロップ 8 3 に格納される。図 3 2 で説明したように D フリップフロップ 8 3 に “ 0 ” が格納されている場合には、次の第 2 サイクルにおいて対応する行のマッチ線 M L プリチャージが停止される。

【 0 2 0 3 】

第 2 サイクルにおいて、通常は、サブアレイ S A _ 1 の各行のうち前段のサブアレイ S A _ 0 のサーチ動作でヒットになった行のみサーチ動作が行われる。しかしながら、図 3 3 の場合、サブアレイ S A _ 1 の全 T C A M セルデータがドントケアに設定されているので、レジスタ R E G 1 を “ 1 ”（ドントケア）に設定することによって、サブアレイ S A _ 1 全体のサーチ動作が停止される。第 1 サイクルでヒットとなったエントリの出力信号は、自動的にヒットとなり、次段のサブアレイ S A _ 2 のマッチアンプ部 2 3 の対応する D フリップフロップには “ 1 ” が書き込まれる。その他の D フリップフロップには “ 0 ” が書き込まれる。

【 0 2 0 4 】

第 3 サイクルにおいて、サブアレイ S A _ 2 の各行のうち、サブアレイ S A _ 1 からヒットを表す信号が入力された行についてのみサーチ動作が行われる。D フリップフロップ 8 3 に “ 0 ” が格納されている行については、マッチ線プリチャージが停止される。サブアレイ S A _ 2 においてサーチ結果がヒットとなった行については、次段のサブアレイ S A _ 3 のマッチアンプ部 2 3 の対応する D フリップフロップ 8 3 に “ 1 ” が格納される。サブアレイ S A _ 3 のその他の行の D フリップフロップ 8 3 には “ 0 ” が格納される。

【 0 2 0 5 】

第 4 サイクルにおいて、サブアレイ S A _ 3 の T C A M セルアレイについて検索動作が行われる。この場合、前段のサブアレイ S A _ 2 からヒットを表す信号が入力された行のうちで、マッチ線 2 2 0 , 2 2 1 に対応する行を除いたものについてサーチ動作が行われる。マッチ線 2 2 0 , 2 2 1 に接続された T C A M セルは全てドントケアに設定されているので、レジスタ R E G 3 に “ 1 ”（ドントケア）を設定することによって、これらのマッチ線 2 2 0 , 2 2 1 のプリチャージおよび対応するマッチアンプ M A の回路動作が停止される。マッチ線 2 2 0 , 2 2 1 に接続されたマッチアンプ M A からはプライオリティ・エンコーダ 3 0 にヒットを表す信号が自動的に出力される。その他のサーチ動作が行われた行のマッチアンプ M A からサーチ結果がプライオリティ・エンコーダ 3 0 に出力される。

【 0 2 0 6 】

このように、第 8 の実施形態では、第 1 ~ 第 7 の実施形態で説明した低消費電力化技術に組合わせて、行方向に並ぶ複数のサブアレイをパイプライン方式で順番に検索することによって、前サイクルでヒットとなったエントリのみサーチ動作を行うようにする。これによって、さらに消費電力を低減することができる。

【 0 2 0 7 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【 符号の説明 】

【 0 2 0 8 】

1 1 S R A M セル（Xセル）、1 2 S R A M セル（Yセル）、1 3 データ比較部、2 0 セルアレイ、2 1 書込みドライバ、2 2 サーチ線ドライバ、2 3 マッチアンプ部、2 4 制御論理回路、2 7 論理積回路、3 0 プライオリティ・エンコーダ、3 1 データ入力回路、3 2 コマンド入力回路、3 3 データ判定回路、4 0 , 4 4 , 4 5 , 8 3 フリップフロップ、6 9 ラッチ回路、8 4 バッファアンプ部、8 5 , 8 6 , 8 7 バッファ、1 0 0 T C A M 装置、1 0 2 記憶装置、1 0 3 データ変換部

10

20

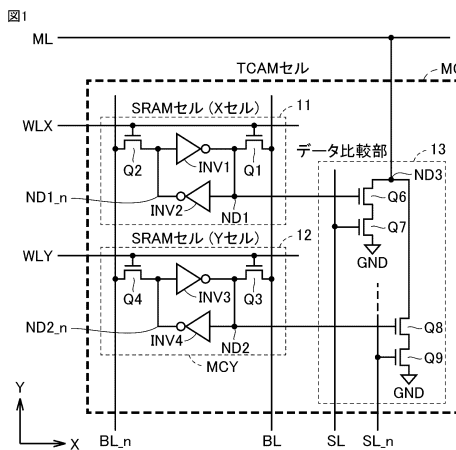
30

40

50

、 1 0 4 データ解析部、 1 0 5 データ出力回路、 1 1 0 スイッチ回路（データ配列変換スイッチ）、 1 2 0 データ検索システム、 2 2 0 , 2 2 1 , M L マッチ線、 B L ビット線対、 M A マッチアンプ、 M C T C A M セル、 N D 1 , N D 2 記憶ノード、 R E G 1 , R E G 2 , R E G 3 レジスタ、 S A サブアレイ、 S L サーチ線対、 V D D 電源電位、 W L X , W L Y ワード線、 c l k クロック信号、 d 書込みデータ、 f o r c e _ h i t 制御信号、 m a e マッチアンプイネーブル信号、 m l p r e マッチ線プリチャージ信号、 m o 出力信号、 s d 入力サーチデータ、 s l e サーチ線イネーブル信号。

【図 1】

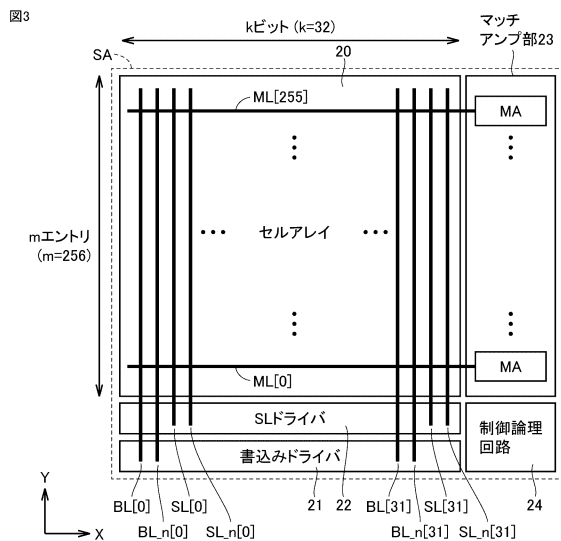


【図 2】

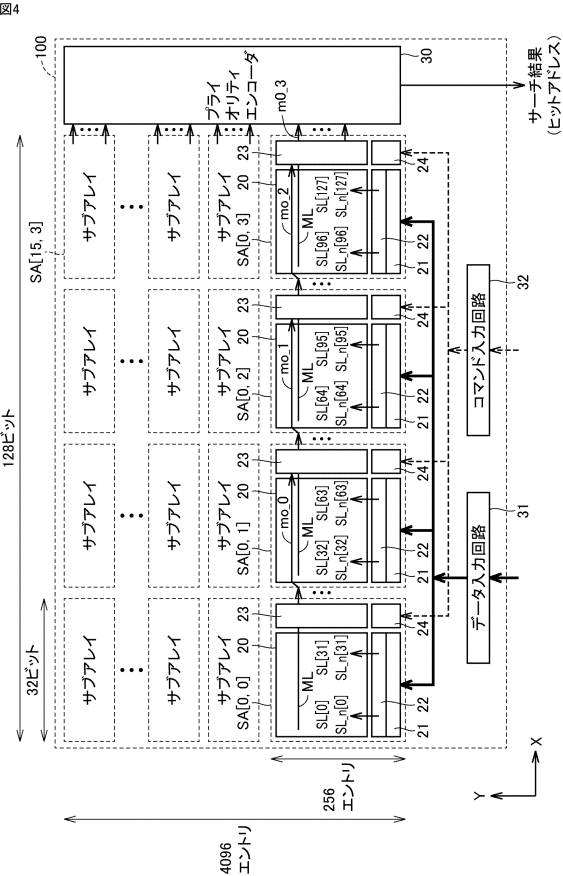
図2

| SRAMセル (Xセル) | SRAMセル (Yセル) | TCAMセルデータ |
|--------------|--------------|------------------|
| "1" | "0" | "0" |
| "0" | "1" | "1" |
| "0" | "0" | "x" (don't care) |
| "1" | "1" | 不使用 |

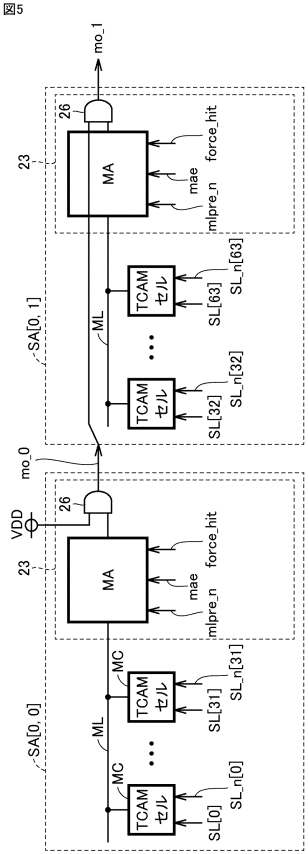
【図 3】



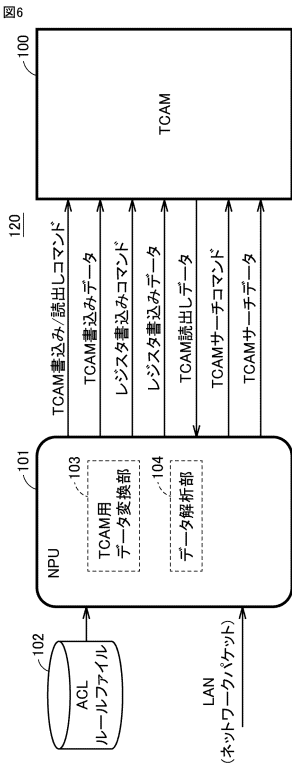
【図 4】



【図 5】



【図 6】



【図 7】

図7

| プロトコル番号 | 宛先ポート番号 | 送信元ポート番号 | 宛先IPアドレス | 送信元IPアドレス |
|---------|------------|----------|-------------------|-------------------|
| 17 | 750/750 | 53/53 | 189.167.79.44/32 | 147.121.56.152/29 |
| 6 | 123/123 | 0/65535 | 224.180.117.99/32 | 147.121.56.146/32 |
| 17 | 1024/65535 | 69/69 | 189.167.79.44/32 | 147.121.56.146/32 |
| ... | ... | ... | ... | ... |

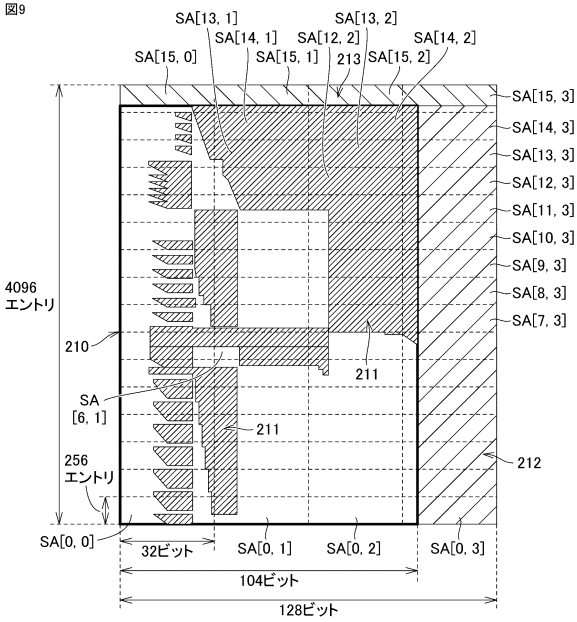
【図 8】

図8

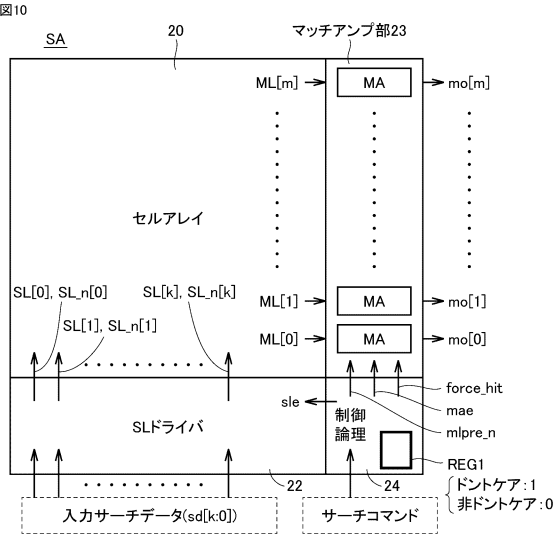
| プロトコル番号 | 宛先ポート番号 | 送信元ポート番号 | 宛先IPアドレス | 送信元IPアドレス |
|-----------|---------------------|---------------------|---|---|
| 0001_0001 | 0000_0010_1110_1110 | 0000_0000_0011_0101 | 1011_1101_1010_0111_0100_1111_0010_1100 | 1001_0011_0111_1001_0011_1000_1001_1xxx |
| 0000_0110 | 0000_0000_0111_1011 | xxxx_xxxx_xxxx_xxxx | 1110_0000_1011_0100_0111_0101_0110_0011 | 1001_0011_0111_1001_0011_1000_1001_0010 |
| 0001_0001 | 0000_01xx_xxxx_xxxx | 0000_0000_0100_0101 | 1011_1101_1010_0111_0100_1111_0010_1100 | 1001_0011_0111_1001_0011_1000_1001_0010 |
| 0001_0001 | 0000_1xxx_xxxx_xxxx | 0000_0000_0100_0101 | 1011_1101_1010_0111_0100_1111_0010_1100 | 1001_0011_0111_1001_0011_1000_1001_0010 |
| 0001_0001 | 0001_xxxx_xxxx_xxxx | 0000_0000_0100_0101 | 1011_1101_1010_0111_0100_1111_0010_1100 | 1001_0011_0111_1001_0011_1000_1001_0010 |
| 0001_0001 | 001x_xxxx_xxxx_xxxx | 0000_0000_0100_0101 | 1011_1101_1010_0111_0100_1111_0010_1100 | 1001_0011_0111_1001_0011_1000_1001_0010 |
| 0001_0001 | 01xx_xxxx_xxxx_xxxx | 0000_0000_0100_0101 | 1011_1101_1010_0111_0100_1111_0010_1100 | 1001_0011_0111_1001_0011_1000_1001_0010 |
| 0001_0001 | 1xxx_xxxx_xxxx_xxxx | 0000_0000_0100_0101 | 1011_1101_1010_0111_0100_1111_0010_1100 | 1001_0011_0111_1001_0011_1000_1001_0010 |
| ... | ... | ... | ... | ... |

201
202
203

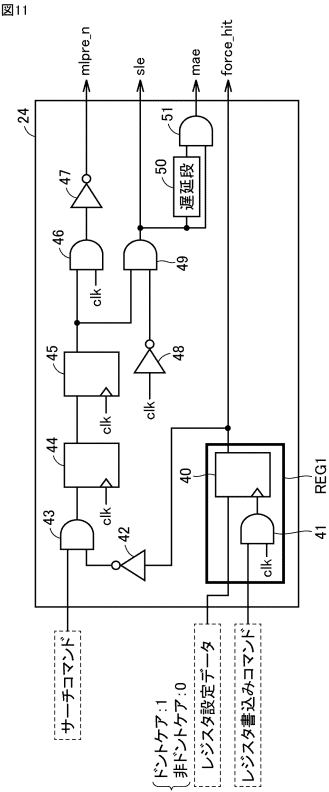
【図 9】



【図 10】

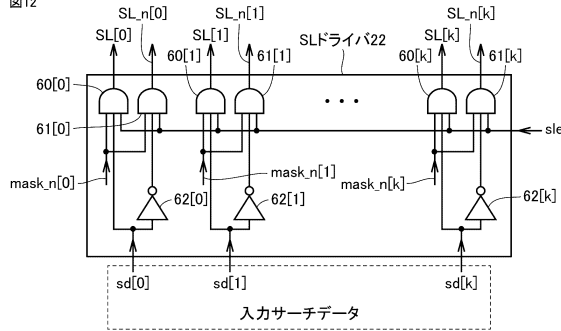


【図 11】



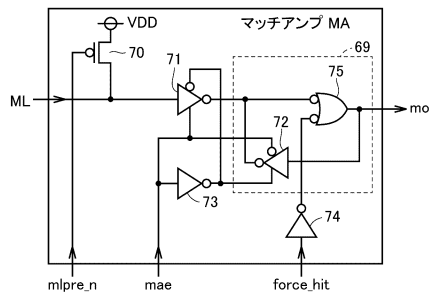
【図 12】

図12



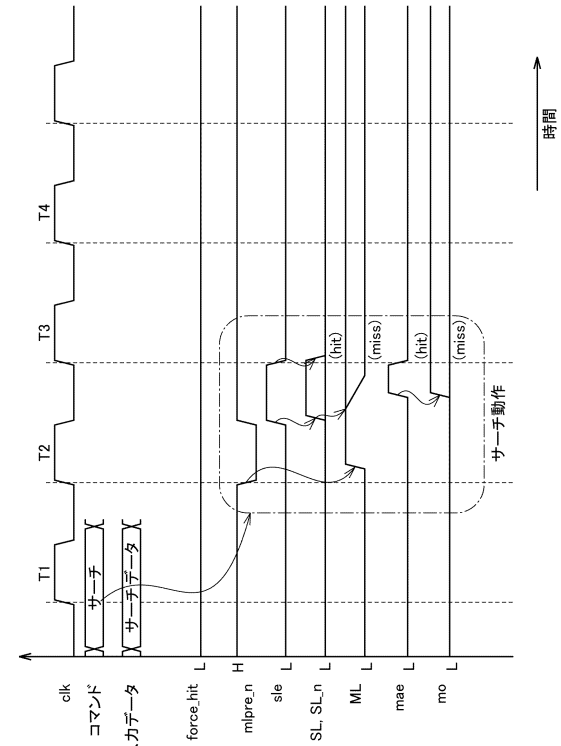
【図 13】

図13



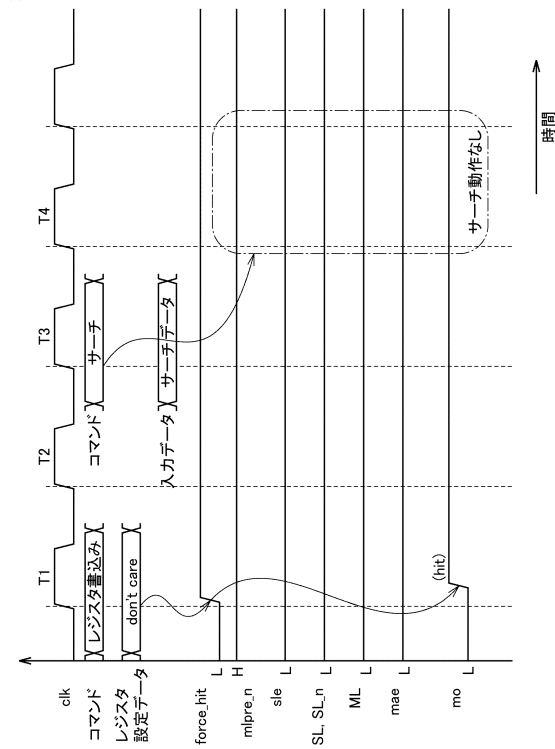
【図 14】

図14



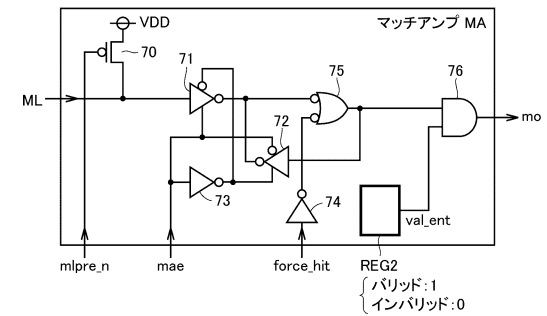
【図 15】

図15



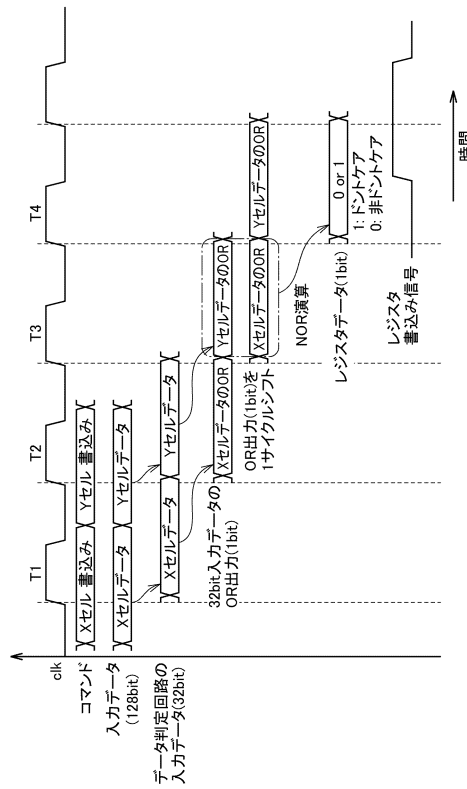
【図 16】

図16



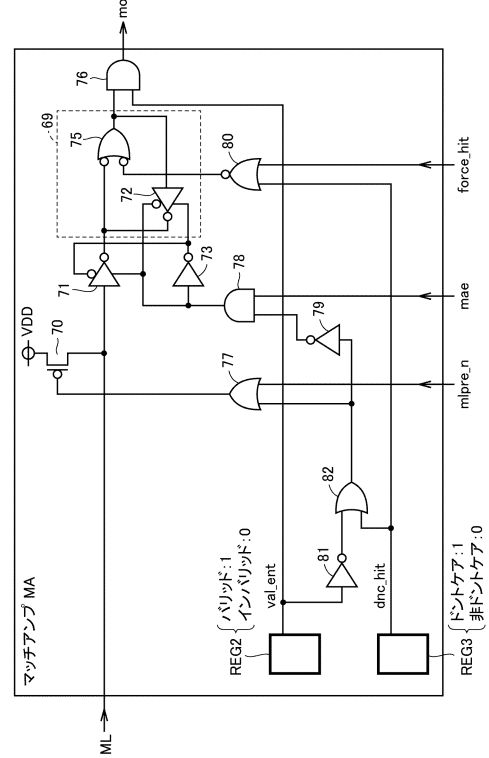
【図 2 1】

図21



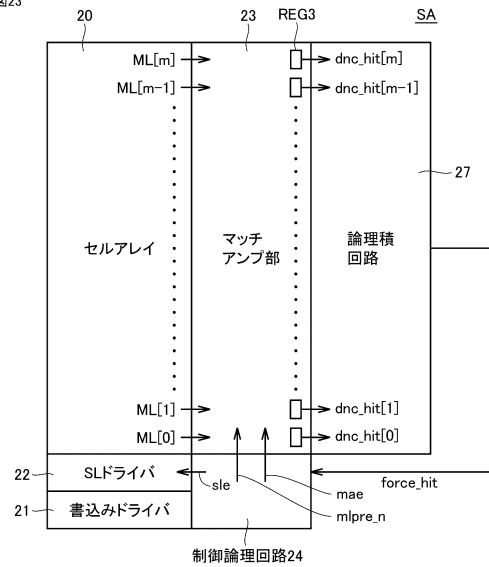
【図 2 2】

図22



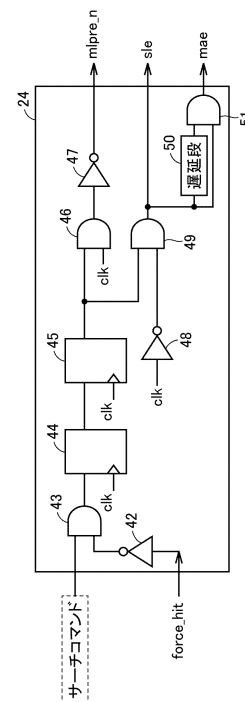
【図 2 3】

図23



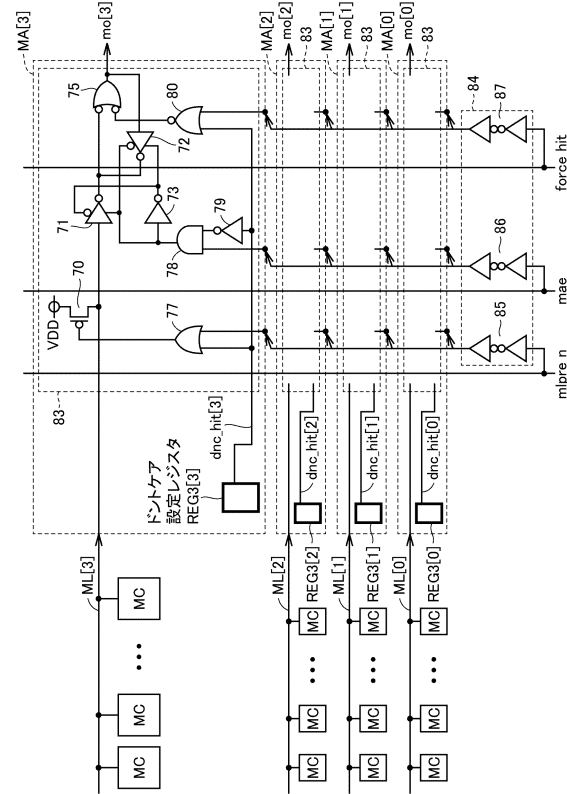
【図 2 4】

図24



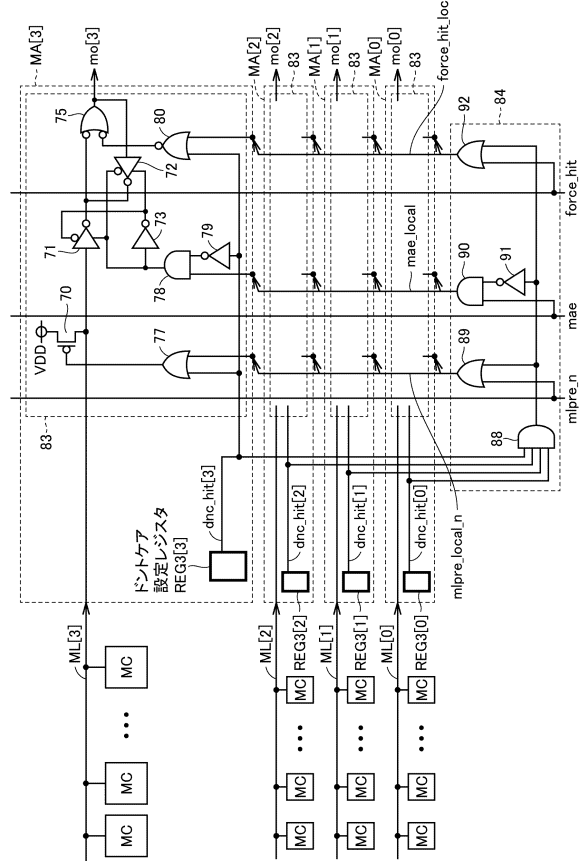
【図 25】

図25



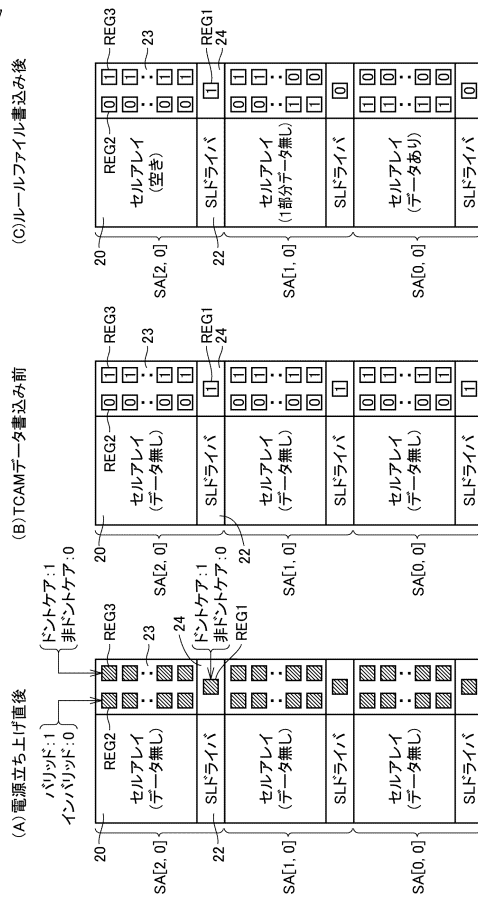
【図 26】

図26



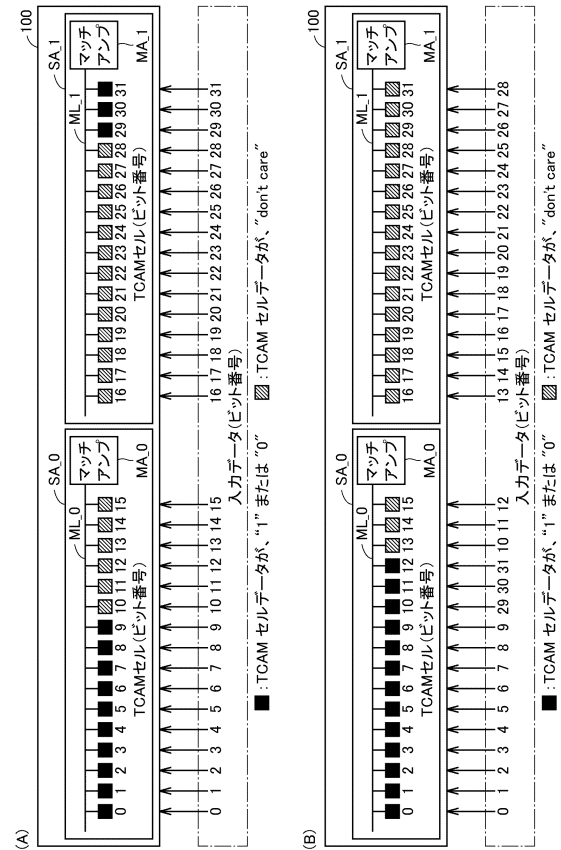
【図 27】

図27



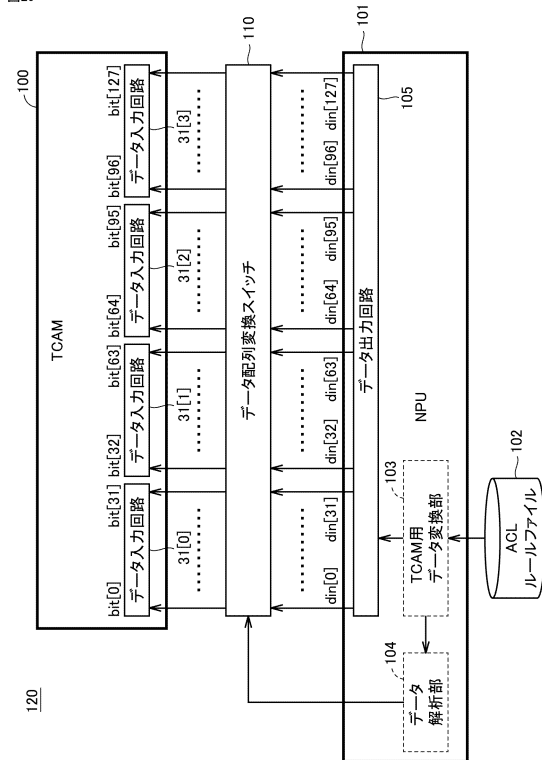
【図 28】

図28



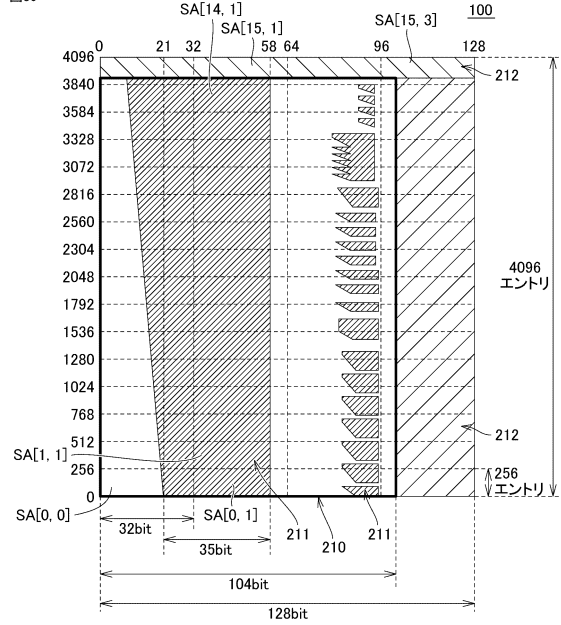
【 図 2 9 】

图29



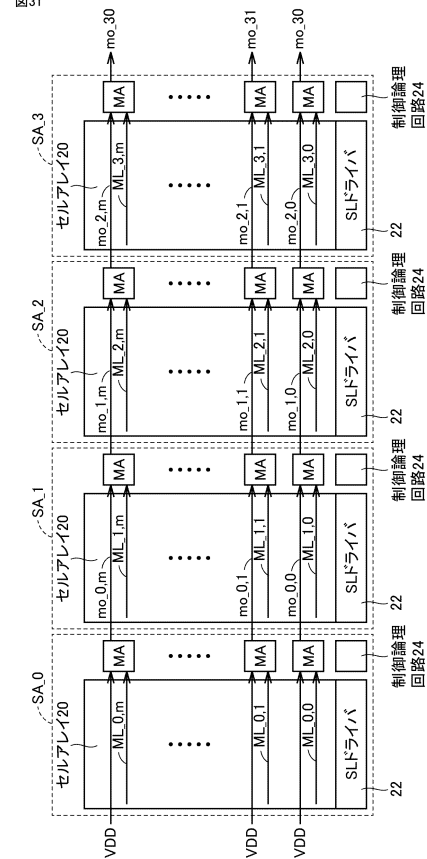
【 図 3 0 】

図30



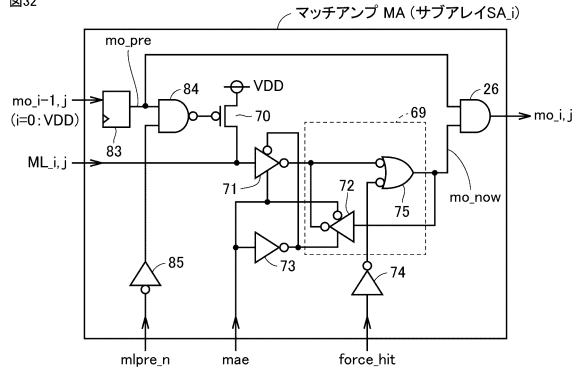
【 図 3 1 】

图31



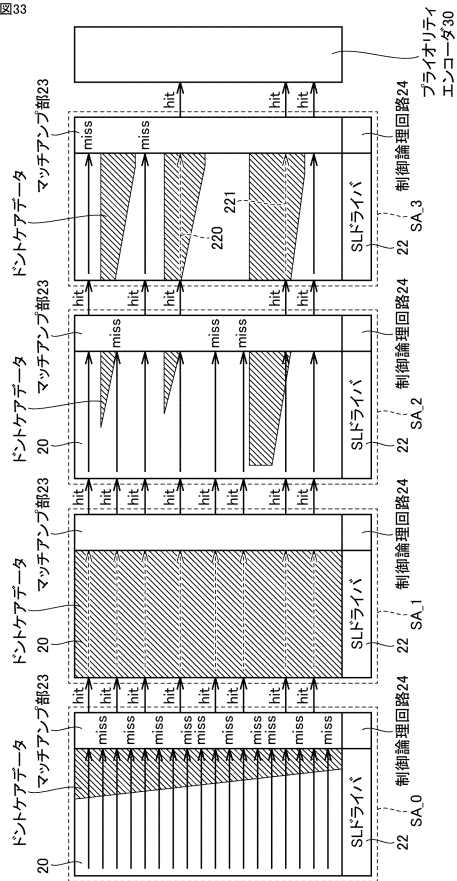
【 図 3 2 】

图32



【図 33】

図33



フロントページの続き

(56)参考文献 特開2005-228461(JP,A)
特開昭63-31091(JP,A)
特開2002-197873(JP,A)
特開2000-228090(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 15/04