

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 29/00	(45) 공고일자 2000년08월 16일
(21) 출원번호 10-1997-0019673	(11) 등록번호 10-0264224
(22) 출원일자 1997년05월21일	(24) 등록일자 2000년05월26일
(30) 우선권주장 8/653,073 1996년05월21일 미국(US)	(65) 공개번호 특1997-0076893
(73) 특허권자 인퍼메이션 스토리지 디바이스 인코퍼레이티드 미국 캘리포니아 95134 산 호세 노스 퍼스트 스트리트 2727	(43) 공개일자 1997년12월12일
(72) 발명자 트란 후 반 미국 캘리포니아 95148 산 호세 콜트우드 드라이브 2741 브라이스 트레버	
(74) 대리인 장용식	미국 유타 84093 샌디 사우스 크리크 할로우 코브 8345

심사관 : 이철희

(54) 비휘발성 집적회로용 리던던시 방법 및 장치

요약

제조 결함으로 인한 생산 수율을 높이기 위해 비휘발성 메모리 칩에 사용되는 리던던시 회로가 공개된다. 상기 리던던시 회로는 리던던시 프리디코더 회로, 소오스 팔로워 EEPROM(electrically erasable programmable read only memory) 메모리 퓨즈, 상기 EEPROM 퓨즈를 프로그래밍하기 위해 (페이지 래치로도 알려진) 열 고전압 구동기를 사용하는 기술, 리던던시 행 디코더로서 (워드라인 디코더, 즉 x 디코더로도 알려진) 정규의 행 디코더를 사용하는 기술, 및 리던던시 인에이블/디스에이블신호로서 제한 범위밖의 주소를 포함하고 있다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 리던던시 회로의 바람직한 실시예에 대한 블록도.
도 2는 도 1의 행 디코더의 회로도.
도 3은 도 1의 행 프리디코더의 회로도.
도 4a 및 도 4b로 된 도 4는 도 1의 일반적인 비교기 회로의 회로도.
도 5는 도 1의 EEPROM 퓨즈의 회로도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 집적 회로 설계 분야에 관한 것으로, 특히 비휘발성 메모리 집적 회로의 생산 수율을 높이기 위해 사용되는 리던던시 회로(redundancy circuits)에 관한 것이다.

제조 환경으로 인한 입자(particle) 결함에 의해, 비휘발성 메모리 집적 회로, 특히 고밀도 메모리 어레이를 가지고 있는 집적 회로가 불량해 질 수 있다. 결과적으로, 최종 생산 테스트시의 수율 손실이 발생되며, 이에 따라 만족할 만한 최종 생산품의 비용은 결함이 있는 부분의 비용을 충당하기 위해 대체로 더 들게 된다. 수율을 높이는데 도움을 주기 위해서, 리던던시 복구(행, 열, 또는 블록)로서 일반적으로 알려진 기술이 필요하다면 단지 상기 목적을 위해 집적 회로상에 포함되어 있는 대응 리던던트 메모리 부분을 위해 불량한 메모리 부분을 사용하지 않도록 하는 데에 사용된다.

리던던시 회로는 일반적으로 불량 메모리 부분의 주소를 어떤 기억 형태로 저장하고, 사용시에 일치 여부를 유입되는 주소와 저장된 리던던시 주소를 비교한다. 일치가 발견되면, 상기 리던던시 어레이는 인에이블되고 메인 어레이는 디스에이블된다. 일반적으로 인에이블퓨즈가 리던던시 주소를 인에이블또는 디스에

이들하기 위해 포함되어 있다. 종래의 일부 수단은 불량 주소를 저장하기 위해 프로그래밍가능 소자로서 저항기 퓨즈를 사용한다. 상기 퓨즈는 테스트 인에이블회로에 의해 이 퓨즈를 통해 고전류를 인가함으로써 끊어진다. 이러한 퓨즈는 단지 1회의 프로그래밍만이 가능하다. 상기 퓨즈를 끊는 데에 필요한 전류는 대개 높기 때문에, 전달 스위치는 커져야 하며, 따라서 이에 대응되게 큰 칩 면적을 필요로 한다.

다른 구현예에서는 EPROM(erasable programmable read-only memory) 기술을 사용한다. 하지만, 구현된 바와같이, EPROM 퓨즈도 또한 1회의 프로그래밍만이 가능하다. 또한, EPROM은 프로그래밍 전하가 유지되도록 프로그래밍 후에 퓨즈보다 복잡한 차폐를 필요로 한다. 다른 구현예에서는 (일반적으로 알려진) 인버터 모드에서 EEPROM(electrically erasable programmable read only memory)을 사용하는데, 즉, 판독 모드에서 셀은 PMOS, NMOS 또는 저항기와 같은 일부 부하 소자의 전류 싱크(sink)로서 작용한다. 상기 소자의 게이트는 일반적으로 2V로 유지되고 그 소오스는 접지로 유지되며, 그 드레인은 부하에 접속되어 있다. 상기 부하 소자의 전압이 상기 메모리 셀의 출력이다.

메모리 셀 행 복구에 대한 종래 구현예는 일반적으로 각각의 리던던시 행에 대해 별도의 리던던시 행 디코더와 인에이블/디스에이블 퓨즈를 포함하고 있다. 행 복구에 대한 종래 구현예는 또한 일반적으로 보통의 행 디코더와는 다른 리던던시 행 디코더를 포함하고 있다. 또한, 종래 구현예는 각각의 퓨즈 소자를 프로그래밍하기 위해 별도의 고전압 디코더를 필요로 한다. 이들 모든 회로는 원하는 결과를 얻기 위해서 부가적인 회로를 필요로 하고 복잡도를 추가하게 된다.

발명이 이루고자 하는 기술적 과제

더블유. 입(W. Ip)과 지. 페레고스(G. Perlegos) 명의 미국 특허 제4,617,651호 및 지. 스마란도루(G. Smarandolu)와 지. 페레고스 명의 미국 특허 제4,538,245호의 종래 기술에서는, 각각의 리던던트 행에 대해 리던던시 디스에이블/인에이블회로를 필요로 한다. 본 발명에서는, 제한범위밖의 주소 지정이 리던던트 행을 자체적으로 인에이블하는데에 사용되며, 이에 따라 리던던트 디스에이블/인에이블회로가 필요없게 된다. 또한, 상기 '651' 및 '245'의 두 특허에서, 상기 리던던시 소자는 1회 프로그래밍가능한 퓨즈이다. 하지만, 본 발명의 EEPROM 퓨즈에 의해, 리던던시를 다수회 프로그래밍하는 것이 가능해지고, 그리고 1회의 프로그래밍가능한 퓨즈를 과열시키는데 필요한 고전류 디바이스가 필요없게 된다. 마지막으로, 상기 '651' 및 '245'의 두 특허에서는, 별도의 리던던시 프로그래밍 회로를 필요로 하는 반면에, 본 발명의 프로그래밍 회로는 열 스위치의 사용을 통해 보통의 프로그래밍 회로와 공유된다.

발명의 구성 및 작용

본 발명은 리던던시 프리디코더 회로, 소오스 팔로워 EEPROM 메모리 퓨즈, 상기 EEPROM 퓨즈를 프로그래밍하는데 (페이지 래치로도 알려진) 열 고전압 구동기를 사용하는 기술, 리던던시 행 디코더로서 (워드라인 디코더 또는 x 디코더로도 알려진) 보통의 행 디코더를 사용하는 기술, 및 리던던트 인에이블/디스에이블신호로서 제한 범위 밖의 주소 지정을 포함하고 있다.

상기 리던던시 프리디코더 회로는 리던던시의 구현에 필요한 부가적인 회로들을 최소화하기 위하여 리던던시 행 디코더와 더불어 사용되는 정규의 행 프리디코더를 채택하는데 사용된다. 상기 정규의 열 고전압 구동기는 상기 리던던시 회로에 대한 부가적인 고전압 구동기의 필요성을 최소화하기 위하여 상기 EEPROM 퓨즈를 프로그래밍하는 데에 사용된다. 고전압 테스트 신호는 상기 정규의 열 구동기와 상기 EEPROM 퓨즈 사이에 있는 전달 스위치를 인에이블하기 위해 제조중에 인에이블되고, 그리고 상기 정규의 메모리 셀을 프로그래밍하지 않아도 되도록 상기 메인 행 디코더를 디스에이블하는데에 사용될 수 있다. 또한, 메인 행 디코더와 리던던시 행 디코더가 동일하므로, 두 레이어아웃이 정확하게 일치되어, 리던던시 행 디코더의 레이어아웃에 대해 어떤 부가적인 노력도 필요하지 않게 된다.

상기 EEPROM 퓨즈는 초기에는 제한 범위외의 주소(즉, 메인 어레이의 최대 주소 보다 높은 주소)에 설정되게 되며, 이에 따라 상기 리던던시 행은 초기에는 일반적으로 사용되고 있는 주소 범위내에 있지 않음으로써 디스에이블될 수 있다. 또한, 어떤 리던던시 행은 또한 제한 범위 밖의 주소를 대응 EEPROM 퓨즈내로 프로그래밍함으로써 디스에이블될 수 있다. 주소 입력에 의해 주소 지정될 수 있는 주소의 최대 개수는 메인 메모리 어레이가 필요로 하는 주소공간 보다 큼에 주의하자. 보통은 입력되지 않는 무효 주소가 되도록 주소의 특정 개수, 즉 불력을 보유함으로써, 상기 리던던트 주소 퓨즈는 미사용의 주소 중 하나의 주소로 초기화될 수 있고 그리고 리던던시는 상기 퓨즈가 유효 주소로 프로그래밍될 때까지 행해지지 않는다. 따라서, 상기 리던던시 기술은 리던던트 행을 인에이블또는 디스에이블하는데 별도의 회로를 필요로 하지 않지만, 대신에 퓨즈가 결함이 있는 행의 주소로 프로그래밍되면 자동으로 인에이블된다.

상기 EEPROM 퓨즈는 MOS 차동 비교기와 더불어 사용되는 소오스 팔로워 형의 메모리 셀이다. 상기 판독 모드의 상기 소오스 팔로워 EEPROM 셀은 조절된 전압에 접속되어 있는 게이트와 소오스, 및 접지측에 접속되어 있는 전류 바이어스에 접속되어 있는 드레인을 가지고 있다. 드레인 전압이 상기 메모리 셀의 출력이다.

제조 결함으로 인한 생산 수율을 높이기 위해 비휘발성 메모리 칩에 사용되는 리던던시 회로에 대한 장치 및 방법을 상세히 설명한다. 이 설명에서 상기 메모리는 캘리포니아 산호세 소재의 인포메이션 스토리지 디바이스, 인코포레이티드에 의해 제조 및 판매된 아날로그 더블러 및 재생 소자에 사용되는 형태의 아날로그 비휘발성 메모리인 것으로 가정하는데, 이는 본 발명의 바람직한 실시예에 적용된다. 하지만, 본 발명은 디지털 기억 시스템과 같은 기타 다른 기억 시스템에도 마찬가지로 사용될 수 있다. 아날로그 비휘발성 메모리 셀은 일반적으로 대략 250분지 1의 해상도를 가지고 있는 아날로그 신호의 단일 샘플을 저장할 수 있다. 60초의 기억 용량을 가지고 있는 오디오 응용의 경우에, 어레이 크기는 60초를 오디오 샘플링 속도(8KHz가 일반적이며, 이 속도는 125 μ sec 마다 하나의 샘플을 제공함)의 역으로 나눈 값, 즉 60초/125 μ sec = 480K개의 셀이다. 바람직한 실시예에서 480K 어레이는 1200개의 열과 400개의 행으로 나뉘어진다.

이제, 도 1을 참조하면, 본 발명의 바람직한 실시예의 블록도가 도시되어 있다. 도 1은 본 실시예에서는

ROW0 내지 ROW399의 참조 부호를 가지고 있는, 메모리 셀의 400개의 행으로 된 메인 어레이로 이루어진 메인 메모리(20); 및 RROW0~RROW3의 참조 부호를 가지고 있는, 메모리 셀의 4개의 행으로 구성되어 상기 메모리 어레이의 아래에 있는 리던던트 어레이를 포함하고 있으며, 이에 따라 메모리셀의 동일한 404개의 행으로 된 전체 어레이가 제공된다. 이 어레이의 각각의 행은 12개 스캔(scan)으로 분할되며, 각각의 스캔은 12.5ms의 기록 및 재생, 즉 8KHz의 경우 100개의 셀과 동일하다. 12 스캔 모두에 대해, 이는 150ms의 기록 및 재생을 나타낸다. 이 특정 구현예에서, 어떤 신호, 즉 메시지가 마지막 150ms 내에서 언제 종료되는지에 상관없이, 상기 신호, 즉 메시지의 기록 및 재생은 150ms 증분의 정수 배와 동일한 시간이 된다는 점 때문에, 상기 150 ms는 오디오 시간 해상도가 되도록 선택된다. 따라서, 전체 행은 12개의 스캔내에서 프로그래밍 또는 재판독될 수 있으며, 이때 한 스캔에서 다음 스캔으로의 증가는 자동적이다. 따라서, 행에서 행으로의 주소 지정만이 필요하며, 열 주소 지정은 스캔에서 스캔으로 자동으로 진행된다. 열 구동기는 한번에 100개의 셀을 구동해야 하므로, 100개의 열 구동기(22)가 사용되며, 이들 각각은 각각 100개의 열로 된 12개의 그룹 각각에 대해(예컨대, 행마다 12개의 스캔 각각에 대해) 1200개의 열중 각각의 100개의 열에 100개의 열 구동기를 제어가능하게 접속하기 위해, 12:1 MUX(24)를 통해 동작하게 된다.

도 1에는 또한 행 카운터(26), 워드라인, 즉 행 프리디코더(28), 행 디코더(30), 4개의 비교기(32) 및 EEPROM 퓨즈(34)를 형성하고 있는 4개의 EEPROM 셀로 된 4개의 설정가 도시되어 있다. EEPROM 퓨즈(32)는 정규의 열로부터 상기 EEPROM 퓨즈로의 접속이 용이해지도록 상기 메인 어레이 바로 아래에 위치되어 있다. 상기 행 카운터(26)는 병렬 입력(AIN.. A10) 및 초기에 카운터를 상기 어레이의 어떤 행을 가리키도록 하는 입력 스트로브(strobe) 신호(PARLD)를 또한 수신할 수는 있지만, 9 비트 주소(A8.. A0) 및 그 역(A8/.. A0/)에 의해 행을 통해 순차적으로 행 클럭(ROWCLK)으로 동작한다. 상기 워드라인 프리디코더(28)는 8개의 선택 게이트 라인(SG7.. SG0)중 하나의 라인을 활성화하기 위하여 상기 주소의 최하위 3 비트(A2.. A0)를 디코딩한다. 나머지 6비트 주소(A8/.. A3)는 주소 라인과 그 역의 50개의 NAND 게이트(36)에의 접속을 적절히 선택함으로써 디코딩된다. 8:1 MUX과 조합된 NAND 게이트는 회로를 최소화하며, 이에 따라 이들 게이트는 상기 셀의 높이 치수(피치)에 꼭 맞게 된다. 상기 리던던트 행 디코더(38)는 리던던트 행 디코더(38)의 NAND 게이트(40)의 입력들 중 하나가 VCC에 접속되어 있다는 것을 제외하고는 정규의 행 디코더와 같아서, 그 하나의 입력이 NAND 게이트의 출력을 스스로 제어할 수 있다. 리던던트 행 디코딩은 비교기(32)로부터의 제어 신호(COMR0~COMR3)와 더불어 정규의 행 프리디코더 신호(SG0~SG3)를 사용하여 행해지는데, 특정한 제어 논리회로과 더불어 이후에 좀 더 상세히 설명된다.

일반적으로, 여기에서 설명되는 바와 같이, 본 발명에 의해 변경되는 것을 제외하고는, 행 카운터(26)와, 워드 라인 프리디코더(28)의 접속 및 워드 라인 또는 행 디코더(30)는 종래 ISD 소자 기술에서와 같은, 그리고 미국 특허 5,241,494호가 포함되는 다양하게 발표된 특허에서와 같은 작용을 한다. 이와 유사하게, 출력 회로, 많은 아날로그 기억 소자의 제어 및 소자의 다른 특정한 면은 도 1에 명확하게 도시하지 않았는데, 이는 이들 또한 종래 ISD 소자 기술로부터 잘 알려져 있고 특허로 출원되었으며 그 내용을 여기에 포함시키면 불필요하게 본 발명이 모호해질 수 있기 때문이다(이러한 종류의 소자의 일반적인 개요는 미국 특허 제4,890,259호 참조).

제조 후 초기에는, 아날로그 기억 소자는 메인 어레이 및 리던던트 어레이 내의 어떤 기억 셀이 불량(하나의 행 또는 전체 행 내의 하나 이상의 셀이 몇가지 이유로 비능률적이 될 수도 있지만, 대개 기억 셀에 의해 자신의 프로그래밍에 전혀 관계없이 1V에서 고정된 출력을 제공하는, 비기능적)인지를 판단하기 위하여 테스트 된다. 만일, 메인 어레이 내의 기억 셀이 불량한 것으로 판단되면, 차후에 상세히 설명하겠지만, 그 셀의 전체 행은 리던던트 셀의 4개의 행 중의 하나를 사용함으로써 더 이상 사용되지 않게 된다. 일반적으로, 불량 행의 수를 결정하는 테스트는 가능하면 리던던트 행의 사용으로 복구될 수 없는 상태의 결함을 가지는 집적 회로에 대한 패키징 비용을 피할 수 있도록 웨이퍼 소트로 이루어져야 한다. 다음에, 결함이 있는 행이 제거된 퓨즈의 프로그래밍은 대개 패키징으로 인해 야기될 수 있는 더 이상의 손실이 없도록 패키징 후에 이루어져야 한다.

일단, 패키징 후에 소자가 테스트 되고 행 주소에 의해 불량 셀의 위치가 확인되면(설명중인 본 실시예에서 불량있는 셀은 제공되는 리던던트 기억 셀 행의 개수인 4 행 이상이어서는 안됨), 불량 주소 EEPROM 퓨즈(34)가 프로그래밍되게 된다. 각 불량 주소는 9비트 주소이며, 이에 따라 9개의 EEPROM 퓨즈가 각 주소에 필요하거나, 36개의 EEPROM 퓨즈 전부가 4개의 리던던트 행을 수행시키는 데에 필요하다. 차후에 설명하겠지만, 바람직한 실시예에서의 각 EEPROM 퓨즈는 개별적으로 동작할 수 있도록 각각 프로그래밍되는 두 개의 EEPROM 셀을 사용한다. 그 결과, 4개의 9비트 불량 주소 EEPROM 퓨즈를 설정시킬 수 있도록 프로그래밍되는 72개의 EEPROM 셀이 존재하게 된다.

불량 주소 EEPROM 셀에 대한 프로그래밍과정의 처음 단계에서, 열을 퓨즈에 접속하는 테스트 인에이블 신호, TESTHV를 통해 테스트 모드가 형성된다. 상기 신호는 또한, 언급되는 구체적인 실시예에서 메인 어레이는 단순히 메인 어레이 주소 범위를 벗어나는 주소를 사용함으로써 효과적으로 디스에이블될 수 있음에도 불구하고, 메인 어레이의 셀 디코드 회로(36)를 디스에이블시키는 데에 사용될 수 있다. 열 구동기(22)는 각 구동기에 접속된 셀의 바람직한 프로그래밍 또는 소거 상태에 따라 1 또는 0으로 직렬로 로드된다. 100개의 라인 구동기가 있기 때문에, 4개의 9비트 불량 주소 EEPROM 퓨즈의 각 EEPROM 셀은 개별적인 스캔을 위해 개별적인 라인 구동기에 접속되게 되며, 이 경우 모든 4개의 리던던트 행 주소는 상기의 동일 스캔을 사용하여 프로그래밍된다. 그 대신에, 개별적인 9비트 불량 주소 EEPROM 퓨즈의 각 18개의 EEPROM 셀은 각 9비트 불량 주소 EEPROM 퓨즈가 개별적인 스캔상에서 프로그래밍될 수 있도록 하기 위해 개별적인 스캔(12:1 MUX(24)의 개별적인 셋팅)에 접속될 수 있다. 이들 또는 어떤 다른 접속을 선택하느냐 하는 것은, 본 특허의 주제에는 별로 중요하지 않은, 설계 선택과 칩 레이아웃의 문제이다.

로딩된 데이터는 불량 행 주소에 대응된다. 고전압이, 즉 21V가 프로그래밍 사이클을 시작할 수 있도록 모든 열 구동기에 인가된다. 상기 고전압은 예컨대 표준 전하 펌프로부터 공급된다. 상기 동일한 고전압은 예컨대 행 디코더 및 행 프리디코더와 같은 기타 필요한 회로도 인가된다. 각 스캔의 경우에, 제1 스캔 기록 과정은 소거 과정에 대해 할당된 1.25ms와 기록 과정에 할당된 11.25ms를 포함하고 있다. 상기 신호 TESTHV는 퓨즈의 EEPROM 셀을 어레이 열에 접속시킬 수 있도록 한다. 또한, 제한 범위 밖의 주소(메인 메모리 어레이의 400개의 행에 대한 상기 주소 범위로, 주소(A0.. A8)로부터 주소지정될 수 있는

가능한 행의 최대수는 512임)가 메인 메모리 어레이의 어떤 행도 주소 되지 않도록 하기 위해 주소 라인(A8..A0)상에 제공된다. 따라서, 리턴던트 퓨즈에 대한 소거 사이클 동안, 단지 상기 퓨즈의 EEPROM 셀만이 소거된다. 곧, 소거 사이클이 디스에이블되고 나머지 스캔에 대한 기록 사이클이 인에이블된다. 기록 사이클 동안, 상기 퓨즈의 개별적인 EEPROM 셀의 바람직한 상태에 따라 고전압 또는 0을 출력하면서 각 열 구동기에 의해, 상기 퓨즈의 EEPROM 셀만이 프로그래밍된다.

12:1 MUX는 상기 사이클이 12개의 스캔에 대해 반복될 수 있도록 12.5ms의 스캔율(scan rate)에 의해 직렬로 인에이블될 수 있는데, 예시적인 실시예에서 이전에 설명한 바와 같이, 모든 퓨즈는 프로그래밍되는 동안 상기 동일 스캔의 열에 접속되어 있다면 단일 스캔에서 프로그래밍될 수 있다. 결과적으로, 바람직하다면 12개의 스캔의 직렬 인에이블이 제거되게 된다. 또한, 상기 퓨즈는, 메인 메모리 주소 범위를 자동으로 포함할 수 있도록, 제조 시 바람직한 방법으로 초기에 모두 1로 로드된다.

프로그래밍되는 동안의 주소 지정과 일반적인 아날로그 기록 및 재생 소자 동작에 대하여, 결함이 없는 메인 메모리 어레이 셀의 적어도 두 행에서, NOR 게이트(42)의 출력은 하이로 되게 된다. 그 결과, AND 게이트(44,46)의 출력은 그들의 제2 입력, 즉 주소 A8 및 A8/의 상태와 동일하게 되며, 이에 따라 이들 두 개의 주소 라인에서의 AND 게이트의 존재는 아무런 영향을 미치지 않게 된다.

일단, 상기 퓨즈가 설명한 바와 같이 프로그래밍이 되면, 아날로그 기억 소자의 정상 동작에 있어, 비교기(32)는 항상 주소 라인(A8..A0)상의 주소를 가지는 상기 퓨즈내에 저장된 상기 9비트의 결함이 있는 행 주소를 비교한다. 메인 메모리의 결함이 있는 행의 주소 지정이 이루어졌을 때, 상기 비교기들 중의 하나는 주소 비교를 검출하여 하이 출력 신호를 제공할 것이다. 따라서, NOR 게이트(42)의 입력 COMR3..COMR0 중 하나는 하이로 되며, 상기 NOR 게이트의 출력은 로우로 된다. 이에 따라, 상기 AND 게이트(44,46)의 입력 중 하나는 로우로 되며, 상기 AND 게이트의 출력은 A8 및 A8/의 상태에 상관없이 로우로 된다. 이제, 50개의 모든 NAND 게이트의 출력을 하이로 유지시킬 수 있도록, 50개의 모든 NAND 게이트(36)의 적어도 한 입력이 로우로 되며, 이는 차후에 상세히 설명하겠지만, 상기 메인 메모리 어레이의 어떤 행의 주소 지정을 효과적으로 디스에이블시킬 수 있도록 상기 메인 어레이의 모든 행의 주소를 무효화한다.

상기 NOR 게이트(42)의 출력은 또한 인버터(48)에 접속되고, 이에 따라 상기 NOR 게이트의 출력은 비교를 검출하는 비교기에 행을 전달할 때 상기 인버터(48)의 출력은 하이로 되며, 따라서 이제 NAND 게이트(40)의 모든 입력은 하이로 되어 리턴던트 행(ROW3..ROW0)의 주소 지정이 가능해진다. 4개의 리턴던트 행 중 하나의 주소 지정은, 신호(SG3..SG0)의 신호 중 대응되는 하나를 선택할 수 있도록 주소 일치를 위해 상기 비교기의 출력에 응답하여, 상기 프리디코더(28)에 의해 수행된다. 따라서, 메인 메모리 어레이의 리턴던트 행이 주소 지정될 때, 기록 또는 재생 동안, 대응되는 리턴던트 행이 대신 주소되는데, 모두 집적 회로의 다른 부분 및 외부 세계에 대해 평이한 방법으로 이루어진다.

도 2는 도 1의 일반적인 행 디코더에 대한 회로도이다. 상기 행 디코더의 입력은, 상기 주소 신호 A3..A8 및 그들의 역 A3/..A8/의 동일 접속인, SG0..SG7 또는 X81N..X31N이다. 행 주소는 직접적인 2진 디코딩을 위해 상기 프리디코더로부터의 8개의 입력과 더불어 1부터 50까지 NAND 게이트에 입력되며, 이로써 50개 또는 400개의 행을 총 8번 디코딩하게 된다. 상기 NAND 게이트(36)의 입력은 단지 하나의 NAND 게이트만이 동시에 모든 하이 입력을 가질 수 있도록 하기 위하여, 6개의 주소 신호(A8..A3) 및 이들의 역(A8/..A3/)의 각각의 접속을 수신한다. 따라서, 일반적으로 NAND 게이트(36)의 출력은 하이로 되게 된다. 이는 인버터(50)를 통해 고전압 스위치(52)를 오프시키고, n 채널 디바이스(M9~M16)를 오프시킨다. (상기 고전압 스위치는 종래에 잘 알려진 고전압 클럭이나 고전압 레벨 시프터를 사용하여 동작된다.) NAND 게이트(36)의 하이 출력은 또한 N 채널 디바이스(M1 내지 M8)를 턴온시키며, 이에 따라 상기 디코더에 의해 제어되는 8개의 모든 행이 로우로 된다.

상기 행 디코더에 대해 6개의 주소 신호 A8..A3 및 그의 역 A8/..A3/의 특정한 접속이 동시에 모두 하이일 때, NAND 게이트(36)의 출력은 로우로 된다. 이는 n 채널 디바이스(M1~M8)를 턴오프시키고, 인버터(50)를 통해 고전압 스위치(52)를 턴온시킨다. 상기 고전압 스위치의 출력은 프로그래밍 모드에서 고전압 VCC가 되거나, 판독 모드에서는 어떤 중간 레벨(또는 선택되지 않았을 경우에는 0)이 되게 된다. 스위치의 고전압 출력은 ROW0~ROW7 각각을 프리디코딩된 신호(SG0~SG7)와 개별적으로 접속시키기 위해 n 채널 디바이스(M9~M16)를 턴온시킨다. 상기 라인(SG0~SG7) 중 단지 하나만이 어떤 시간에 고전압이 유입되기 때문에, 상기 7개의 행 중 하나의 행만이 하이로 된다.

도 3은 도 1의 프리디코더 회로(28)의 회로도이다. 상기 행 프리디코더 회로는 두 회로 즉, 상기 메인 행 디코더와 리턴던트 행 디코더를 포함하고 있다. 도 3의 리턴던트 행 디코더를 먼저 참조하면, 인버터(66)는 A2 신호를 재반전시키는 인버터(68)과 더불어, 입력 주소 신호(A2,A1,A0)를 반전시킨다. NOR 게이트(70,72,74,76,78) 및 NAND 게이트(80)는 비교기 출력(COMR0 내지 COMR3)을 이용하여 리턴던트 행을 디코딩한다. 행 주소(A8..A0) 중 단지 하나의 행주소만이 어떤 주어진 시간에서 액티브되기 때문에, 비교기 출력(COMR0 내지 COMR3)중 하나 이상의 출력이 어떤 주어진 시간에서 액티브될 수는 없음(모든 주소가 아니면, 일반적으로 어떤 것도 최상으로 액티브되지 않음)에 주의하자. 예컨대, 상기 비교기 출력(COMR0~COMR3)중 어떤 출력도 액티브(하이)되지 않으면, 상기 NOR 게이트(70)의 출력은 하이로 되며, 이에 따라 NAND 게이트(80)의 출력(X2B)은 A2 주소 입력 라인상 신호의 역이 되게 된다. 또한, 상기 NOR 게이트(72,76)의 출력은 A1 및 A2 라인상에서 상기 인버터(66)의 출력의 역이 되며, 상기 NOR 게이트(74,78)의 출력은 NOR게이트(72,76)의 출력의 역을 가지고 있다. 결과적으로, 상기 비교기 출력(COMR0~COMR3)중 어떤 출력도 액티브되지 않으면, 상기 게이트(80,74,78)의 출력(X2B, X1B, X0B)은 각각 주소 라인(A2,A2,A0)상의 신호의 역이 된다.

비교기 중 하나의 비교기가 주소 비교를 발견하면, 그 출력은 하이로 된다. COMR0가 하이이고 COMR1,2,3이 로우이면, NOR 게이트(70)의 출력은 로우로 되며, NAND 게이트(80)의 출력(X2B)은 하이로 된다. NOR 게이트(72)의 출력 또한 로우로 되고, COMR2,3이 로우이기 때문에 NOR 게이트(74)의 출력 X1B는 하이로 되게 된다. NOR 게이트(76)의 출력도 또한 로우로 되고, COMR1,3이 로우이기 때문에 NOR 게이트(78)의 출력(X0B)은 하이로 되게 된다. 결과적으로, 주소 라인(A2..A0)상의 신호에 상관없이 X2B, X1B, X0B =

1110이 된다.

COMR10이 하이이고 COMR0,2,30이 로우이면, NOR 게이트(70)의 출력은 로우로 되고, NAND 게이트(80)의 출력(X2B)은 하이로 된다. NOR 게이트(72)의 출력 또한 로우로 되며, COMR2,3가 로우로 되기 때문에 NOR 게이트(74)의 출력(X1B)은 하이로 된다. 또한, COMR10이 하이이므로 NOR 게이트(78)의 출력(X0B)은 로우로 된다. 따라서, 주소 라인(A2..A0)상의 신호에 상관없이 X2B, X1B, X0B = 110이 된다.

도 3을 계속 참조하면, COMR2가 하이이고 COMR0,1,3가 로우이면, NOR 게이트(70)의 출력은 로우로 되며, 이는 NAND 게이트(80)의 출력을 하이로 만든다. 또한, COMR2가 하이이므로 NOR 게이트(74)의 출력(X1B)은 로우로 된다. 또한, NOR 게이트(76)의 출력은 로우로 되고, COMR1,30이 로우이기 때문에 NOR 게이트(78)의 출력, X0B는 하이로 된다. 따라서, 주소 라인 A2..A0 위의 신호에 상관없이 X2B, X1B, X0B = 101이 된다. 마지막으로, COMR3가 하이이고 COMR0,1,2가 로우이면, NOR 게이트(70)의 출력은 로우로 되고, 이는 NAND 게이트(80)의 출력을 하이로 한다. 또한, COMR3가 하이이기 때문에, NOR 게이트(74)의 출력, X1B는 로우로 되며 NOR 게이트(78)의 출력, X0B는 로우로 된다. 따라서, 주소 라인 A2..A0 위의 신호에 상관없이, X2B, X1B, X0B = 100이 된다. 도 3의 행 프리디코더 회로는 단지 4개의 리던던트 행의 예로써 동작한다. 하지만, 다른 실시예에서는, 사용되는 리던던트 행이 더 많거나 더 적을 수 있다.

이제, 도 3의 메인 행 프리디코더를 참조하면, 인버터(54,56,58)는 3개의 입력에 대한 직접적인 이진 디코딩을 제공하는 NAND 게이트(60) 및 인버터(62)와 더불어 X21, X11 및 X01 신호를 각각 제공하기 위하여, 신호 X2B, X1B, X0B를 반전시켜 메인 행 디코더에 입력한다. 메인 행 프리디코더의 입력(X2B..X0B)은 어떤 리던던트도 사용되지 않을 때(즉, COMR3..COMR0이 모두 로우일 때), 각각 주소 라인(A2..A0)상의 신호의 역이다. 3 입력 NAND 게이트(60) 및 인버터(62)는 리던던트가 사용되지 않을 때 주소 라인(A2..A0)을 사용하여 1부터 8까지 디코딩할 수 있도록 접속된다. 예컨대, A2, A1, A0 = 000이면, SG3는 하이이고 SG1..SG7은 모두 로우이며; A2,A1,A0 = 011이면, SG3는 하이이고, SG0..SG2 및 SG4..SG7은 모두 로우이며, 이하 마찬가지이다. 따라서, 리던던트가 사용되는 동안, COMR0가 하이이면, X2B, X1B, X0B=111이고, SG0는 하이이다. COMR1이 하이이면, X2B, X1B, X0B = 110이고, SG1은 하이이다. COMR2가 하이이면, X2B, X1B, X0B = 101이고, SG2는 하이이며, 마지막으로, COMR3가 하이이면, X2B, X1B, X0B = 100이고, SG3는 하이로 되는데, 이들 모두는 주소 라인(A2..A0)상의 신호와는 독립적이다. 고전압 스위치(64)(HVSW)는 종래에 잘 알려진 클럭부 고전압 스위치 또는 레벨 시프터와 같은 고전압 스위치이다.

도 4a 및 도 4b에는 본 발명의 일반적인 비교 회로(32)(도 1 참조)가 도시되어 있다. 설명된 예시적인 실시예에서 9개의 비교기가 사용되는 도 4a의 회로는 일치를 위해 주소 라인(A8..A0)상의 유입된 주소와 각각의 퓨즈(34,도 1 참조)의 각각의 저장된 리던던트 주소(F8..F0)를 비트단위로 비교한다. 이들이 동일하면, 도 4b의 회로의 모든 입력은 하이로 되며, 이에 따라 출력(COMR)은 하이로 된다. 그렇지 않으면, 상기 출력(COMR)은 로우로 된다.

각각의 9개의 주소 비트(A8..A0)와 퓨즈 비트(F0..F0) 중 각각의 하나의 비트를 각각 비교하기 위한 도 4a의 기본 비트 비교기는 일반적인 2입력 XOR(배타적 OR) 회로(96)이다. 일반적인 비트 비교기로서 상기 XOR 회로(96)를 사용하는 경우에, 상기 XOR 회로(96)는 인버터(82), n 채널 디바이스(M30,M31), 및 p 채널 디바이스(M32,M33)를 포함하고 있다. 상기 XOR 회로(96)의 입력은 A0와 F0이다. 상기 XOR 회로(96)의 출력은 입력(A0,F0)이 동일할 경우에는 하이이고, 입력(A0,F0)이 다를 경우에는 로우이다. 예컨대, A0와 F0가 모두 0일 경우에, 디바이스(M30,M31,M33)는 오프되고 디바이스(M32)는 온된다. 인버터(82)의 출력은 디바이스(M32)를 턴온시킬 수 있도록 하이로 되며, 이에 따라 인버터의 하이 출력이 출력(XOR0)에 접속된다.

일반적인 비트 비교기로서 XOR 회로(96)를 다시 사용하는 경우에, A0와 F0가 모두 1이면, 디바이스(M33)는 인버터(82)를 통해 턴온되며, 이에 따라 F0의 하이 상태가 출력(XOR0)측에 접속된다. 디바이스(M30,M31,M32)는 오프된다. A0가 로우이고 F0가 하이이면, 디바이스(M31,M32,M33)는 오프되고 디바이스(M30)는 온된다. 따라서, 디바이스(M30)는 로우 입력(A0)을 출력(XOR0)에 접속한다. 마지막으로, A0가 하이이고 F0가 로우이면, 디바이스(M30,M32,M33)는 오프되고 디바이스(M31)는 온된다. 결과적으로, 상기 로우 입력(F0)이 출력(XOR0)에 접속되게 된다. 도 4b에 도시되어 있는 바와 같이, 출력(XOR0~XOR4, XOR5~XOR8)은 NAND 게이트(84,88) 각각의 입력으로서 접속되며, 그 출력은 인버터(86,90)에 의해 각각 반전된다. 인버터(86,90)의 출력은 NAND 게이트(92)의 입력을 형성하고, 그 출력은 출력(COMR)을 제공할 수 있도록 인버터(94)에 의해 반전된다. NAND 게이트(84,88,92) 및 인버터(86,90,94)의 이러한 접속은 논리적으로 동일한 하나의 값을 제공한다. 즉, 도 4a의 XOR(배타적 오아)회로의 출력을 AND 연산하기 위한 9입력 AND 게이트이다.

도 5에는 본 발명의 일반적인 EEPROM 퓨즈 회로가 도시되어 있다. EEPROM 퓨즈 회로는 퓨즈 소자로서 작용하는 두 개의 EEPROM 셀을 포함하고 있다. 고전압 n 채널 디바이스(M5,M6)는 프로그래밍 목적을 위해 두 개의 메인 어레이 열(COLIN 및 COLINB)을 상기 퓨즈에 접속하는 테스트 신호(TESTHV)에 의해 게이트가 제어된다. 상기 회로는 또한 EEPROM 셀의 상태를 감지하기 위한 가중치 MOS 차동 비교기(증폭기)를 포함하고 있다. n 채널 디바이스(M7,M8)는 상기 퓨즈가 프로그래밍 모드에 있을 때 감지 회로를 고전압으로 부터 분리하는 작용을 한다. 따라서, 상기 디바이스(M7,M8)의 드레인 고전압 드레인(예컨대, 저 도핑된 또는 이중 확산된 정션)이다. 디바이스(M1~M4)는 일반적으로 두 개의 트랜지스터 EEPROM 셀이다. 디바이스(M5,M6)는 소거 및 기록 사이클 동안 고전압을 열 고전압 구동기로부터 상기 EEPROM 셀로 전달시키기 위한 고전압 n 채널 소자(예컨대, 이중 확산된 소오스 및 드레인 NMOS 소자)이다. 디바이스(M9)는 상기 퓨즈가 제조 후 처음에는 동일한 초기 상태를 가지기 때문에, 초기의 출력 FOUT를 미리규정 하기 위하여 차동 증폭기의 입력을 조정(skew)한다.

디바이스(M9)는 전형적인 n 채널 디바이스(문턱전압=0V)이다. 결과적으로, 상기 차동쌍이 낮은 입력 전압 레벨에서 보다 양호하게 동작할 수 있도록 상기 EEPROM 셀로부터의 전압 강하가 최소화된다. n 채널 디바이스(M10,M11)는 소오스 팔로우 판독 구조에서와 같이 상기 퓨즈를 바이어스하는 데에 사용된다. 디바이스(M12~M20)는 레일 투 레일(rail to rail) 출력을 제공하는 디바이스(M19,M20,M23,M24)를 가지고 있는 일반적인 MOS 차동 증폭기이다. p 채널 디바이스(M21,M22)는 전원 다운 모드에서 출력(FOUT)을 1로

만든다. 또한, 상기 비교기를 초기에 더 조절할 수 있도록, 디바이스(M15)의 크기는 디바이스(M16)의 두 배이고, 디바이스(M14)의 크기는 디바이스(M13)의 두 배가 된다. 디바이스(M13, M14)는 낮은 입력 전압 레벨에서 보다 양호하게 동작하는 입력 차동쌍을 또한 형성할 수 있는 전형적인 NMOS 트랜지스터(문턱전압=0V)이다.

도 5의 EEPROM 셀을 프로그래밍하는 경우에, 상기 정규의 열(COLIN, COLINB)으로부터 상기 퓨즈층으로 고전압을 전달할 수 있도록 어떤 일반적인 고전압 인에이블 테스트 회로에 의해 TESTHV는 고전압층으로 구동되게 된다. 상기 열 구동기에 제공된 데이터는 상기 퓨즈의 원하는 프로그래밍 상태에 달라지는데, 일반적으로 이는 불량 행 주소에 대응된다. 모든 4개의 행 주소는 동일한 스캔 동안에 반드시 제공되는 것은 아니지만, 일반적으로 동시에 제공된다. 발진기 및 전압 기준 회로와 같은 상기 칩 상의 다른 프로그래밍 가능한 회로에 대한 트림 데이터도 또한 동시에 제공된다. 미사용의 리던던시 퓨즈의 경우, 상기 데이터는 리던던시 행을 디스에이블시킬 수 있도록 제한 범위 밖의 주소(행 400 보다 높은 주소, 즉, 예컨대 모든 주소)로 설정되어야 한다.

하나의 퓨즈의 한쌍의 셀에 대한 데이터는 상보적이다. TRMSG는 회로를 인에이블시키는 어떤 일반적인 고전압에 의해 고전압으로 인에이블되게 된다. 소거 사이클 동안, 상기 신호 TRMCG(디바이스(M1, M3)의 게이트)는 고전압층으로 구동되는 반면에, 모든 열은 TRIMVCCA를 접지시킴으로써 접지된다. 이것이 EEPROM 셀 소거를 위한 일반적인 조건이다. 상기 셀의 문턱 전압은 대략 6V이다. 기록 사이클 동안, TRMSG는 계속하여 고전압을 유지하고, TRMCG는 0으로 설정되며, TRIMVCCA는 대략 5V로 플로팅될 수 있다. 이것이 EEPROM 셀 기록의 조건이다. 기록 사이클에서, 상기 셀의 문턱 전압은 대략 -0.5V이다. 하나의 퓨즈의 하나의 메모리 셀이 프로그래밍됨에 따라, 상기 동일한 퓨즈의 다른 셀은 로우로 유지되는 각각의 열 구동기에 의해 소거된다.

판독 동작 동안에 TESTHV는 로우로 유지된다. 예컨대, 일반적인 연산 증폭기 레귤레이터에 의해, TRMSG는 VCC 또는 10V와 같은 어떤 중간 레벨로 설정되고, TRMCG는 3.5V로 설정되며, TRIMVCCA는 또한 3.5V로 설정된다. 이때, n 채널 디바이스(M10, M11)는 상기 소오스 팔로워 EEPROM 셀층에 바이어스 전류를 제공할 수 있도록 턴온된다. 실리콘은 제조중에 얻어지므로, 상기 셀의 문턱 전압은 마찬가지로 대략 1.2V이다. 디바이스(M9)에 의해 디바이스(M13)의 게이트는 디바이스(M14)의 게이트 보다 낮은 VT(문턱 전압)가 된다. 디바이스(M14)도 또한 디바이스(M13) 크기의 두 배이며, 이에 따라 디바이스(M14)는 디바이스(M17)의 게이트를 풀 다운시킬 수 있을 정도로 강하게 턴온된다. 디바이스(M15)로부터 공급된 전류가 단지 반이 될 수 있도록, 디바이스(M15)는 디바이스(M16)의 두배가 되며, 이에 따라 디바이스(M17)의 게이트는 더욱 떨어지게 된다. 디바이스(M17)는 그 드레인을 VCC측으로 하기 위해 강하게 턴온되고, 이에 따라 디바이스(M20)의 드레인은 번갈아 접지층으로 풀다운된다. 결과적으로, 디바이스(M23)가 턴온되어 출력(FOUT)이 VCC측으로 풀업된다.

디바이스(M1)가 소거되고 디바이스(M3)가 프로그래밍되면, 디바이스(M1)는 오프되며 디바이스(M13)의 게이트는 디바이스(M10)에 의해 로우로 풀다운된다. 디바이스(M3)가 온됨에 따라 그 드레인 전압은 대략 $3.5V - \Delta V$ (바이어스 전류로부터) $\approx 3V$ 이다. 디바이스(M8)는 디바이스(M14)의 게이트측으로 3V를 전달한다. 디바이스(M13)는 완전히 오프되므로, 디바이스(M12)의 전류는 디바이스(M17)의 게이트를 계속하여 접지층으로 풀다운시킨다. 이에 따라 디바이스(M17)가 턴온되고, 디바이스(M17)를 턴온시키고, 그 드레인이 하이로 풀업되며, 따라서 디바이스(M19, M20, M23, M24)에 의해 형성된 인버터에 의해 2회 반전된 후에 출력(FOUT)이 VCC, 즉 하이로 된다. 반대로, 디바이스(M1)가 프로그래밍되고 디바이스(M3)가 소거됨에 따라, 디바이스(M3)는 오프되고 디바이스(M14)의 게이트는 디바이스(M11)에 의해 접지층으로 풀다운된다. 디바이스(M1)가 온됨에 따라 그 드레인 전압은 대략 3V가 되고, 이는 디바이스(M7)에 의해 디바이스(M9)의 게이트측으로 전달되며, 이에 따라 디바이스(M13)의 게이트 전압은 $3V - V_T(M9) \approx 2V$ 가 된다. 디바이스(M14)는 완전히 오프되므로, 디바이스(M16)는 디바이스(M17)의 게이트를 VCC측으로 풀업시키며, 이에 따라 디바이스(M17)가 턴 오프되어 디바이스(M18)의 전류에 의해 그 드레인이 로우로 풀다운되며, 따라서 상기 출력(FOUT)은 0이 된다.

그러므로, 프로그래밍중에 상기 열 구동기내의 적절한 패턴을 로딩함으로써, 어떤 원하는 상태, 즉 1 또는 0이 상기 퓨즈로 프로그래밍될 수 있다. 제조중의 상기 퓨즈의 초기 상태는 상기 퓨즈의 주소, 즉 F8.F0가 상기 메인 어레이의 제한 범위 밖의 주소가 되도록, 하나의 상태로 되어야 한다. 이에 따라, 도 1의 비교기 출력(COMPO-COMR3)은 제로로 될 수 있으며, 이는 리던던시 행 디코더와 리던던시 행을 디스에이블시킨다. 리던던시가 사용되지 않으면, 상기 메인 어레이의 상기 최대 행 주소(본 발명에서는 400) 이상의 주소 패턴이 상기 리던던시 행 디코더를 디스에이블시키기 위해 상기 퓨즈로 프로그래밍될 수 있다.

발명의 효과

지금까지 본 발명은 바람직한 실시예에 대해, 특히 아날로그 신호의 아날로그 샘플의 기억 및 재생을 위해 구성된 실시예에 대해 설명되었다. 하지만, 본 발명은 기억 셀 마다 대개 한 비트(두 상태)내에서 또는 기억 셀 마다 하나 이상의 디지털 비트를 나타내는 두 개 이상의 별개의 레벨을 제공하는 다중 비트 레벨 기억 포맷에서, 디지털 신호의 기억을 위해 구성된 시스템에 또한 적용 가능하다. 그러한 다중 비트 레벨 디지털 기억 시스템은 입력 디지털 신호를 여러 아날로그 레벨 중 하나의 레벨로 변환하는데 디지털/아날로그 변환기를 사용하는데, 이때 상기 레벨들은 재판독과 아날로그/디지털 변환기 등에 의한 디지털 형태로 재변환이 반복된 후에, 동일한 집적 회로상의 기타 다른 셀의 재프로그래밍이 반복되는 동작 온도 범위에 걸쳐서, 확장 기억 전체를 통해 별개로 그리고 명백하게 유지되도록 서로 전압이 충분히 떨어져 있다. 예컨대, 셀 마다 2^N 개의 별개의 기억 레벨을 사용함으로써 기억 셀 마다 N비트의 디지털 정보를 저장할 수 있는데, 이때 N은 예컨대 3 또는 4이다. 또한, 3개의 셀 중 2개의 셀에 어떤 8개의 별개의 레벨을 저장하고 제3셀 내에 어떤 4개의 별개의 레벨을 저장함으로써, 8비트의 레벨을 저장할 수 있도록 3개의 셀을 사용할 수 있다.

이와같이, 본 발명의 바람직한 실시예가 본 명세서에 공개 및 설명되었지만, 당업자에 의해 발명의 취지

와 범위를 이탈하지 않고 형태와 상세 내용면에서 각종 변형예가 행해질 수 있음은 물론이다.

(57) 청구의 범위

청구항 1

제1주소 범위내의 주소에 의해 주소 지정가능한 반도체 메모리에 있어서,

복수의 행과 열을 가지고 있는 메모리 셀 어레이로서, 이 어레이는 메모리 셀의 메인 어레이와 리던던트 어레이로 분할되어 있고, 이 리던던트 어레이는 셀의 적어도 하나의 행을 가지고 있으며, 상기 반도체 메모리는 상기 메인 어레이의 메모리 셀의 적어도 하나의 결함이 있는 행을 가지고 있을 가능성이 있는 메모리 셀 어레이;

메인 행 디코더와 적어도 하나의 리던던트 행 디코더로 분할되어 있는 복수의 행 디코더로서, 상기 메인 행 디코더는 복수의 주소 라인에 접속되어 있고, 이들 메인 행 디코더 각각은 상기 복수의 행중 적어도 하나의 각각의 행에 접속되어 있으며, 상기 메인 어레이는 상기 제1주소 범위내에 그리고 이 범위보다 작은 제2주소 범위로 주소 지정가능한 복수의 행 디코더;

퓨즈 소자로 된 적어도 하나의 그룹을 형성하고 있는 복수의 퓨즈 소자로서, 상기 메인 어레이내의 결함이 있는 주소를 가지고 있는 각각의 그룹의 프로그래밍을 위해 상기 복수의 열에 제어가능하게 접속되어 있는 복수의 퓨즈 소자; 및

적어도 하나의 비교기로서, 이들 각각의 비교기는 퓨즈 소자로 된 각각의 그룹측에 그리고 상기 복수의 주소 라인측에 접속되어, 상기 복수의 퓨즈 소자의 주소와 상기 복수의 주소 라인상의 주소를 비교하고, 상기 비교기는 상기 복수의 주소라인상의 주소가 상기 복수의 퓨즈 소자의 주소와 동일하면 리던던트 행 디코더를 인에이블시키고 상기 결함이 있는 행과 접속되어 있는 메인 행 디코더를 디스에이블시키는 적어도 하나의 비교기를 포함하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 2

제 1 항에 있어서, 상기 메인 어레이 내의 결함이 있는 행의 주소로 프로그래밍되지 않은 퓨즈 소자로 된 각각의 그룹은 상기 제1주소 범위내의 주소로 프로그래밍되고 상기 제2주소 범위내의 주소로는 프로그래밍되지 않는 것을 특징으로 하는 반도체 메모리.

청구항 3

제 1 항에 있어서, 상기 복수의 행 디코더 각각은 동일한 것을 특징으로 하는 반도체 메모리.

청구항 4

제 1 항에 있어서, 상기 복수의 행 디코더는 복수의 메인 행 디코더와 하나의 리던던트 행 디코더를 포함하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 5

제 4 항에 있어서, 상기 복수의 메인 행 디코더와 상기 하나의 리던던트 행 디코더에 의해 공유되어 있는 행 프리디코더를 더 포함하고 있고, 상기 리던던트 어레이는 셀의 복수의 행을 가지고 있으며, 상기 퓨즈 소자는 복수의 그룹을 형성하고 있고, 상기 반도체 메모리는 복수의 비교기를 가지고 있으며, 상기 복수의 그룹과 상기 복수의 비교기는 상기 리던던트 어레이의 셀의 상기 복수의 행과 개수가 동일하고, 각각의 비교기의 출력은 상기 프리디코더 출력이 각각의 비교의 발생시에 상기 리던던트 어레이의 각각의 행을 주소 지정하도록 하기 위해 상기 프리디코더에 접속되어 있는 것을 특징으로 하는 반도체 메모리.

청구항 6

제 1 항에 있어서, 상기 복수의 퓨즈 소자 각각은 전기적으로 소거가능한 프로그래머블 판독 전용 메모리 디바이스의 형태로 재프로그래밍가능한 한쌍의 퓨즈를 포함하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 7

제 1 항에 있어서, 상기 복수의 퓨즈 소자 각각은 소오스 팔로워 모드에서 판독되도록 접속되어 있는 전기적으로 소거가능한 프로그래머블 판독 전용 메모리 디바이스의 형태로 재프로그래밍가능한 한쌍의 퓨즈를 포함하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 8

제 7 항에 있어서, 상기 복수의 퓨즈 소자 각각은 재프로그래밍 가능한 상기 한쌍의 퓨즈간의 프로그래밍 차에 응답하는 퓨즈 출력을 제공하는 차동 퓨즈 출력 회로를 포함하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 9

제1주소 범위내의 주소에 의해 주소 지정가능한 반도체 메모리에 있어서,

복수의 행과 열을 가지고 있는 메모리 셀의 어레이로서, 이 어레이는 메모리셀의 메인 어레이와 리던던트 어레이로 분할되어 있고, 이 리던던트 어레이는 셀의 적어도 하나의 행을 가지고 있는 메모리 셀 어레이;

메인 행 디코더와 적어도 하나의 리던던트 행 디코더로 분할되어 있는 복수의 행 디코더로서, 상기 메인 행 디코더는 복수의 주소 라인측에 접속되어 있고, 각각의 디코더는 상기 복수의 행중 적어도 하나의 각각의 행측에 접속되어 있으며, 상기 메인 어레이는 제1 주소 범위내의 그리고 이 범위보다 작은 제2주소

범위로 주소 지정가능한 메인 행 디코더;

상기 메인 어레이내의 결함이 있는 행의 주소로 각각의 그룹을 프로그래밍하기 위해 퓨즈 소자로 된 적어도 하나의 그룹을 형성하고 있는 복수의 퓨즈 소자;

적어도 하나의 비교기로서, 이들 각각의 비교기는 퓨즈 소자로 된 각각의 그룹측에 그리고 상기 복수의 주소 라인측에 접속되어 있고, 상기 비교기는 상기 복수의 주소 라인상의 주소가 상기 복수의 퓨즈 소자의 주소와 동일하면 리던던트 행 디코더를 인에이블시키고 상기 결함이 있는 행과 접속되어 있는 메인 행 디코더를 디스에이블시키는 적어도 하나의 비교기를 포함하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 10

제 9 항에 있어서, 상기 메인 어레이 내의 결함이 있는 주소로 프로그래밍되지 않은 각각의 퓨즈 소자로 된 각각의 그룹은 상기 제1 주소 범위내의 주소로 프로그래밍되고 상기 제2주소 범위내의 주소로는 프로그래밍되지 않는 것을 특징으로 하는 반도체 메모리.

청구항 11

제 9 항에 있어서, 상기 복수의 행 디코더 각각은 동일한 것을 특징으로 하는 반도체 메모리.

청구항 12

제 9 항에 있어서, 상기 복수의 행 디코더는 복수의 메인 행 디코더와 하나의 리던던트 행 디코더를 포함하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 13

제 12 항에 있어서, 상기 복수의 메인 행 디코더와 상기 하나의 리던던트 행 디코더에 의해 공유되어 있는 행 프리디코더를 더 포함하고 있고, 상기 리던던트 어레이는 셀의 복수의 행을 가지고 있고, 상기 퓨즈 소자는 복수의 그룹을 형성하고 있으며, 상기 반도체 메모리는 복수의 비교기를 가지고 있고, 상기 복수의 그룹과 상기 복수의 비교기는 상기 리던던트 어레이의 셀의 상기 복수의 행과 개수가 동일하며, 각각의 비교기의 출력은 상기 프리코더 출력이 상기 각각의 비교의 발생시에 상기 리던던트 어레이의 각각의 행을 주소 지정하도록 하기 위해 상기 프리디코더에 접속되어 있는 것을 특징으로 하는 반도체 메모리.

청구항 14

제 9 항에 있어서, 상기 복수의 퓨즈 소자 각각은 전기적으로 소거가능한 프로그래머블 판독 전용 메모리 디바이스의 형태로 재프로그래밍 가능한 한쌍의 퓨즈를 포함하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 15

제 9 항에 있어서, 상기 복수의 퓨즈 소자 각각은 소오스 팔로워 모드에서 판독되도록 접속되어 있는 전기적으로 소거가능한 프로그래머블 판독 전용 메모리의 형태로 재프로그래밍 가능한 한쌍의 퓨즈를 포함하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 16

제 15 항에 있어서, 상기 복수의 퓨즈 소자 각각은 재프로그래밍 가능한 상기 한쌍의 퓨즈간의 프로그래밍 차에 응답하는 퓨즈 출력을 제공하는 차동 퓨즈 출력 회로를 포함하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 17

제1주소 범위내의 주소에 의해 복수의 주소 라인을 통해 주소 지정가능한 반도체 메모리의 리던던트시 제공 방법에 있어서,

복수의 행과 열을 가지고 있는 메모리 셀의 어레이를 제공하는 단계로서, 상기 어레이는 메모리 셀의 메인 어레이와 리던던트 어레이로 분할되어 있고, 이 리던던트 어레이는 셀의 적어도 하나의 행을 가지고 있으며, 상기 메인 어레이는 제1 주소 범위내의 그리고 이 범위보다 작은 제2주소 범위로 주소 지정가능한 단계;

퓨즈 소자로 된 적어도 하나의 그룹을 형성하고 있는 복수의 퓨즈 소자를 제공하는 단계로서, 상기 메인 어레이내의 각각의 결함이 있는 행의 주소로 적어도 하나의 그룹을 프로그래밍하는 단계;

퓨즈 소자로 된 각각의 그룹내의 주소를 상기 주소 라인상의 주소와 비교하는 단계; 및

퓨즈 소자로 된 그룹내의 주소가 상기 주소 라인상의 주소와 일치하면 리던던트 행 디코더를 인에이블시키고 결함이 있는 행과 접속되어 있는 메인 행 디코더를 디스에이블시키는 단계를 포함하고 있는 것을 특징으로 하는 반도체 메모리의 리던던트시 제공 방법.

청구항 18

제 17 항에 있어서, 상기 메인 어레이 내의 결함이 있는 주소로 프로그래밍되지 않은 퓨즈 소자로 된 각각의 그룹은 제1주소 범위의 주소로 프로그래밍되고 제2주소 범위내의 주소로는 프로그래밍되지 않는 것을 특징으로 하는 반도체 메모리의 리던던트시 제공 방법.

청구항 19

제 18 항에 있어서, 상기 퓨즈 소자 각각은 한쌍의 전기적으로 소거가능한 프로그래머블 판독 전용 메모리 디바이스인 것을 특징으로 하는 반도체 메모리의 리던던시 제공 방법.

청구항 20

제 17 항에 있어서, 상기 반도체 메모리는 1비트 이상의 디지털 신호를 나타내는 둘이상의 별개의 전압 레벨을 저장하기 위한 메모리인 것을 특징으로 하는 반도체 메모리의 리던던시 제공 방법.

청구항 21

제 17 항에 있어서, 상기 반도체 메모리는 N 비트의 디지털 신호를 나타내는 2^N 개의 별개의 전압 레벨을 저장하기 위한 메모리이며, 여기서 N은 1 보다 큰 것을 특징으로 하는 반도체 메모리의 리던던시 제공 방법.

청구항 22

제1주소 범위내의 현재 주소에 의해 주소 지정가능한 반도체 메모리에 있어서,

복수의 행과 열을 가지고 있는 어레이 수단으로서, 메인 어레이와 리던던트 어레이로 분할되어 있고, 상기 제1 주소 범위내의 그리고 이 범위보다 작은 제2 주소 범위로 주소 지정가능한 어레이 수단;

메인 행 디코더와 상기 복수의 행 중 각각의 행에 접속되어 있는 적어도 하나의 리던던트 행 디코더로 분할되어 있는 디코더 수단;

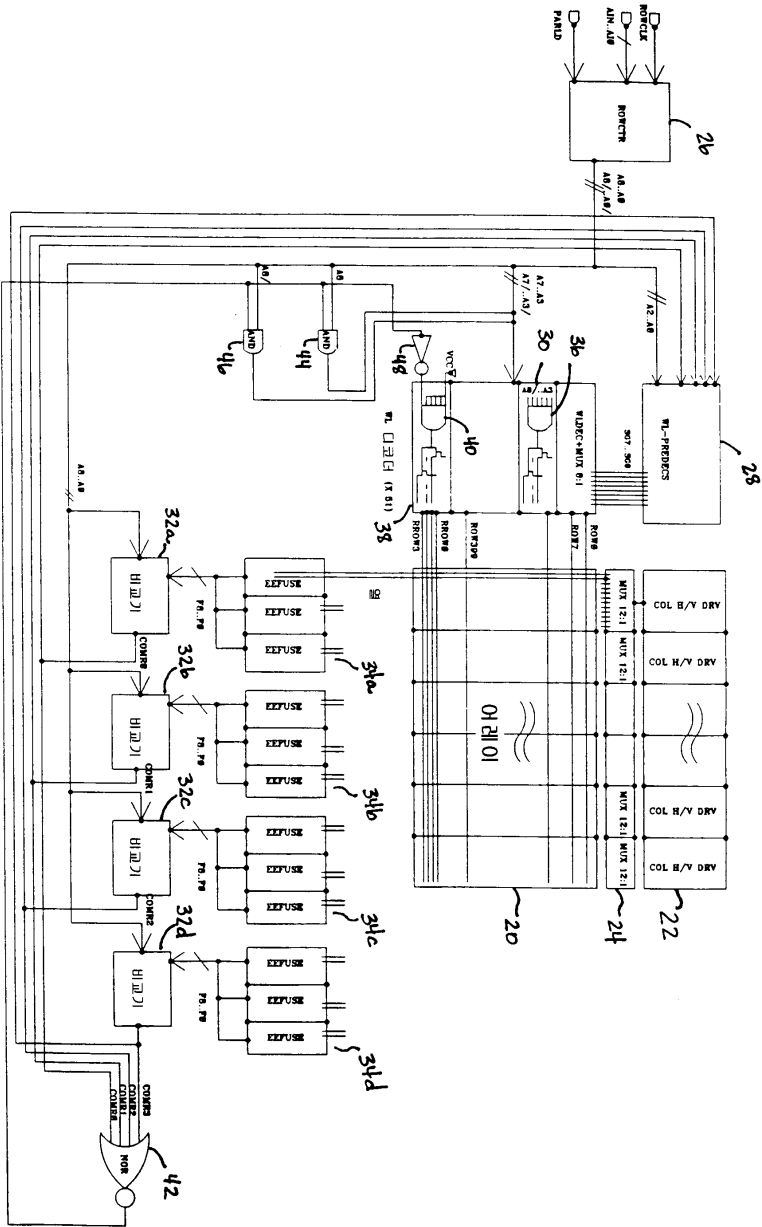
상기 메인 어레이내의 결함이 있는 행의 주소로 프로그래밍하기 위해 상기 복수의 열에 접속가능한 기억 수단; 및

상기 기억 수단 내의 주소가 상기 현재의 주소와 동일하면 리던던트 행 디코더를 인에이블시키고 결함이 있는 행에 접속되어 있는 메인 행 디코더를 디스에이블시키기 위해 상기 기억 수단에 접속되어 있는 비교기 수단을 포함하고 있는 것을 특징으로 하는 반도체 메모리.

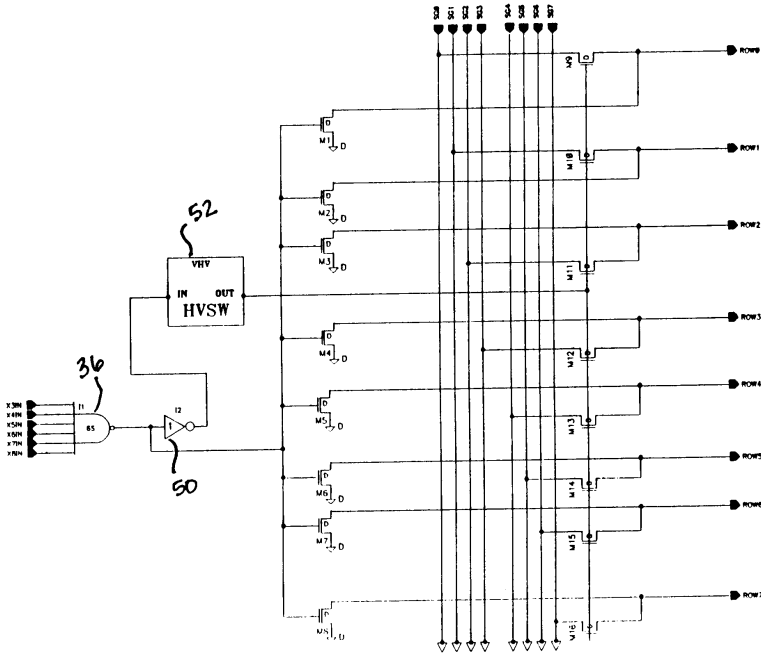
청구항 23

제 22 항에 있어서, 상기 기억 수단은 상기 메인 어레이 내의 결함이 있는 주소로 프로그래밍되지 않을 때, 상기 제1 주소 범위의 주소로 프로그래밍되고 제2 주소 범위내의 주소로는 프로그래밍되지 않는 것을 특징으로 하는 반도체 메모리.

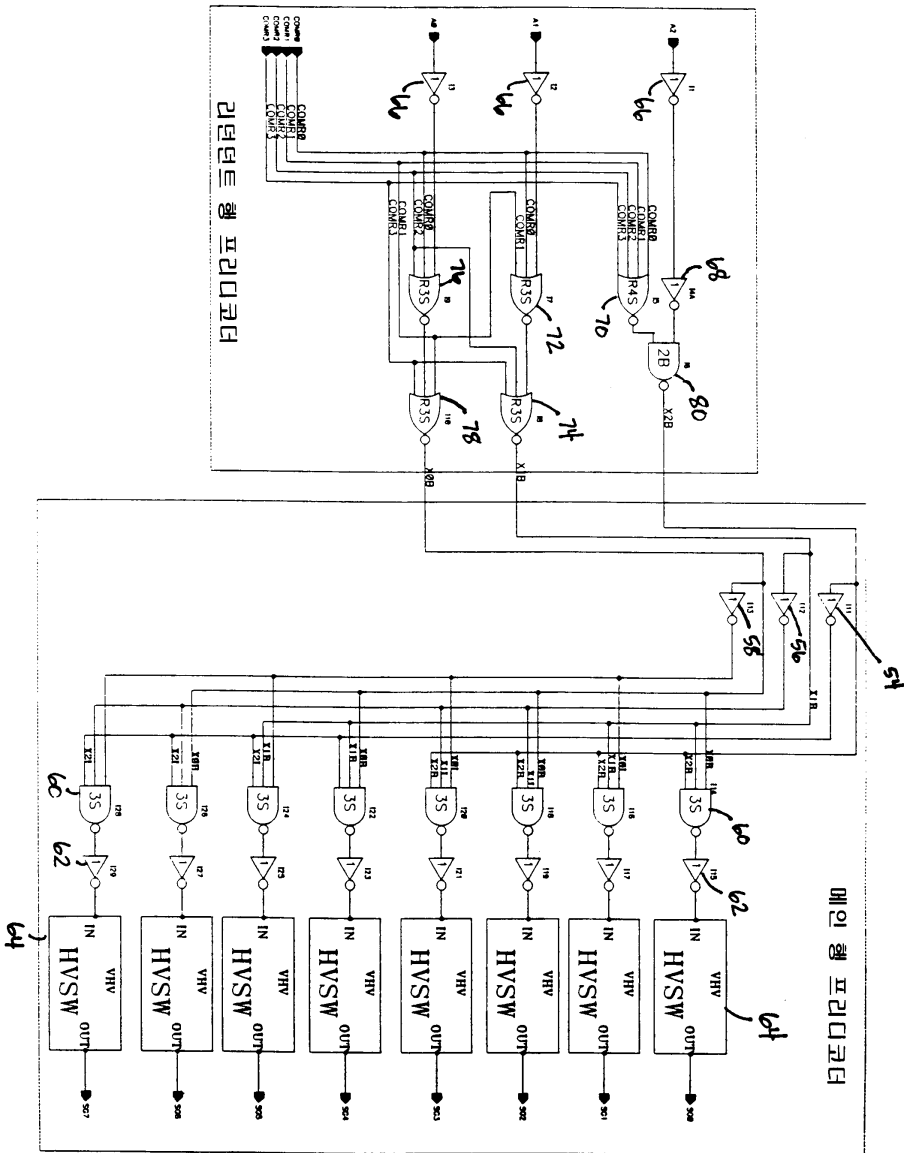
도면



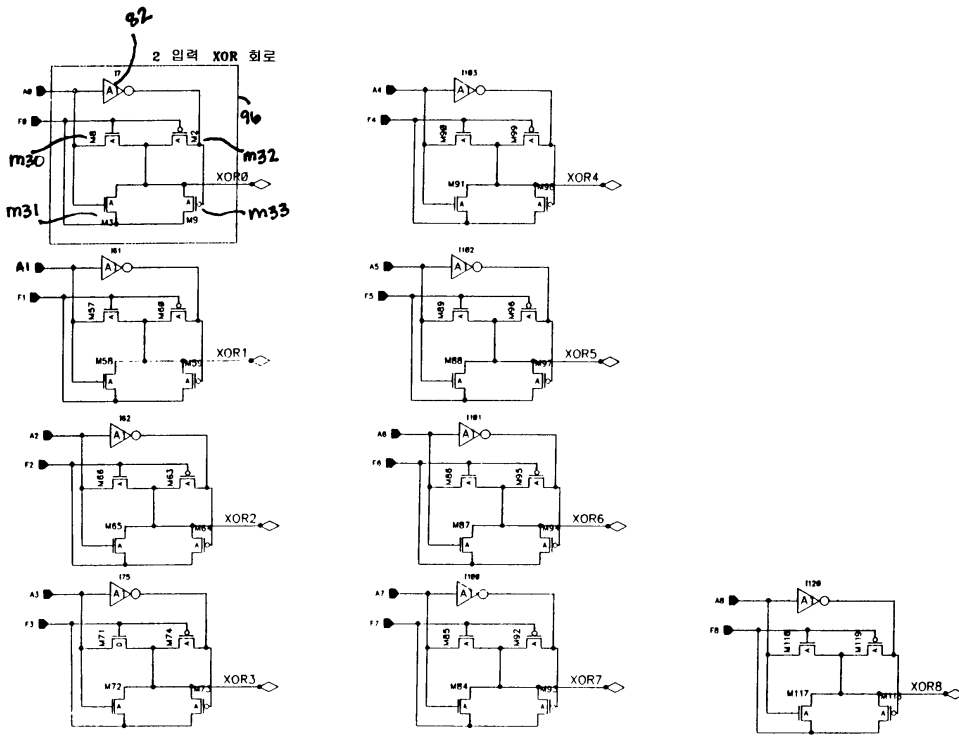
도면2



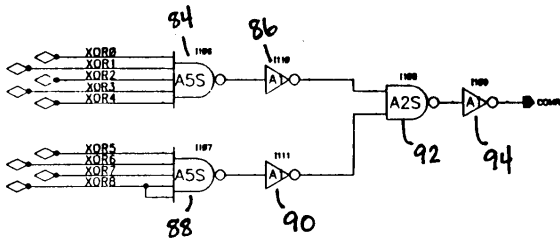
도면3



도면4a



도면4b



도면5

