

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 5 月 12 日 (12.05.2022)



(10) 国际公布号
WO 2022/095482 A1

(51) 国际专利分类号:
H01L 21/8242 (2006.01) **H01L 21/336** (2006.01)
H01L 27/108 (2006.01)

(21) 国际申请号: PCT/CN2021/103863

(22) 国际申请日: 2021 年 6 月 30 日 (30.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202011233641.3 2020 年 11 月 6 日 (06.11.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 张军超 (**ZHANG, Junchao**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。 陈涛 (**CHEN, Tao**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京名华博信知识产权代理有限公司 (**BOXIN CHINA INTELLECTUAL PROPERTY**); 中国北京市海淀区黑泉路 8 号 1 幢 4 层 101-10 号, Beijing 100192 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: MANUFACTURING METHOD OF MEMORY AND MEMORY

(54) 发明名称: 存储器的制造方法及存储器

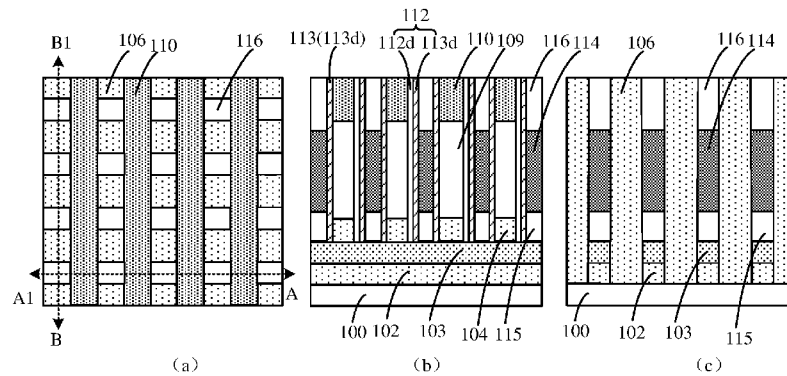


图 16

(57) Abstract: The present invention provides a manufacturing method for a memory and the memory. The manufacturing method for the memory comprises: providing a substrate, and forming a first isolation layer and discrete bit lines on the substrate, the first isolation layer being located on the surfaces of the bit lines away from the substrate and also located between adjacent bit lines; removing partial thickness of the first isolation layer to form discrete first trenches; forming word lines filling the first trenches, partial thickness of the first isolation layer being provided between the word lines and the bit lines, and each word line having opposite first side wall and second side wall, and forming discrete through holes between the word lines, the through holes exposing the opposite first side walls and second side walls of the word lines and the surfaces of the bit lines; forming a first dielectric layer on the surface of the first side wall, and forming a second dielectric layer on the surface of the second side wall, equivalent gate dielectric layer thickness of the first dielectric layer being greater than equivalent gate dielectric layer thickness of the second dielectric layer; and forming an active layer for filling the through holes.

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 本公开提供一种存储器的制造方法及存储器, 存储器的制造方法包括: 提供基底, 在基底上形成第一隔离层及分立的位线, 第一隔离层位于位线远离基底的表面且还位于相邻位线之间; 去除部分厚度的第一隔离层, 形成分立的第一沟槽; 形成填充第一沟槽的字线, 字线与位线之间具有部分厚度的第一隔离层, 字线具有相对的第一侧壁及第二侧壁, 在字线之间形成分立的通孔, 通孔暴露字线相对的第一侧壁、第二侧壁及位线表面; 在第一侧壁表面形成第一介质层, 在第二侧壁表面形成第二介质层; 第一介质层的等效栅介质层厚度大于第二介质层的等效栅介质层厚度; 形成填充通孔的有源层。

存储器的制造方法及存储器

本公开要求在 2020 年 11 月 06 日提交中国专利局、申请号为 202011233641.3、发明名称为“存储器的制造方法及存储器”的中国专利申请优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开涉及但不限于一种存储器的制造方法及存储器。

背景技术

存储器是用来存储程序和各种数据信息的记忆部件，随机存储器分为静态随机存储器和动态随机存储器。动态随机存储器通常包括电容器以及与电容器连接的晶体管，电容器用来存储代表存储信息的电荷，晶体管是控制电容器的电荷流入和释放的开关。在写入数据时字线给出高电平，晶体管导通，位线向电容器充电。读出时字线同样给出高电平，晶体管导通，电容器放电，使位线获得读出信号。

发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

本公开提供一种存储器的制造方法及存储器。

本公开的第一方面提供一种存储器的制造方法，包括：提供基底，在所述基底上形成第一隔离层及分立的位线，所述位线沿第一方向延伸，所述第一隔离层位于所述位线远离所述基底的表面且还位于相邻所述位线之间；去除部分厚度的所述第一隔离层，形成分立的第一沟槽，所述第一沟槽沿所述第二方向延伸，所述第二方向与所述第一方向不同；形成填充所述第一沟槽的字线，所述字线与所述位线之间具有部分厚度的所述第一隔离层，所述字线具有相对的第一侧壁及第二侧壁；在所述字线之间形成分立的通孔，所述通孔暴露所述字线相对的第一侧

壁、所述第二侧壁及所述位线表面；在暴露的所述第一侧壁表面形成第一介质层，在暴露的所述第二侧壁表面形成第二介质层；所述第一介质层的等效栅介质层厚度大于所述第二介质层的等效栅介质层厚度；形成所述第一介质层及所述第二介质层后，形成填充所述通孔的有源层。

本公开的第二方面提供一种存储器的制造方法，所述存储器的制造方法包括：提供基底，在所述基底上形成第一隔离层及分立的位线，所述位线沿第一方向延伸，所述第一隔离层位于所述位线远离所述基底的表面且还位于相邻所述位线之间；去除部分厚度的所述第一隔离层，形成阵列排布的通孔，所述通孔露出部分所述位线表面，形成填充所述通孔的有源层；去除部分所述第一隔离层，形成分立的第一沟槽，所述第一沟槽沿第二方向延伸，所述第二方向与所述第一方向不同；所述第一沟槽暴露出所述有源层相对的第一侧面及第二侧面；在所述第一侧面形成第一介质层，在所述第二侧面形成第二介质层，所述第一介质层的等效栅介质层厚度大于所述第二介质层的等效栅介质层厚度；形成所述第一介质层及所述第二介质层后，形成填充所述第一沟槽的字线。

本公开的第三方面提供一种存储器，所述存储器包括：基底，位于所述基底上分立的位线，所述位线沿第一方向延伸；位于所述位线上的分立的字线，所述字线沿第二方向延伸，所述第二方向与所述第一方向不同；所述字线之间具有相对的第一侧壁及第二侧壁；所述字线之间具有分立的有源层，且所述有源层位于所述位线上；所述相邻位线之间、所述位线与所述字线之间、所述相邻有源层之间具有第一隔离层；所述有源层与所述第一侧壁之间具有第一介质层；所述有源层与所述第二侧壁之间具有第二介质层；所述第一介质层的等效栅介质层厚度大于所述第二介质层的等效栅介质层厚度。

本公开实施例所提供的存储器的制造方法及存储器中，第一介质层的等效栅介质层厚度大于第二介质层的等效栅介质层厚度，即第二介质层作为栅介质层，紧贴第二介质层的有源层能够形成沟道；第一介质层作为隔离结构，能够避免相邻沟道之间的干扰。另外，在位线上形成字线，在字线之间形成有源层，使得位线、字线及有源层之间的排列更加紧密，进而使得后续形成的电容也能具有较高的排列密度，从而缩小存储器的尺寸。

在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

并入到说明书中并且构成说明书的一部分的附图示出了本公开的实施例，并且与描述一起用于解释本公开实施例的原理。在这些附图中，类似的附图标记用于表示类似的要素。下面描述中的附图是本公开的一些实施例，而不是全部实施例。对于本领域技术人员来讲，在不付出创造性劳动的前提下，可以根据这些附图获得其他的附图。

图 1 为第一实施例提供的存储器的制造方法中在基底上形成第二沟槽后的结构示意图；

图 2 为图 1 所示出的结构中在第二沟槽及基底表面沉积形成初始第四隔离层后的结构示意图；

图 3 为回刻图 2 所示出的结构中的初始第四隔离层形成第四隔离层后的结构示意图；

图 4 为在图 3 所示出结构中的第二沟槽中及基底表面形成初始位线层后的结构示意图；

图 5 为回刻图 4 所示出的结构中的初始位线层形成位线后的结构示意图；

图 6 为图 5 所示出的结构中在第二沟槽中及基底表面形成初始第二隔离层后的结构示意图。

图 7 为回刻图 6 所示出的结构中的初始第二隔离层形成第二隔离层后的结构示意图；

图 8 为图 7 所示出的结构中去除位线之间及第二隔离层之间的基底形成第三沟槽后的结构示意图；

图 9 为图 8 所示出的结构中形成填充第三沟槽的第三隔离层后的结构示意图；

图 10 为图 9 所示出的结构中去除部分厚度的第一隔离层后的结构示意图；

图 11 为图 10 所示出的结构中形成填充第一沟槽的字线并在字线上形成绝缘盖层后的结构示意图；

图 12 为图 11 所示出的结构中在字线之间形成分立的通孔后在暴露的第一侧壁及第二侧壁表面形成初始第一介质层后的结构示意图；

图 13 为图 12 所示出的结构中去除第二侧壁上的初始第一介质层后的结构示意图；

图 14 为图 13 所示出的结构中在剩余的初始第一介质层表面及暴露的第二侧壁表面形成初始第二介质层后的结构示意图；

图 15 为图 14 所示出的结构中去除绝缘盖层顶部的初始第二介质层后的结构示意图；

图 16 为图 15 所示出的结构中形成填充通孔的有源层后形成的存储器的结构示意图；

图 17 为第二实施例提供的存储器的制造方法中形成有源层的步骤中去除部分厚度的第一隔离层形成通孔后的结构示意图；

图 18 为图 17 所示出的结构中形成填充通孔的有源层后的结构示意图；

图 19 为图 18 所示出的结构中形成分立的第一沟槽后在第一侧面及第二侧面形成初始第一介质层后的结构示意图；

图 20 为图 19 所示出的结构中去除第二侧面上的初始第一介质层后的结构示意图；

图 21 为图 20 所示出的结构中在剩余的初始第一介质层表面及第二侧面上形成初始第二介质层后的结构示意图；

图 22 为图 21 所示出的结构中形成第一介质层及第二介质层后形成填充第一沟槽的字线后的结构示意图；

图 23 为第三实施例提供的存储器的制造方法中在基底上形成第二沟槽后的结构示意图；

图 24 为图 22 所示出的结构中形成填充第二沟槽的位线后的结构示意图；

图 25 为图 24 所示出的结构中在位线及第二隔离层上形成第三隔离层后的结构示意图。

具体实施方式

下面将结合本公开实施例中的附图，对公开实施例中的技术方案进行清

楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

现有的制作存储器的制造方法中，存储器的尺寸有待进一步缩小。

经分析发现，主要原因包括：通常在基底中制造埋入式字线，在字线上形成位线，位线通过位线接触层与基底中的有源层连接。由该方法制造的字线、位线及有源层之间的排列密度不高，从而导致后续形成的电容的排列密度也较低，存储器的尺寸较大。

本公开实施例提供一种存储器的制造方法及存储器，本公开实施例在位线上形成字线，在字线之间形成有源层，使得位线、字线及有源层之间的排列更加紧密，进而使得后续形成的电容也能具有较高的排列密度，从而缩小存储器的尺寸。

本公开第一实施例提供一种存储器的制造方法，图 1-图 16 为本实施例提供的存储器的制造方法中各步骤对应的结构示意图。

参考图 1-图 9，提供基底 100，在基底 100 上形成第一隔离层 107 及分立的位线 103，位线 103 沿第一方向延伸，第一隔离层 107 位于位线 103 远离基底 100 的表面且还位于相邻位线 103 之间。

在本实施例中，基底 100 的材料可以为硅或锗等半导体。在其他实施例中，基底也可以为氧化硅或氮化硅等绝缘材料。

位线 103 的材料可以为多晶硅、钨、金、银或钌等导电材料。

第一隔离层 107 包括第二隔离层 104 及第三隔离层 106。本实施例中，第二隔离层 104 位于位线 103 上，第三隔离层 106 位于相邻位线 103 之间、相邻第二隔离层 104 之间、相邻第四隔离层 102 之间。

本实施例中，第二隔离层 104 的材料与第三隔离层 106 的材料相同，可以为二氧化硅、氮化硅或碳化硅。在其他实施例中，第二隔离层及第三隔离层的材料可以不同。

第一隔离层 107 用于隔离相邻的位线 103。在后续形成字线以及有源层的过程中，需要在第一隔离层 107 中形成字线的填充沟槽以及有源层的填充

通孔，因此，第一隔离层 107 还用于隔离位线 103 和后续形成的字线，还用于隔离后续形成的相邻有源层。

参考图 1，图 1 (a) 为俯视图，图 1 (b) 为图 1 (a) 沿着 A-A1 方向的剖面图，图 1 (c) 为图 1 (a) 沿着 B-B1 方向的剖面图，形成位线 103 及第一隔离层 107 的步骤包括：在基底 100 上形成第二沟槽 101。

参考图 2-图 3，本实施例中，形成填充第二沟槽 101 的第四隔离层 102。可以理解的是，在其他实施例中，若基底为绝缘材料，也可不形成第四隔离层。

参考图 2，在第二沟槽 101（参考图 1）及基底 100 表面沉积形成初始第四隔离层 102d。可采用化学气相沉积工艺或物理气相沉积工艺形成初始第四隔离层 102d。

参考图 3，回刻初始第四隔离层 102d（参考图 2），去除高于基底 100 表面及第二沟槽 101 内的部分初始第四隔离层 102d，从而形成第四隔离层 102。

参考图 4-图 7，在第二沟槽 101（参考图 3）中依次形成位线 103 及第二隔离层 104，第二隔离层 104 填充满第二沟槽 101。

参考图 4，在第二沟槽 101（参考图 3）中及基底 100 表面形成初始位线层 103d。

参考图 5，回刻初始位线层 103d（参考图 4），去除高于基底 100 表面及第二沟槽 101 中的部分初始位线层 103d，在第四隔离层 102 上形成位线 103。

参考图 6，在第二沟槽 101（参考图 5）中及基底 100 表面形成初始第二隔离层 104d。

参考图 7，回刻初始第二隔离层 104d（参考图 6），去除高于基底表面 100 的初始第二隔离层 104，形成位于第二沟槽 101（参考图 5）中的第二隔离层 104。

参考图 8，去除位线 103 之间及第二隔离层 104 之间的基底 100，形成第三沟槽 105；本实施例中，还去除第四隔离层 102 之间的基底 100。

参考图 9，形成填充满第三沟槽 105 的第三隔离层 106；第三隔离层 106 及第二隔离层 104 构成第一隔离层 107。

参考图 10，去除部分厚度的第一隔离层 107，即去除部分厚度的第二隔离层 104 及第三隔离层 106，形成分立的第一沟槽 108，第一沟槽 108 沿第二方向延伸，第二方向与第一方向不同。

本实施例中，第二方向与第一方向相垂直。

参考图 11，形成填充第一沟槽 108（参考图 10）的字线 109，字线 109 与位线 103 之间具有部分厚度的第一隔离层 107，即具有部分厚度的第二隔离层 104 及第三隔离层 106。

字线 109 具有相对的第一侧壁及第二侧壁；第一侧壁位于所有字线 109 的同一侧，第二侧壁位于所有字线的同一侧。

形成字线 109 后，在字线 109 上形成绝缘盖层 110。

参考图 12-图 15，在字线 109 之间形成分立的通孔 111，通孔 111 暴露字线 109 相对的第一侧壁、第二侧壁及位线 103 表面；在暴露的第一侧壁表面形成第一介质层 112，在暴露的第二侧壁表面形成第二介质层 113；第一介质层 112 的等效栅介质层厚度大于第二介质层 113 的等效栅介质层厚度。

当字线 109 打开时，第二介质层 113 相当于一个平板电容器；在电压下，字线 109 与后续形成的有源层之间将产生电场，使得有源层中的少子被吸引到贴近字线 109 的表面，当电压达到一定数值时，这些少子在有源层贴近字线 109 的表面形成强反型层；当位线 103 打开后，强反型层被导通形成沟道，以控制电容中的电荷。第二介质层 113 作为栅介质层，其厚度较薄，主要原因在于，较薄的栅介质层的能够提供大的栅电容，其阈值电压较小，具有较好的栅控能力。

介质层的绝缘性能与其厚度及介电常数有关，其厚度越大、介电常数越高，绝缘性能越好。第一介质层 112 起隔离作用，以避免字线 109 影响靠近其第二侧壁的沟道，即避免字线影响其右侧的沟道。因此，第一介质层 112 的厚度较大、介电常数较高。

等效栅介质层厚度是指高介电常数介质层和氧化硅介质层达到相同的电容大小时，氧化硅介质层的厚度。在一个例子中，第一介质层 112 及第二介质层 113 的材料均为氧化硅，第一介质层 112 的厚度应大于第二介质层 113 的厚度；在另一例子中，第一介质层 112 及第二介质层 113 的材料均为高介电常数材料，第一介质层 112 的等效栅介质层厚度应大于第二介质层 113 的

等效栅介质层厚度。如此，贴近第二介质层 113 的有源层表面可形成沟道，而第一介质层 112 能够避免字线 109 对靠近其第二侧壁的沟道的干扰，即只有字线左侧可以形成沟道，而右侧不能形成沟道。

本实施例中，第一介质层 112 为双层结构，包括初始第一介质层 112d 及初始第二介质层 113d，初始第一介质层 112d 的材料为高介电常数材料，可以为 Al_2O_3 或 ZrO 。高介电常数材料具有优良的绝缘性能，能够避免漏电或降低干扰。初始第二介质层 113d 的材料为氧化硅。在其他实施例中，初始第一介质层也可以为氧化硅，相应的，可以增加初始第一介质层的厚度；或者初始第二介质层也可以为高介电常数材料。

初始第一介质层 112d 的厚度为 3nm-7nm，例如 3nm、5nm 或 6nm。初始第二介质层 113d 的厚度为 4nm-8nm，例如 3nm、5nm 或 7nm。

第二介质层 113 的材料为氧化硅。在其他实施例中，第二介质层的材料也可以为高介电常数材料。第二介质层 113 的厚度为 4nm-8nm，例如 3nm、5nm 或 7nm。

在本实施例中，第一介质层 112 及第二介质层 113 在形成通孔 111 后形成，能够保证在通孔 111 刻蚀过程中，第一介质层 112 及第二介质层 113 不受损伤。

可以理解的是，在其他实施中，也可以先形成第一介质层及第二介质层，再在第一介质层及第二介质层之间形成字线，形成字线后，再形成通孔。

值得注意的是，由于第一介质层 112 及第二介质层 113 的厚度比字线的宽度小得多，因此，在图 12-图 16 中，俯视图 (a) 未将第一介质层 112 及第二介质层 113 示意出。形成第一介质层 112 以及第二介质层 113 的工艺步骤包括：

参考图 12，在暴露的第一侧壁及第二侧壁表面形成初始第一介质层 112d。

本实施例中，初始第一介质层 112d 还位于绝缘盖层 110 的顶部及侧壁。

参考图 13，去除第二侧壁上的初始第一介质层 112d。

本实施例中，还去除绝缘盖层 110 顶部的初始第一介质层 112d。

可以理解的是，在其他实施例中，还可以去除绝缘盖层侧壁的初始第一

介质层；或者，在其他实施例中，也可以保留绝缘盖层侧壁及顶部的初始第一介质层。

参考图 14，在剩余的初始第一介质层 112d 表面及暴露的第二侧壁表面形成初始第二介质层 113d。本实施例中，还在绝缘盖层 110 的侧壁及顶部形成初始第二介质层 113d。

参考图 15，去除绝缘盖层 110 顶部的初始第二介质层 113d。

可以理解的是，在其他实施例中，也可以不去除绝缘盖层顶部的初始第二介质层；或者，还去除绝缘盖层侧壁的初始第二介质层。

剩余的初始第一介质层 112d 及覆盖初始第一介质层 112d 的初始第二介质层 113d 作为第一介质层 112；覆盖第二侧壁表面的初始第二介质层 113d 作为第二介质层 113。

参考图 16，形成填充通孔 111 的有源层 114。例如，先通孔 111 中沉积多晶硅，再对多晶硅进行离子注入以形成有源层 114。

字线 109 与有源层 114 间隔排列，排列密集，空间利用率高。本实施例中，形成有源层 114 前，还包括：形成位线接触层 115，位线接触层 115 位于位线 103 与有源层 114 之间。

形成有源层 114 后，还可以包括：在有源层 114 上形成电容接触层 116，电容接触层 116 还位于绝缘盖层 110 之间。

综上所述，本实施例中，在位线 103 上形成字线 109，在字线 109 之间形成有源层 114，使得位线 103、字线 109 及有源层 114 之间的排列更加紧密，进而使得后续形成的电容也能具有较高的排列密度，从而提高存储容量，缩小存储器的尺寸。另外，在通孔 111 形成后，才形成第一介质层 112 及第二介质层 113，能够避免刻蚀通孔 111 时对第一介质层 112 及第二介质层 113 造成的损伤。

本公开第二实施例提供一种存储器的制造方法，第二实施例中的存储器的制造方法与第一实施例大致相同，主要区别在于形成有源层、第一介质层以及字线层的步骤不同。图 17-图 22 为本实施例提供的存储器的制造方法中各步骤对应的结构示意图。

参考图 17，本实施例中，形成第一隔离层 207 及位线 203 的步骤包括：提供基底 200，在基底 200 上形成第一隔离层 207 及分立的位线 203，位线

203 沿第一方向延伸，第一隔离层 207 位于位线 203 远离基底 200 的表面且还位于相邻位线 203 之间。

具体的步骤请参考第一实施例，在此不再赘述。

继续参考图 17，形成有源层 214 的步骤包括：去除部分厚度的第一隔离层 207，即去除部分厚度的第二隔离层 204 及部分厚度的第三隔离层 206，形成阵列排布的通孔 211，通孔 211 露出部分位线 203 表面。

参考图 18，形成填充通孔 211 的有源层 214。

在形成有源层 214 前，在通孔 211 中形成位线接触层 215，位线接触层 215 与位线 203 电连接。在形成有源层 214 后，在有源层 214 上形成电容接触层 216。

参考图 19-图 21，形成第一介质层 212 及第二介质层 213 的步骤包括：去除部分第一隔离层 207，即去除部分厚度的第二隔离层 204 及部分厚度的第三隔离层 206，形成分立的第一沟槽 208，第一沟槽 208 沿第二方向延伸，第二方向与第一方向不同；第一沟槽 208 暴露出有源层 214 相对的第一侧面及第二侧面；在第一侧面形成第一介质层 212，在第二侧面形成第二介质层 213，第一介质层 212 的等效栅介质层厚度大于第二介质层 213 的等效栅介质层厚度。

参考图 19，在第一侧面及第二侧面形成初始第一介质层 212d。本实施例中，初始第一介质层 212d 还位于第二隔离层 204 上。

参考图 20，去除第二侧面上的初始第一介质层 212d；本实施例中，还去除第二隔离层 204 上的初始第一介质层 212d，可以理解的是，由于初始第一介质层 212d 的材料也是绝缘材料，因此，也可以不去除第二隔离层 204 上的初始第一介质层 212d。

在剩余的初始第一介质层 212d 表面及第二侧面上形成初始第二介质层 213d；剩余的初始第一介质层 212d 及覆盖初始第一介质层 212d 的初始第二介质层 213d 作为第一介质层 212；覆盖第二侧面的初始第二介质层 213d 作为第二介质层 213。本实施例中，还去除了位于第二隔离层 204 上的初始第二介质层 213d，可以理解的是，由于初始第二介质层 213d 的材料也是绝缘材料，因此，也可以不去除第二隔离层 204 上的初始第二介质层 213d。

参考图 22，形成第一介质层 212 及第二介质层 213 后，形成填充第一沟

槽 208(参考图 21)的字线 209。

在字线 209 上形成绝缘盖层 210。

综上所述，本实施例与第一实施例相比，调整了有源层 214、字线 209、第一介质层 212 及第二介质层 213 的形成步骤，即先形成有源层 214，再形成第一介质层 212、第二介质层 213 及字线 209，从而避免了刻蚀工艺对第一介质层 212 及第二介质层 213 的损伤。另外，由于字线 209、位线 203 以及有源层 214 之间的排列较为密集，进而可以提高后续形成的电容的排列密度，提高空间利用率，从而缩小存储器的尺寸。

本公开第三实施例提供一种存储器的制造方法，本实施例与第一实施例及第二实施例大致相同，主要区别包括：形成第一隔离层 307 及位线 303 的步骤不同。图 23-图 25 为本实施例存储器的制造方法中各步骤对应的结构示意图。

参考图 23，提供基底 300；在基底 300 上形成第二隔离层 304，在第二隔离层 304 上形成第二沟槽 301。第二沟槽 301 即可以暴露基底 300 的表面，也可以不暴露基底 300 的表面。

参考图 24，形成填充第二沟槽 301 的位线 303。

参考图 25，在位线 303 及第二隔离层 304 上形成第三隔离层 306；第二隔离层 304 及第三隔离层 306 构成第一隔离层 307。

形成第一隔离层 307 及位线 303 后，还形成有源层、字线、第一介质层、第二介质层，具体步骤请参考第一实施例及第二实施例。可以理解的，既可以采用第一实施例提供的制造方法，也可采用第二实施例提供的制造方法形成有源层、字线、第一介质层、第二介质层，对此，本实施例不进行限制。

综上所述，本实施例在基底 300 上形成第二隔离层 304，在第二隔离层 304 中形成填充位线 303 的第二沟槽 301，在位线 303 及第二隔离层 304 的表面形成第三隔离层 306，从而简化形成位线 303 及第一隔离结构 307 的形成工艺，降低生产成本。

本公开第四实施例提供一种存储器。图 16 为本实施例提供的存储器的结构示意图。

参考图 16，存储器包括：基底 100，位于基底 100 上分立的位线 103，

位线 103 沿第一方向延伸；位于位线 103 上的分立的字线 109，字线 109 沿第二方向延伸，第二方向与第一方向不同；字线 109 之间具有相对的第一侧壁及第二侧壁；字线 109 之间具有分立的有源层 114，且有源层 114 位于位线 103 上；相邻位线 103 之间、位线 103 与字线 109 之间、相邻有源层 114 之间具有第一隔离层 107；有源层 114 与第一侧壁之间具有第一介质层 112；有源层 114 与第二侧壁之间具有第二介质层 113；第一介质层 112 的等效栅介质层厚度大于第二介质层 113 的等效栅介质层厚度。

以下将结合附图进行具体说明。

基底 100 的材料可以为硅或锗等半导体，也可以为氧化硅、氮化硅或碳化硅等绝缘材料。

基底 100 上具有位线 103，位线上 103 具有字线 109，且相邻字线 109 之间具有有源层 114。此种排列方式的密度较高，能够缩小存储器的尺寸。

第一介质层 112 为双层结构，包括初始第一介质层 112d 及初始第二介质层 113d，初始第一介质层 112d 覆盖第一侧壁，初始第二介质层 113d 覆盖初始第一介质层。

本实施例中，初始第一介质层 112d 的材料为高介电常数材料，初始第二介质层 113d 的材料为氧化硅。高介电常数材料具有优良的绝缘性能，能够有效避免相邻沟道之间的影响。可以理解的是，在其他实施例中，初始第二介质层的材料也可以为高介电常数材料；或者，初始第一介质层的材料也可以为氧化硅，相应的，增加初始第一介质层的厚度以提高绝缘性能。

第二介质层 113 作为栅介质层，在字线 109 及位线 103 打开后，贴近第二介质层 113 的有源层 114 表面可以产生沟道。即，只有字线 109 左边一侧可以形成沟道，字线 109 右边一侧被第一介质层 112 隔离。

需要说明的是，在其他实施例中，第一介质层以及第二介质层也可以均为单层结构，且第一介质层与第二介质层的材料也可以相同。

本实施例中，还包括：位于位线 103 与有源层 114 之间的位线接触层 115。

本实施例中，还包括：位于字线 109 上的绝缘盖层 110。

本实施例中，还包括：位于有源层 114 上的电容接触层 116，且电容接触层 116 还位于绝缘盖层 109 之间。

本实施例中，电容接触层 116、位线接触层 115 及有源层 114 为掺杂多晶硅，且电容接触层 116 的掺杂离子与位线接触层 115 的掺杂离子类型相同，均为N型离子或P型离子；有源层 114 的掺杂离子类型与电容接触层 116 及位线接触层 115 的掺杂离子类型相反。

综上所述，本实施例中，第一介质层 112 的等效栅介质层厚度大于第二介质层 113 的等效栅介质层厚度。第二介质层 113 作为栅介质层，在贴近第二介质层 113 的有源层 114 表面可以形成沟道。第一介质层 112 具有较大的厚度及介电常数，在字线 109 打开时，第一介质层 112 能够避免对靠近字线 109 第二侧壁的沟道的影响。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。

在本说明书的描述中，参考术语“实施例”、“示例性的实施例”、“一些实施方式”、“示意性实施方式”、“示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。

在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

在本公开的描述中，需要说明的是，术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

可以理解的是，本公开所使用的术语“第一”、“第二”等可在本公开中用于描述各种结构，但这些结构不受这些术语的限制。这些术语仅用于将第一个结构与另一个结构区分。

在一个或多个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的多个部分没有按比例绘制。此外，可能未示出某些公知的部分。为了简明起见，可以在一幅图中描述经过数个步骤后获得的结构。在

下文中描述了本公开的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本公开。但正如本领域技术人员能够理解的那样，可以不按照这些特定的细节来实现本公开。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

工业实用性

本公开实施例所提供的存储器的制造方法及存储器中，第一介质层的等效栅介质层厚度大于第二介质层的等效栅介质层厚度，即第二介质层作为栅介质层，紧贴第二介质层的有源层能够形成沟道；第一介质层作为隔离结构，能够避免相邻沟道之间的干扰。另外，在位线上形成字线，在字线之间形成有源层，使得位线、字线及有源层之间的排列更加紧密，进而使得后续形成的电容也能具有较高的排列密度，从而缩小存储器的尺寸。

权利要求

1、一种存储器的制造方法，其中，所述存储器的制造方法包括：

提供基底，在所述基底上形成第一隔离层及分立的位线，所述位线沿第一方向延伸，所述第一隔离层位于所述位线远离所述基底的表面且还位于相邻所述位线之间；

去除部分厚度的所述第一隔离层，形成分立的第一沟槽，所述第一沟槽沿第二方向延伸，所述第二方向与所述第一方向不同；形成填充所述第一沟槽的字线，所述字线与所述位线之间具有部分厚度的所述第一隔离层，所述字线具有相对的第一侧壁及第二侧壁；

在所述字线之间形成分立的通孔，所述通孔暴露所述字线相对的所述第一侧壁、所述第二侧壁及所述位线表面；在暴露的所述第一侧壁表面形成第一介质层，在暴露的所述第二侧壁表面形成第二介质层；所述第一介质层的等效栅介质层厚度大于所述第二介质层的等效栅介质层厚度；

形成所述第一介质层及所述第二介质层后，形成填充所述通孔的有源层。

2、根据权利要求1所述的存储器的制造方法，其中，形成所述第一介质层及所述第二介质层的步骤包括：在暴露的所述第一侧壁及所述第二侧壁表面形成初始第一介质层，去除所述第二侧壁上的所述初始第一介质层；在剩余的所述初始第一介质层表面及暴露的所述第二侧壁表面形成初始第二介质层；剩余的所述初始第一介质层及覆盖所述初始第一介质层的所述初始第二介质层作为所述第一介质层；覆盖所述第二侧壁表面的所述初始第二介质层作为所述第二介质层。

3、根据权利要求1所述的存储器的制造方法，形成所述有源层前，还包括步骤：形成位线接触层，所述位线接触层位于所述位线与所述有源层之间。

4、根据权利要求1所述的存储器的制造方法，形成所述字线后，还包括步骤：在所述字线上形成绝缘盖层；形成所述有源层后，还包括步骤：在所述有源层上形成电容接触层，所述电容接触层还位于所述绝缘盖层之间。

5、根据权利要求1所述的存储器的制造方法，其中，形成所述位线及所

述第一隔离层的步骤包括：在所述基底上形成第二沟槽，在所述第二沟槽中依次形成所述位线及第二隔离层，所述第二隔离层填充所述第二沟槽；去除所述位线之间及所述第二隔离层之间的所述基底，形成第三沟槽；形成填充所述第二沟槽的第三隔离层；所述第三隔离层及所述第二隔离层构成所述第一隔离层。

6、根据权利要求1所述的存储器的制造方法，其中，形成所述位线及所述第一隔离层的步骤包括：在所述基底上形成第二隔离层，在所述第二隔离层上形成第二沟槽，形成填充所述第二沟槽的位线，在所述位线及所述第二隔离层上形成第三隔离层；所述第二隔离层及所述第三隔离层构成所述第一隔离层。

7、一种存储器的制造方法，其中，所述存储器的制造方法包括：

提供基底，在所述基底上形成第一隔离层及分立的位线，所述位线沿第一方向延伸，所述第一隔离层位于所述位线远离所述基底的表面且还位于相邻所述位线之间；

去除部分厚度的所述第一隔离层，形成阵列排布的通孔，所述通孔露出部分所述位线表面，形成填充所述通孔的有源层；

去除部分所述第一隔离层，形成分立的第一沟槽，所述第一沟槽沿第二方向延伸，所述第二方向与所述第一方向不同；所述第一沟槽暴露出所述有源层相对的第一侧面及第二侧面；

在所述第一侧面形成第一介质层，在所述第二侧面形成第二介质层，所述第一介质层的等效栅介质层厚度大于所述第二介质层的等效栅介质层厚度；

形成所述第一介质层及所述第二介质层后，形成填充所述第一沟槽的字线。

8、根据权利要求7所述的存储器的制造方法，其中，形成所述第一介质层及所述第二介质层的步骤包括：在所述第一侧面及所述第二侧面形成初始第一介质层，去除所述第二侧面上的所述初始第一介质层；在剩余的所述初始第一介质层表面及所述第二侧面上形成初始第二介质层；剩余的所述初始第一介质层及覆盖所述初始第一介质层的所述初始第二介质层作为所述第一介质层；覆盖所述第二侧面的所述初始第二介质层作为所述第二介质层。

9、一种存储器，其中，所述存储器包括：

基底，

位于所述基底上分立的位线，所述位线沿第一方向延伸；

位于所述位线上的分立的字线，所述字线沿第二方向延伸，所述第二方向与所述第一方向不同；所述字线之间具有相对的第一侧壁及第二侧壁；

所述字线之间具有分立的有源层，且所述有源层位于所述位线上；

所述相邻位线之间、所述位线与所述字线之间、相邻所述有源层之间具有第一隔离层；

所述有源层与所述第一侧壁之间具有第一介质层；所述有源层与所述第二侧壁之间具有第二介质层；所述第一介质层的等效栅介质层厚度大于所述第二介质层的等效栅介质层厚度。

10、根据权利要求 9 所述的存储器，其中，所述第一介质层为双层结构，包括初始第一介质层及初始第二介质层，所述初始第一介质层覆盖所述第一侧壁，所述初始第二介质层覆盖所述初始第一介质层。

11、根据权利要求 10 所述的存储器，其中，所述初始第一介质层的材料包括高介电常数材料，所述初始第二介质层的材料包括氧化硅。

12、根据权利要求 9 所述的存储器，所述存储器还包括：位于所述位线与所述有源层之间的位线接触层；位于所述字线上的绝缘盖层；位于所述有源层上的电容接触层，且所述电容接触层还位于所述绝缘盖层之间。

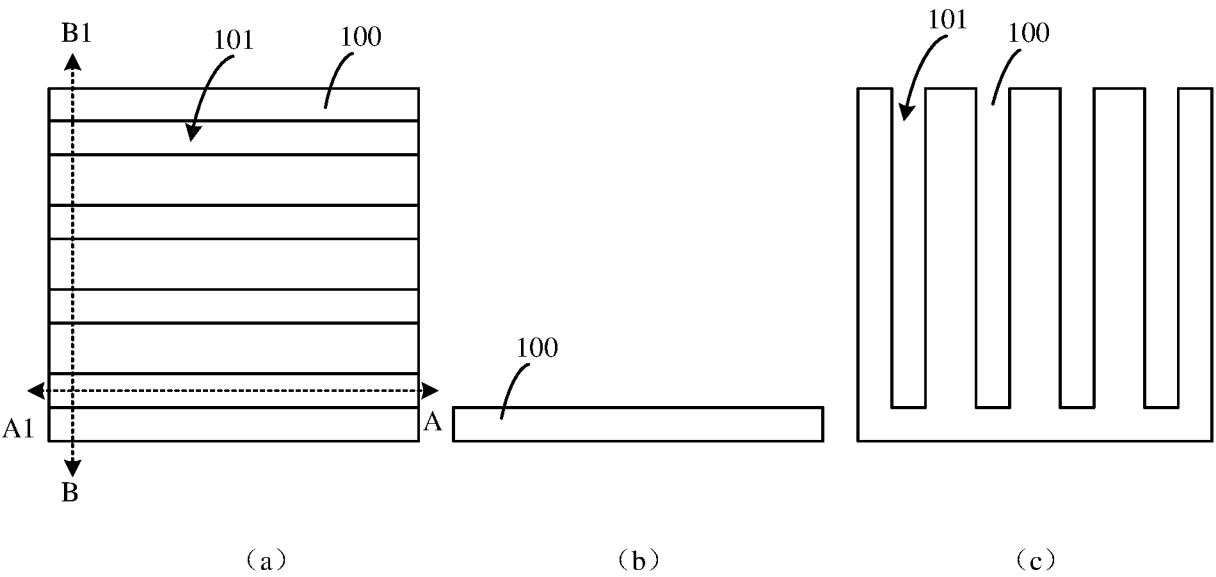


图 1

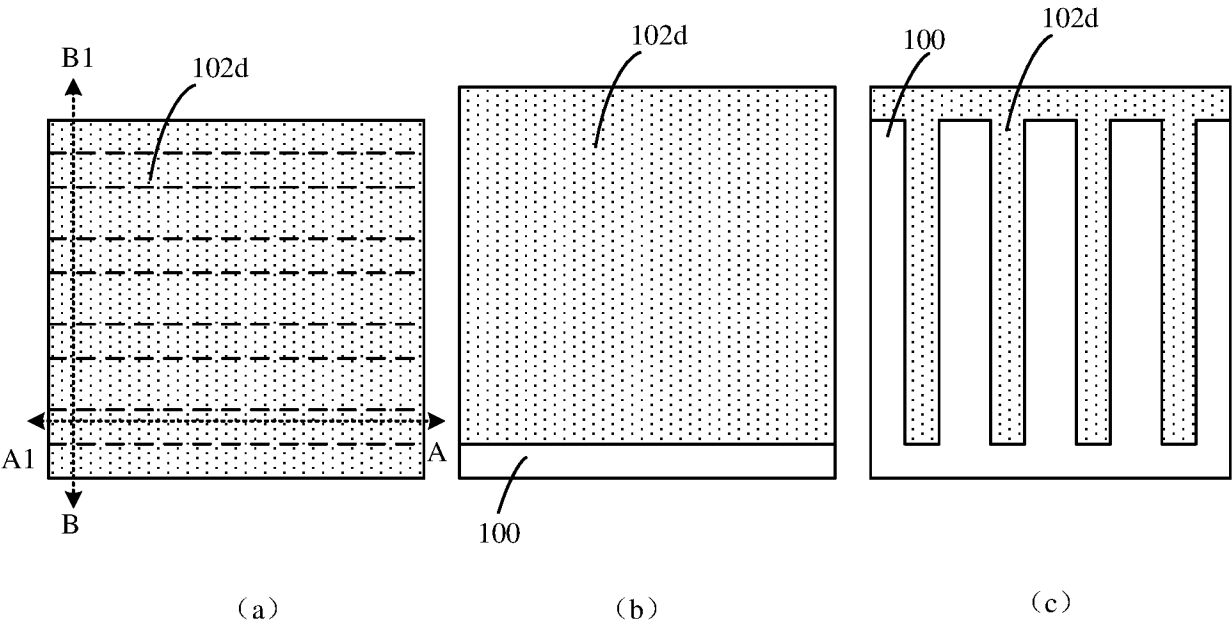


图 2

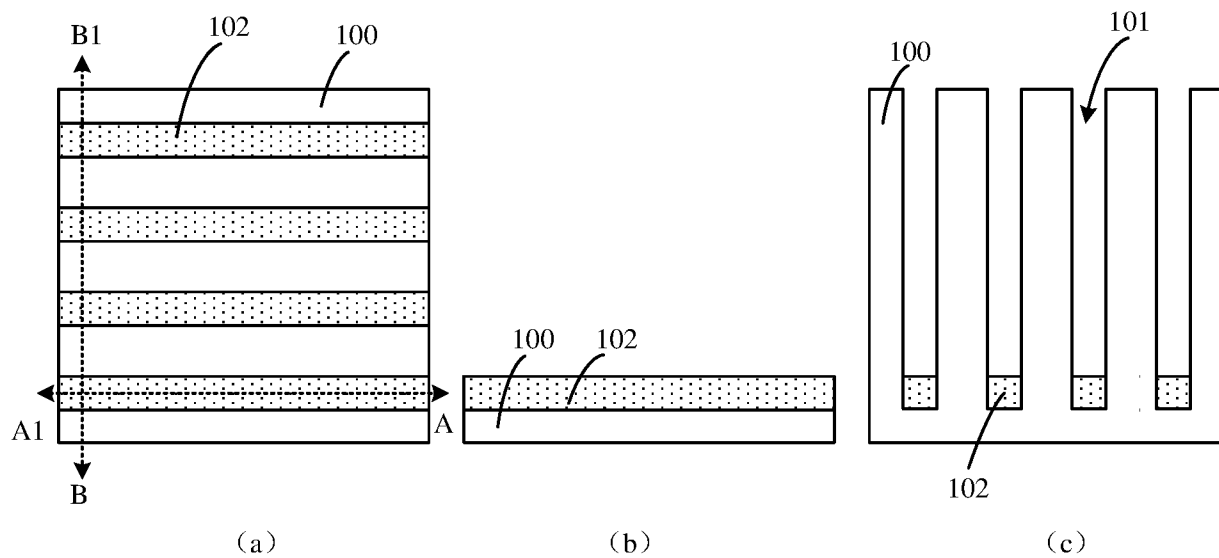


图 3

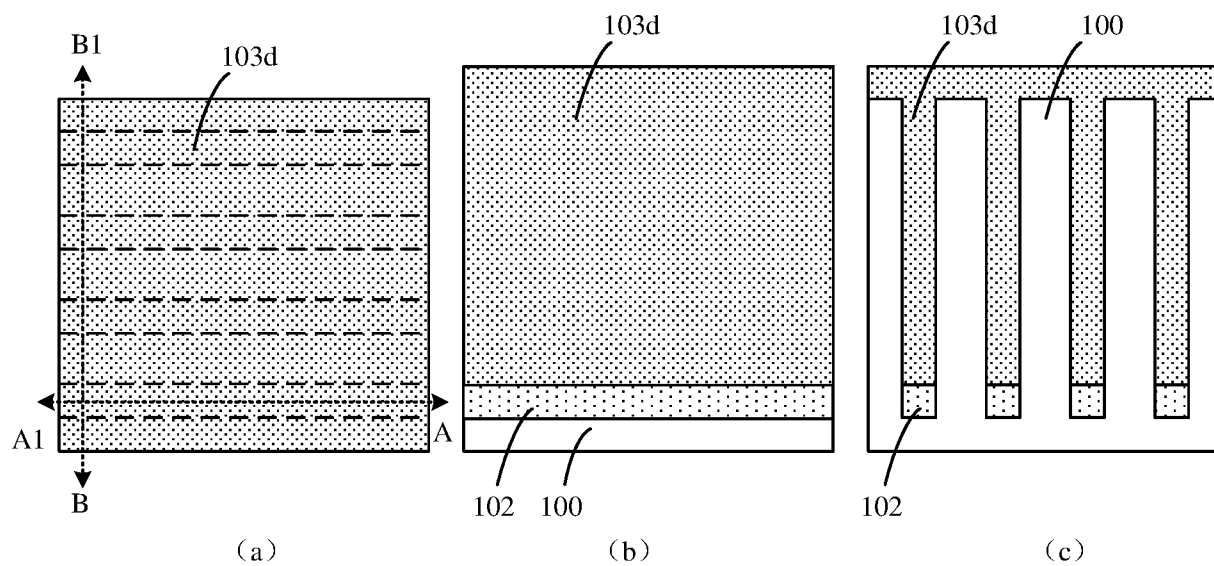


图 4

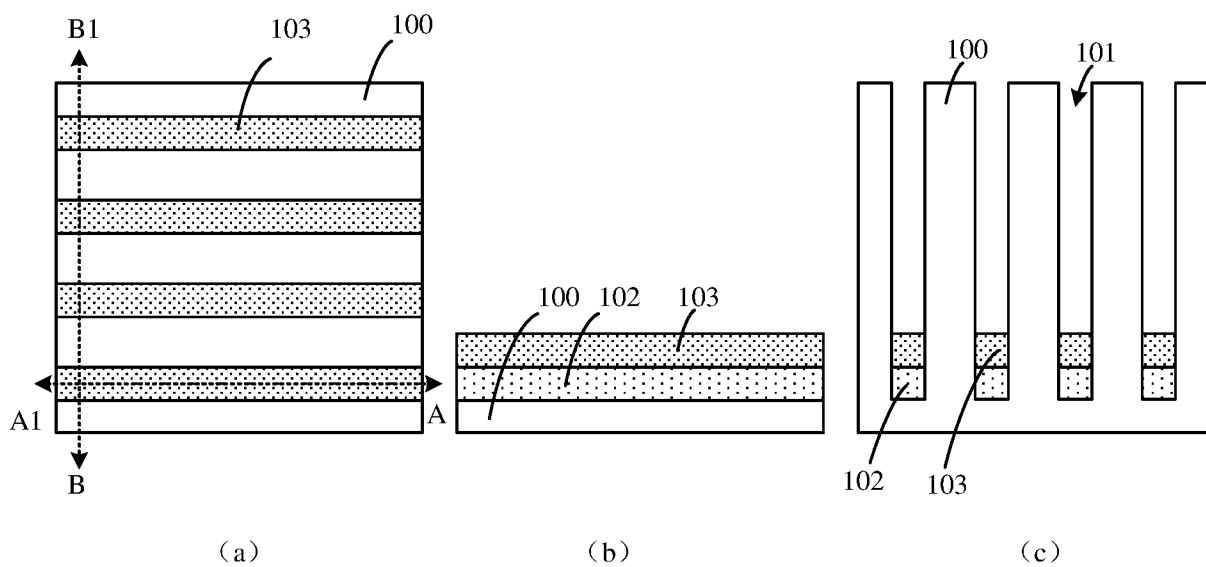


图 5

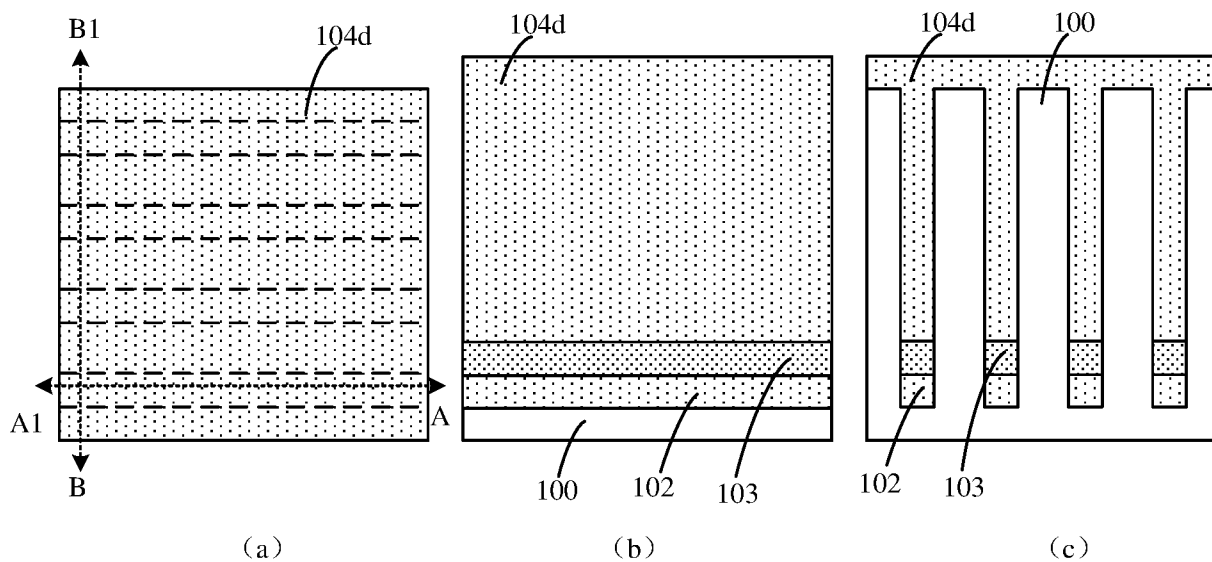


图 6

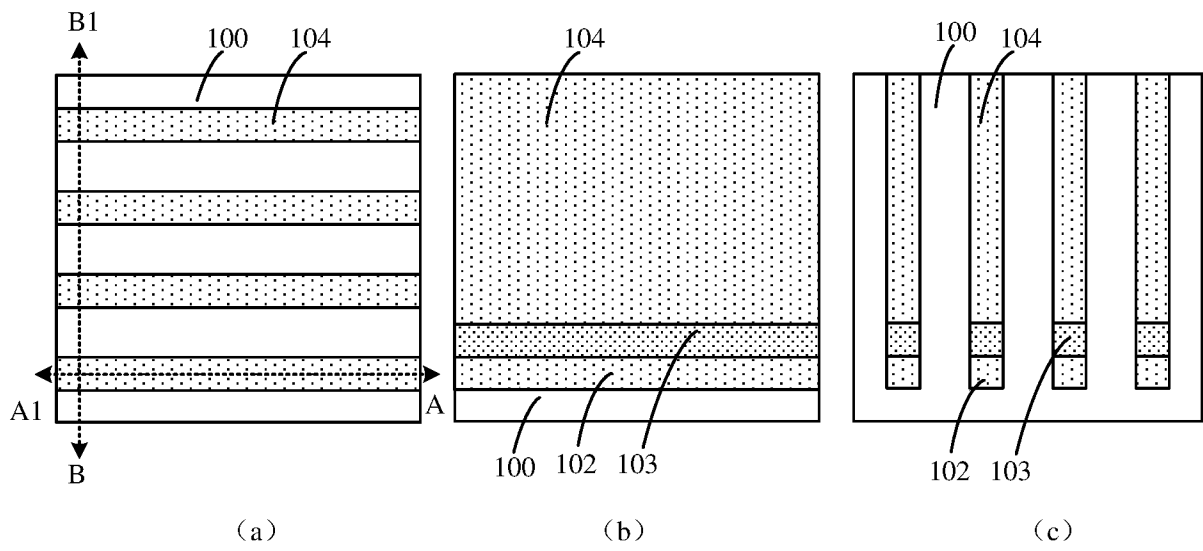


图 7

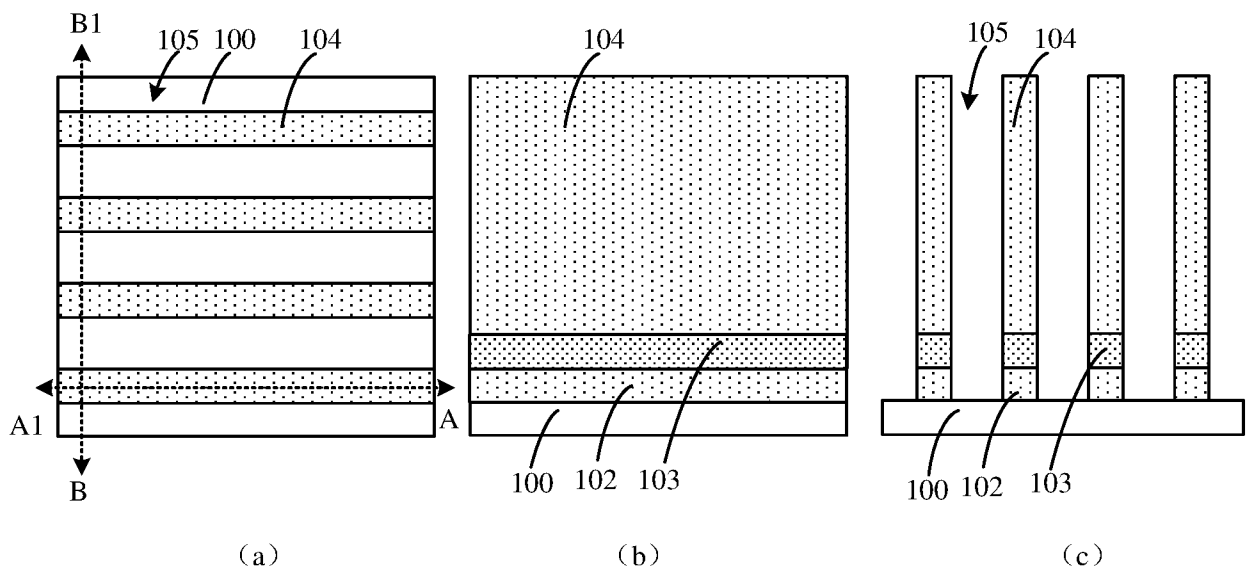


图 8

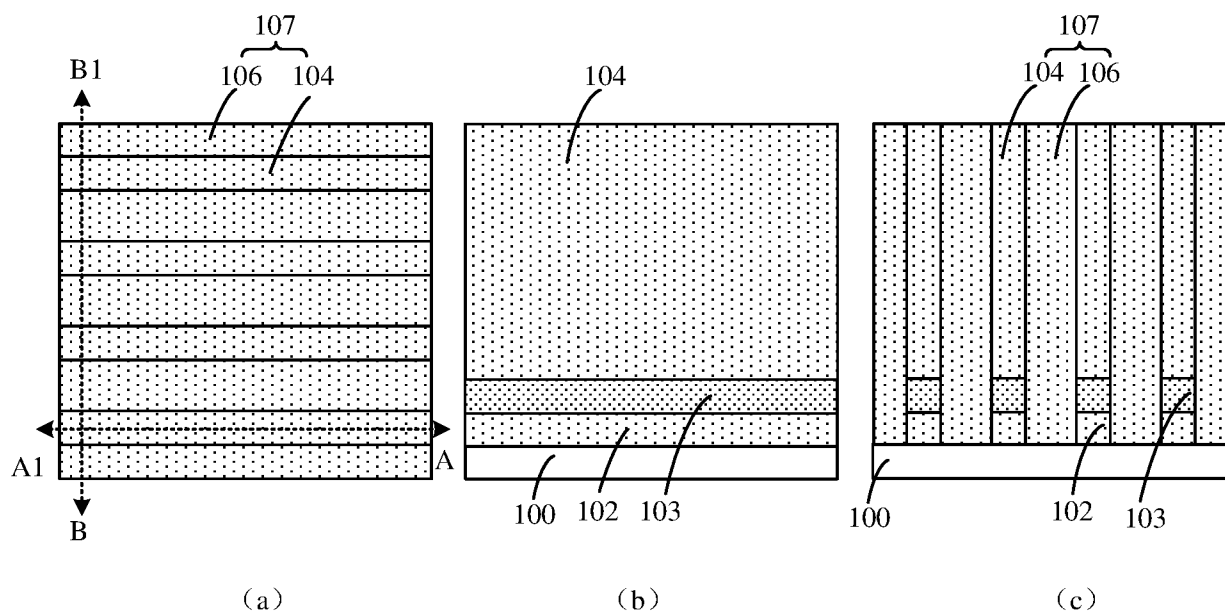


图 9

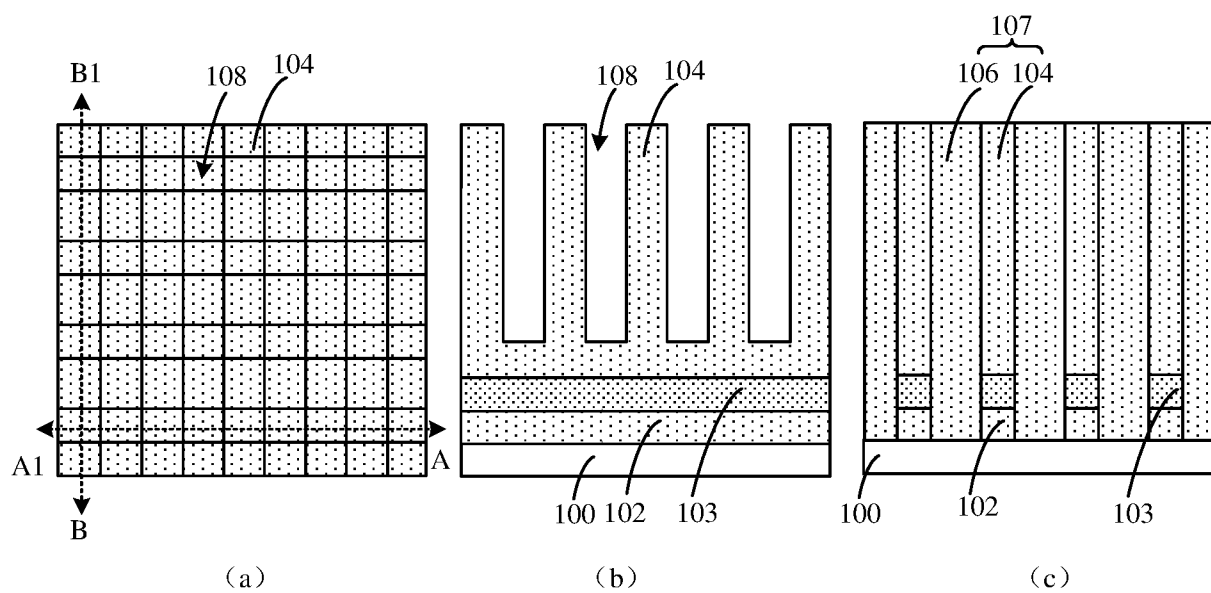


图 10

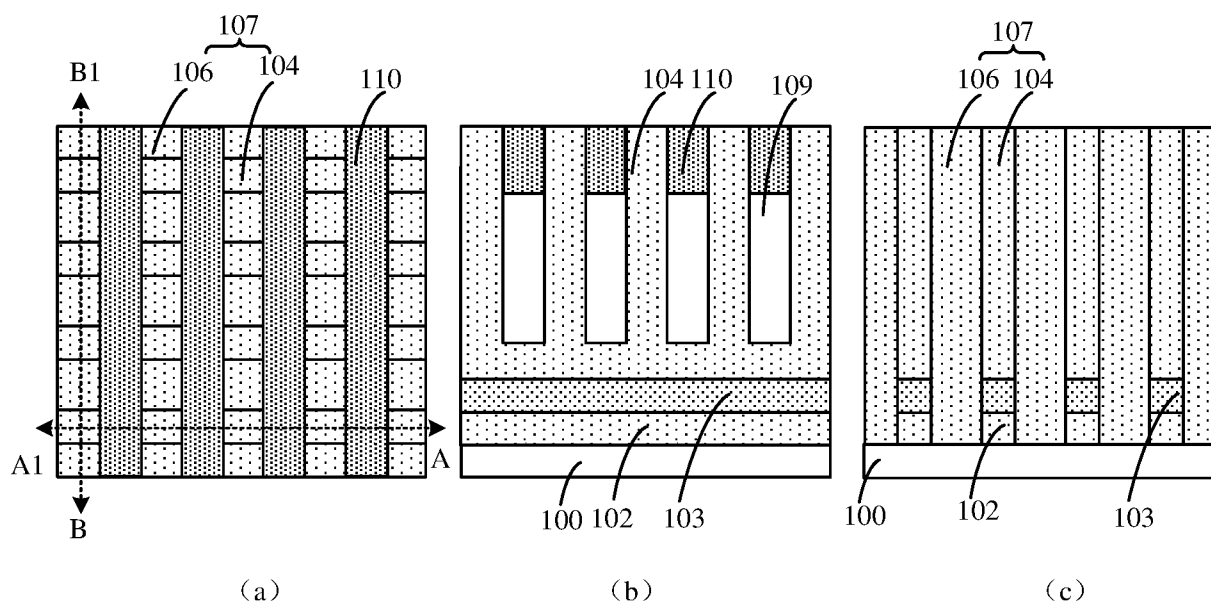


图 11

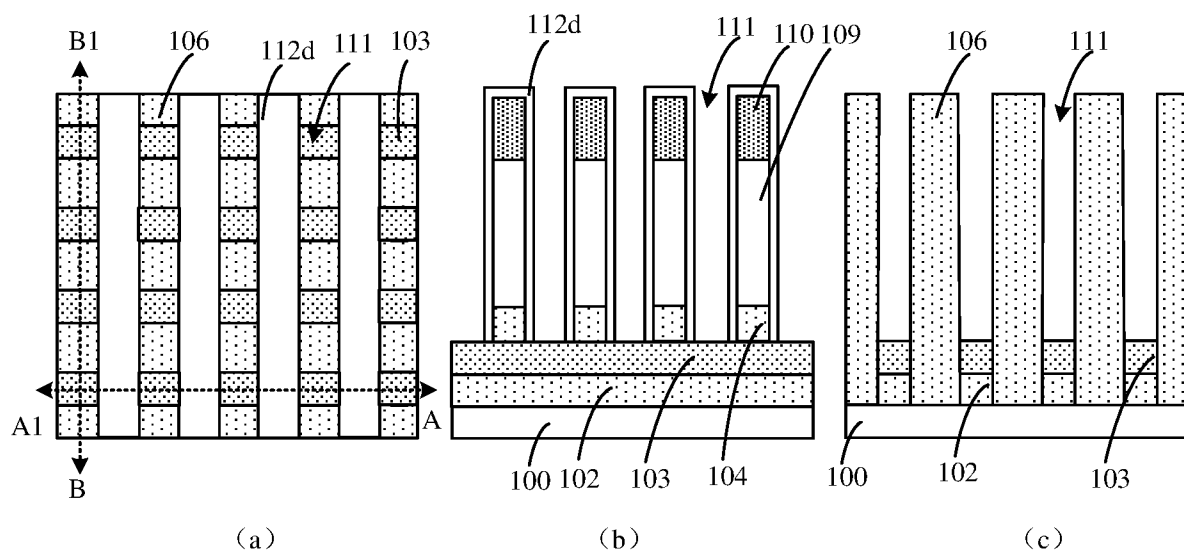


图 12

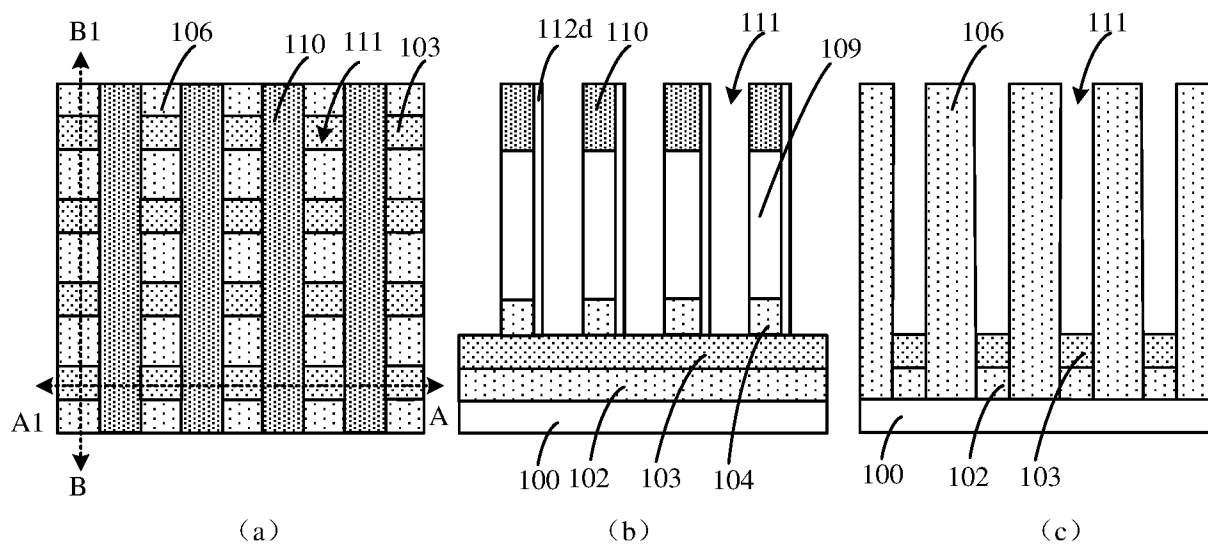


图 13

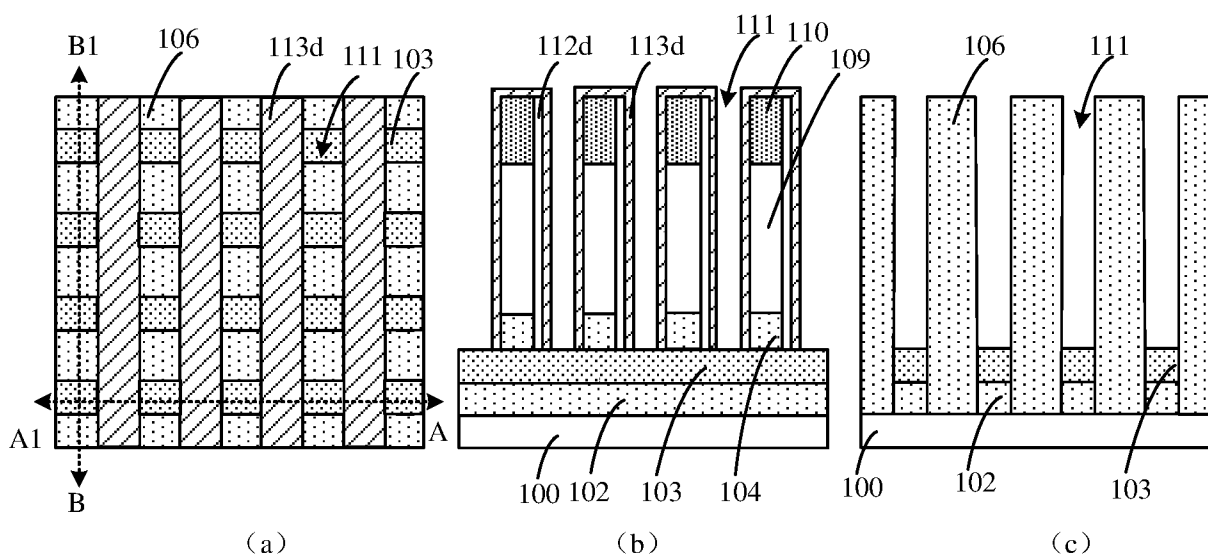


图 14

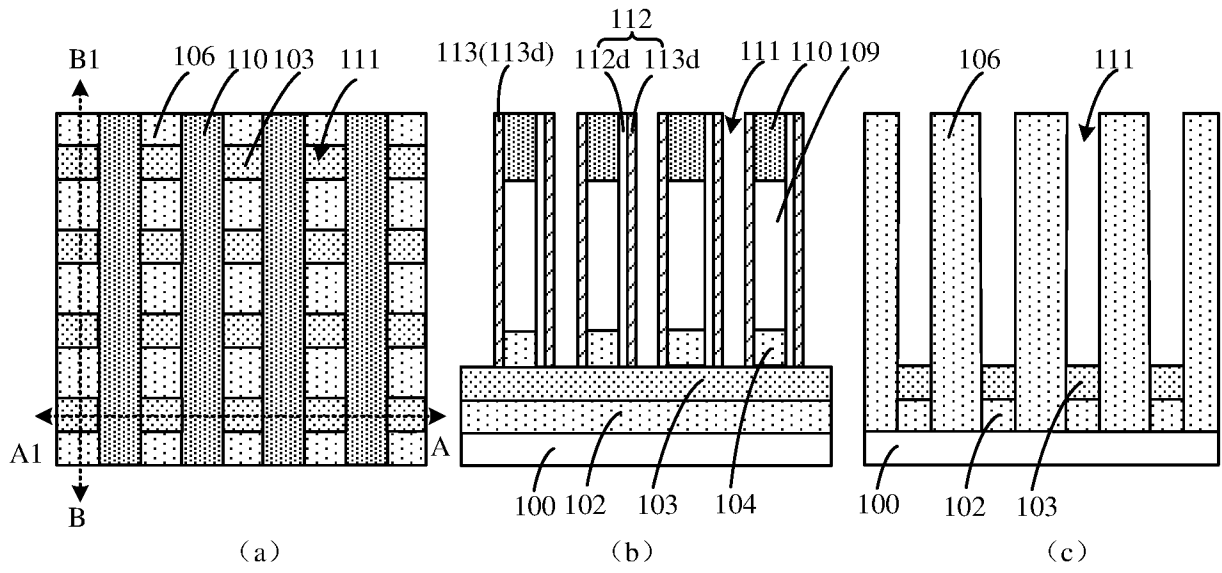


图 15

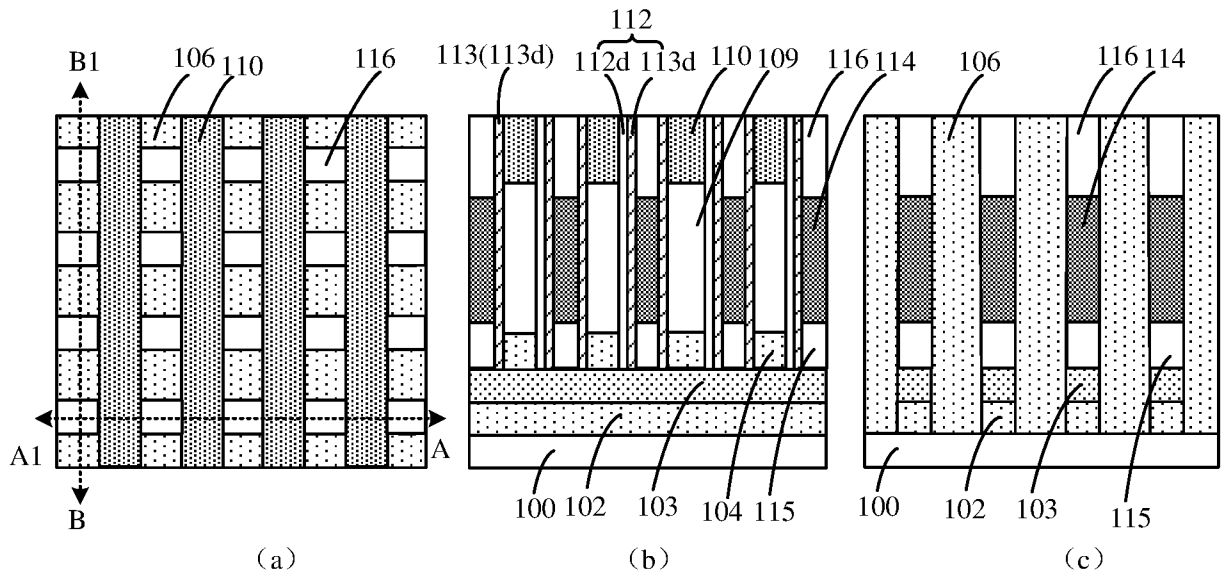


图 16

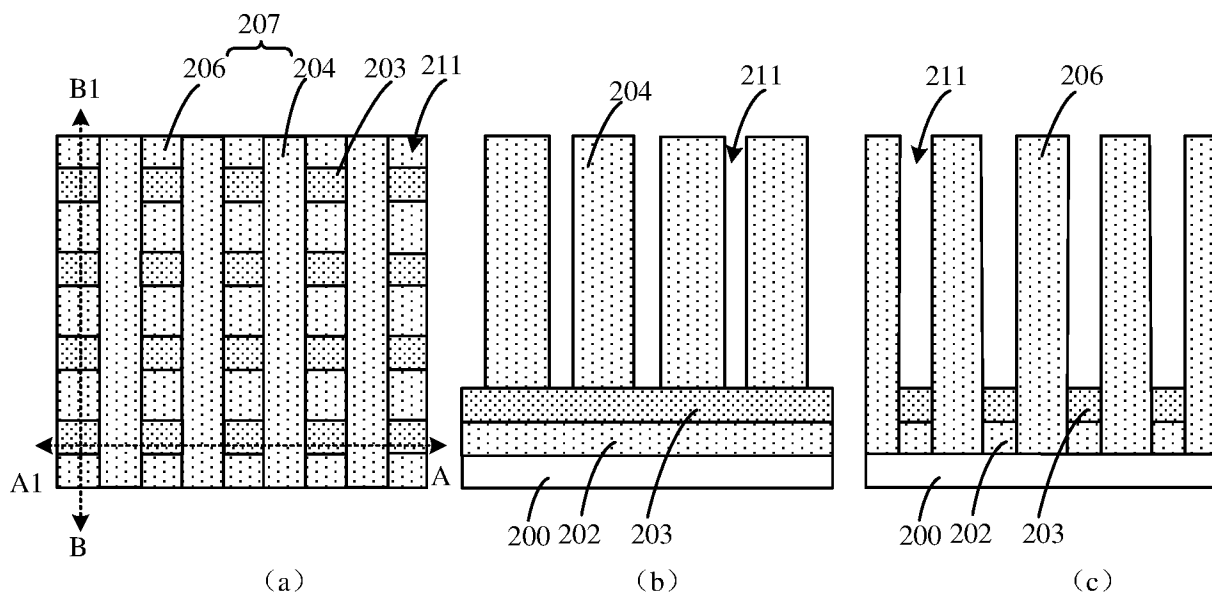


图 17

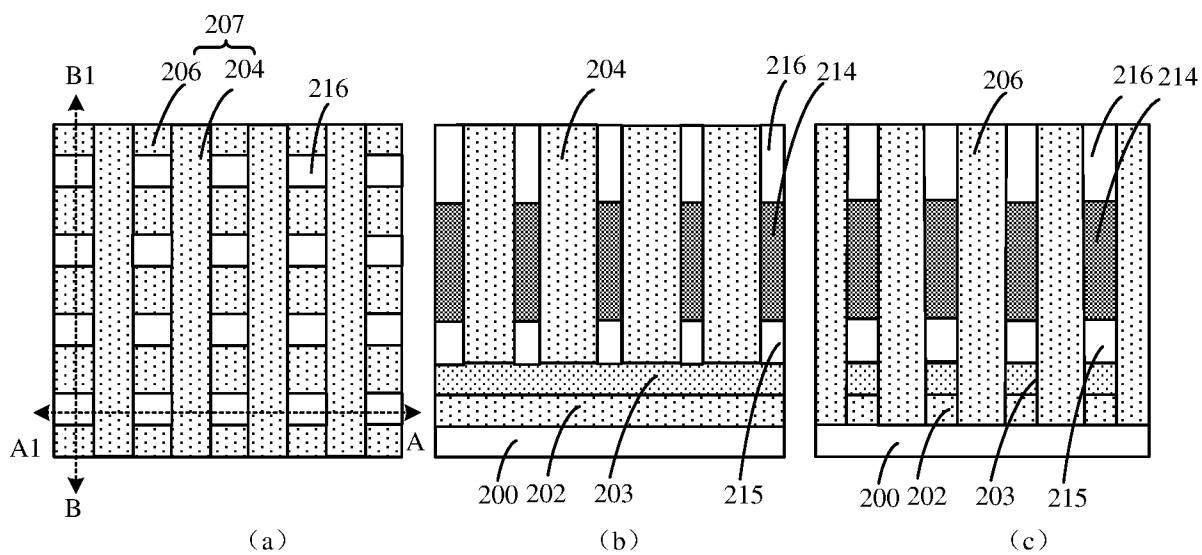


图 18

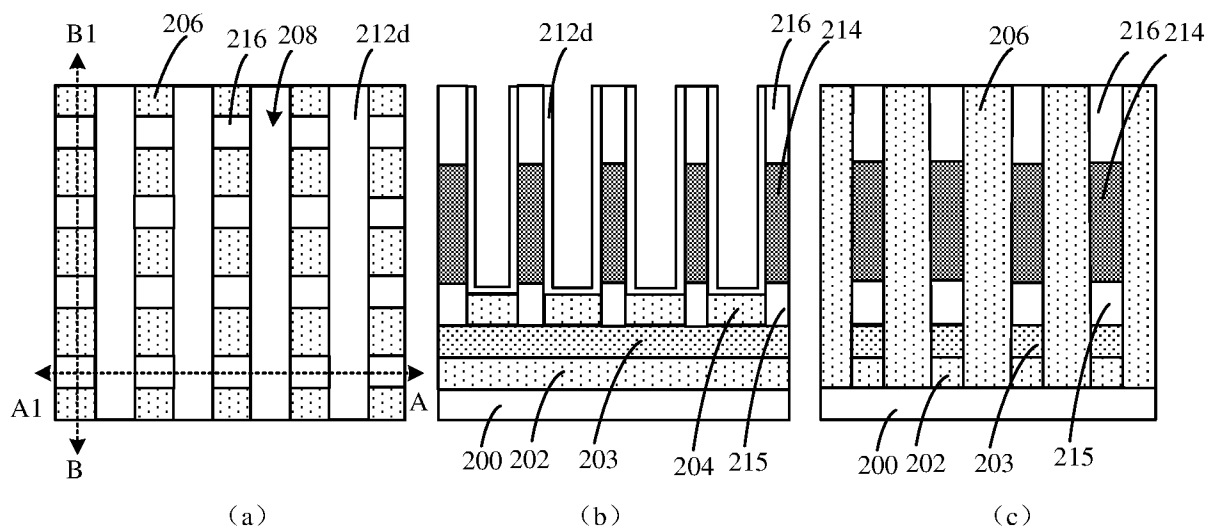


图 19

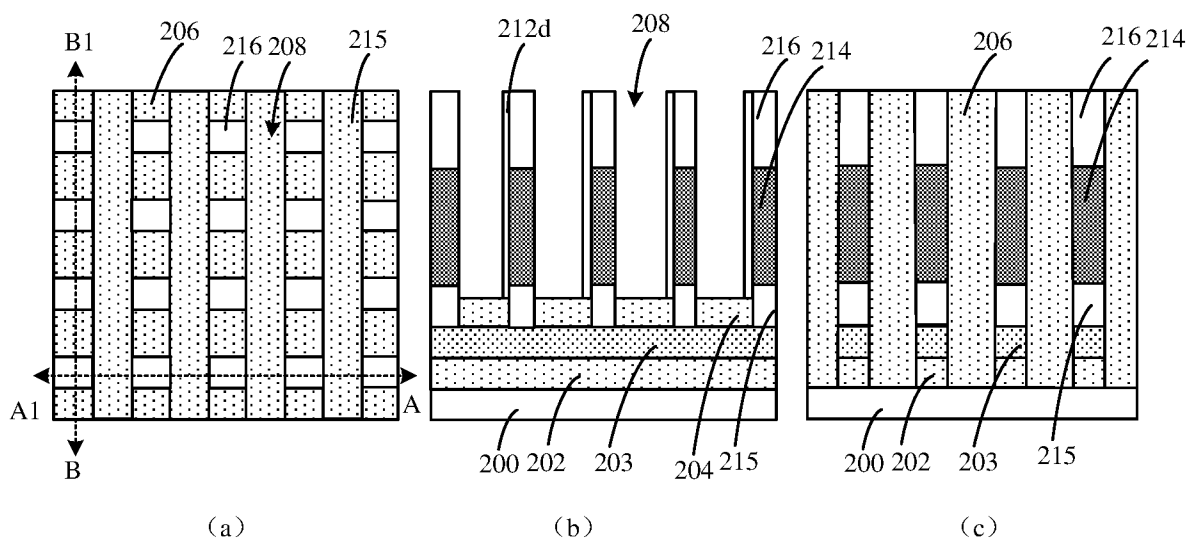


图 20

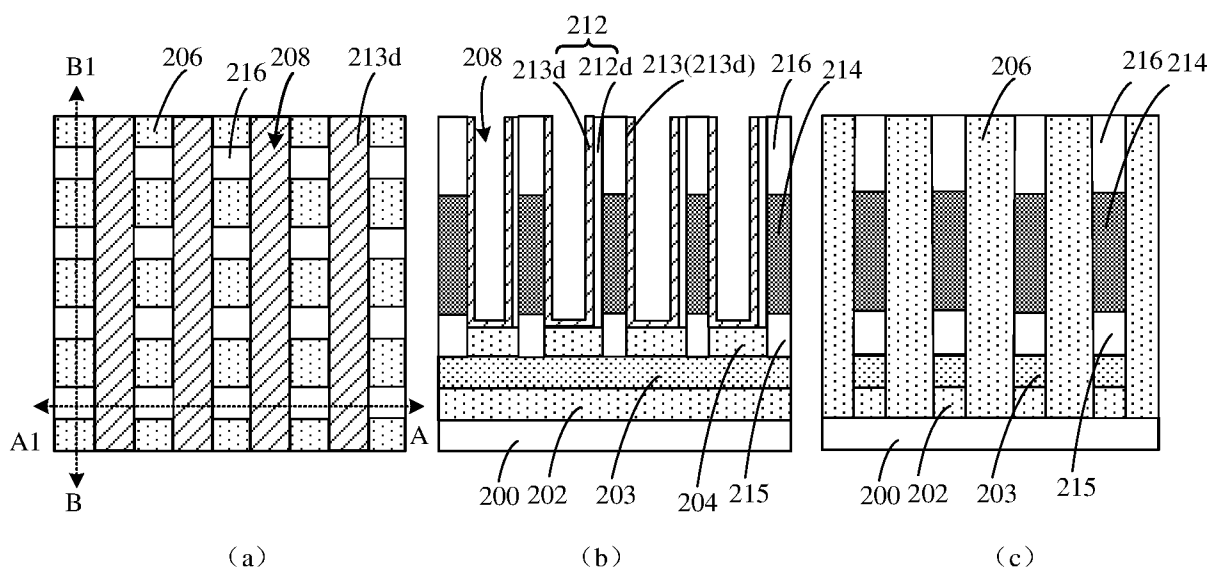


图 21

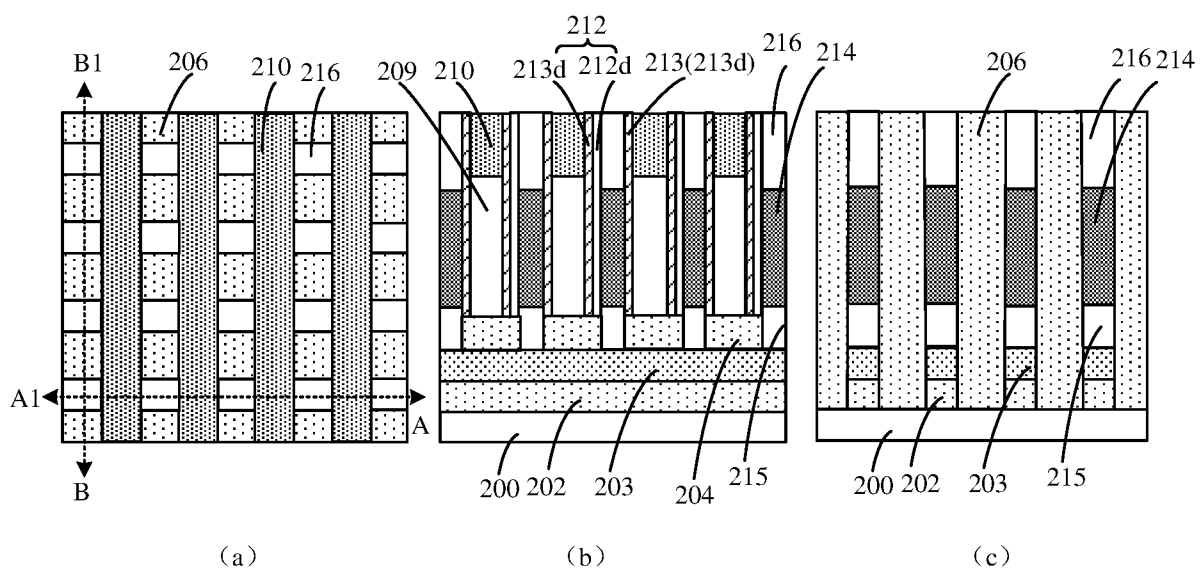
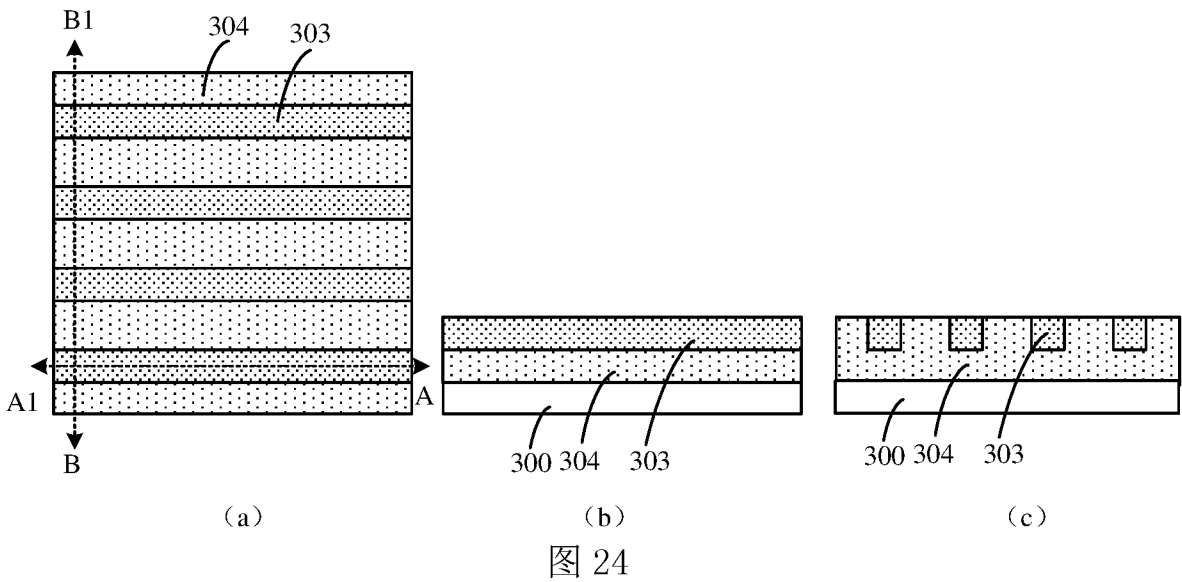
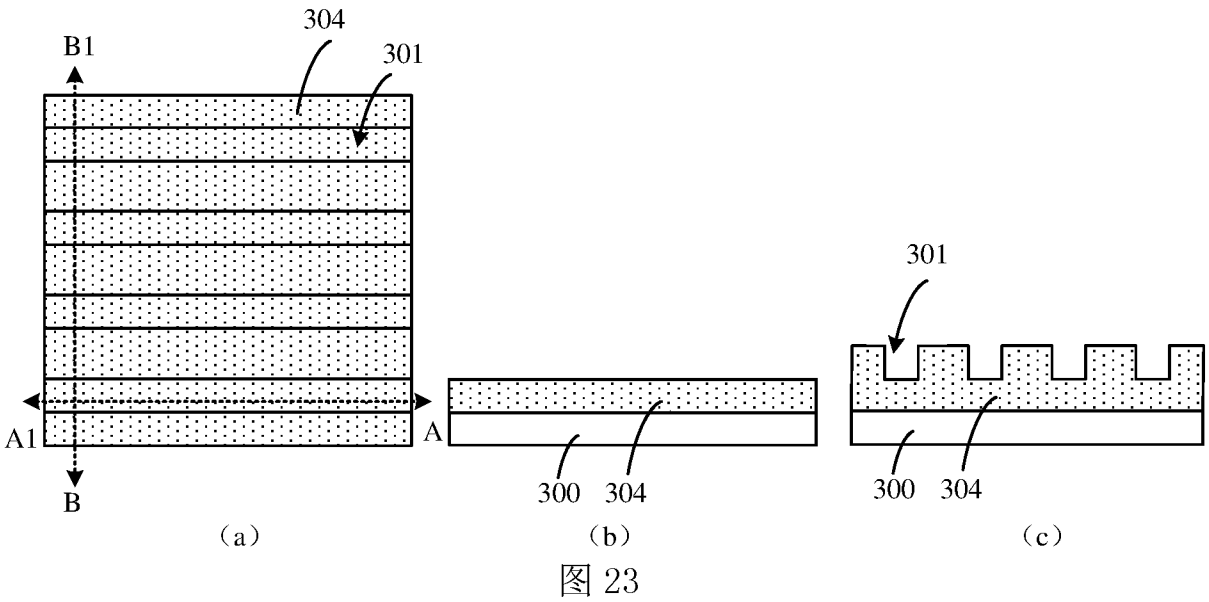


图 22



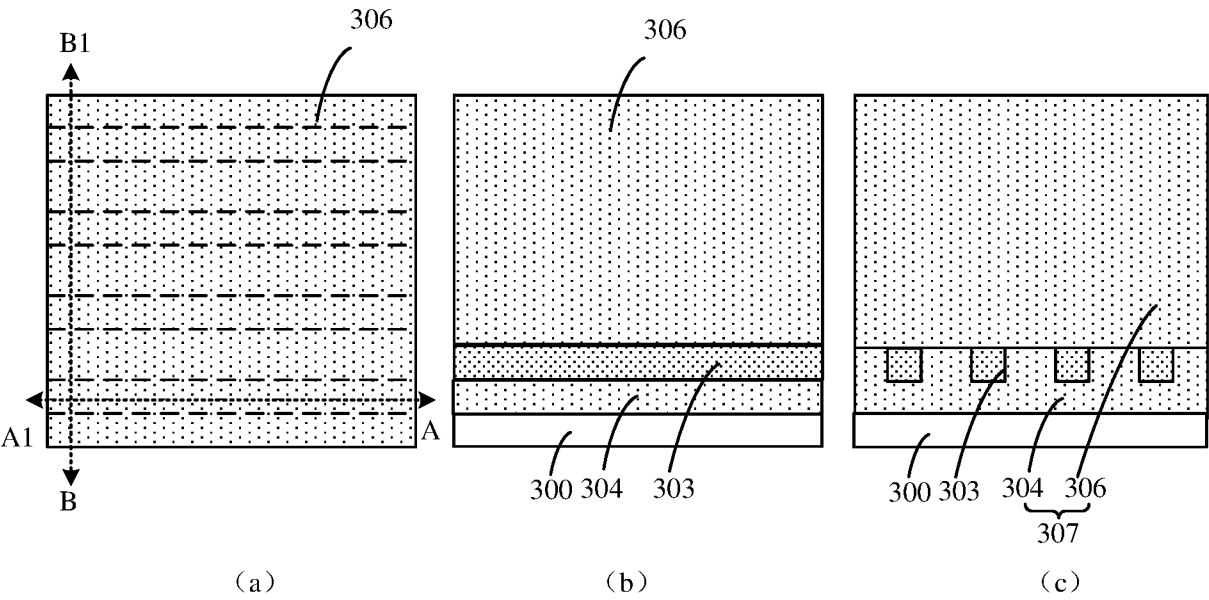


图 25

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/103863

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i; H01L 21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN; USTXT; WOTXT; EPTXT; CNABS; CNTXT; CNKI: 长鑫, 动态, 存储, 记忆, 记录, 垂直, 纵向, 晶体管, 字线, 字符线, 位线, 埋, 沟, 槽, 开口, 渠, 孔, 填充, 沟道, 有源, 栅, 绝缘, 介质, 侧, 壁, 不对称, 厚, 薄, 双层, 两层, DRAM, D-RAM, memory, storage, vertical, transistor, word, line, wiring, WL, bit, buried, +hole, aperture, opening, trench, groove, fill, activ, channel, gate, insulat, dielectric, side, +wall

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102104005 A (SAMSUNG ELECTRONICS CO., LTD.) 22 June 2011 (2011-06-22) description paragraphs [0002]-[0066], figures 1A-10C	9-12
A	CN 102104005 A (SAMSUNG ELECTRONICS CO., LTD.) 22 June 2011 (2011-06-22) description paragraphs [0002]-[0066], figures 1A-10C	1-8
A	CN 110931559 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 27 March 2020 (2020-03-27) entire document	1-12
A	CN 111697054 A (MICRON TECHNOLOGY INC.) 22 September 2020 (2020-09-22) entire document	1-12
A	US 2020111918 A1 (MICRON TECHNOLOGY INC.) 09 April 2020 (2020-04-09) entire document	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

06 September 2021

Date of mailing of the international search report

26 September 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/103863

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102104005	A	22 June 2011	KR	20110068594	A	22 June 2011
				US	8053316	B2	08 November 2011
				KR	101577411	B1	15 December 2015
				US	2011143508	A1	16 June 2011
				CN	102104005	B	06 May 2015
CN	110931559	A	27 March 2020	CN	208923148	U	31 May 2019
CN	111697054	A	22 September 2020	US	10910379	B2	02 February 2021
				US	2020295008	A1	17 September 2020
US	2020111918	A1	09 April 2020	WO	2020076652	A1	16 April 2020

国际检索报告

国际申请号

PCT/CN2021/103863

A. 主题的分类

H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i; H01L 21/336(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN;USTXT;WOTXT;EPTXT;CNABS;CNTXT;CNKI: 长鑫, 动态, 存储, 记忆, 记录, 垂直, 纵向, 晶体管, 字线, 字符线, 位线, 埋, 沟, 槽, 开口, 渠, 孔, 填充, 沟道, 有源, 栅, 绝缘, 介质, 侧, 壁, 不对称, 厚, 薄, 双层, 两层, DRAM, D-RAM, memory, storag+, vertical+, transistor, word+, line, wiring, WL, bit, buried, +hole+, aperture, opening+, trench, groove, fill+, activ+, channel, gate, insulat+, dielectric, side+, +wall+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102104005 A (三星电子株式会社) 2011年 6月 22日 (2011 - 06 - 22) 说明书第[0002]-[0066]段, 图1A-10C	9-12
A	CN 102104005 A (三星电子株式会社) 2011年 6月 22日 (2011 - 06 - 22) 说明书第[0002]-[0066]段, 图1A-10C	1-8
A	CN 110931559 A (长鑫存储技术有限公司) 2020年 3月 27日 (2020 - 03 - 27) 全文	1-12
A	CN 111697054 A (美光科技公司) 2020年 9月 22日 (2020 - 09 - 22) 全文	1-12
A	US 2020111918 A1 (MICRON TECHNOLOGY INC) 2020年 4月 9日 (2020 - 04 - 09) 全文	1-12

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 9月 6日

国际检索报告邮寄日期

2021年 9月 26日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

韩婷

电话号码 (86-512)88995849

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/103863

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102104005	A	2011年 6月 22日	KR	20110068594	A	2011年 6月 22日
				US	8053316	B2	2011年 11月 8日
				KR	101577411	B1	2015年 12月 15日
				US	2011143508	A1	2011年 6月 16日
				CN	102104005	B	2015年 5月 6日
CN	110931559	A	2020年 3月 27日	CN	208923148	U	2019年 5月 31日
CN	111697054	A	2020年 9月 22日	US	10910379	B2	2021年 2月 2日
				US	2020295008	A1	2020年 9月 17日
US	2020111918	A1	2020年 4月 9日	W0	2020076652	A1	2020年 4月 16日