



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I574382 B

(45)公告日：中華民國 106 (2017) 年 03 月 11 日

(21)申請案號：100132272

(22)申請日：中華民國 100 (2011) 年 09 月 07 日

(51)Int. Cl. : *H01L27/108 (2006.01)**H01L27/11 (2006.01)**H01L27/112 (2006.01)**H01L27/115 (2006.01)**H01L21/8242(2006.01)**H01L21/8244(2006.01)**H01L21/8246(2006.01)**H01L21/8247(2006.01)*

(30)優先權：2010/09/13 日本

2010-204408

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：加藤清 KATO, KIYOSHI (JP)；齋藤利彦 SAITO, TOSHIHIKO (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2010/0195391A1

審查人員：毛弘瑋

申請專利範圍項數：11 項 圖式數：4 共 39 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

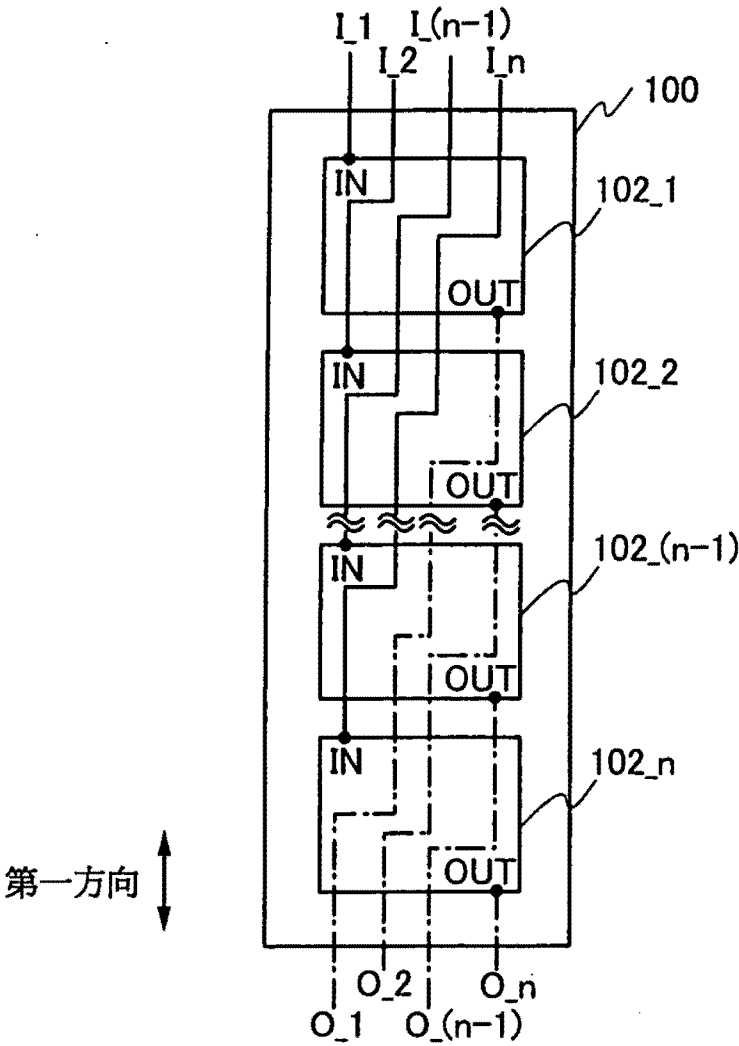
(57)摘要

本發明的一實施例之目的在於微小化半導體裝置。本發明的一實施例之另一目的在於降低包括記憶元件的半導體裝置的驅動電路的面積。眾多胞配置在第一方向上，在眾多胞中，輸入端及輸出端的位置是固定的，眾多佈線堆疊於眾多胞上，每一佈線電連接至每一胞的輸入端或輸出端，以及，眾多佈線在與胞配置的第一方向相同的方向上延伸；因此，提供驅動電路微小化的半導體裝置。

An object of one embodiment of the present invention is to miniaturize a semiconductor device. Another object of one embodiment of the present invention is to reduce the area of a driver circuit of a semiconductor device including a memory element. A plurality of cells in which the positions of input terminals and output terminals are fixed is arranged in a first direction, wirings each of which is electrically connected to the input terminal or the output terminal of each cell are stacked over the plurality of cells, and the wirings extend in the same direction as the first direction in which the cells are arranged; thus, a semiconductor device in which a driver circuit is miniaturized is provided.

指定代表圖：

圖 2



- 符號簡單說明：
- 100 . . . 驅動電路
 - 102_1 . . . 第一胞
 - 102_2 . . . 第二胞
 - 102_n . . . 第 n 胞
 - 102_(n-1) . . . 第 (n-1) 胞
 - I_1 . . . 第一輸入訊號線
 - I_2 . . . 第二輸入訊號線
 - I_n . . . 第 n 輸入訊號線
 - I_(n-1) . . . 第 (n-1) 輸入訊號線
 - O_1 . . . 第一輸出訊號線
 - O_2 . . . 第二輸出訊號線
 - O_n . . . 第 n 輸出訊號線
 - O_(n-1) . . . 第 (n-1) 輸出訊號線
 - IN . . . 輸入端
 - OUT . . . 輸出端

公告本

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100132272

H01L 27/108 (2006.01)

H01L 27/11 (2006.01)

※申請日：100 年 09 月 07 日

※IPC 分類：

H01L 27/112 (2006.01)

H01L 27/115 (2006.01)

一、發明名稱：(中文／英文)

H01L 21/8242 (2006.01)

半導體裝置

H01L 21/8244 (2006.01)

Semiconductor device

H01L 21/8246 (2006.01)

H01L 21/8247 (2006.01)

二、中文發明摘要：

本發明的一實施例之目的在於微小化半導體裝置。本發明的一實施例之另一目的在於降低包括記憶元件的半導體裝置的驅動電路的面積。眾多胞配置在第一方向上，在眾多胞中，輸入端及輸出端的位置是固定的，眾多佈線堆疊於眾多胞上，每一佈線電連接至每一胞的輸入端或輸出端，以及，眾多佈線在與胞配置的第一方向相同的方向上延伸；因此，提供驅動電路微小化的半導體裝置。

三、英文發明摘要：

An object of one embodiment of the present invention is to miniaturize a semiconductor device. Another object of one embodiment of the present invention is to reduce the area of a driver circuit of a semiconductor device including a memory element. A plurality of cells in which the positions of input terminals and output terminals are fixed is arranged in a first direction, wirings each of which is electrically connected to the input terminal or the output terminal of each cell are stacked over the plurality of cells, and the wirings extend in the same direction as the first direction in which the cells are arranged; thus, a semiconductor device in which a driver circuit is miniaturized is provided.

四、指定代表圖：

(一) 本案指定代表圖為：第(2)圖。

(二) 本代表圖之元件符號簡單說明：

100：驅動電路

102_1：第一胞

102_2：第二胞

102_n：第 n 胞

102_ (n-1) ：第 (n-1) 胞

I_1：第一輸入訊號線

I_2：第二輸入訊號線

I_n：第 n 輸入訊號線

I_ (n-1) ：第 (n-1) 輸入訊號線

O_1：第一輸出訊號線

O_2：第二輸出訊號線

O_n：第 n 輸出訊號線

O_ (n-1) ：第 (n-1) 輸出訊號線

IN：輸入端

OUT：輸出端

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於使用半導體元件的半導體裝置。

【先前技術】

使用半導體元件的記憶體裝置概分為二種類別：當斷電時遺失儲存的資料之揮發性裝置，以及當未被供電時仍然固持儲存的資料之非揮發性裝置。

揮發性記憶體裝置的典型實施例是動態隨機存取記憶體（DRAM）。DRAM以包含於記憶元件中的電晶體被選取及電荷累積於電容器中的方式儲存資料。

揮發性記憶體裝置的另一實施例是靜態隨機存取記憶體（SRAM）。SRAM以例如正反器等電路來維持儲存的資料。

非揮發性記憶體裝置的典型實例是快閃記憶體。快閃記憶體在包含位於電晶體中的閘極電極與通道形成區之間的浮動閘極，以及藉由將電荷固持浮動閘極中來儲存資料。

使用半導體元件的此記憶體裝置包含記憶胞陣列及配置在記憶胞陣列的周圍之驅動電路作為主元件，記憶胞陣列包含眾多記憶胞，且半導體裝置的尺寸受限於驅動電路的面積。也就是說，即使當僅有記憶胞的面積縮小時，除非驅動電路的面積縮減，半導體裝置仍然無法整體地微小化。因此，在微小化半導體裝置時，重要的是降低驅動電路

的面積。

舉例而言，在專利文獻1中揭示的半導體裝置中，有連接記憶胞陣列部的佈線以及周邊電路部形成於其中的相鄰佈線區具有相同的佈局。

〔參考文獻〕

〔專利文獻1〕

日本公開專利申請號2007-324299

【發明內容】

慮及上述問題，揭示的發明的一實施例之目的是微小化半導體裝置。

揭示之發明的一實施例之另一目的是降低包含記憶元件的半導體裝置的驅動電路的面積。

在揭示的發明中，眾多基本胞（於下稱為胞）配置在第一方向上，在眾多基本胞中，輸入端及輸出端的位置是固定的，電連接至每一胞的輸入端或輸出端的眾多佈線堆疊於眾多胞上，以及，這些佈線在與胞所配置的第一方向相同的方向上延伸。具體而言，舉例而言，可以採用下述結構。

根據本發明的一實施例，半導體裝置包含：驅動電路，包含配置在第一方向的 n 個胞（ n 是大於或等於2的整數）； n 輸入訊號線，電連接至設在各別胞中的輸入端；以及， n 條輸出訊號線，電連接至設在各別胞中的輸出端。 n 條輸入訊號線及 n 條輸出訊號線在第一方向上延伸。設於

眾多胞中之一上的輸入訊號線及輸出訊號線的總數是 $(n-1)$ 。

根據本發明的另一實施例，半導體裝置包含：驅動電路，包含配置在第一方向的 n 個胞（ n 是大於或等於 2 的整數）； n 條輸入訊號線，電連接至設在各別胞中的輸入端；以及， n 條輸出訊號線，電連接至設在各別胞中的輸出端。 N 條輸入訊號線及 n 條輸出訊號線在第一方向上延伸。至少 $(n-1)$ 條輸入訊號線及至少 $(n-1)$ 條輸出訊號線包含彎曲區。設於眾多胞中之一上的輸入訊號線及輸出訊號線的總數是 $(n-1)$ 。

在上述半導體裝置中，在眾多胞之一中，連接輸入端及輸出端的直線、及設於所述胞上的輸入訊號線或輸出訊號線之交叉總數可為 $(n-1)$ 。

上述半導體裝置又包含記憶胞陣列，以及包含於記憶胞陣列中的輸入端及 n 條輸出訊號線可以彼此電連接。

在上述半導體裝置中，第一方向可以是記憶胞陣列的列方向。

在上述半導體裝置中，第一方向可以是記憶胞陣列的行方向。

注意，在本說明書等中，「在...之上」或「在...之下」並非一定意指元件設置為「直接在另一元件之上」或「直接在另一元件之下」。舉例而言，「在閘極絕緣層上的閘極電極」之說明可以意指閘極絕緣層與閘極電極之間有其它元件的情形。

此外，在本說明書等中，例如「電極」或「佈線」等名詞並非限定元件的功能。舉例而言，「電極」有時可以作為「佈線」的一部份，反之亦然。此外，舉例而言，「電極」或「佈線」等詞也意指包含複數「電極」或「佈線」的組合。

舉例而言，當使用具有相反極性的電晶體時或在電路操作時改變電流方向時，「源極」和「汲極」的功能有時可以互相取代。因此，在本說明書中，「源極」和「汲極」可以彼此取互換。

注意，在本說明書等中，「電連接」一詞包含經由「具有任何電功能的物體」而連接複數個元件之情形。只要可以在經由物體而連接的複數個元件之間傳送及接收電訊號，則對於「具有任何電功能的物體」並無特別限定。

「具有任何電功能的物體」的實施例是例如電晶體等切換元件、電阻器、電感器、電容器、及具有各種不同功能的元件與電極和佈線。

根據本發明的一實施例，提供微小化的半導體裝置。

根據本發明的一實施例，提供面積縮小之包含記憶元件及用於驅動記憶元件的電路之半導體裝置。

【實施方式】

於下，將參考附圖，詳述本發明的實施例。注意，本發明不限於下述說明，以及，習於此技藝者清楚可知，在不悖離本發明的精神及範圍之下，可以以不同方式修改模

式及細節。因此，本發明不應被解釋成侷限於下述實施例的說明。

注意，在某些情形中，爲了便於瞭解，圖式等所示的每一結構的位置、尺寸、範圍、等等未準確地表示。因此，揭示的發明不限於圖式等中揭示的位置、尺寸、範圍、等等。

在本說明書等中，爲了避免元件之間的混淆，使用例如「第一」、「第二」、及「第三」等序數，但是這些名詞不是以數字限定元件。

（實施例 1）

在本實施例中，將參考附圖，說明根據揭示的發明的一實施例之半導體裝置的結構。

圖 1 顯示根據本發明的一實施例之半導體裝置的結構。本實施例中揭示的半導體裝置 250 包含包括眾多記憶胞的記憶胞陣列 200 及驅動記憶胞陣列 200 之第一驅動電路部 1111、第二驅動電路部 1112、第三驅動電路部 1113、及第四驅動電路部 1114。注意，驅動電路部的數目不限於圖 1 中的結構。

非揮發性記憶體或揮發性記憶體可以應用至記憶胞陣列 200。當記憶胞陣列 200 包含具有浮動閘極的電晶體時，取得非揮發性記憶體。注意，關於非揮發性記憶體，可以使用 NOR（反或）型非揮發性記憶體或是 NAND（反及）型非揮發性記憶體。

或者，記憶胞陣列200可以具有DRAM、SRAM、或鐵電記憶體電路結構。

記憶胞陣列200包含使用能帶隙比矽半導體的能帶隙還寬之半導體的電晶體以及包含矽半導體的電晶體。藉由使用具有寬的能帶隙之半導體，電晶體關閉狀態電流可以較低，以致於能夠實現具有新穎結構的記憶體。碳化矽（SiC）、氮化鎵（GaN）、等等已知比矽半導體具有更寬的能帶隙，但是，由於它們的製程溫度比矽半導體的製程溫度還高，所以，無法高產量地製造包含此半導體的裝置。相反地，以濺射法、印刷法、等等，可以容易地形成能帶隙2.5 eV或更高、較佳地3 eV或更高的氧化物半導體（較佳地，金屬氧化物半導體），且製程溫度低。

此外，圖1中所示的第一驅動電路部1111至第四驅動電路部1114中至少之一包含圖2中所示的驅動電路100。在本實施例中，驅動電路100包含至少n個（n是大於或等於2的整數）配置在第一方向（圖2箭頭所示的方向）上的胞102、電連接至設在胞102中的各別輸入端（IN）之n條輸入訊號線（I）、及電連接至設在胞102中的各別輸出端（OUT）之n條輸出訊號線（O）。

胞102是邏輯合成及配置時使用的電路元件，其具有預定的電路基本功能。具體而言，舉例而言，可以使用當輸入訊號由例如NOT、OR、AND、NOR、NAND（反及）、XOR、或XNOR等操作所決定時具有決定輸出訊號的功能之胞等等。或者，可以使用具有例如正反（FF）或佇鎖

(LAT) 等根據輸入訊號的歷史而取得輸出的功能之胞。此外，可以使用位準偏移器或多工器。

在圖2中所示的 n 個胞 102 中，輸入端 (IN) 及輸出端 (OUT) 的位置是固定的。注意，第一方向較佳的是圖1中的記憶胞陣列 200 的行方向或列方向。

注意，在圖2中，連接至胞 102 的輸入端 (IN) 之輸入訊號線 (I) 以實線表示，而連接至胞 102 的輸出端 (OUT) 之輸出訊號線 (O) 以虛線表示。此外，具有類似功能的佈線以添加至它們名稱尾端的 “_1”、“_2”、“_n” 等等作區別。

在胞 102 配置的第一方向中延伸的輸入訊號線 (I) 及輸出訊號線 (O) 延伸至與胞 102 (包括包含於胞 102 中的例如電晶體等半導體元件) 重疊，而以絕緣層設於其間。當輸入訊號線及輸出訊號線堆疊於胞 102 上時，驅動電路的面積可以降低；因此，半導體裝置可以微小化。

n 條輸入訊號線 (I) 的第一輸入訊號線 (I_1) 連接至第一胞 102_1 的輸入端， n 條輸入訊號線 (I) 的第二輸入訊號線 (I_2) 連接至第二胞 102_2 的輸入端。接著，以類似方式，第 $(n-1)$ 輸入訊號線 (I_((n-1))) 連接至第 $(n-1)$ 胞 102_((n-1)) 的輸入端，第 n 輸入訊號線 (I_n) 連接至第 n 胞 102_n 的輸入端。

也在輸出訊號線 (O) 中， n 條輸出訊號線中的第一輸出訊號線 (O_1) 連接至第一胞 102_1 的輸出端， n 條輸出訊號線中的第二輸出訊號線 (O_2) 連接至第二胞 102_2 的

輸出端。第 $(n-1)$ 輸出訊號線 ($O_{(n-1)}$) 連接至第 $(n-1)$ 胞 102_(n-1) 的輸出端，第 n 輸出訊號線 (O_n) 連接至第 n 胞 102_n 的輸出端。

此外，在每一胞 102 中，輸入端及輸出端使用與包含在胞 102 中的電晶體的半導體層等相同的佈線層而彼此連接。舉例而言，包含在胞 102 中的電晶體的閘極佈線及連接胞 102 的輸入端與輸出端的佈線可以在相同步驟中形成。或者，包含在胞 102 中之電晶體的源極佈線（或汲極佈線）及連接胞 102 的輸入端及輸出端的佈線可以在相同步驟中形成。

在胞 102₁ 上，配置連接至各別胞 102₂ 至 102_n 的 $(n-1)$ 條輸入訊號線。在胞 102_n 上，配置連接至各別胞 102₁ 至 102_(n-1) 的 $(n-1)$ 條輸出訊號線。在胞 102_k 上（ k 是大於或等於 2 的且小於或等於 $(n-1)$ 的整數），配置連接至各別胞 102_(k+1) 至 102_n 的輸入訊號線 (I) 以及連接至各別胞 102₁ 至 102_(k-1) 的輸出訊號線 (O)。因此，在胞 102_k 上，以 $\{n - (k+1) + 1\} + (k-1)$ 的值，配置全部 $(n-1)$ 條輸入訊號線 (I) 及輸出訊號線 (O)。

由於輸入端及輸出端的位置固定在胞 102 中，所以，第一輸入訊號線以外的 $(n-1)$ 條輸入訊號線及第 n 輸出訊號線以外的 $(n-1)$ 條輸出訊號線包含彎曲區。 $(n-1)$ 條輸入訊號線或 $(n-1)$ 條輸出訊號線均包含彎曲區；因此，訊號線可以設在胞 102 上而不會彼此交會。注意，在一

輸入訊號線或一輸出訊號線中的彎曲區不一定是一個區。雖然輸入訊號線或輸出訊號線在垂直於圖2中的第一方向上彎曲，但是，本發明的實施例不限於此。但是， $(n-1)$ 條輸入訊號線或 $(n-1)$ 條輸出訊號線較佳地在一方向上彎曲。此外，彎曲區可以設在第一輸入訊號線或第 n 輸出訊號線中。

此外，連接胞102的輸入端及輸出端的直線（包含與垂直於紙的方向上的直線相重疊的直線）與設在胞102上的輸入訊號線及輸出訊號線的交會總數是 $(n-1)$ 。也可以說，設在胞102上的 $(n-1)$ 條輸入訊號線及輸出訊號線均配置在輸入端與輸出端之間的區域中。如上所述，胞102中的輸入端及輸出端的位置固定，以及，爲了增進輸入／輸出訊號線的佈線佈局的自由度，較佳的是它們之間的區域是寬的。舉例而言，輸入端及輸出端較佳地設在胞的訊號線上。

如上所述，輸入端及輸出端的位置固定之眾多胞配置在第一方向上，電連接至每一胞的輸入端或輸出端的眾多佈線堆疊在眾多胞上，以及，眾多佈線在與胞配置的第一方向相同的方向上延伸，因而將驅動電路微小化。此外，包含驅動電路的半導體裝置微小化。

注意，揭示的發明之實施例的半導體裝置的電路佈線等等不限於上述，可以根據實施例而適當改變，只要半導體裝置能夠操作即可。

本實施例中所述的結構、方法、等等可以與其它實施

例中所述的任何結構、方法、等等適當地結合。

(實施例2)

在本實施例中，將參考圖式，說明可應用至實施例1中所述的半導體裝置之記憶胞的實施例。

圖3A至3C顯示半導體裝置的結構實施例。圖3A顯示半導體裝置的剖面，圖3B顯示半導體裝置的平面視圖。此處，圖3A顯示延著圖3B中的線A1-A2及B1-B2取得的剖面。此外，圖3C顯示使用半導體裝置作為記憶元件的電路圖實施例。圖3A及3B中所示的半導體裝置在下部中包含包括第一半導體材料的電晶體160、及在上部中包含包括第二半導體材料的電晶體162。在本實施例中，第一半導體材料是氧化物半導體以外的半導體材料，第二半導體材料是氧化物半導體。關於氧化物半導體以外的半導體材料，舉例而言，可以使用矽、鍺、矽鍺、碳化矽、砷化鎵、等等，較佳地使用單晶半導體。包含此半導體材料的電晶體能夠容易地高速操作。另一方面，包含氧化物半導體的電晶體歸因於其特徵而能夠長時間地固持電荷。

注意，在電晶體162中，較佳的是藉由充份地移除例如氫等雜質或充份地供應氧而將氧化物半導體層144高度純化。具體而言，氧化物半導體144中的氫濃度是 5×10^{19} 原子/cm³或更低，較佳地為 5×10^{18} 原子/cm³或更低、更較佳地為 5×10^{17} 原子/cm³或更低。注意，以二次離子質譜儀(SIMS)測量氧化物半導體層144中的氫濃度。藉由充

份地移除氧化物半導體層 144 中的氫濃度或供應足夠數量的氧而降低氧化物半導體層 144 中導因於氧不足的能隙中的缺陷能階，而將氧化物半導體層 144 高度純化，在此高度純化的氧化物半導體層 144 中，載子濃度小於 $1 \times 10^{12} / \text{cm}^3$ ，較佳地小於 $1 \times 10^{11} / \text{cm}^3$ ，又較佳地小於 $1.45 \times 10^{10} / \text{cm}^3$ 。舉例而言，室溫下（ 25°C ）關閉狀態電流（此處，每微米（ μm ）的通道長度之電流）低於或等於 100 zA （ 1 zA （介安培（zeptoampere）是 $1 \times 10^{-21} \text{ A}$ ））、較佳地低於或等於 10 zA 。依此方式，藉由使用製成 i 型的（本質的）或實質上 i 型的氧化物半導體，取得具有相當有利的關閉狀態電流特徵之電晶體 162。

此外，例如鹼金屬及鹼土金屬等雜質被降低的氧化物半導體層 144 是較佳的。舉例而言，氧化物半導體層 144 中的鈉濃度為 $5 \times 10^{16} \text{ cm}^{-3}$ 或更低、較佳地為 $1 \times 10^{16} \text{ cm}^{-3}$ 或更低、更佳地為 $1 \times 10^{15} \text{ cm}^{-3}$ 或更低。氧化物半導體層 144 中的鋰濃度為 $5 \times 10^{15} \text{ cm}^{-3}$ 或更低、較佳地為 $1 \times 10^{15} \text{ cm}^{-3}$ 或更低，以及，氧化物半導體層 144 中的鉀濃度為 $5 \times 10^{15} \text{ cm}^{-3}$ 或更低、較佳地為 $1 \times 10^{15} \text{ cm}^{-3}$ 或更低。注意，以二次離子質譜儀（SIMS）測量上述氧化物半導體層 144 中的鈉濃度、鋰濃度、及鉀濃度。

已有文獻指出氧化物半導體對於雜質不敏感，當可觀數量的金屬雜質含於膜中時不會有問題，因此，也可以使用含有例如鈉等大量鹼金屬且不昂貴的鈉鈣玻璃（Kamiya, Nomura, 及 Hosono 等所著的「Carrier Transport

Properties and Electronic Structures of Amorphous Oxide Semiconductors: The present status」, KOTAI BUTSURI (SOLID STATE PHYSICS) , 2009, Vol. 44, pp. 621-633)

。但是此考量並不適當。鹼金屬不是包含於氧化物半導體中的元素，因此是雜質。而且，在鹼土金屬不是包含於氧化物半導體中之情形中，鹼土金屬也是雜質。當接觸氧化物半導體膜的絕緣膜是氧化物時，鹼金屬，特別是Na擴散至絕緣層並變成 Na^+ 。此外，在氧化物半導體膜中，Na進入或切斷包含於氧化物半導體中的金屬與氧之間的鍵。結果，舉例而言，發生例如導因於臨界電壓在負方向上偏移之電晶體常開狀態、或遷移率降低等電晶體特徵劣化。此外，也發生特徵變異。當氧化物半導體膜中的氫濃度很低時，此導因於雜質之特徵變異及電晶體特徵劣化出現。因此，當氧化物半導體膜中的氫濃度為 $5 \times 10^{19} \text{ cm}^{-3}$ 或更低時，特別地， $5 \times 10^{18} \text{ cm}^{-3}$ 或更低時，鹼金屬濃度較佳地降低。

此外，氧化物半導體較佳的是費米能階 (E_f) 及本質費米能階 (E_i) 相等 ($E_f = E_i$) 或是本質費米能階 (E_i) 高於費米能階 (E_f) ($E_f < E_i$)，亦即，所謂的p-型半導體。舉例而言，錫添加至氧化物半導體作為摻雜劑，因而取得p-型氧化物半導體。注意，當氧化物半導體是i型的（本質的）或實質上i型時，藉由添加雜質，更容易控制費米能階 (E_f)，這是較佳的。此外，關於閘極電極，較佳地使用具有高功函數 (ϕ_M) 的材料。藉由上述結構，電晶體

是常關的且逆向偏壓施加至電晶體是有效的。因此，舉例而言，取得具有 85°C 下小於或等於 1 yA 及室溫下小於或等於 0.1 yA 的小關閉狀態電流之電晶體；藉由使用電晶體作為記憶元件，取得具有增進的資料固持特徵（記憶固持）之半導體裝置。

圖3A至3C中的電晶體160包含設於包括半導體材料（例如矽）的基底300中的通道形成區116、設置成將通道形成區116夾於其間的複數雜質區120、接觸雜質區120的金屬化合物區124、設於通道形成區116上的閘極絕緣層108、及設於閘極絕緣層108上的閘極電極110。

關於包含半導體材料的基底300，可以使用矽、碳化矽等等的單晶半導體基底或多晶半導體基底；矽鍺等等的化合物半導體基底；SOI基底；等等。注意，雖然「SOI基底」一詞通常意指矽半導體層設於絕緣表面上的基底，但是，在本說明書等中，「SOI」基底也包含矽以外的材料的半導體層設於絕緣表面上的基底。亦即，包含於「SOI」基底中的半導體層不限於矽半導體層。此外，SOI基底可以具有半導體層設於例如玻璃基底等絕緣基底並以絕緣層設於其間的結構。

電極126連接至電晶體160的金屬化合物區124的一部份。此處，電極126作為電晶體160的源極電極或汲極電極。此外，元件隔離絕緣層106設於基底300上以致於圍繞電晶體160，以及，絕緣層128設置成遮蓋電晶體160。注意，較佳的是如圖3A至3C所示，電晶體160未具有側壁絕緣

層以實現高度集成。另一方面，當重點在於電晶體 160 的特徵時，側壁絕緣層可以設於閘極電極 110 的側表面上，以及，雜質區 120 可以包含具有不同雜質濃度的區域。

電晶體 160 可以由已知的技術形成。關於氧化物半導體以外的半導體材料，舉例而言，使用矽、銻、矽銻、碳化矽、砷化銻、等等，因而電晶體 160 能夠高速操作。因此，當使用電晶體作為讀取電晶體時，可以高速地讀取資料。此外，經由與電晶體 160 相同的製程，可以製造設於驅動電路的胞中的電晶體。

在形成電晶體 160 之後，絕緣層 128 接受 CMP 處理以致於閘極電極 110 的上表面曝露，以作為形成電晶體 162 和電容器 164 之前的處理。關於使閘極電極 110 的上表面曝露的處理，也可以使用蝕刻處理等等以取代 CMP 處理，但是，為了增進電晶體 162 的特徵，使絕緣層 128 的表面儘可能地平坦。

接著，在絕緣層 128 上形成氧化物半導體層，以及，選擇性地蝕刻氧化物半導體層以形成氧化物半導體層 144。關於用於氧化物半導體層的材料，可以使用例如 In-Sn-Ga-Zn-O 為基礎的材料等四元素金屬氧化物材料；例如 In-Ga-Zn-O 為基礎的材料、In-Sn-Zn-O 為基礎的材料、In-Al-Zn-O 為基礎的材料、Sn-Ga-Zn-O 為基礎的材料、Al-Ga-Zn-O 為基礎的材料、或 Sn-Al-Zn-O 為基礎的材料等三元素金屬氧化物材料；例如 In-Zn-O 為基礎的材料、Sn-Zn-O 為基礎的材料、Al-Zn-O 為基礎的材料、Zn-Mg-O 為基礎的材

料、Sn-Mg-O為基礎的材料、In-Mg-O為基礎的材料、或In-Ga-O為基礎的材料等二元素金屬氧化物材料；In-O為基礎的材料、Sn-O為基礎的材料、Zn-O為基礎的材料；等等。此外，上述材料可以含有SiO₂。此處，舉例而言，In-Ga-Zn-O為基礎的材料意指含銦（In）、鎵（Ga）、及鋅（Zn）之氧化物，且對於成分比例並無特別限定。此外，In-Ga-Zn-O為基礎的氧化物半導體材料含有In、Ga、及Zn以外的元素。

使用包含化學式InMO₃(ZnO)_m(m>0)表示的材料之薄膜作為氧化物半導體層。此處，M代表選自Ga、Al、Mn、及Co之一或更多金屬元素。例如，M可以是Ga，Ga和Al，Ga和Mn，Ga和Co或類似者。

在使用In-Zn-O為基礎的材料作為氧化物半導體的情形中，用於其的靶具有In：Zn=50:1至1:2原子比的成分（In₂O₃：ZnO=25:1至1:4莫耳比），較佳地具有In：Zn=20:1至1:1原子比的成分（In₂O₃：ZnO=10:1至1:2莫耳比），更佳地具有In：Zn=15:1至1.5:1原子比的成分（In₂O₃：ZnO=15:2至3:4莫耳比）。舉例而言，在用於形成具有In：Zn：O=X:Y:Z的原子比之In-Zn-O為基礎的氧化物半導體的靶中，滿足Z>1.5X+Y的關係。

氧化物半導體層的厚度較佳的是大於或等於3 nm且小於或等於30 nm。這是因為當氧化物半導體層太厚時（例如，當厚度大於或等於50 nm時），電晶體可能是常開的。

以使例如氫、水、羥基、或氫化物等雜質不容易進入氧化物半導體層之方法，較佳地形成氧化物半導體層。舉例而言，使用濺射方法。

之後，對氧化物半導體層較佳地執行熱處理（第一熱處理）。藉由第一熱處理，移除氧化物半導體層中過量的氫（包含水及羥基）。舉例而言，第一熱處理的溫度高於或等於 300°C 且小於 550°C ，較佳地高於或等於 400°C 且小於或等於 500°C 。

以下述方式執行第一熱處理：舉例而言，將要加熱的物體導入使用電阻加熱元件等的電熱爐中並在氮氛圍中以 450°C 加熱一小時。在熱處理期間，氧化物半導體層未曝露至空氣中，以致於可以防止水或氫進入。

接著，在曝露的閘極電極110、絕緣層128、氧化物半導體層144、等等之上形成導體層，並將導體層選擇性地蝕刻，以致於形成源極電極142a和汲極電極142b。

以例如濺射法等PVD法、或例如電漿CVD法等CVD法，形成導體層。此外，關於導體層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬、和鎢之元素、包含上述元素作為其成分的合金、或類似者。可以使用錳、鎂、鋯、鈹、釹、及釷中的任何元素、或是包含任何這些元素的組合之材料。

導體層可以具有單層結構或包含二或更多層的疊層結構。舉例而言，導體層具有鈦膜或氮化鈦膜的單層結構、含矽的鋁膜之單層結構、鈦膜堆疊於鋁膜上之雙層結構、

鈦膜堆疊於氮化鈦膜上之雙層結構、或鈦膜、鋁膜、及鈦膜依序堆疊的三層結構。注意，在導體層具有鈦膜或氮化鈦膜的單層結構之情形中，具有導體層容易處理成具有推拔狀的源極電極 142a 和汲極電極 142b 之優點。

上電晶體 162 的通道長度 (L) 由源極電極 142a 的下邊緣部份與汲極電極 142b 的下邊緣部份之間的距離決定。注意，形成通道長度 (L) 短於 25 nm 的电晶體之情形中所使用的掩罩的形成曝光中，較佳的是使用波長短至數奈米至數十奈米的極度紫外光。

然後，形成遮蓋源極電極 142a 和汲極電極 142b 且接觸氧化物半導體層 144 之閘極絕緣層 146。

接著，在閘極絕緣層 146 上，在與氧化物半導體層 144 重疊的區域中形成閘極電極 148a，以及，在與源極電極 142a 重疊的區域中形成電極 148b。

在形成閘極絕緣層 146 之後，在惰性氣體氛圍或氧氛圍中，較佳地執行第二熱處理。熱處理的溫度高於或等於 200℃ 且低於或等於 450℃，較佳地高於或等於 250℃ 且低於或等於 350℃。舉例而言，在氮氛圍中，以 250℃ 執行熱處理一小時。藉由執行第二熱處理，可以降低電晶體的電特徵變異。此外，當閘極絕緣層 146 含有氧且於受加熱時接觸氧化物半導體層 144 時，因而閘極絕緣層 146 供應氧化物半導體的主要成分之一且可能經由上述脫水（脫氫）處理而降低的氧至氧化物半導體層 144，以填充氧化物半導體層 144 中的氧空乏；因而形成 i 型（本質的）或實質上 i 型

的氧化物半導體層。

注意，第二熱處理的時機未特別限定於此。舉例而言，可以在形成閘極電極之後執行第二熱處理。

如上所述般，執行第一熱處理及第二熱處理，以致於氧化物半導體層144被純化至含有儘可能少的非主成份之雜質。

以導體層形成在閘極絕緣層146上、然後被選擇性地蝕刻之方式，形成閘極電極148a和電極148b。

接著，在閘極絕緣層146、閘極電極148a、和電極148b上，形成絕緣層151和絕緣層152。以濺射法、CVD法、等等，形成絕緣層151和絕緣層152。絕緣層151和絕緣層152由包含例如氧化矽、氧氮化矽、氮化矽、氧化鉛、或氧化鋁等無機絕緣材料形成。

接著，在閘極絕緣層146、絕緣層151、及絕緣層152中，形成抵達汲極電極142b的開口。使用掩罩等，藉由選擇性蝕刻，形成開口。

之後，在開口中形成電極154，以及，在絕緣層152上形成接觸電極154的佈線156。

舉例而言，以下述方式形成電極154：在包含開口的區域中，以PVD法、CVD法、等等，形成導體層，然後，藉由蝕刻處理、CMP、等等，移除部份導體層。

以例如濺射法為代表的PVD法、或例如電漿CVD法等CVD法形成導體層、然後將導體層圖型化，以此方式形成佈線156。此外，關於導體層的材料，可以使用選自鋁、

銻、銅、鋁、鈦、鉬、和鎢之元素、包含任何上述元素作為其成分的合金、或類似者。可以使用錳、鎂、鋅、鈹、釹、及釷中的任何元素、或是包含任何這些元素的組合之材料。細節類似於源極或汲極電極等的細節。

經由上述製程，完成包含高度純化的氧化物半導體層 144 的電晶體 162 和電容器 164。電容器 164 包含源極電極 142a、氧化物半導體層 144、閘極絕緣層 146、以及電極 148b。

圖 3C 顯示使用半導體裝置作為記憶元件的電路圖實施例。在圖 3C 中，電晶體 162 的源極電極和汲極電極之一、電容器 164 的一電極、以及電晶體 160 的閘極電極彼此電連接。第一佈線（第一線，也稱為源極線）電連接至電晶體 160 的源極電極。第二佈線（第二線，也稱為位元線）電連接至電晶體 160 的汲極電極。第三佈線（第三線，也稱為第一訊號線）電連接至電晶體 162 的源極電極和汲極電極中之另一者。第四佈線（第四線，也稱為第二訊號線）電連接至電晶體 162 的閘極電極。第五佈線（第五線，也稱為字線）電連接至電晶體 164 的另一電極。

包含氧化物半導體的電晶體 162 具有相當低的關閉狀態電流；因此，當電晶體 162 處於關閉狀態時，電晶體 162 的源極和汲極電極中之一的節點電位（下文稱節點 FG）、電容器 164 之一電極、以及電晶體 160 的閘極電極彼此電連接之節點的電位可以保持相當長的時間。電容器 164 便於保持給予節點 FG 的電荷以及讀取被固持的資料。

當資料儲存於半導體裝置中時（在資料寫入時），首先，第四佈線的電位設定於使電晶體 162 開啓的電位，因而開啓電晶體 162。如此，第三佈線的電位施加至節點 FG 以及預定數量的電荷累積於節點 FG 中。此處，用於施加二不同的電位位準中之任一位準的電荷（（於下稱為低位準電荷及高位準電荷）施加至節點 FG。之後，第四佈線的電位設定於使電晶體 162 關閉的電位，因而關閉電晶體 162。這使得節點 FG 浮動以及將預定數量的電荷固持於節點 FG 中。預定數量的電荷如此累積及固持於節點 FG 中，因而記憶胞可以儲存資料。

由於電晶體 162 的關閉狀態電流相當小，所以，累積於節點 FG 中的電荷被長時間地固持。這可以不需更新操作或大幅地降低更新操作的頻率，導致耗電充份降低。此外，即使未被供電時，仍然可以長時間地儲存所儲存的資料。

當儲存的資料被讀出（在讀取資料）時，在預定的電位（固定電位）施加至第一佈線時，適當的電位（讀出電位）施加至第五佈線，因而電晶體 160 視被固持在節點 FG 的電荷量而改變其狀態。這是因為一般而言當電晶體 160 是 n 通道電晶體時，在高位準電荷被固持於節點 FG 中的情形中電晶體 160 的視在臨界值 V_{th_H} 低於低位準電荷被固持於節點 FG 中的情形中電晶體 160 的視在臨界值 V_{th_L} 。此處，視在臨界電壓意指第五佈線的電位，此為開啓電晶體 160 所需的電位。因此，藉由將第五佈線的電位設定在

V_{th_H} 與 V_{th_L} 之間的電位 V_0 ，可以決定固持在節點FG中的電荷。舉例而言，在寫入時施予高位準電荷的情形中，當第五佈線的電位設定於 $V_0 (>V_{th_H})$ 時，電晶體160開啓。在寫入時施予低位準電荷的情形中，即使當第五佈線的電位設定於 $V_0 (<V_{th_L})$ 時，電晶體160維持在關閉狀態。依此方式，藉由控制第五佈線的電位及決定電晶體160處於開啓狀態或關閉狀態（讀出第二佈線的電位），讀出儲存的資料。

此外，爲了改寫儲存的資料，新電位施加至正固持上述寫入時被施予預定數量的電荷之節點FG，以致於新資料的電荷固持在節點FG中。具體而言，第四佈線的電位設定在使電晶體162開啓的電位，因而開啓電晶體162。如此，第三佈線的電位（新資料的電位）施加至節點FG，以及，預定數量的電荷累積於節點FG中。之後，第四佈線的電位設定在使電晶體162關閉的電位，因而關閉電晶體162。如此，新資料的電荷固持在節點FG。換言之，當在第一寫入時被寫施予的預定數量的電荷固持在節點FG時，執行與第一寫入相同的操作（第二寫入），因而可以覆寫儲存的資料。

藉由使用被高度純化且是本質的氧化物半導體層144，可以充份地降低本實施例中所述的電晶體162的關閉狀態電流。藉由使用此電晶體，取得能夠長時間地儲存所儲存的資料之半導體裝置。

在本實施例中所述的半導體裝置中，電晶體160及電

晶體 162 彼此重疊；因此，可以實現集成度充份地增進的半導體裝置。藉由結合實施例 1 中所述的驅動電路的結構，半導體裝置可以進一步微小化。

本實施例中所述的結構、方法、等等可以與其它實施例中所述的任何結構、方法、等等適當地結合。

（實施例 3）

在本實施例中，參考圖 4A 至 4F，說明任何上述實施例中所述的半導體裝置應用至電子裝置。在本實施例中，說明半導體裝置應用至例如電腦、蜂巢式電話手機（也稱為蜂巢式電話或蜂巢式電話裝置）、個人數位助理（包含可攜式遊戲機、音頻再生裝置、等等）、例如數位相機或數位攝影機等像機、電子紙、以及電視機（也稱為電視或電視接收器）等電子裝置。

圖 4A 是膝上型個人電腦，其包含機殼 701、機殼 702、顯示部 703、鍵盤 704、等等。任何上述實施例中所述的半導體裝置設置在機殼 701 及機殼 702 中至少之一。如此，實現能夠高速寫入及讀取資料、長時間地固持資料、及充份降低耗電之膝上型個人電腦。

圖 4B 是個人數位助理（PDA）。主體 711 設有顯示部 713、外部介面 715、操作鍵 714、等等。此外，提供尖筆 712 等等以用於個人數位助理的操作。在主體 711 中，設置任何上述實施例中所述的半導體裝置。如此，實現能夠高速寫入及讀取資料、長時間地固持資料、及充份降低耗電

之個人數位助理。

圖 4C 是設有電子紙的電子書讀取器 720。電子書讀取器 720 具有二機殼 721 和 723。機殼 721 和機殼 723 分別包含顯示部 725 及顯示部 727。機殼 721 和機殼 723 藉由軸部 737 而彼此連接且以軸部 737 為軸開啓及關閉。機殼 721 設有電源開關 731、操作鍵 733、揚音器 735、等等。機殼 721 和機殼 723 中至少之一設有任何上述實施例中所述的半導體裝置。如此，實現能夠高速寫入及讀取資料、長時間地固持資料、及充份降低耗電之電子書讀取器。

圖 4D 是蜂巢式電話手機，其包含二機殼 740 及 741。此外，如圖 4D 中所示展開之機殼 740 和機殼 741 可以藉由滑動而彼此重疊；因此，可以縮小蜂巢式電話手機的尺寸，使得蜂巢式電話手機適於攜帶。機殼 741 包含顯示面板 742、揚音器 743、麥克風 744、操作鍵 745、指標裝置 746、相機鏡頭 747、外部連接端子 748、等等。機殼 740 包含用於儲存蜂巢式電話手機中的電力的太陽能電池 749、外部記憶體槽 750、等等。此外，天線併入機殼 741 中。機殼 740 和機殼 741 中至少之一設有任何上述實施例中所述的半導體裝置。如此，實現能夠高速寫入及讀取資料、長時間地固持資料、及充份降低耗電之蜂巢式電話手機。

圖 4E 是數位相機，其包含主體 761、顯示部 767、目鏡 763、操作開關 764、顯示部 765、電池 766、等等。在主體 761 中，設有任何上述實施例中所述的半導體裝置。如此，實現能夠高速寫入及讀取資料、長時間地固持資料、及

充份降低耗電之數位相機。

圖 4F 是電視機 770，其包含機殼 771、顯示部 773、支架 775、等等。以機殼 771 的操作開關或遙控器 780，操作電視機 770。任何上述實施例中所述的半導體裝置安裝於機殼 771 及遙控器 780 上。如此，實現能夠高速寫入及讀取資料、長時間地固持資料、及充份降低耗電之電視機。

如上所述，本實施例中所述的電子裝置均包含根據任何上述實施例的半導體裝置。因此，能夠實現低耗電的電子裝置。

本申請案根據 2010 年 9 月 13 日向日本專利局申請之日本專利申請序號 2010-204408，其整體內容於此一併列入參考。

【圖式簡單說明】

圖 1 是半導體裝置的概要圖；

圖 2 是半導體裝置的概要圖；

圖 3A 至 3C 是剖面視圖、平面視圖、及電路圖顯示半導體裝置實施例。

圖 4A 至 4F 是電子裝置實施例。

【主要元件符號說明】

100：驅動電路

102：胞

106：元件隔離絕緣層

108：閘極絕緣層
 110：閘極電極
 116：通道形成區
 120：雜質區
 124：金屬化合物區
 126：電極
 128：絕緣層
 142a：源極電極
 142b：汲極電極
 144：氧化物半導體層
 146：閘極絕緣層
 148a：閘極電極
 148b：電極
 151：絕緣層
 152：絕緣層
 154：電極
 156：佈線
 160：電晶體
 162：電晶體
 164：電容器
 200：記憶胞陣列
 250：半導體裝置
 300：基底
 701：機殼

702：機殼
703：顯示部
704：鍵盤
711：主體
712：尖筆
713：顯示部
714：操作鍵
715：外部介面
720：電子書讀取器
721：機殼
723：機殼
725：顯示部
727：顯示部
731：電源開關
735：揚音器
737：軸部
740：機殼
741：機殼
742：顯示面板
743：揚音器
744：麥克風
745：操作鍵
746：指標裝置
747：相機鏡頭

748：外部連接端子

749：太陽能電池

750：外部記憶體槽

761：主體

763：目鏡

764：操作開關

765：顯示部

766：電池

767：顯示部

770：電視機

771：機殼

773：顯示部

775：支架

780：遙控器

1111：第一驅動電路部

1112：第二驅動電路部

1113：第三驅動電路部

1114：第四驅動電路部

七、申請專利範圍：

1. 一種半導體裝置，包含：驅動電路，該驅動電路包括：

配置在第一方向的 n 個胞，該 n 個胞中的每一胞均具有輸入端及輸出端， n 是大於或等於 2 的整數；

n 條輸入訊號線，每一該輸入訊號線對應於該 n 個胞中之一及連接至該對應胞的輸入端；以及

n 條輸出訊號線，每一該輸出訊號線對應於該 n 個胞中之一及連接至該對應胞的輸出端，

其中，該 n 條輸入訊號線及該 n 條輸出訊號線在該第一方向上延伸，以及

其中，設於該 n 個胞中之一上的該輸入訊號線及該輸出訊號線的總數是 $(n-1)$ 。

2. 一種半導體裝置，包含：驅動電路，該驅動電路包括：

配置在第一方向的 n 個胞，該 n 個胞中的每一胞均具有輸入端及輸出端， n 是大於或等於 2 的整數；

n 條輸入訊號線，每一該輸入訊號線對應於該 n 個胞中之一及連接至該對應胞的輸入端；以及

n 條輸出訊號線，每一該輸出訊號線對應於該 n 個胞中之一及連接至該對應胞的輸出端，

其中，該 n 條輸入訊號線及該 n 條輸出訊號線在該第一方向上延伸，

其中，第一輸入訊號線以外的該 $(n-1)$ 條輸入訊號

線中的每一輸入訊號線包含至少一彎曲區，

其中，第 n 輸出訊號線以外的該 $(n-1)$ 條輸出訊號線中的每一輸出訊號線包含至少一彎曲區，以及

其中，設於該 n 個胞中之一上的該輸入訊號線及該輸出訊號線的總數是 $(n-1)$ 。

3. 一種半導體裝置，包含：

記憶胞陣列，包括眾多記憶胞；以及

驅動電路，配置在該記憶胞陣列的周圍，

其中，該驅動電路包括：

配置在第一方向的 n 個胞，該 n 個胞中的每一胞均具有輸入端及輸出端， n 是大於或等於 2 的整數；

n 條輸入訊號線，每一該輸入訊號線對應於該 n 個胞中之一及連接至該對應胞的輸入端；以及

n 條輸出訊號線，每一該輸出訊號線對應於該 n 個胞中之一及連接至該對應胞的輸出端；

其中，該 n 條輸入訊號線及該 n 條輸出訊號線在該第一方向上延伸，

其中，設於該 n 個胞中之一上的該輸入訊號線及該輸出訊號線的總數是 $(n-1)$ ，以及

其中，包含於該記憶胞陣列中的輸入端及該 n 條輸出訊號線彼此電連接。

4. 一種半導體裝置，包含：

記憶胞陣列，包括眾多記憶胞；以及

驅動電路，配置在該記憶胞陣列的周圍，

其中，該驅動電路包括：

配置在第一方向的 n 個胞，該 n 個胞中的每一胞均具有輸入端及輸出端， n 是大於或等於 2 的整數；

n 條輸入訊號線，每一該輸入訊號線對應於該 n 個胞中之一及連接至該對應胞的輸入端；以及

n 條輸出訊號線，每一該輸出訊號線對應於該 n 個胞中之一及連接至該對應胞的輸出端；

其中，該 n 條輸入訊號線及該 n 條輸出訊號線在該第一方向上延伸，

其中，第一輸入訊號線以外的該 $(n-1)$ 條輸入訊號線中的每一輸入訊號線包含至少一彎曲區，

其中，第 n 輸出訊號線以外的該 $(n-1)$ 條輸出訊號線中的每一輸出訊號線包含至少一彎曲區，

其中，設於該 n 個胞中之一上的該輸入訊號線及該輸出訊號線的總數是 $(n-1)$ ，以及

其中，包含於該記憶胞陣列中的輸入端及該 n 條輸出訊號線彼此電連接。

5. 如申請專利範圍第 1 至 4 項中之任一項之半導體裝置，其中，在該 n 個胞中之一中，連接該輸入端及該輸出端的直線、與設於該 n 個胞中的每一胞上的該輸入訊號線或該輸出訊號線之交叉總數為 $(n-1)$ 。

6. 如申請專利範圍第 1 至 4 項中之任一項之半導體裝置，其中，該 n 條輸入訊號線及該 n 條輸出訊號線設於絕緣層上，該絕緣層設於該 n 個胞、與該 n 條輸入訊號線

及該 n 條輸出訊號線之間。

7. 如申請專利範圍第 1 至 4 項中之任一項之半導體裝置，其中，該 n 條輸入訊號線及該 n 條輸出訊號線未彼此交會。

8. 如申請專利範圍第 3 或 4 項之半導體裝置，其中，該第一方向是該記憶胞陣列的列方向。

9. 如申請專利範圍第 3 或 4 項之半導體裝置，其中，該第一方向是該記憶胞陣列的行方向。

10. 如申請專利範圍第 3 或 4 項之半導體裝置，其中，該眾多記憶胞中的每一記憶胞均包含第一電晶體、第二電晶體、及電容器。

11 如申請專利範圍第 3 或 4 項之半導體裝置，其中，該眾多記憶胞中的每一記憶胞均包含第一電晶體、第二電晶體、及電容器，並且

其中，該第一電晶體包括氧化物半導體。

八、圖式：

圖 1

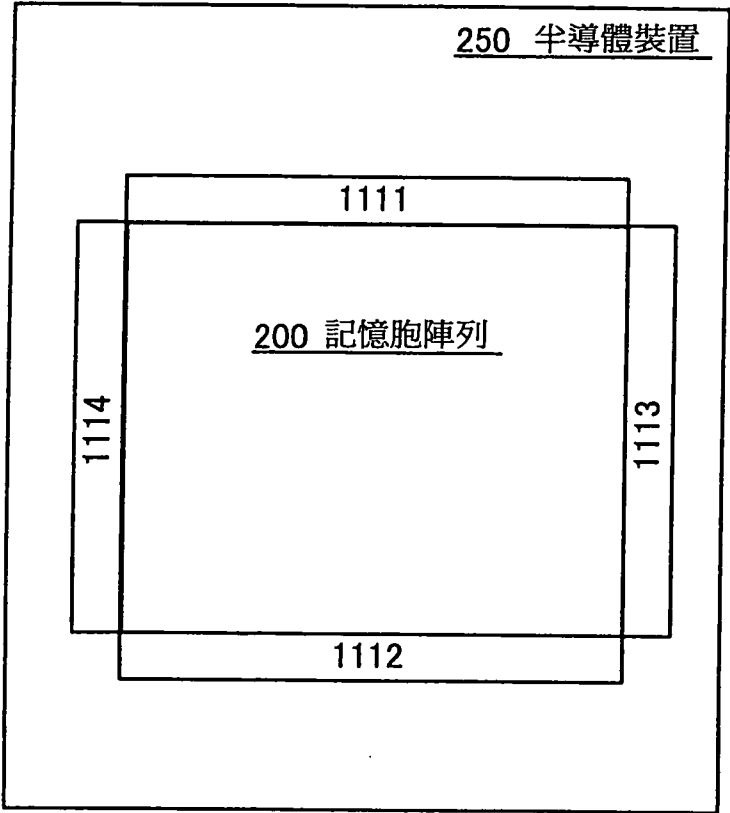


圖2

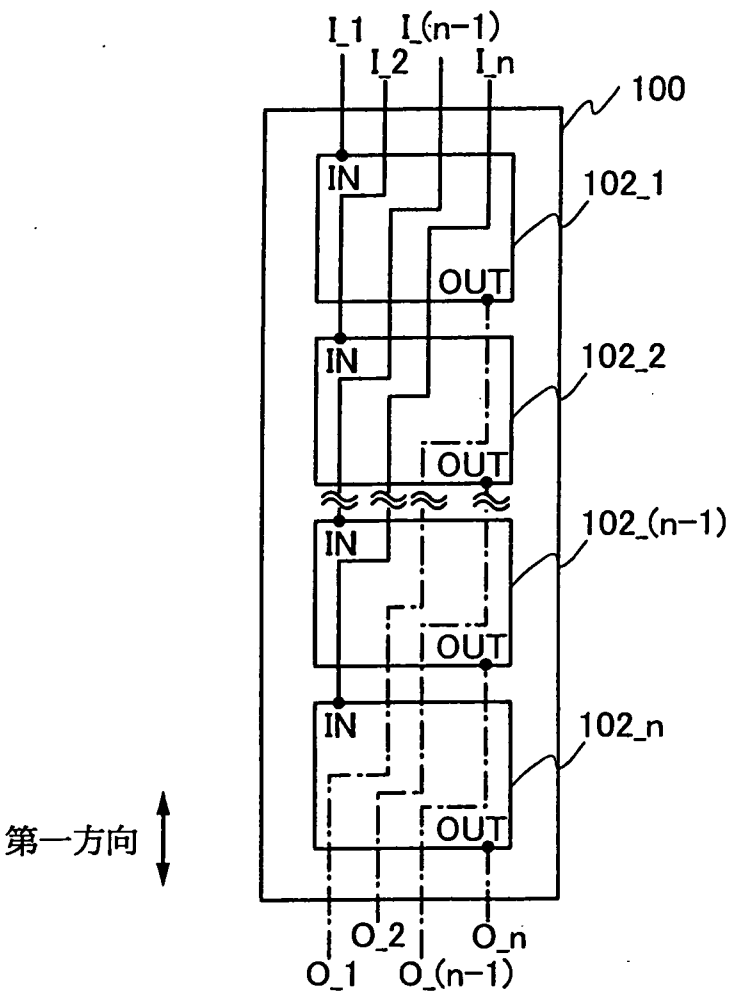


圖 3A

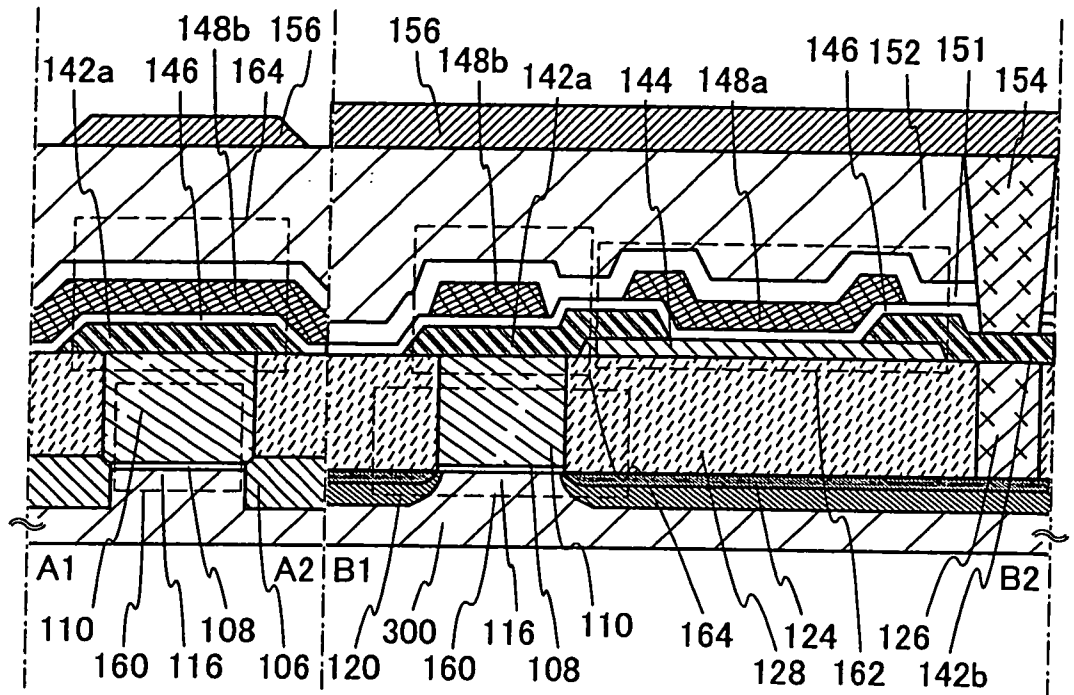


圖 3B

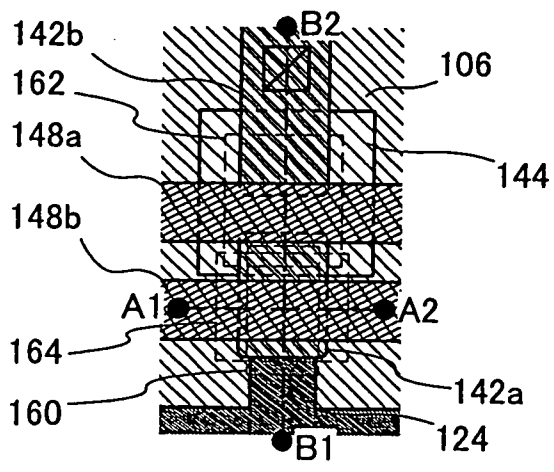


圖 3C

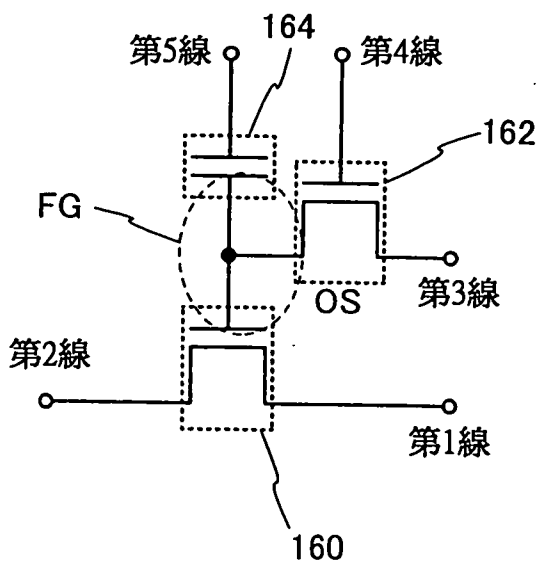


圖 4A

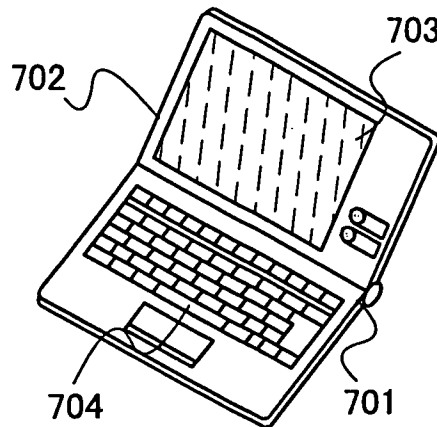


圖 4D

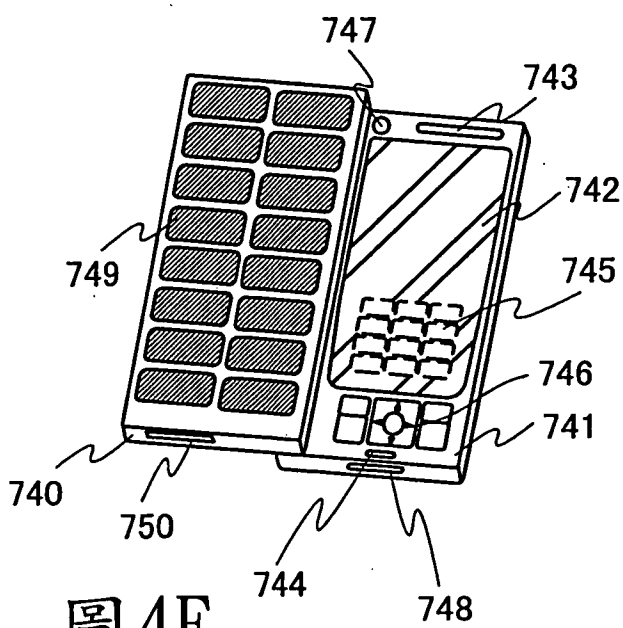


圖 4B

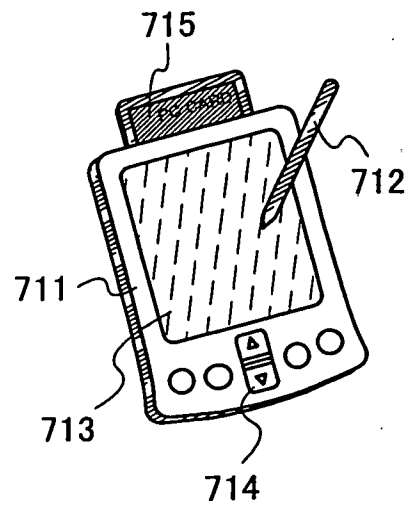


圖 4E

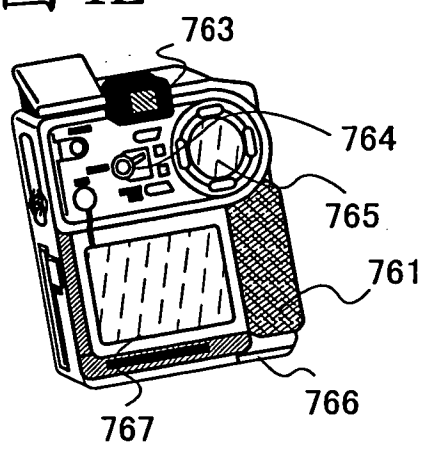


圖 4C

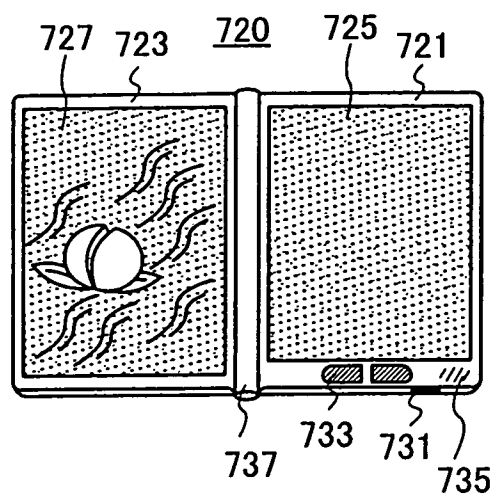


圖 4F

