

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 葛瑞特 詹 漢明克
HEMINK, GERRIT JAN

2. 龜井 輝彦
KAMEI, TERUHIKO

國 籍：(中文/英文)

1. 荷蘭 THE NETHERLANDS

2. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年03月31日；60/667,043

2. 美國；2005年12月06日；11/296,055

3. 美國；2005年12月06日；11/296,028

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

優先權主張

本專利申請案主張於2005年3月31日 Hemink等人提出之美國臨時專利申請案第60/667,043號標題為「NON-VOLATILE MEMORY ERASE OPERATIONS WITH OVER-ERASE PROTECTION」之優先權，該申請案以引用方式整份併入本文。

相關申請案交互參考

本專利申請與下列申請案參考交互參照，並且均以引用方式整份併入本文：

Hemink等人同時提出之美國專利申請案第XX/XXX,XXX號(代理人檔案號碼第SAND-01066US1號)標題為「SYSTEMS FOR ERASING NON-VOLATILE MEMORY USING INDIVIDUAL VERIFICATION AND ADDITIONAL ERASING OF SUBSETS OF MEMORY CELLS」；

Hemink等人同時提出之美國專利申請案第XX/XXX,XXX號(代理人檔案號碼第SAND-01066US2號)標題為「SOFT PROGRAMMING NON-VOLATILE MEMORY UTILIZING INDIVIDUAL VERIFICATION AND ADDITIONAL SOFT PROGRAMMING OF SUBSETS OF MEMORY CELLS」；

Hemink等人同時提出之美國專利申請案第XX/XXX,XXX號(代理人檔案號碼第SAND-01066US3號)標題為「SYSTEMS FOR SOFT PROGRAMMING

NON-VOLATILE MEMORY UTILIZING INDIVIDUAL VERIFICATION AND ADDITIONAL SOFT PROGRAMMING OF SUBSETS OF MEMORY CELLS」；

Masaaki Higashitani 同時提出之美國專利申請案第 XX/XXX,XXX 號(代理人檔案號碼第 SAND-01054US0 號)標題為「ERASING NON-VOLATILE MEMORY UTILIZING CHANGING WORD LINE CONDITIONS TO COMPENSATE FOR SLOWER ERASING MEMORY CELLS」；以及

Masaaki Higashitani 同時提出之美國專利申請案第 XX/XXX,XXX 號(代理人檔案號碼第 SAND-01054US2 號)標題為「SYSTEMS FOR ERASING NON-VOLATILE MEMORY UTILIZING CHANGING WORD LINE CONDITIONS TO COMPENSATE FOR SLOWER ERASING MEMORY CELLS」。

【發明所屬之技術領域】

本發明係關於用於擦除非揮發性記憶體裝置之半導體技術。

【先前技術】

半導體記憶體裝置已變成愈來愈普遍運用在各種電子裝置中。舉例而言，行動電話、數位攝影機、個人數位助理、行動運算裝置、非行動運算裝置及其他裝置中皆使用非揮發性半導體記憶體。電氣可擦除式可程式規劃唯讀記憶體(Electrical Erasable Programmable Read Only Memory；EEPROM)(包括快閃EEPROM)及電氣可程式規劃唯讀記憶

體 (Electronically Programmable Read Only Memory ; EPROM)係最普遍的非揮發性半導體記憶體。

一快閃記憶體系統之一項實例使用NAND結構，其包括夾在兩個選擇閘極之間串聯排列的多個電晶體。串聯的該等電晶體與該等選擇閘極被稱為一NAND串。圖1繪示一NAND串的俯視圖。圖2繪示其同等電路。圖1及2所示之該NAND串包括夾在一第一選擇閘極120與一第二選擇閘極122之間串聯的四個電晶體100、102、104和106。選擇閘極120連接該NAND串至位元線126。選擇閘極122連接該NAND串至源極線128。藉由將適當電壓經由選擇線SGD施加至控制閘極120CG來控制選擇閘極120。藉由將適當電壓經由選擇線SGS施加至控制閘極122CG來控制選擇閘極122。電晶體100、102、104和106各包括一控制閘極及一浮動閘極，形成一記憶體單元的閘極元件。舉例而言，電晶體100具有控制閘極100CG及浮動閘極100FG。電晶體102包括控制閘極102CG及浮動閘極102FG。電晶體104包括控制閘極104CG及浮動閘極104FG。電晶體106包括控制閘極106CG及浮動閘極106FG。控制閘極100CG係連接至字線WL3，控制閘極102CG係連接至字線WL2，控制閘極104CG係連接至字線WL1及，控制閘極106CG係連接至字線WL0。

請注意，雖然圖1及2繪示出在該NAND串中有四個記憶體單元，但是使用四個記憶體單元僅係作為一項實例予以提供。一NAND串可具有少於四個記憶體單元或多於四個記憶體單元。舉例而言，一些NAND串將包括8個記憶體單元、

16個記憶體單元、32個記憶體單元等等。本文中之論述未限定一NAND串中的任何特定記憶體單元數量。

一種使用NAND結構之快閃記憶體系統的典型架構將包括數個NAND串。舉例而言，圖3繪示一具有更多NAND串之記憶體陣列的三個NAND串202、204和206。圖3所示之該等NAND串中的每一NAND串包括兩個選擇電晶體(或選擇閘極)及四個記憶體單元。舉例而言，NAND串202包括選擇電晶體220和230及記憶體單元222、224、226和228。NAND串204包括選擇電晶體240和250及記憶體單元242、244、246和248。每串係藉由一個選擇閘極(例如，選擇閘極230和選擇閘極250)而連接至源極線。一選擇線SGS係用於控制源極側選擇閘極。各種NAND串係藉由選擇閘極220、240(受控於選擇線SGD)等等而連接至各自位元線。在其他具體實施例中，該等選擇線未必需要成為共有線。字線WL3被連接至記憶體單元222及記憶體單元242的控制閘極。字線WL2被連接至記憶體單元224及記憶體單元244的控制閘極。字線WL1被連接至記憶體單元226及記憶體單元246的控制閘極。字線WL0被連接至記憶體單元228及記憶體單元248的控制閘極。如所示，一位元線及各自NAND串構成記憶單元陣列之一行。該等字線(WL1、WL2、WL3和WL4)構成陣列之列。每一字線連接該列中每一記憶體單元的控制閘極。舉例而言，字線WL2被連接至記憶體單元224、244及252的控制閘極。

每一記憶體單元可儲存資料(類比或數位)。當儲存一位

元之數位資料時，記憶體單元之可能的臨限電壓範圍被劃分成經指派為邏輯資料「1」及「0」的兩段範圍。在NAND型快閃記憶體之一項實例中，記憶體單元被擦除之後的臨限電壓為負且被定義為「1」。程式化操作之後的臨限電壓為正且被定義為「0」。當臨限電壓為負且嘗試施加0伏至控制閘極來進行讀取時，記憶體單元將開通以指示出正在儲存邏輯「1」。當臨限電壓為正且嘗試施加0伏至控制閘極來進行讀取操作時，記憶體單元未開啟，其指示出儲存邏輯「0」。記憶體單元亦可以儲存多級位資訊，舉例而言，多位元數位資料。假使儲存多級位資料，則按資料級位之數量來劃分可能的臨限電壓範圍。舉例而言，如果儲存四級位之資訊，則有四個臨限電壓範圍被指派為資料值「11」、「10」、「01」及「00」。在NAND型記憶體之一項實例中，擦除操作之後的臨限電壓為負且被定義為「11」。三個不同正臨限電壓係用於狀態「10」、「01」及「00」。

以下美國專利案/專利申請案中提供NAND型快閃記憶體及其運作的相關實例，所有該等案均以引用方式併入本文中：美國專利案第5,570,315號；美國專利案第5,774,397號；美國專利案第6,046,935號；美國專利案第6,456,528號及美國專利申請案第09/893,277 (公告第US2003/0002348號)。

當程式化一快閃記憶體單元時，一程式化電壓被施加至控制閘極(經由一所選字線)且位元線被接地。來自p井的電子被注入至浮動閘極。當電子累積於浮動閘極中時，浮動閘極變成荷載負電荷狀態，並且該記憶體單元的電壓上

升。該記憶體單元的浮動閘極電荷及臨限電壓可指示出一相對應於所儲存之資料的特定狀態。

為了擦除NAND型快閃記憶體的記憶體單元，使電子從每一記憶體單元的浮動閘極轉移至井區及基板。典型地，一或多個高電壓(例如，約16伏至20伏)擦除脈衝被施加至井區，以使電子離開每一記憶體單元的浮動閘極而吸引至井區。每一記憶體單元的字線被接地或被供應0伏，以產生一跨隧穿氧化物區的高電位，以吸引電子。如果在施加一擦除電壓脈衝後未擦除一NAND串的每一記憶體單元，則可增大脈衝大小且重新施加至該NAND串，直到擦除每一記憶體單元。介於脈衝之間所增大的擦除電壓增量典型稱為擦除電壓步進大小(step size)。

使用先前技術的典型擦除操作可導致一NAND串中記憶體單元之間的擦除速率不同。一些記憶體單元到達已擦除狀態之目標臨限電壓位準的速率可快於或慢於其他記憶體單元。這可導致過擦除較快速擦除之記憶體單元，原因係彼等較快速擦除之記憶體單元繼續承受到為了充分擦除該NAND串的較緩慢記憶體單元所施加的擦除電壓。因此，不同的擦除速率可導致縮短一記憶體單元或NAND串的循環壽命。典型的擦除操作亦可導致一NAND串中記憶體單元之間的臨限電壓相異。即，在施加一或多個擦除電壓脈衝之後，NAND串的一或多個記憶體單元之臨限電壓可不同於該NAND串或裝置的其他記憶體單元之臨限電壓。為了克服此效應，已使用一種通常稱為軟性程式化的技術，用以在擦

除後調整一或多個記憶體單元的臨限電壓。軟性程式化包括施加一相對低程式化電壓(低於實際程式化所使用的電壓)至一或多個記憶體單元。軟性程式化典型包括以一連串脈衝來施加一程式化電壓，其中在每一施加程式化電壓脈衝之間，以一步進大小為單位來增大該等脈衝。軟性程式化使記憶體單元的臨限電壓上升，以使所擦除之記憶體單元群(population)的臨限電壓分佈變窄及/或上升。但是，軟性程式化可增加程式化時間及擦除時間。

此外，傳統軟性程式化可遭受到不同記憶體單元之間屬性相異的一些相同效應。該等記憶體單元可能擦除緩慢，亦可能軟性程式化緩慢。在軟性程式化結束時，彼等較緩慢軟性程式化之記憶體單元的擦除臨限電壓可低於該NAND串之記憶體單元的擦除臨限電壓。

【發明內容】

本文描述之技術係關於用於以提供更一致擦除臨限電壓之方式來擦除及/或軟性程式化非揮發性記憶體裝置之技術。根據一具體實施例，提供一種系統，其考量在擦除及軟性程式化操作期間，一或多個記憶體單元的個別特性、擦除運作模式及軟性程式化運作模式。

一非揮發性儲存元件集合(例如，一NAND串)可被劃分成若干子集，以進行擦除，以便避免過擦除較快速擦除的儲存元件。整個該非揮發性儲存元件集合被擦除，直到該非揮發性儲存元件集合之一第一非揮發性儲存元件子集被驗證為已被擦除。該第一非揮發性儲存元件子集可包括較快

速擦除之非揮發性儲存元件。驗證該第一非揮發性儲存元件子集包括排除驗證一第二非揮發性儲存元件子集。該第一非揮發性儲存元件子集被驗證為已被擦除後，禁止擦除該第一非揮發性儲存元件子集，同時進一步擦除該第二非揮發性儲存元件子集。當該第二非揮發性儲存元件子集被驗證為已被擦除時，該非揮發性儲存元件集合被驗證為已被擦除。驗證該非揮發性儲存元件集合是否已被擦除可包括：排除驗證該第一非揮發性儲存元件子集，或一起驗證該第一非揮發性儲存元件子集及該第二非揮發性儲存元件子集。依據正被擦除及驗證的非揮發性儲存元件子集，可使用不同步進大小，以更高效率且精確地擦除該非揮發性儲存元件集合。

一非揮發性儲存元件集合可被劃分成若干子集，以進行軟性程式化，以便更徹底軟性程式化較緩慢軟性程式化之非揮發性儲存元件。整個該非揮發性儲存元件集合被軟性程式化，直到驗證為已被軟性程式化(或直到一第一非揮發性儲存元件子集被驗證為已被軟性程式化，同時排除驗證一第二非揮發性儲存元件子集)。在該非揮發性儲存元件集合被驗證為已被軟性程式化之後，禁止進一步軟性程式化一第一非揮發性儲存元件子集，同時對一第二非揮發性儲存元件子集執行額外軟性程式化。該第二非揮發性儲存元件子集可包括較緩慢軟性程式化之非揮發性儲存元件。接著，該第二非揮發性儲存元件子集可歷經軟性程式化驗證，同時排除驗證該第一非揮發性儲存元件子集。可繼續

軟性程式化及驗證該第二非揮發性儲存元件子集，直到該第二非揮發性儲存元件子集被驗證為已被軟性程式化。依據正被軟性程式化及驗證的非揮發性儲存元件子集，可使用不同步進大小來遞增軟性程式化訊號之大小。在一具體實施例中，根據本文描述之技術的軟性程式化係繼根據本文描述之技術的擦除後予以執行。

在一具體實施例中，提供一種擦除非揮發性記憶體之方法，其包括啟用擦除一非揮發性儲存元件集合。該非揮發性儲存元件集合的一第一非揮發性儲存元件子集及一第二非揮發性儲存元件子集被啟用以進行擦除。當該第一非揮發性儲存元件子集及該第二非揮發性儲存元件子集被啟用以進行擦除時，接著一或多個擦除電壓脈衝被施加至該非揮發性儲存元件集合。施加該等脈衝，直到該第一非揮發性儲存元件子集被驗證為已被擦除。該第一非揮發性儲存元件子集被驗證為已被擦除後，禁止進一步擦除該第一非揮發性儲存元件子集，同時該第二非揮發性儲存元件子集被再次啟用以進行擦除。當該第一非揮發性儲存元件子集被禁止且該第二非揮發性儲存元件子集被啟用時，接著一或多個額外擦除電壓脈衝被施加至該非揮發性儲存元件集合。施加該等額外脈衝，直到該第二非揮發性儲存元件子集被驗證為已被擦除。

在一具體實施例中，提供一種非揮發性記憶體系統，其包括：一非揮發性儲存元件集合；以及管理電路，其與該非揮發性儲存元件集合通訊。該非揮發性儲存元件集合包

括一第一非揮發性儲存元件子集及一第二非揮發性儲存元件子集。該管理電路使用一項技術來擦除該非揮發性儲存元件集合，該技術包括：當該非揮發性儲存元件集合中之每一非揮發性儲存元件被啟用以進行擦除時，施加一擦除電壓至該非揮發性儲存元件集合；驗證該第一非揮發性儲存元件子集是否被擦除，同時排除驗證一第二非揮發性儲存元件子集；以及重複該施加及驗證，直到該第一非揮發性儲存元件子集被驗證為已被擦除。該第一非揮發性儲存元件子集被驗證為已被擦除後，該管理電路禁止擦除該第一非揮發性儲存元件子集，並且啟用擦除該第二非揮發性儲存元件子集。當啟用該第二非揮發性儲存元件子集以進行擦除並且禁止擦除該第一非揮發性儲存元件子集時，接著該管理電路施加一擦除電壓至該非揮發性儲存元件集合。藉由驗證該第二非揮發性儲存元件子集是否已被擦除，來驗證該非揮發性儲存元件集合是否已被擦除。

在一具體實施例中，提供一種軟性程式化非揮發性記憶體之方法，包括：施加一或多個軟性程式化脈衝至一非揮發性儲存元件集合，直到該非揮發性儲存元件集合被驗證為已被軟性程式化。在該非揮發性儲存元件集合被驗證為已被軟性程式化後，禁止軟性程式化該非揮發性儲存元件集合之一第一非揮發性儲存元件子集；以及施加一或多個額外軟性程式化脈衝至該非揮發性儲存元件集合之一第二非揮發性儲存元件子集，同時禁止軟性程式化該第一非揮發性儲存元件子集。在一具體實施例中，軟性程式化係繼

擦除後予以執行，如上文所述。

根據本發明另一具體實施例，提供一種非揮發性記憶體系統，其包括：一非揮發性儲存元件集合；以及管理電路，其與該非揮發性儲存元件集合通訊。該非揮發性儲存元件集合包括一第一非揮發性儲存元件子集及一第二非揮發性儲存元件子集。該管理電路軟性程式化該非揮發性儲存元件，其軟性程式化方式為：施加一軟性程式化電壓至該非揮發性儲存元件集合中的每一非揮發性儲存元件；以及驗證該非揮發性儲存元件集合是否已被軟性程式化。該管理電路重複該施加及驗證，直到該非揮發性儲存元件集合被驗證為已被軟性程式化。驗證該非揮發性儲存元件集合已被軟性程式化之後，該管理電路施加該軟性程式化電壓至該第一非揮發性儲存元件子集中的每一非揮發性儲存元件；以及驗證該第一非揮發性儲存元件子集是否已被軟性程式化，同時排除驗證該第二非揮發性儲存元件子集。

從說明書、附圖及申請專利範圍將可明白本發明的其他特徵、態樣及目的。

【實施方式】

圖4繪示可用於實施本發明之一或多項具體實施例的快閃記憶體系統之一具體實施例的方塊圖。可使用其他系統及實施方案。記憶體單元陣列302受控於行控制電路304、列控制電路306、共同源極線控制電路310及p井控制電路308。行控制電路304被連接至記憶體單元陣列302的位元線，用於：讀取記憶體單元中儲存的資料；在一程式化操

作期間判定記憶體單元之狀態；以及控制位元線之電位位準，以促進或禁止程式化及擦除。列控制電路306被連接至字線，用以：選擇其中一個字線；施加讀取電壓；結合受控於行控制電路304的位元線電位位準來施加程式化電壓；以及施加擦除電壓。共同源極線控制電路310控制一連接至記憶體單元的共同源極線(圖4中標示為「共同源極線」)。p井控制電路308控制p井電壓。

記憶體單元中儲存的資料係由行控制電路304予以讀出且係經由資料輸入/輸出緩衝器312而輸出至外部I/O線。擬儲存於記憶體單元中的資料係經由該等外部I/O線而輸入至該資料輸入/輸出緩衝器312，並且傳送至該行控制電路304。該等I/O線被連接至控制器318。

用於控制器快閃記憶體裝置的命令資料被輸入至控制器318。該命令資料將所要求的操作告知快閃記憶體。輸入的命令被傳送至屬於控制電路315之部件的狀態機316。狀態機316控制行控制電路304、列控制電路306、共同源極線控制電路310、p井控制電路308及資料輸入/輸出緩衝器312。狀態機316亦可輸出快閃記憶體的狀態資料，諸如「就緒/忙碌」(READY/BUSY)或「通過/失敗」(PASS/FAIL)。

控制器318被連接至或可連接於一主機系統，諸如個人電腦、數位攝影機或個人數位助理等等。控制器與起始命令的主機通訊，諸如儲存資料至記憶體陣列302或從記憶體陣列302讀取資料，以及提供或接收此等資料。控制器318將此等命令轉換成命令電路314 (其屬於控制電路315之部件)

的解譯及執行的命令訊號。命令電路314係與狀態機316通訊。控制器318典型包括緩衝器記憶體，用於寫入至或讀取自記憶體陣列的使用者資料。

一項示範性記憶體系統包括一個積體電路(其包括控制器318)及一或多個積體電路晶片(每一積體電路晶片包含一記憶體陣列及相關聯之控制、輸入/輸出及狀態機電路)。一項趨勢係在一或多個積體電路晶片上將一系統的記憶體陣列及控制器電路整合在一起。記憶體系統可被嵌入為主機系統的部件，或可被包括於一可卸除式插入至主機系統中的記憶卡(或其他封裝)中。此一記憶卡可包括整個記憶體系統(例如，包括控制器)，或僅包括記憶體陣列與相關聯之周邊電路(連同嵌入於主機中的控制器或控制功能)。因此，控制器可被嵌入為主機中或被包括於可卸除式記憶體系統內。

請參閱圖5，圖中繪示記憶體單元陣列302之示範性結構。作為一項實例，描述一種被分割成1,024個區塊的NAND快閃EEPROM。可以同時擦除每一區塊中儲存的資料。在一具體實施例中，區塊係被同時擦除之記憶體單元的最小單位。在此實例中，每一區塊有8,512行。每一區塊典型被劃分成若干頁(可能係一程式化單位)。其他程式化之資料單位亦係可實行且列入考量。在一具體實施例中，個別頁可被劃分成若干區段，並且區段可包含作為一基本程式化操作而一次寫入的最少數量之記憶體單元。一或多頁資料典型被儲存於一系列記憶體單元中。

在圖5所示實例之每一區塊中有8,512行，其被劃分成偶數行及奇數行。位元線被劃分成偶數位元線(BLe)及奇數位元線(BLo)。在一種奇數/偶數位元線架構中，對沿一共同字線且連接至奇數位元線的記憶體單元進行一次程式化，並且對沿一共同字線且連接至偶數位元線的記憶體單元進行另一次程式化。圖5繪示串聯連接以形成一NAND串的四個記憶體單元。雖然圖中繪示每一NAND串中包括四個記憶體單元，但是可以使用四個以上或以下記憶體單元(例如，16、32或其他數量)。NAND串的一終端係經由一第一選擇電晶體或閘極(其連接至選擇閘極汲極線SGD)而連接至一相對應之位元線，並且另一終端係經由一第二選擇電晶體(其連接至選擇閘極源極線SGS)而連接至一共同源極線。

在其他具體實施例中，該等位元線未被劃分成偶數及奇數位元線。此類架構通常稱為「全位元線架構」。在一種全位元線架構中，於讀取及程式化操作期間，同時選擇一區塊的所有位元線。沿一共同字線且連接至任何位元線的記憶體單元被同時程式化。

於一具體實施例之讀取及程式化操作期間，同時選擇4,256個記憶體單元。該等所選記憶體單元具有相同的字線(例如，WL2-i)及同一種位元線(例如，偶數位元線)。因此，可以同時讀取或程式化532個位元組資料。該等同時讀取或程式化的532個位元組資料形成一邏輯頁。因此，在此實例中，一個區塊可儲存至少八頁。當每一記憶體單元儲存兩個位元的資料時(例如，一種多級位記憶體單元)，一個區塊

儲存16頁。具體實施例也可使用其他大小之區塊及頁。另外，亦可使用除圖4及5以外的架構來實施具體實施例。

在讀取與驗證操作中，使一所選區塊的選擇閘極上升至一或多個選擇電壓，並且使該所選區塊的非所選字線(例如，WL0、WL1和WL3)上升至一讀取傳送電壓(例如，4.5伏)，以使電晶體運作為傳送閘極。該所選區塊的所選字線(例如，WL2)被連接至一參考電壓，對於每一讀取與驗證操作來指定該參考電壓的位準，以判定所涉及的記憶體單元的臨限電壓是否高於或低於該參考電壓的位準。舉例而言，在一位元記憶體單元的讀取操作中，該所選字線WL2被接地，使得偵測其臨限電壓是否高於0伏。在一位元記憶體單元的驗證操作中，該所選字線WL2被連接至(例如)0.8伏，使得在程式化進行過程中偵測其臨限電壓是否已到達0.8伏。於讀取與驗證期間，源極與p井為零伏。所選位元線(BLe)被預充電至(例如)0.7伏之位準。如果臨限電壓高於讀取或驗證位準，則因為相關聯之非傳導狀態記憶體單元，所以涉及之位元線(BLe)的電位位準維持高位準。另一方面，如果臨限電壓低於讀取或驗證位準，則因為非傳導狀態之記憶體單元，所以涉及之位元線(BLe)的電位位準減小至低位準，例如，小於0.5伏。藉由連接至位元線的感測放大器來偵測記憶體單元之狀態，並且感測所得之位元線電壓。記憶體單元是否被程式化或擦除之間的差異取決於負電荷是否被儲存於浮動閘極中。舉例而言，如果負電荷被儲存於浮動閘極中，則臨限電壓變成較高且電晶體可能

處於增強操作模式。

在一項實例中，當程式化一記憶體單元時，汲極及p井接收0伏，而控制閘極接收量值遞增的一連串程式化脈衝。在一具體實施例中，該連串脈衝的脈衝量值在12伏至24伏範圍內。在其他具體實施例中，該連串脈衝的脈衝範圍可能不同，舉例而言，具有一高於12伏的開始位準。於記憶體單元之程式化期間，在介於程式化脈衝之間的週期中實行驗證操作。即，在每一程式化脈衝之間讀取正被並行程式化之一記憶體單元群組中之每一記憶體單元的程式化位準，以判定記憶體單元是否已到達或超過其正被程式化時施加至其的驗證位準。驗證程式化的一項手段係測試一特定比較點的傳導。經驗證已被充分程式化之記憶體單元被鎖定，舉例而言，在NAND記憶體單元中，鎖定方式係對於所有後續程式化脈衝，使位元線從0上升至 V_{DD} （例如，2.5伏），以終止彼等記憶體單元的程式化過程。在一些情況下，將限制脈衝數量（例如，20個脈衝），並且如果最後一個脈衝未充分程式化一既定記憶體單元，則假設一錯誤。在一些實施方案中，在程式化之前先擦除記憶體單元（以區塊為單位或其他單位）。

圖6繪示根據一具體實施例之程式化電壓訊號。此訊號具有量值遞增的一脈衝集合。該等脈衝之量值係按一預先決定步進大小隨每一脈衝予以遞增。在一項包含儲存多位元資料的記憶體單元的具體實施例中，一示範性步進大小為0.2伏（或0.4伏）。介於每一程式化脈衝之間係驗證脈衝。圖

6之訊號假設一種四狀態式記憶體單元，因此，該訊號包括三個驗證脈衝。舉例而言，介於程式化脈衝330與332之間係三個連續的驗證脈衝。所繪示之一第一驗證脈衝334係處於零伏驗證電壓位準。接在第一驗證脈衝後的第二驗證脈衝336係處於第二驗證電壓位準。接在第二驗證脈衝後的第三驗證脈衝338係處於第三驗證電壓位準。一種能夠以八種狀態來儲存資料的多狀態記憶體單元可能必須在七個比較點處實行驗證操作。因此，在兩個連貫程式化脈衝之間依序施加七個驗證脈衝，以在七個驗證位準實行驗證操作。系統可依據七個驗證操作來決定記憶體單元的狀態。一項減小驗證時間負荷的手段係使用更高效率的驗證程序，舉例而言，如下列以下專利申請案所揭示： U.S. 2002年12月5日提出之專利申請案第10/314,055號標題為「Smart Verify for Multi-State Memories」；2005年10月27日提出之專利申請案第_____號[代理人檔案號碼第SAND-1051US1號]標題為「Method for Programming of Multi-State Non-Volatile Memory Using Smart Verify」；以及2005年10月27日提出之專利申請案第_____號[代理人檔案號碼第SAND-1051US0號]標題為「Apparatus for Programming of Multi-State Non-Volatile Memory Using Smart Verify」，該等案均以引用方式整份併入本文。

如上文所述之讀取與驗證操作係根據此項技術中熟知的技術予以實行。因此，熟悉此項技術者可改變許所解說的細節。

圖7繪示用以解說程式化非揮發性記憶體方法之一具體實施例的流程圖。在步驟340，擦除擬程式化的記憶體單元。步驟340可包括擦除多於擬程式化之記憶體單元的記憶體單元(例如，以區塊為單位或其他單位)。在步驟342，執行軟性程式化，以使所擦除之記憶體單元的臨限電壓分佈變窄。由於擦除程序，一些記憶體單元可能處於深於所需的已擦除狀態。軟性程式化可施加小程式化脈衝，以使所擦除之記憶體單元的臨限電壓較接近擦除驗證位準。在圖7的步驟350，一「資料載入」命令係由控制器318予以發出且被輸入至命令電路314，以允許將資料輸入至資料輸入/輸出緩衝器312。輸入之資料被辨識為一命令，且經由一輸入至命令電路314的命令鎖存訊號(圖中未繪示)而由狀態機316予以鎖存。在步驟352，從控制器或主機將指定頁位址的位址資料輸入至列控制器或解碼器306。輸入之資料被辨識為頁位址，且經由狀態機316予以鎖存(受到輸入至命令電路314的位址鎖存訊號所影響)。在步驟354，所定址之頁的一頁程式化資料被輸入至資料輸入/輸出緩衝器312以進行程式化。舉例而言，在一具體實施例中可輸入532位元組資料。該資料被鎖存在用於所選位元線的適當暫存器中。在一些具體實施例中，該資料亦被鎖存在用於驗證操作使用之所選位元線的第二暫存器中。在步驟356，一「程式化」命令係由控制器318予以發出且被輸入至資料輸入/輸出緩衝器312。經由輸入至命令電路314的命令鎖存訊號而由狀態機316鎖存該命令。

藉由「程式化」命令之觸發，使用圖6所示之施加至適當字線的步進式脈衝，將在步驟354中鎖存的資料程式化至由狀態機316所控制的所選記憶體單元中。在步驟358，施加至所選字線的程式化脈衝電壓位準 V_{pgm} 被初始化為開始脈衝(例如，12伏)，並且狀態機316所維護的一程式計數器PC被初始化為0。在步驟360，第一 V_{pgm} 脈衝被施加至所選字線。如果儲存在一特定資料鎖存器中邏輯「0」指示出應程式化相對應之記憶體單元，則相對應之位元線被接地。另一方面，如果儲存在一特定鎖存器中的邏輯「1」指示出相對應之記憶體單元應維持其現有資料狀態，則相對應之位元線被連接至 V_{DD} 以禁止程式化。

在步驟362，驗證所選記憶體單元之狀態。如果偵測到一所選記憶體單元的目標臨限電壓已到達適當位準，則相對應之資料鎖存器中儲存的資料被變更為邏輯「1」。如果偵測到目標臨限電壓未到達適當位準，則不變更相對應之資料鎖存器中儲存的資料。在此方式中，在本身相對應之資料鎖存器中已儲存邏輯「1」的位元線不需要予以程式化。當所有資料鎖存器皆正在儲存邏輯「1」時，狀態機知道已程式化所有所選記憶體單元。在步驟364，檢查是否所有資料鎖存器正儲存邏輯「1」。若是，因為所有所選記憶體單元皆已予以程式化且經驗證其目標狀態，所以程式化程序完成且成功。在步驟366報告「通過」(PASS)狀態。

在步驟364，如果判定非所有資料鎖存器正儲存邏輯「1」，則程式化程序繼續進行。在步驟368，比對一程式化

限制值來檢查該程式計數器PC。一項實例之程式化限制值係20，但是，在各種實施方案中可以使用其他值。如果該程式計數器PC不小於20，則在步驟369判定尚未成功程式化的位元數量是否等於或小於預先決定數量。如果未成功程式化的位元數量等於或小於預先決定數量，則用旗標將程式化程序標示為已通過，並且在步驟371報告一通過狀態。在讀取程序期間，可使用錯誤修正來修正未成功程式化的位元。但是，如果未成功程式化的位元數量大於預先決定數量，則用旗標將程式化程序標示為已失敗，並且在步驟370報告一失敗狀態。如果該程式計數器PC小於20，則按該步進大小來遞增Vpgm位準，並且在步驟372累加該程式計數器PC。在步驟372，程序迴圈回到步驟360，以施加下一Vpgm脈衝。

圖7之流程圖繪示單次行程(single-pass)程式化方法，其可應用於二元儲存(binary storage)。在一種可應用於多級位儲存的兩次行程(two-pass)程式化方法中，舉例而言，可在單次反覆流程中使用多項程式化或驗證步驟。對於程式化操作的每一行程，可執行步驟358至372。在第一行程中，可施加一或多個程式化脈衝並且驗證其結果，以判定一記憶體單元是否處於適當的中間狀態。在第二行程中，可施加一或多個程式化脈衝並且驗證其結果，以判定一記憶體單元是否處於適當的最終狀態。

在成功程式化程序結束時，記憶體單元的臨限電壓應在經程式化之記憶體單元的一或多項臨限電壓分佈內或在經

擦除之記憶體單元的一臨限電壓分佈內。圖8繪示當每一記憶體單元儲存一位元資料時記憶體單元陣列的臨限電壓分佈。圖8繪示經擦除之記憶體單元的第一臨限電壓分佈380及經程式化之記憶體單元的第二臨限電壓分佈382。在一具體實施例中，第一臨限電壓分佈380中的臨限電壓位準為負且相對應於邏輯「1」，而第二臨限電壓分佈382中的臨限電壓位準為正且相對應於邏輯「0」。

圖9繪示當每一記憶體單元係以四項物理狀態來儲存兩位元資料時記憶體單元陣列的示範性臨限電壓分佈。臨限電壓分佈384表示處於已擦除狀態(儲存「11」)之記憶體單元的臨限電壓分佈，其具有負臨限電壓位準。臨限電壓分佈386表示處於第一已程式化狀態(儲存「10」)之記憶體單元的臨限電壓分佈。臨限電壓分佈388表示處於第二已程式化狀態(儲存「00」)之記憶體單元的臨限電壓分佈。臨限電壓分佈390表示處於第三已程式化狀態(儲存「01」)之記憶體單元的臨限電壓分佈。在此實例中，單一記憶體單元中儲存之兩個位元的每一位元係來自一不同邏輯頁。即，每一記憶體單元中儲存之兩個位元的每一位元承載一不同邏輯頁位址。圖中方塊所示之位元對應於一下部頁。圖中圓圈所示之位元對應於一上部頁。在一具體實施例中，使用一格雷碼(gray code)序列，將該等邏輯狀態指派給記憶體單元的相繼物理狀態，使得如果一浮動閘極的臨限電壓錯誤地偏移至其最鄰近的臨限電壓狀態範圍，則僅一個位元將受到影響。為了提供改良之可靠度，較佳方式為，緊縮

個別臨限電壓分佈(臨限電壓分佈變窄),原因係臨限電壓分佈愈緊縮,讀取裕度(相鄰狀態臨限電壓分佈之間的距離)愈寬。

當然,如果記憶體係以四種以上物理狀態運作,則在記憶體單元之定義臨限電壓窗內的臨限電壓分佈數量等於狀態數量。再者,雖然特定位元模式已被指派給每一分佈或物理狀態,但是可指派不同的位元模式。

通常,正被並行程式化的記憶體單元係沿一字線的交替記憶體單元。舉例而言,圖3繪示沿一字線WL2之更多數量記憶體單元中的三個記憶體單元224、244和252。一交替之記憶體單元集合(包括記憶體單元224和252)儲存來自邏輯頁0和1(「偶數頁」)的位元,而另一交替之記憶體單元集合(包括記憶體單元244)儲存來自邏輯頁2和3(「奇數頁」)的位元。

在一具體實施例中,擦除記憶體單元之方式為:使p井上升至一擦除電壓(例如,20伏),並且接地或施加0伏至所選區塊的字線,同時源極線及位元線係處於浮動狀態。圖10繪示用於執行擦除操作之示範性偏壓條件。由於電容耦合,導致非所選字線(例如,在非所選之非擬擦除區塊中的字線)、位元線、選擇線及共同源極線也上升至高正電位(例如,20伏)。因此,施加強電場至所選區塊的記憶體單元之隧穿氧化物層,並且由於浮動閘極的電子被發射至基板,導致所選記憶體單元的資料被擦除。擦除意指藉由將電子從記憶體單元的浮動閘極轉移出去,而降低記憶體單元的

臨限電壓。當足夠的電子從浮動閘極轉移至p井區時，所選記憶體單元的臨限電壓變成負。一旦臨限電壓到達一預先決定之充分低值，隨即將記憶體單元視為已被擦除且擦除程序視為已完成或成功。因此，擦除記憶體單元意指降低記憶體單元的臨限電壓，並且未意謂著完成或成功擦除記憶體單元。可對整固記憶體陣列、記憶體陣列的一或多個區塊或其他記憶體單元單位來執行擦除。擦除電壓訊號 V_{erase} 典型係以一連串擦除電壓脈衝進行施加，其中在每一脈衝之間實行一擦除驗證操作。如果在施加一擦除電壓脈衝後正被擦除的記憶體單元單位未被驗證為已擦除，則可將另一擦除電壓脈衝施加至p井區。在一些具體實施例中，對於每一後續脈衝，遞增擦除電壓的峰值(例如，以1伏為單位，從16伏遞增至20伏)。

圖11的圖表係繪示對於一典型擦除操作(例如，在圖10之偏壓條件下)，在施加一單一擦除電壓脈衝期間，一NAND串之各種部分處電壓。圖11之實例繪示理想狀況，其忽略了閘極間電容電荷耦合，如下文所述。曲線410繪示出接收擦除電壓訊號 V_{erase} 之p井區的電壓。擦除電壓脈衝促使p井爬升(ramp up)至20伏且接著回到0伏。曲線414和412繪示該NAND串之記憶體單元的控制閘極電壓及浮動閘極電壓。在施加擦除電壓脈衝之前，浮動閘極電壓取決於記憶體單元的已程式化狀態且典型低於0伏。在圖11中，假設在第一擦除電壓脈衝之前，浮動閘極電壓為值-1伏。在整個擦除操作期間，控制閘極電壓414維持在0伏，而浮動閘極電壓412

以與p井電壓成比例方式上升。浮動閘極係跨隧穿介電區而電容耦合至p井。在許多NAND串實施方案中，介於記憶體單元之浮動閘極與p井區之間的電容耦合比率為約40-50%。據此，浮動閘極電壓 V_{FG} 係以與p井電壓呈約0.5:1比率(當耦合比率係50%時)上升至約9伏電壓。圖11的圖表下方提供所得之擦除電位(介於記憶體單元之浮動閘極與p井區之間的電位)。擦除電位等於介於p井電壓($V_{erase} = 20$ 伏)與浮動閘極電壓($V_{FG} = 9$ 伏)之間的差值。對於圖11所示之案例，在第一擦除電壓脈衝開始時，擦除電位等於約11伏。請注意，在實際擦除電壓脈衝期間，擦除電位隨著電子從浮動閘極轉移至p井而變化。結果，當在擦除電壓脈衝之後p井回到0伏時，浮動閘極電壓將不同於施加擦除電壓脈衝之前的電壓。典型地，在第一擦除電壓脈衝之後浮動閘極電壓將為正，相對應於記憶體單元的一負(已擦除)臨限電壓。

一NAND串內的實際電壓位準將不同於關於圖11之理想狀況所描述的電壓位準。因為介於鄰近浮動閘極之間與介於選擇閘極與鄰近浮動閘極之間的電容電荷耦合，所以在施加相同擦除偏壓條件下，一NAND串的不同記憶體單元遭遇到不同的擦除電位。

圖12提供一種包括8個記憶體單元之NAND串的剖面圖。雖然相對於圖12及一種8記憶體單元型NAND結構來提呈具體實施例，但是本發明不受此項限制，並且可按照包括8個以下或以上記憶體單元(例如，4、12、16或以上)的許

多種NAND結構來運用本發明。如圖12所示，NAND串的記憶體單元係形成在p井區540中。每一記憶體單元(502、504、506、508、510、512、514和516)包括一種堆疊式閘極結構，該堆疊式閘極結構係由控制閘極(502c、504c、506c、508c、510c、512c、514c和516c)與浮動閘極(502f、504f、506f、510f、512f、514f和516f)所組成。浮動閘極係形成在氧化物膜或其他介電合成膜頂部上的p井表面上。控制閘極係在浮動閘極上方，而且氧化物層或其他隔離介電層使控制閘極與浮動閘極分隔。記憶體單元的控制閘極連接至或形成字線WL0、WL1、WL2、WL3、WL4、WL5、WL6和WL7。鄰近記憶體單元之間共用N+擴散區542，藉此使記憶體單元互相串聯連接而形成一NAND串。彼等N+擴散區形成該等記憶體單元中之每一記憶體的源極及汲極。N+擴散區526連接至該NAND串的位元線，而N+擴散區528連接至多個NAND串的共同源極線。選擇閘極520和522係由相同於記憶體單元的結構所形成，但是閘極區被電連接。

因為電容耦合，所以當在擦除操作期間施加一高擦除電壓至p井時，浮動之選擇閘極522和520上升至高正電位。施加至p井(或其部分)的擦除電壓從該井區耦合至每一選擇閘極。在許多NAND結構中，可預期90-100%之p井電壓耦合至每一選擇閘極。因此，如果20伏擦除電壓脈衝被施加至p井，則每一選擇閘極上的電壓將上升約18伏至20伏而達至18伏至20伏電壓。在圖12中，用箭頭530繪示從p井區540至選擇閘極522和520的耦合。NAND串的每一記憶體單元亦

遭遇到類似的耦合效應，然而程度較小。介於p井與記憶體單元之浮動閘極之間的耦合典型為約40-50%。每一浮動閘極亦以約50-60%之耦合而耦合至其相對應之控制閘極。在較小程度上，每一浮動閘極耦合至鄰近浮動閘極與控制閘極。所以不同類耦合總計達100%。假設從p井至浮動閘極之50%耦合，在施加20伏擦除電壓脈衝下，每一記憶體單元之浮動閘極電壓上升約10伏。箭頭532繪示此耦合效應。耦合至每一記憶體單元之浮動閘極的電壓影響跨隧穿氧化物層的 V_{erase} 電位。舉例而言，對於在擦除前具有-1伏浮動閘極電壓之記憶體單元，在施加20伏擦除電壓脈衝至p井下，產生約11伏（20伏至9伏）之擦除電位。

NAND串的每一記憶體單元將遭遇到來自鄰近記憶體單元及/或電晶體的一些電容電荷耦合。此耦合可影響記憶體單元之浮動閘極的電位，並且因而影響記憶體單元的擦除電位。連接至NAND串之第一字線和最後字線（末端字線）的NAND串之末端記憶體單元（例如，圖12中的記憶體單元502和516）將遭遇到來自鄰近選擇閘極的電容電荷耦合。在圖12中，用箭頭534繪示從選擇閘極520至記憶體單元502之浮動閘極502f的電容耦合，並且用箭頭538繪示從選擇閘極522至記憶體單元516之浮動閘極516f的電容耦合。耦合至記憶體單元502和516的電壓將使跨彼等記憶體單元之隧穿介電區（例如，隧穿氧化物）所存在的電場以與各自選擇處之電壓量成比例方式減小。

箭頭538和534所示之耦合係雙向發生，原因係在擦除操

作期間，選擇閘極亦處於浮動狀態。結果，記憶體單元516和502的浮動閘極電壓對選擇閘極522和520上的電壓有一些影響。但是，從浮動閘極至選擇閘極的耦合極小於從p井至選擇閘極的耦合，並且因此，幾乎完全藉由p井電壓來判定選擇閘極電壓。

在許多NAND實施方案中，可預期從選擇閘極至NAND串之末端記憶體單元之浮動閘極的電容耦合為約2%至5%之級數。如果20伏擦除電壓被施加至p井區，則每一選擇閘極的電壓將配合90% p井至選擇閘極之耦合而上升約18伏。其後，由於從選擇閘極至鄰近浮動閘極之2-5%耦合，鄰近浮動閘極(例如，516f和502f)上的電壓將上升約0.4至1伏。跨NAND串之末端記憶體單元的隧穿氧化物之所得電壓將為約0.4伏至1伏，其小於圖11所示之理想狀況。請注意，如上文所述之電容耦合很大程度上視下列項目而異：記憶體和選擇閘極的實體尺寸；介於記憶體與選擇閘極之間的間隔；以及建構中使用的材料介電屬性，諸如隧穿介電、介於控制閘極與浮動閘極之間的介電及介於選擇閘極與記憶體單元之間的介電等組份。在一些情況中，舉例而言，如上文所述之耦合可能大於或小於如上文所述之2-5%範圍。

除了介於鄰近浮動閘極之間的耦合以外，還有一項因數係介於浮動閘極與鄰近字線或控制閘極之間的耦合。此耦合亦可能係2-5%之級數，但是視記憶體單元的尺寸及形狀而可能較大或較小。在一些情況中，尤其係介於選擇閘極與鄰近記憶體單元之間的實體距離相似於介於兩個內側記

記憶體單元之間的距離情況中，從選擇閘極至鄰近浮動閘極的耦合之範圍相似於從鄰近控制閘極(字線)至浮動閘極的耦合之範圍。但是，在擦除期間，由於與控制閘極與浮動閘極相比，選擇閘極係以不同方式予以偏壓，所以末端記憶體單元的浮動閘極電壓將高於內側記憶體單元的浮動閘極電壓，並且因此，末端記憶體單元的擦除電位將較低，如下文所述。

圖 13 繪示在圖 10 之偏壓條件下，對於一擦除操作，在施加一單一擦除電壓脈衝期間，對於一 NAND 串之典型末端記憶體單元的 p 井區電壓 420、浮動閘極電壓 422 及控制閘極電壓 424。p 井區電壓 420 從 0 伏上升至峰值 20 伏且接著回到 0 伏。由於將 0 伏供應至連接至每一記憶體單元的字線，所以控制閘極電壓 424 維持在 0 伏。如同所有的記憶體單元，末端記憶體單元的浮動閘極係以約 40-50% 之級數而電容耦合至 p 井區。當假設 50% 耦合時，由於 p 井區電壓增大至 20 伏，所以此電容耦合促使浮動閘極電壓上升約 10 伏。此外，末端記憶體單元還具有耦合至其之鄰近選擇閘極處的電壓之一部分。因此，彼等浮動閘極上的電壓將不僅以與其電容耦合之 p 井電壓成比例方式增大，而且還由於來自選擇閘極的 2-5% 耦合而增大。在圖 13 中，假設來自選擇閘極之耦合將額外 1 伏加至浮動閘極電壓。據此，相對於圖 11 所示之理想狀況的最大值 9 伏，在擦除電壓脈衝開始時，浮動閘極電壓 422 上升至最大值 10 伏。圖 13 的圖表下方提供跨末端記憶體單元之隧穿介電區的擦除電位。在擦除電壓脈衝開始

時，擦除電位係約10伏，或比理想狀況的11伏擦除電位小約1伏。

在本文中，一NAND串中之非相鄰於選擇閘極的記憶體單元(即，除一NAND串之末端記憶體單元外的所有記憶體單元)可稱為該NAND串的內側記憶體單元。在圖12中，NAND串的內側記憶體單元係504、506、508、510、512和514。雖然內側記憶體單元將遭遇到來自鄰近浮動閘極的電容耦合，而此將減小其擦除電位(如下文所述)，但是其程度小於末端記憶體單元。因此，內側記憶體單元的運作模式將實質上如同上文所述的理想狀況，並且具有約11伏之擦除電位(假設在擦除電壓脈衝之前，記憶體單元已處於已程式化狀態且具有約-1伏之浮動閘極電壓)。因為與內側記憶體單元相比，跨末端記憶體單元之隧穿氧化物層的電位較低，所以在施加一或多個擦除電壓脈衝之後，末端記憶體單元之擦除較緩慢並且擦除深度(從其浮動閘極轉移的電子較少)不如內側記憶體單元。

當浮動閘極上的電荷高於一預先決定位準(臨限電壓低於一預先決定位準)時，則NAND串的記憶體單元被驗證為已擦除。因為至末端記憶體單元之浮動閘極的額外耦合，所以增加擦除操作的總時間，以充分擦除彼等末端記憶體單元。在施加數量為N個的擦除電壓脈衝後，內側記憶體單元可被充分擦除，然而除非施加N+1個或以上的擦除電壓脈衝，否則NAND串的末端記憶體單元未被充分擦除。

圖12藉由箭頭536繪示介於NAND串之個別記憶體單元

之浮動閘極之間的額外電容耦合效應。舉例而言，介於WL0及WL1上之鄰近浮動閘極之間的耦合亦可能係2-5%之級數，但是視記憶體單元的尺寸及形狀而可能較大或較小。結果，記憶體單元516之浮動閘極上所存在的電壓將影響記憶體單元514之浮動閘極的電壓，反之亦然。類似的耦合將存在於連接至WL2的記憶體單元514與512之浮動閘極之間，以此類推。耦合係雙向存在，如箭頭536上的雙箭頭所示。在各種位準下，在NAND串的所有記憶體單元之間都將發現到彼等耦合效應，但是由於鄰近控制閘極與浮動閘極上的偏壓電壓不同於選擇閘極上的偏壓條件，所以耦合衝擊將小於對末端記憶體單元之衝擊。於擦除電壓脈衝存在期間，每一浮動閘極的電壓顯著小於選擇閘極處存在的電壓。因此，由於介於個別記憶體單元之浮動閘極之間的耦合所導致每一浮動閘極中所引發的電壓量，將小於由於耦合至鄰近選擇閘極所導致末端記憶體單元之浮動閘極中所引發的電壓。不過，可預期NAND串的每一記憶體單元具有稍微不同的淨電荷存在於其浮動閘極，並且由於此耦合而具有相對應之不同擦除運作模式。

圖14A繪示在已將資料寫入至記憶體陣列後，一種四狀態或四級位式記憶體裝置的已擦除(E)與已程式化(A,B,C)臨限電壓 V_T 分佈。圖14B繪示在已完成擦除操作後的該四狀態式記憶體裝置。分開繪示內側字線與末端字線的記憶體單元之臨限電壓分佈。臨限電壓分佈430繪示內側字線之臨限電壓分佈，其擦除深度深於末端字線(如臨限電壓分佈432

所示)。在一些NAND記憶體裝置實施方案中，因為來自選擇閘極的電容電荷耦合，所以內側記憶體單元之擦除深度比末端記憶體單元之擦除深度深約0.5至1伏。內側字線與末端字線的記憶體單元之擦除深度通常深於所需的深度。為了保證在若干寫入/擦除循環後，可用一個擦除電壓脈衝來擦除所有或大多數記憶體單元，第一擦除電壓脈衝的所選大小通常大於所需之大小，以在一個脈衝中擦除全新記憶體裝置(尚未經受許多寫入/擦除循環)的所有記憶體單元。因此，全新記憶體裝置在經受一擦除操作後可具有如圖14所示之臨限電壓分佈。

當在NAND串層級或以上(例如，對一區塊或其他串單位)執行若干記憶體單元之擦除驗證時，記憶體單元之間相異的擦除時間或運作模式可導致過施加應力或過擦除某些記憶體單元。舉例而言，當嘗試充分擦除NAND串的末端記憶體單元時，可能會過擦除該NAND串的內側記憶體單元。如上文所述，內側記憶體單元的擦除速率快於末端記憶體單元的擦除速率。如果在NAND串層級執行驗證，則該NAND串將在p井繼續接收擦除電壓脈衝，直到該NAND串的每一記憶體單元被擦除。因此，即使在施加數量少於末端記憶體單元的擦除電壓脈衝之後充分擦除內側記憶體單元，內側記憶體單元將接收額外擦除電壓脈衝，直到該NAND串的每一記憶體單元被驗證為已擦除。

因為過擦除，所以對內側記憶體單元施加的應力大於末端記憶體單元施加的應力。因此末端記憶體單元之較緩慢

擦除時間可縮短內側記憶體單元及整個非揮發性記憶體系統的壽命，所以過擦除內側記憶體單元。如此項技術所熟知，跨電晶體之隧穿氧化物層施加大電位會施加應力於氧化物材料。跨隧穿氧化物層施加足夠高的電位，或在若干時段施加較低電位，最終可導致氧化物層擊穿。

介於記憶體單元之間相異的擦除運作模式亦可導致增加擦除操作時間，原因係可執行的額外操作變更正被擦除後之記憶體單元的臨限電壓。當擦除快閃記憶體單元時，目標在於所有被擦除之記憶體單元皆具有在預定義負臨限電壓範圍內的負臨限電壓。然而，如所示，擦除程序可導致一些記憶體單元具有低於該預定義範圍的負臨限電壓。其後，具有太低臨限電壓的記憶體單元可能未適當程式化，或可能造成其他記憶體單元未適當程式化(例如，由於增加程式化干擾發生的可能性)。因此，過擦除裝置通常將經受所謂的軟性程式化。具有在預定義範圍內顯著較低值之臨限電壓的記憶體單元將接收一少量程式化，使得臨限電壓上升成為在預定義範圍內。軟性程式化程序需要執行額外操作，並且由於軟性程式化通常被視為擦除操作部分，所以由於增加的擦除時間而降低記憶體效能。

根據一具體實施例，正被擦除之一記憶體單元集合的字線被劃分成單獨驗證的若干子集，使得可提供額外擦除脈衝，以選擇具有較緩慢擦除之記憶體單元的字線。在此方式中，較快速擦除之字線未被過擦除，並且在擦除操作之後，該集合中所有字線的記憶體單元具有相同(或實質上相

同)臨限電壓分佈。

圖 15 繪示根據一具體實施例之擦除一記憶體單元集合方法的流程圖。熟悉此項技術者應明白，根據圖 15 之方法，可並行操作多個 NAND 串，諸如擦除一區塊之記憶體單元。此外，亦可根據所描述之具體實施例來操作其他記憶體單元單位。在一具體實施例中，對於圖 7 之擦除步驟 340，可執行根據圖 15 之流程圖的擦除。在一具體實施例中，在控制器 318 接收到來自主機的擦除或程式化一記憶體單元集合的要求後，執行根據圖 15 之擦除。

在步驟 440，NAND 串的位元線、源極線、源極選擇閘極線及汲極選擇閘極線皆為浮動狀態。在步驟 442，零伏(或接地)被施加至 NAND 串的每一字線。步驟 440 及 442 使得能夠擦除整記憶體單元集合，其可包括 NAND 串或並行的多個 NAND 串。在步驟 444，將擦除電壓脈衝 V_{erase} 施加至一或多個 NAND 串的 p 井區。在步驟 446，驗證連接至內側字線之記憶體單元的已擦除狀態。排除驗證連接至末端字線的記憶體單元，使得僅驗證內側記憶體單元。藉由施加足以開啟記憶體單元(無論是否擦除該記憶體單元)的電壓，即可排除驗證末端字線。此電壓可大於施加至內側字線的擦除驗證電壓 E_{verify} 。在步驟 446 可使用許多電壓位準。舉例而言，可使用足夠大以開啟經程式化為最高狀態之記憶體單元的電壓，然而在一些具體實施例中，稍微大於擦除驗證電壓的電壓即足夠。重點在於，當驗證內側字線時，連接至末端字線的記憶體單元係傳導狀態。

在步驟448，判定在步驟446是否每一NAND串被成功驗證為其內側記憶體單元已被擦除。在一具體實施例中，只有所有NAND串被成功驗證為其內側記憶體單元已被擦除，步驟448及內側記憶體單元擦除才確實成功。在另一具體實施例中，只有預先決定數量之NAND串被成功驗證為其內側記憶體單元已被擦除，步驟448及內側記憶體單元擦除才確實成功。藉由依據預先決定數量之NAND串(而非依據所有NAND串)來判定內側記憶體單元擦除為成功，可以驗證程序可在到達最大擦除迴圈數之前停止(步驟450)。這可避免由於少數難以擦除或有缺陷之NAND串而導致過擦除NAND串。

如果在步驟448，所有或預先決定數量之NAND串未被成功驗證，則方法分支至步驟450，在此步驟比對一擦除限制值來檢查驗證計數器VC。驗證計數器係用來限制擦除循環的反覆次數。一項擦除限制實例為8，但是可使用其他值。如果驗證計數器小於擦除限制值，則將驗證計數器VC加1，並且按一第一步進大小或增量值 ΔV_{ERA1} 來遞增擦除電壓脈衝 V_{erase} 之值。在一具體實施例中， ΔV_{ERA1} 係約0.5伏至1伏。

在一具體實施例中，選擇在步驟444所施加的第一擦除電壓脈衝之振幅，使得在寫擦除循環前後，在施加第一脈衝後，僅僅擦除連接至內側字線的記憶體單元，而不會被過擦除。在此方式中，可在一個脈衝中擦除內側記憶體單元，使得在大多數時間，僅僅一次反覆進行步驟440到446後驗

證內側記憶體單元。據此， ΔV_{ERA1} 可能係相對小值，以在需要進一步反覆的案例中(例如，許多寫擦除循環之後)僅僅擦除內側記憶體單元。關於根據具體實施例可使用之各種步進大小的細節，將參考圖18A及18B予以論述。

如果該驗證計數器不小於8，則方法進行至步驟452，在此步驟比較未經驗證之NAND串數量與預先決定數量。如果未經驗證之NAND串數量小於或等於預先決定數量，則方法進行至步驟458。如果未經驗證之NAND串數量不小於預先決定數量，則在步驟454報告操作失敗狀態。步驟452係選用步驟。舉例而言，在依據少於所有NAND串來判定步驟448係成功的具體實施例中，可忽略步驟452。

在步驟448或452的「是」分支之後，內側字線之記憶體單元已被驗證為已擦除。此外，由於步驟440或446，連接至正被擦除之該集合所有字線的所有記憶體單元之浮動閘極電荷已增加(隨著電子被移除而使電荷增加)。但是，末端記憶體單元尚未被驗證為處於已擦除狀態。如上文所述，這些末端記憶體單元的擦除速率慢於內側記憶體單元的擦除速率。因此，經證實較快速之記憶體單元現在被擦除，因此注意力可指向記憶體元件以提供額外擦除。在此方式中，在完成擦除操作後，一記憶體單元集合的內側記憶體單元與末端記憶體單元將被擦除至約相同位準。

在步驟458，驗證計數器VC被重設為零。此外，按第二增量大小 ΔV_{ERA2} 來遞增擦除電壓 V_{erase} 。 ΔV_{ERA2} 可大於 ΔV_{ERA1} 。在一具體實施例中， ΔV_{ERA2} 係約1伏至2伏。較佳

方式為，選擇 $\Delta V_{\text{ERA}2}$ 以使得在施加一增加位準的單一擦除電壓脈衝後，在寫/擦除循環前後，末端記憶體單元將被擦除。在步驟460，位元線、源極線、源極選擇閘極線及汲極選擇閘極線再次為浮動狀態。在步驟462，禁止進一步擦除內側字線，並且啟用末端字線以進行進一步擦除。藉由使內側字線成為浮動狀態，可禁止於後續擦除電壓脈衝期間擦除內側記憶體單元。藉由施加0伏至末端字線，可啟用末端記憶體單元以進行擦除。在設定此條件之後，將增加位準的第一擦除電壓脈衝施加至該記憶體單元集合。在步驟466，驗證末端字線的已擦除狀態，同時排除驗證內側字線。再次，如同步驟446，達成驗證末端字線的已擦除狀態同時排除驗證內側字線之方式為，施加擦除驗證電壓至末端字線，同時施加足以開啟內側字線(不顧及其狀態)之記憶體單元的電壓至內側字線。施加至內側字線的電壓將大於施加至末端字線的擦除驗證電壓。但是，請注意，在一些具體實施例中，在步驟466可驗證整個的NAND串的已擦除狀態。內側記憶體單元已被驗證為已擦除，並且因此應在施加擦除驗證電壓下成為傳導狀態。因此，在此替代具體實施例中，在步驟466驗證NAND串的每一記憶體單元。但是，較佳方式為，施加較大電壓至內側記憶體單元，以使得可僅僅對尚未驗證的末端字線執行驗證。

在步驟468，判定每一NAND串是否已被成功驗證為其末端記憶體單元已被擦除。如同步驟448，當所有NAND串或僅預先決定數量之NAND串被成功驗證時，可在步驟468判

定成功。如果所有或預先決定數量之NAND串被成功驗證時，則在步驟470報告通過狀態。如果所有或預先決定數量之NAND串未被成功驗證，則在步驟472比對該擦除限制值來檢查驗證計數器。如果驗證計數器小於擦除限制值，則方法進行至步驟474，在此步驟將驗證計數器加1，並且按第三增量步進大小 $\Delta V_{\text{ERA}3}$ 來遞增擦除電壓 V_{erase} 。

在一具體實施例中， $\Delta V_{\text{ERA}3}$ 之值相同於 $\Delta V_{\text{ERA}1}$ 之值。在其他具體實施例中，由於末端記憶體單元擦除較緩慢且可從較大增量值獲益而加速其擦除，所以 $\Delta V_{\text{ERA}3}$ 大於 $\Delta V_{\text{ERA}1}$ 。步驟458及474的結果在於，在驗證內側字線之後，使擦除電壓脈衝大幅增大，以進行第一次施加擦除電壓至末端記憶體單元。如果需要多次反覆以完全擦除末端記憶體單元，則其後在步驟474使擦除電壓脈衝較小幅增大。再次，下文將論述增量值的細節及替代方案。如果該驗證計數器不小於8，則在此步驟476比較未經驗證之NAND串數量與預先決定數量。如同步驟452，步驟476係選用步驟。如果未經驗證之NAND串數量小於預先決定數量，則在步驟470報告通過狀態。但是，如果未經驗證之NAND串數量大於預先決定數量，則在步驟454報告失敗狀態。

圖16係展示作為擦除操作部分執行之各種子操作的偏壓條件之表格。欄480列出用於擦除正被擦除之該集合字線的所有字線之記憶體單元的偏壓條件。欄480對應於圖15的步驟440至444。在彼等步驟中，藉由從每一字線的所有記憶體單元轉移電子，而使其浮動閘極處的電荷增加。位元線、

源極線、源極選擇閘極線及汲極選擇閘極線皆為浮動狀態。將0伏供應至每一字線以啟用其擦除。p井接收擦除電壓，並且憑藉將0伏施加至字線及將 V_{erase} 施加至p井所產生的電位，從該集合中之每一記憶體單元的浮動閘極轉移電子。

欄482列出僅僅驗證內側字線之已擦除狀態的偏壓條件。欄482對應於圖15的步驟446。位元線處於浮動狀態，而源極線處於 V_{DD} 。將足以開啟選擇閘極的正電壓 V_{SG} 供應至汲極選擇閘極線及源極選擇閘極線。 V_{SG} 典型大於 V_{DD} 。舉例而言，在一具體實施例中， V_{SG} 可約4伏至4.5伏。將擦除驗證電壓(例如，0伏)提供至內側字線以進行操作。將電壓 V_{use1} 提供至字線 WL_0 及字線 WL_n 。 V_{use1} 可能係在如上文所述之電壓範圍內，但是典型被選擇以確保連接至字線 WL_0 及 WL_n 之記憶體單元的傳導狀態。舉例而言， V_{use1} 可能係大於一已程式化記憶體單元之任何電位電壓的電壓。但是，在大多數案例中，由於在施加第一擦除電壓脈衝之後在定程度上甚至擦除末端記憶體單元，所以使用稍微大於擦除驗證電壓的電壓即足夠。藉由使用 V_{use1} 作為施加至字線 WL_0 及字線 WL_n 的電壓，使得在步驟446的內側字線驗證操作排除末端記憶體單元。為了驗證內側記憶體單元是否被擦除，欄482的偏壓條件被應用至NAND串並且感測位元線電壓。如果內側記憶體單元被充分深度地擦除，則其將處於開啟狀態並且提供從源極線至位元線的傳導路徑。將透過NAND串而引發電流，並且位元線電壓將增大。在一段

預先決定時段後，藉由感測放大器來感測或檢查位元線電壓。如果位元線電壓已到達預先決定位準，則內側記憶體單元被驗證為已擦除。如果內側記憶體單元未被充分深度地擦除，則其將非處於開啟狀態，並且因此未傳導任何電流或將傳導太少量電流。結果，位元線電壓將不增大直到預先決定位準。當在預先決定時段後感測位元線電壓時，其尚未到達預先決定位準，並且內側記憶體單元未被驗證為已擦除。

欄484列出用於僅擦除連接至正被擦除之該集合的末端字線之記憶體單元的偏壓條件。欄484對應於圖15的步驟460至464。如同擦除所有字線，位元線、源極線、源極選擇閘極線及汲極選擇閘極線皆為浮動狀態。此外，將擦除電壓 V_{erase} 供應至p井。為了禁止進一步擦除內側字線的記憶體單元(其已被驗證為已擦除)，內側字線為浮動狀態，並且將0伏供應至末端字線。在此方式中，內側字線將耦合至p井，並且引起跨連接至內側字線的記憶體單元之隧穿介電區無擦除電位。但是，藉由施加0伏至末端字線，彼等記憶體單元將被啟用以進行擦除。因此，當將擦除電壓脈衝施加至p井時，僅末端字線的記憶體單元被擦除。

欄486列出驗證末端字線之已擦除狀態的偏壓條件。欄486對應於圖15的步驟466。如同欄482之內側字線驗證操作，位元線處於浮動狀態，而源極線處於 V_{DD} 。p井被接地，並且藉由電壓 V_{SG} 而開啟汲極選擇閘極線及源極選擇閘極線。為了驗證末端字線，同時排除驗證內側字線，擦除驗

證電壓(例如，0伏)被施加至字線 WL_0 及 WL_n ，同時將電壓 V_{use1} 提供至內側字線。 V_{use1} 將確保內側字線之記憶體單元的傳導狀態，促使可以測試僅末端字線的已擦除狀態。如果末端記憶體單元被充分擦除，則在施加 E_{verify} 電壓下將開啟末端記憶體單元。位元線電壓將增大直到或超過預先決定位準，其指示末端記憶體單元被擦除。如果末端記憶體單元未被充分擦除，則其將維持關斷狀態或至少在施加 E_{verify} 電壓下未被充分開啟。位元線電壓將不增大到預先決定位準，其指示末端記憶體單元尚未被擦除。如上文所述，由於先前已在步驟446驗證內側記憶體單元，所以可視需要驗證整個NAND串。因此，由於內側字線應在擦除驗證電壓下為傳導狀態，所以應將擦除驗證電壓施加至內側字線，以進行末端字線驗證。但是，可能有益的做法係，供應 V_{use1} 以確保傳導狀態，以便僅測試末端記憶體單元的已擦除狀態。

圖17A至17C繪示根據具體實施例之一記憶體單元集合的改良式擦除臨限電壓分佈。圖17A繪示在已將資料寫入至記憶體陣列後，一種四級位式NAND記憶體裝置的已擦除與已程式化臨限電壓分佈。圖17B繪示在施加一單一擦除電壓脈衝完成後，該記憶體裝置之記憶體單元的已擦除臨限電壓分佈。舉例而言，圖17B可對應於已按照圖16之欄480之偏壓條件完成圖15之步驟444的時間。典型地，並且如圖17B所示，在施加一第一擦除電壓脈衝後，僅內側字線(如臨限電壓分佈430所示)的記憶體單元被充分擦除。末端字線(如

臨限電壓分佈432所示)的記憶體單元已從其浮動閘極移除負電荷，但不足以使其處於實際已擦除狀態。此歸因於：因為介於選擇閘極與末端字線之浮動閘極之間的耦合，所以不同字線的擦除運作模式相異。圖17C繪示已將額外擦除脈衝僅施加至正被擦除之該集合的末端字線後，記憶體單元子集的已擦除臨限電壓分佈。舉例而言，圖17C可對應於完成圖15之步驟464之後的時間。這可能係在一個額外擦除脈衝已被施加至末端字線之後，或已透過多次反覆進行步驟460至474來施加多個擦除脈衝之後。由於使用圖15及16所示之方法，所以內側字線及末端字線已將其所連接的記憶體單元擦除至一相似的臨限電壓。因此，已防止由於較緩慢擦除之末端字線造成過擦除內側中間字線。藉由劃分不同記憶體單元子集之驗證，已補償相異之擦除運作模式，使得所有記憶體單元最終皆處於約相同的臨限電壓分佈。

在其他具體實施例中，可用不同方式來進行一NAND串之字線劃分。舉例而言，一NAND串的兩個最末端字線(例如， WL_0 、 WL_1 、 WL_{n-1} 和 WL_n)可被分組在一起為末端字線，並且其餘字線(WL_2 至 WL_{n-2})被分組在一起為內側字線。在此一具體實施例中，圖15的步驟446將包括驗證字線 WL_2 至 WL_{n-2} ，並且將執行步驟462及466以進一步擦除及驗證字線 WL_0 、 WL_1 、 WL_{n-1} 和 WL_n 。在另一項具體實施例中，可將六個或六個以上字線分組在一起為末端字線。亦可實施其他的分組方式。

圖 18A 及 18B 繪示根據各項具體實施例可使用的擦除電壓訊號。圖 18A 繪示一具有量值 V_{erase1} 之第一擦除電壓脈衝 pulse_1 。第一脈衝可能係在圖 15 之步驟 444 施加至正被擦除之該記憶體單元集合的第一脈衝。此脈衝係用於擦除該集合之所有記憶體單元。在一些具體實施例中，擦除脈衝的第一值可能係約 15 伏至 20 伏。在一具體實施例中，較佳方式為，選擇第一擦除脈衝之量值之方式係，促使在寫/擦除循環前後，在施加單一擦除電壓脈衝後，將僅僅擦除內側字線上的記憶體單元(並且不會被過擦除)。但是，在寫/擦除循環後，或由於個別建構之記憶體裝置的參數相異，在第一脈衝後可能未擦除所有內側記憶體單元。在其他具體實施例中，可選擇第一擦除電壓脈衝，促使僅在寫/擦除循環後，或僅在有限次數寫/擦除循環期間，在施加第一脈衝後，將擦除內側記憶體單元。在延續之寫/擦除循環後，可能需要更多脈衝。此項技術可在寫/擦除循環開始時減小過擦除，代價為在延續之寫/擦除循環後有更多擦除電壓脈衝。

如圖 18A 所示，在內側字線被成功驗證為已擦除之前施加第二脈衝 pulse_2 。擦除電壓訊號係按步進大小 ΔV_{ERA1} 從 pulse_1 遞增至 pulse_2 。按 ΔV_{ERA1} 遞增對應於圖 15 的步驟 456。在一具體實施例中， ΔV_{ERA1} 可能係約 0.5 伏至 1 伏。施加第二擦除電壓脈衝後，所有內側字線被成功驗證。此可對應於圖 15 的步驟 448。在驗證所有內側字線後，僅繼續擦除末端記憶體單元。彼等記憶體單元擦除較緩慢，因此按第二

較大增量步進大小 $\Delta V_{\text{ERA}2}$ 來遞增擦除電壓訊號，用於施加第三擦除電壓脈衝 pulse_3 。此可對應於圖 15 的步驟 458。較佳方式為，在一具體實施例中，選擇 $\Delta V_{\text{ERA}2}$ 以使得在施加第一擦除電壓脈衝(例如， pulse_3)後，在寫/擦除循環前後，僅僅末端記憶體單元(所有末端記憶體單元)將被擦除。在一具體實施例中， $\Delta V_{\text{ERA}2}$ 為約 2 伏。施加 pulse_3 對應於圖 15 的步驟 464。其後，按第三步進大小 $\Delta V_{\text{ERA}3}$ 來遞增脈衝。此對應於圖 15 的步驟 474。在一具體實施例中， $\Delta V_{\text{ERA}3}$ 可等於(或在其他具體實施例中，可大於或小於) $\Delta V_{\text{ERA}1}$ 。

圖 18B 繪示擦除電壓訊號之替代具體實施例，當執行圖 15 之方法時可使用該擦除電壓訊號。在此具體實施例中，第一擦除電壓脈衝被選擇為大於第二脈衝。選擇第一擦除電壓脈衝 pulse_1 ，以引發大電壓偏移(例如，約 6 伏)。仍然理想地選擇此擦除電壓脈衝，使得在一定數量之寫/擦除循環前後，在施加單一脈衝後，內側記憶體單元將被擦除。但是，應明白，在一些案例中，可用一個以上脈衝以擦除所有內側記憶體單元。在其他具體實施例中，可選擇第一擦除電壓脈衝，促使僅在寫/擦除循環後，或僅在有限次數寫/擦除循環期間，在施加第一擦除電壓脈衝後，將擦除內側記憶體單元。在延續之寫/擦除循環後，可能需要更多脈衝。在圖 18B 之具體實施例中，在所有內側記憶體單元被驗證為已擦除之前，需要第二脈衝及第三脈衝。第二擦除電壓脈衝 pulse_2 比 pulse_1 小一步進大小 $\Delta V_{\text{ERA}4}$ 。遞減擦除電壓訊號亦對應於圖 15 的步驟 456。但是，按 $\Delta V_{\text{ERA}4}$ 之大小來遞

減(而非遞增)擦除電壓脈衝。這確保在施加第二擦除電壓脈衝後，內側記憶體單元未被擦除。使第二脈衝較小，以引發記憶體單元之臨限電壓較小偏移。如果需要第三擦除電壓脈衝(如 pulse_3 所示)，則可按步進大小 $\Delta V_{\text{ERA}1}$ 來遞增脈衝，以確保繼續從彼等記憶體單元的浮動閘極轉移電子。

施加第三擦除電壓脈衝後，內側記憶體單元被驗證為已擦除。圖 18B 之其餘部分相同於圖 18A。自前一擦除電壓脈衝大小按量值 $\Delta V_{\text{ERA}2}$ 來遞增第四擦除電壓脈衝 pulse_4 ，其被施加至僅末端記憶體單元。此對應於圖 15 的步驟 458。在圖 18B 之具體實施例中，需要額外擦除電壓脈衝以擦除末端記憶體單元。因此，按高於第四擦除電壓脈衝值之值 $\Delta V_{\text{ERA}3}$ 來遞增第五擦除電壓脈衝 pulse_5 。在一具體實施例中，在施加第一擦除電壓脈衝 pulse_1 後，第二擦除電壓脈衝 pulse_2 之大小可能相同於 pulse_1 之大小，而非遞減其大小。在此一具體實施例中，其後用以擦除內側記憶體單元所需的任何擦除電壓脈衝將按值 $\Delta V_{\text{ERA}1}$ 予以遞增，如所示。

圖 19 繪示根據一具體實施例之執行圖 15 之步驟 456 的流程圖。在圖 19 中，按圖 18B 之擦除電壓脈衝所示來執行步驟 456。在圖 15 之步驟 450 中，首先在步驟 490 判定驗證計數器 VC 是否等於零，其指示出迄今僅一個擦除電壓脈衝已被施加至該記憶體單元集合。如果驗證計數器等於零(其指示出這是第一次改變擦除電壓脈衝之大小)，則方法進行至步驟 492，在此步驟按值 $\Delta V_{\text{ERA}4}$ 來遞減擦除電壓脈衝大小。這將會導致在下次反覆操作期間施加一似 pulse_2 之脈衝。但是，

如果驗證計數器不等於零(其指示出這是第二次或多次改變擦除電壓訊號)，則方法進行至步驟494，在此步驟按 ΔV_{ERA1} 來遞增擦除電壓訊號，因而導致似圖18B之pulse₃的脈衝。從步驟492及494，該方法再次進行到圖15之步驟440。

在所謂軟性程式化操作期間，電容耦合亦可導致NAND串中記憶體單元之間的運作模式相異。典型地，藉由同時施加軟性程式化脈衝至所選區塊的所有字線，來實行軟性程式化操作。在擦除一記憶體單元集合後執行軟性程式化。執行軟性程式化，以使該記憶體單元集合的已擦除臨限電壓分佈變窄，並且正規化該記憶體單元集合內個別記憶體單元的已擦除臨限電壓分佈。軟性程式化脈衝之振幅低於正規程式化脈衝(例如，如圖6所示)，以避免記憶體單元到達已程式化狀態。所要的軟性程式化結果係，記憶體單元具有較窄之擦除臨限電壓分佈。據此，非意欲使臨限電壓偏移至程式化狀態範圍內。

在施加每一軟性程式化脈衝之後，實行一驗證操作，該驗證操作類似於如圖10所示之典型擦除驗證操作。於驗證軟性程式化操作期間，測試通過一NAND串的傳導，而且使每一記憶體單元的閘極接收擦除驗證電壓。在擦除驗證操作期間，一旦所選區塊中的一部分數量NAND串已到達非傳導狀態(指示出該NAND串的至少一記憶體單元已到達擦除驗證位準)，軟性程式化結束。軟性程式化之結果在於，所擦除之記憶體單元的臨限電壓分佈向上偏移至較接近擦除驗證位準。使用軟性程式化，可使擦除臨限電壓分佈向上偏

移至接近擦除驗證位準的位準，即使記憶體單元原先被過擦除。

因為從選擇閘極至NAND串之末端字線之記憶體單元的電容耦合，所以NAND串之記憶體單元的軟性程式化運作模式不同。在軟性程式化操作期間，介於選擇閘極與末端記憶體單元之間的電容耦合減緩彼等記憶體單元。因此，可預期，在軟性程式化後，末端字線之記憶體單元的已擦除狀態深於內側字線之記憶體單元的已擦除狀態。

圖20繪示在歷經軟性程式化之後一NAND串之記憶體單元的已擦除臨限電壓分佈。臨限電壓分佈430繪示在歷經軟性程式化之後內側字線記憶體單元的已擦除臨限電壓分佈。軟性程式化已使此已擦除臨限電壓分佈偏移至較接近擦除驗證位準。由於如果在施加擦除驗證電壓下，預先決定數量之NAND串係處於非傳導狀態，則對於軟性程式化之驗證將一記憶體單元群組驗證為已被成功軟性程式化，所以一定數量之記憶體單元的臨限電壓偏移至超過擦除驗證位準。臨限電壓高於擦除驗證位準的實際記憶體單元數量取決於所採用的實際驗證方案。舉例而言，如果該方案在一單一NAND串變成非傳導狀態時將軟性程式化驗證為完成，則該群組中僅一個記憶體單元可能高於驗證位準。在其他方案中，該群組內的上千個記憶體單元之臨限電壓僅僅偏移至超過擦除驗證位準。臨限電壓分佈432繪示末端記憶體單元的臨限電壓。因為末端記憶體單元的較緩慢軟性程式化時間，所以末端記憶體單元的臨限電壓尚未偏移為

接近擦除驗證位準。

根據一具體實施例，一記憶體單元集合的字線再次被劃分成子集，使得可用一種適應個別字線子集需要的方式來實行軟性程式化。此方法類似於圖15所示之擦除驗證方法。正被軟性程式化的該記憶體單元集合之所有字線歷經一些初始軟性程式化。驗證該記憶體單元集合或其子集已被成功軟性程式化之後，可執行僅對於末端字線的額外軟性程式化，以使末端字線脫離較深度的已擦除狀態且較接近擦除驗證位準。

圖21繪示在一具體實施例中用於軟性程式化的方法。舉例而言，圖21之方法可用於軟性程式化一區塊記憶體單元的複數個NAND串。在一具體實施例中，對於圖7之軟性程式化步驟342，可執行根據圖21之的軟性程式化。在步驟602，軟性程式化電壓訊號 V_{SPGM} 被設定為其起始值，並且軟性程式化計數器SPC被設定為零。在步驟604，源極線、位元線及源極選擇閘極線被接地。此外，將 V_{SG} 供應至汲極選擇閘極線。若需要，可在正要施加軟性程式化脈衝之前先降低汲極選擇閘極線電壓至約2.5伏，以允許推動軟性程式化禁止(步驟617)。在其他案例中則並非如此。藉由將被偏壓至 V_{DD} 的通道，仍然可在程度上使軟性程式化禁止發生(步驟617)。在步驟606，第一軟性程式化脈衝被施加至正被軟性程式化之該記憶體單元集合的所有字線。在步驟608，使用擦除驗證電壓位準，來驗證所有字線之記憶體單元的已擦除狀態。在一具體實施例中，步驟608可包括僅驗證內

側字線的記憶體單元，同時確保末端記憶體單元的傳導狀態。但是，在大多數案例中，由於末端字線的記憶體單元之軟性程式化速度比內側字線的記憶體單元之軟性程式化速度緩慢，所以在施加至擦除驗證電壓下，末端字線的記憶體單元無論如何都將處於傳導狀態。

在步驟610，比較被軟性程式化之區塊中的非傳導狀態NAND串數量與預先決定數量。如果非傳導狀態NAND串數量不大於預先決定數量，則在步驟612比較軟性程式化計數器SPC與預先決定限制值(例如，20)。如果軟性程式化計數器不小於20，則在步驟614報告軟性程式化操作失敗狀態。如果軟性程式化計數器小於20，則方法進行至步驟616，在此步驟將軟性程式化計數器SPC加1，並且按一預先決定值來遞增軟性程式化電壓訊號。在步驟617，在步驟608之驗證期間處於非傳導狀態(被成功軟性程式化)之NAND串被禁止予以進一步軟性程式化。藉由施加較高電壓(諸如 V_{DD})至相對應之位元線，可禁止軟性程式化特定NAND串。在下一軟性程式化循環期間，藉由使位元線電壓上升，被禁止之NAND串的通道區域將被增壓至一高電壓。介於記憶體單元之浮動閘極與被禁止之NAND串的通道區域之間的電壓差將太低，而造成進一步軟性程式化彼等記憶體單元。接著，方法進行至步驟604，以施加額外軟性程式化脈衝至該等記憶體單元。

如果非傳導狀態NAND串數量大於預先決定數量(指示出該等記憶體單元已成功歷經軟性程式化)，則在步驟618重

設軟性程式化計數器SPC。在一具體實施例中，步驟618可進一步包括遞增軟性程式化電壓訊號。在一具體實施例中，步驟618之增量可相同於步驟616之增量或其他值。舉例而言，在一具體實施例中，軟性程式化電壓訊號係按步驟616之步進大小 ΔV_{spgm1} 予以遞增。在步驟618，可按步進大小 ΔV_{spgm2} (可大於 ΔV_{spgm1})進行遞增。在一具體實施例中，可使用相似於圖18A之擦除電壓訊號的軟性程式化電壓訊號。

在步驟620，位元線、源極線及源極選擇閘極線被接地，且將 V_{SG} 施加至汲極選擇閘極線。在步驟622，禁止軟性程式化內側字線。藉由施加約0伏至3伏之級數的小正電壓至內側字線，可禁止軟性程式化內側字線。在一具體實施例中，施加至內側字線的電壓較大且係約5伏至10伏之級數。舉例而言，該電壓可能係一通電壓(pass voltage; V_{pass})，典型施加該電壓以增大NAND串的通道區域的電壓，以禁止程式化或軟性程式化。對於擬被禁止進一步軟性程式化(已驗證為已被軟性程式化)的NAND串，在進一步反覆進行步驟618至634中，較高電壓將足以確保被禁止之NAND串的通道區域被充分增壓，以避免進一步軟性程式化。在步驟624，軟性程式化脈衝被施加至正被擦除之該記憶體單元集合的僅僅末端字線，以進一步軟性程式化末端記憶體單元。在步驟626，驗證末端記憶體單元字線的已擦除狀態，同時確保不管內側字線之狀態，內側字線皆係處於傳導狀態(排除驗證內側字線)。擦除驗證電壓位準可被施加至末端

字線，同時電壓 V_{use1} (足以確保內側字線之傳導狀態) 被施加內側字線。在此方式中，僅驗證末端字線，同時排除驗證內側字線。

在步驟 628，比較步驟 626 中所判定之非傳導狀態 NAND 串數量與預先決定數量。如果非傳導狀態 NAND 串數量大於預先決定數量 (指示出末端字線的記憶體單元現在已向上偏移至接近擦除驗證位準)，則方法進行至步驟 630，在此步驟報告通過狀態。如果非傳導狀態 NAND 串數量不大於預先決定數量，則比較軟性程式化計數器與預先決定限制值。如果軟性程式化計數器大於預先決定限制值，則在步驟 614 報告操作失敗狀態。但是，如果軟性程式化計數器小於預先決定限制值，則在步驟 634，將軟性程式化計數器加 1，並且遞增軟性程式化電壓訊號。在步驟 635，在步驟 626 之驗證期間處於非傳導狀態 (被成功軟性程式化) 之 NAND 串被禁止予以進一步軟性程式化。接著，方法進行至步驟 620，以進一步軟性程式化末端記憶體單元。

在一具體實施例中，步驟 634 係按相同於步驟 616 之大小來遞增軟性程式化電壓訊號；然而，在其他具體實施例中，則使用其他值舉例而言，如果使用相似於圖 18B 之擦除電壓訊號的軟性程式化電壓訊號，則步驟 634 可包括按 ΔV_{spgm3} (相似於 ΔV_{ERA3}) 之大小進行遞增，步驟 618 可包括按 ΔV_{spgm2} (相似於 ΔV_{ERA2}) 之大小進行遞增，以及步驟 616 可包括按 ΔV_{spgm1} (相似於 ΔV_{ERA1}) 之大小進行遞增。在此一具體實施例中，步驟 616 可進一步包括：在第一次反覆期間，按 ΔV_{spgm4}

(相似於 $\Delta V_{\text{ERA}4}$)之大小進行遞減；以及在後續反覆期間，按 $\Delta V_{\text{spgm}1}$ 之大小進行遞增。

在不同具體實施例中，可用不同方式來進行一NAND串之字線劃分，以進行軟性程式化。舉例而言，一NAND串的兩個最末端字線(例如， WL_0 、 WL_1 、 WL_{n-1} 和 WL_n)可被分組在一起為末端字線，並且其餘字線(WL_2 至 WL_{n-2})被分組在一起為內側字線。在此一具體實施例中，圖21的步驟622將包括禁止字線 WL_2 至 WL_{n-2} ，並且將執行步驟624及626以進一步軟性程式化及驗證字線 WL_0 、 WL_1 、 WL_{n-1} 和 WL_n 。在另一項具體實施例中，可將六個或六個以上字線被分組在一起為末端字線。亦可實施其他的分組方式。

圖22係展示用於圖21所示之流程圖之各種操作的偏壓條件。欄640列出正被擦除之該集合的所有記憶體單元的軟性程式化操作之偏壓條件。欄640對應於圖21的步驟604至606。為了進行軟性程式化，位元線、源極線及p井係在0伏。圖中繪示在圓括號中的 V_{DD} 係用於位元線電壓，以指示出 V_{DD} 被施加至擬被禁止軟性程式化的NAND串。源極側選擇閘極線係在0伏，而汲極側選擇閘極線係在 V_{SG} 。軟性程式化脈衝 V_{spgm} 被施加至該記憶體單元集合的每一字線，以使字線所連接的每一記憶體單元的臨限電壓上升。

欄642列出用於驗證該集合之所有記憶體單元之軟性程式化的偏壓條件。欄642對應於圖21的步驟608。彼等偏壓條件相同於用於驗證一記憶體單元集合中所有記憶體單元之擦除的偏壓條件。位元線處於浮動狀態且p井係在0伏，

而 V_{DD} 被提供至源極線。彼等兩個選擇閘極皆係藉由 V_{SG} 予以開啟。擦除驗證電壓被施加至每一字線，以判定 NAND 串是否處於非傳導狀態，並因此有至少一記憶體單元已到達擦除驗證位準。

欄 644 列出用於軟性程式化僅末端字線的偏壓條件。欄 644 對應於圖 21 的步驟 620 至 624。藉由供應 V_{SG} 至汲極側選擇閘極線而開啟汲極側選擇閘極線，並且藉由供應 0 伏至源極側選擇閘極線而關斷源極側選擇閘極線。將低正電壓 V_{use1} (例如，0 伏至 5 伏) 提供至內側字線。藉由施加小正電壓至內側字線，可禁止在施加軟性程式化脈衝下而進一步程式化連接至內側字線的記憶體單元。末端字線接收軟性程式化脈衝 V_{SPGM} ，以歷經進一步軟性程式化。當擬禁止進一步軟性程式化已驗證為已被軟性程式化的 NAND 串時，施加至內側字線的 V_{use1} 之值可能係相對高電壓 (例如， $V_{pass} = 5$ 伏至 10 伏)，而非小正電壓。因為亦將 V_{DD} 施加至被禁止之 NAND 串的位元線，所以在下一軟性程式化循環期間，相對高電壓將造成被禁止之 NAND 串的通道區域被增壓至一高電壓。此使介於記憶體單元之浮動閘極與被禁止之 NAND 串的通道區域之間的電壓差足夠低，使得不會發生進一步軟性程式化彼等記憶體單元。

欄 646 列出僅末端字線的軟性程式化驗證偏壓條件。欄 646 可對應於圖 21 的步驟 626。位元線處於浮動狀態，而源極線處於 V_{DD} 。p 井係在 0 伏。藉由供應 V_{SG} 至汲極選擇閘極線及源極選擇閘極線，而開啟彼等兩個選擇閘極。 V_{use1} 被

供應至內側字線。如上文所述，在一些案例中，於軟性程式化(欄644)期間使用的 V_{use1} 值可大於0伏至3伏。用於驗證的 V_{use1} 值係約0伏至3伏。其僅需要高於擦除驗證電壓，以便確定已完成軟性程式化之內側字線的記憶體單元係處於傳導狀態。在此方式中，可單獨判定及驗證末端字線上之記憶體單元的狀態。因此，於軟性程式化期間使用的 V_{use1} 值(例如，5伏至10伏)可不同於於軟性程式化驗證期間使用的值(例如，0伏至3伏)。將擦除驗證電壓或0伏施加至末端字線。在此方式中，排除軟性程式化驗證內側字線，同時末端字線歷經驗證。

圖23繪示在歷經根據圖21及22之軟性程式化之後的一記憶體單元集合之臨限電壓分佈。如圖23所示，內側字線及末端字線的擦除臨限電壓分佈已向上移至接近擦除驗證位準。內側字線臨限電壓分佈430已向上偏移至接近擦除驗證位準，如同正常發生之狀況。由於額外軟性程式化(步驟618至635)，末端字線臨限電壓分佈432亦已向上移至接近擦除驗證位準。

上文提供之實例係關於NAND型快閃記憶體。但是，本發明原理適用於利用串聯結構之其他類型非揮發性記憶體，包括現有記憶體及考慮使用已開發中新技術的記憶體。

基於圖解及說明的目，前文已提出本發明的實施方式。它不是預計詳細說明本發明或使本發明限定於發表的確切形式。可按照前面的講授進行許多修改及變化。選取的具體實施例係為了最佳地解說本發明的原理及其實務應用，

使熟悉此項技術者以各種具體實施例最佳地運用本發明，並且各種修改皆適用於所考量的特定用途。本發明範疇擬藉由隨附的申請專利範圍予以定義。

【圖式簡單說明】

圖1繪示一NAND串的俯視圖。

圖2繪示圖1所示之NAND串的同等電路圖。

圖3繪示三個NAND串的電路圖。

圖4繪示可實施本發明各項態樣之非揮發性記憶體系統之具體實施例的方塊圖。

圖5繪示記憶體陣列的示範性組織。

圖6繪示根據具體實施例可施加至一所選字線的示範性程式化/驗證電壓訊號。

圖7繪示用於執行程式化操作之示範性流程圖。

圖8繪示一記憶體群組的示範性臨限電壓分佈。

圖9繪示儲存兩位元之資料的一記憶體群組之示範性臨限電壓分佈。

圖10係展示根據先前技術執行擦除操作的示範性偏壓條件之表格。

圖11係繪示在一理想擦除操作期間一NAND串之各種部分處電壓的圖表。

圖12係繪示一NAND串內各種電容耦合電壓的NAND串之剖面圖。

圖13係繪示在一擦除操作期間一NAND串之末端記憶體單元的各種電壓之圖表。

圖 14A 及 14B 繪示在完成一擦除操作後一 NAND 串之末端與內側記憶體單元的示範性個別臨限電壓分佈。

圖 15 繪示根據一具體實施例之擦除一非揮發性儲存元件集合的流程圖。

圖 16 係繪示根據一具體實施例之擦除及驗證擦除一非揮發性儲存元件集合之偏壓條件的表格。

圖 17A 至 17C 繪示根據一具體實施例在一擦除操作期間之各時間點，一 NAND 串之末端記憶體單元與內側記憶體單元的臨限電壓分佈。

圖 18A 至 18B 係繪示根據一具體實施例之擦除電壓訊號的圖表。

圖 19 繪示根據一具體實施例之執行圖 15 之步驟 456 的流程圖。

圖 20 繪示根據先前技術在軟性程式化後，一 NAND 串之末端記憶體單元與內側記憶體單元的示範性臨限電壓分佈。

圖 21 繪示根據一具體實施例之軟性程式化一非揮發性儲存元件集合的流程圖。

圖 22 係繪示根據一具體實施例之軟性程式化及驗證軟性程式化一非揮發性儲存元件集合之偏壓條件的表格。

圖 23 繪示根據一具體實施例在軟性程式化後，一 NAND 串之末端記憶體單元與內側記憶體單元的示範性臨限電壓分佈。

【主要元件符號說明】

100, 102, 104, 106	電 晶 體
100CG, 102CG,	控 制 閘 極
104CG, 106CG	
100FG, 102FG,	浮 動 閘 極
104FG, 106FG	
120	第 一 選 擇 閘 極
120CG	控 制 閘 極
122	第 二 選 擇 閘 極
122CG	控 制 閘 極
126	位 元 線
128	源 極 線
202, 204, 206	NAND 串
220, 230, 240, 250	選 擇 電 晶 體 (選 擇 閘 極)
222, 224, 226, 228, 242,	記 憶 體 單 元
244, 246, 248, 252	
302	記 憶 體 單 元 陣 列
304	行 控 制 電 路
306	列 控 制 電 路 (列 控 制 器 或 解 碼 器)
308	p 井 控 制 電 路
310	共 同 源 極 線 控 制 電 路
312	資 料 輸 入 / 輸 出 緩 衝 器
314	命 令 電 路
315	控 制 電 路
316	狀 態 機

318	控制器
330, 332	程式化脈衝
334	第一驗證脈衝
336	第二驗證脈衝
338	第三驗證脈衝
380	第一臨限電壓分佈
382	第二臨限電壓分佈
384, 386, 388, 390	臨限電壓分佈
410	接收擦除電壓訊號之p井區的電壓
412	浮動閘極電壓
414	控制閘極電壓
420	p井區電壓
422	浮動閘極電壓
424	控制閘極電壓
430	內側字線臨限電壓分佈
432	末端字線臨限電壓分佈
502, 504, 506, 508, 510, 512, 514, 516	記憶體單元
502c, 504c, 506c, 508c, 510c, 512c, 514c, 516c	控制閘極
502f, 504f, 506f, 510f, 512f, 514f, 516f	浮動閘極
520, 522	選擇閘極
526, 528, 542	N+擴散區

532	p井至浮動閘極之耦合
534, 538	從選擇閘極至記憶體單元之浮動 閘極的電容耦合
536	NAND串之個別記憶體單元之浮動 閘極之間的額外電容耦合效應
540	p井區
A,B,C	已程式化臨限電壓分佈
E	已擦除臨限電壓分佈
BL _e	偶數位元線
BL _o	奇數位元線
PC	程式化計數器
pulse ₁ , pulse ₂ , pulse ₃ , pulse ₄ , pulse ₅	擦除電壓脈衝
SGD, SGS	選擇線
SPC	軟性程式化計數器
VC	驗證計數器
V _{erase}	擦除電壓訊號
V _{FG}	浮動閘極電壓
V _{pgm}	程式化脈衝電壓位準
V _{SG}	選擇閘極電壓
V _{SPGM}	軟性程式化電壓訊號
V _T	臨限電壓
WL0, WL1, WL2, WL3	字線
ΔV_{ERA1} , ΔV_{ERA2} , ΔV_{ERA3} , ΔV_{ERA4}	步進大小(差量)

五、中文發明摘要：

一 非揮發性儲存元件集合被劃分成若干子集以進行擦除，以便避免過擦除較快速擦除的儲存元件。整個該非揮發性儲存元件集合被擦除，直到該非揮發性儲存元件集合之一第一非揮發性儲存元件子集被驗證為已被擦除。該第一非揮發性儲存元件子集可包括較快速擦除之非揮發性儲存元件。驗證該第一非揮發性儲存元件子集包括排除驗證一第二非揮發性儲存元件子集。該第一非揮發性儲存元件子集被驗證為已被擦除後，禁止擦除該第一非揮發性儲存元件子集，同時進一步擦除該第二非揮發性儲存元件子集。當該第二非揮發性儲存元件子集被驗證為已被擦除時，該非揮發性儲存元件集合被驗證為已被擦除。驗證該非揮發性儲存元件集合是否已被擦除可包括：排除驗證該第一非揮發性儲存元件子集，或一起驗證該第一非揮發性儲存元件子集及該第二非揮發性儲存元件子集。依據正被擦除及驗證的非揮發性儲存元件子集，使用不同步進大小，以更高效率且精確地擦除該非揮發性儲存元件集合。

六、英文發明摘要：

十一、圖式：

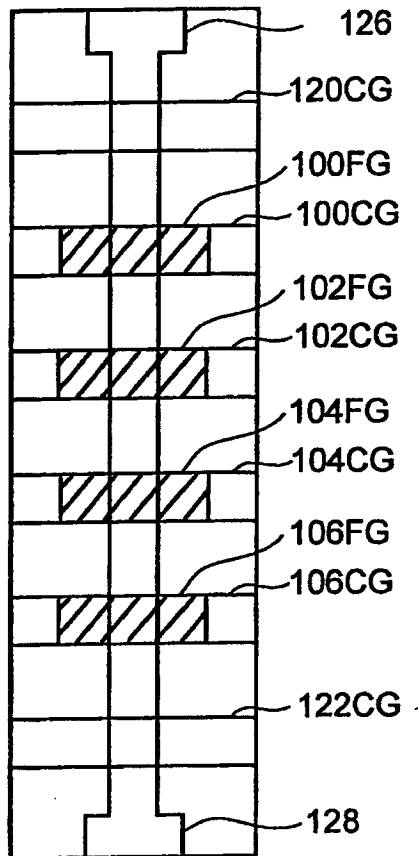


圖 1

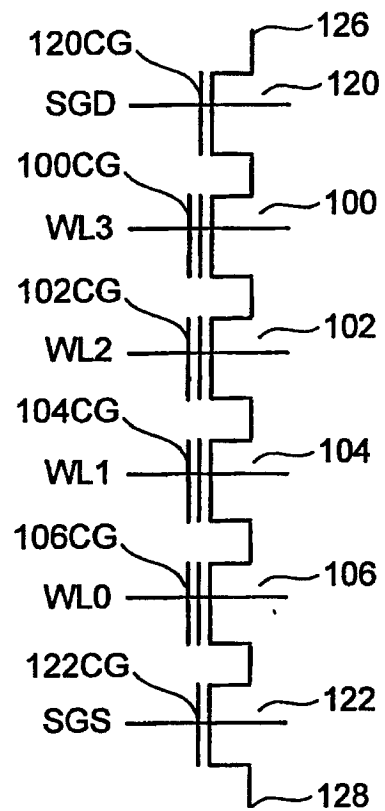


圖 2

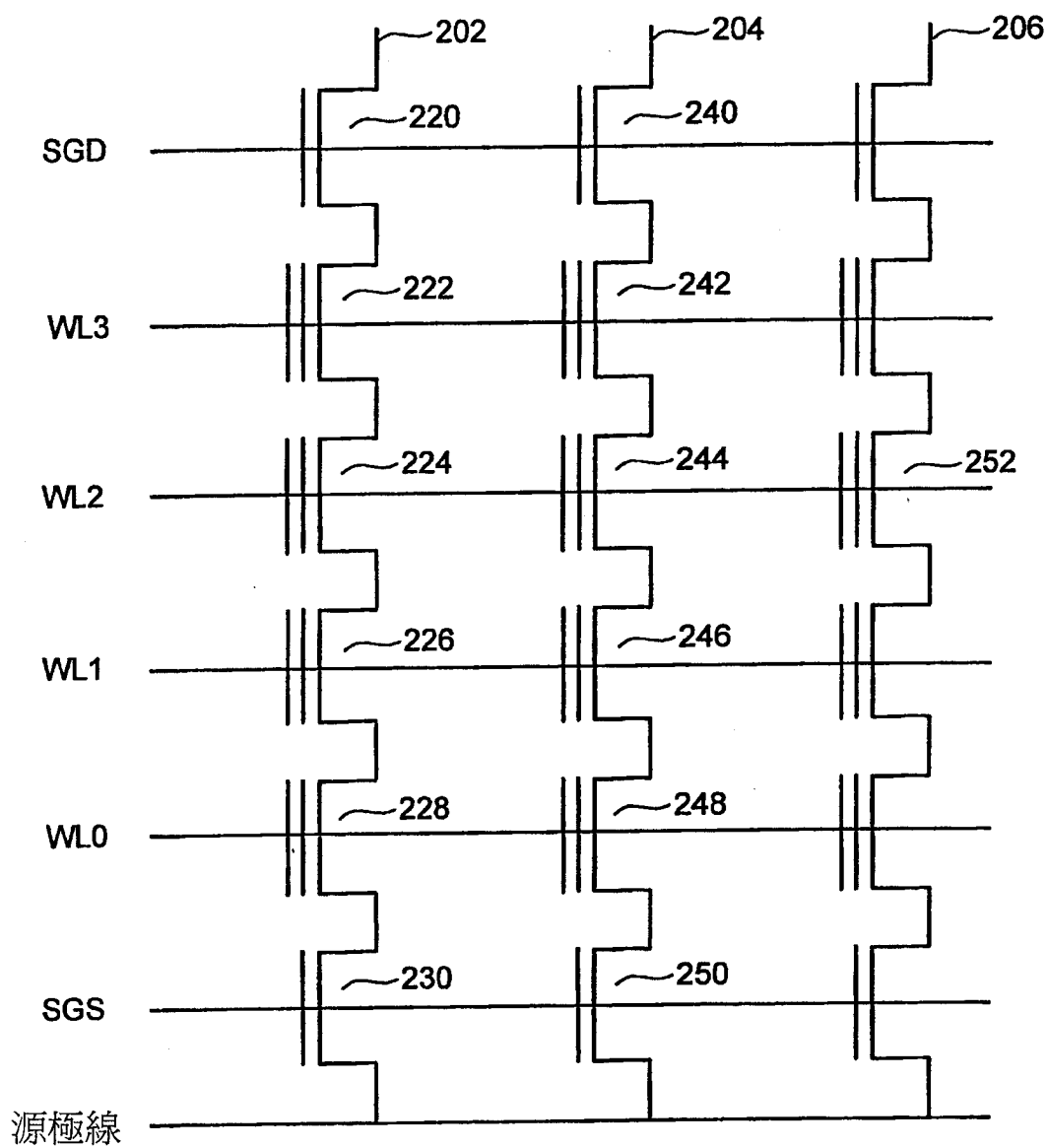


圖 3

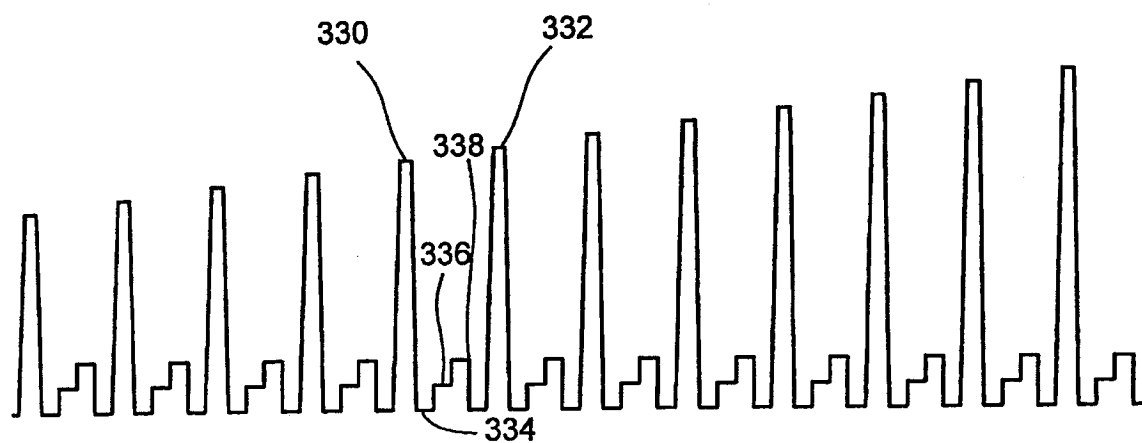
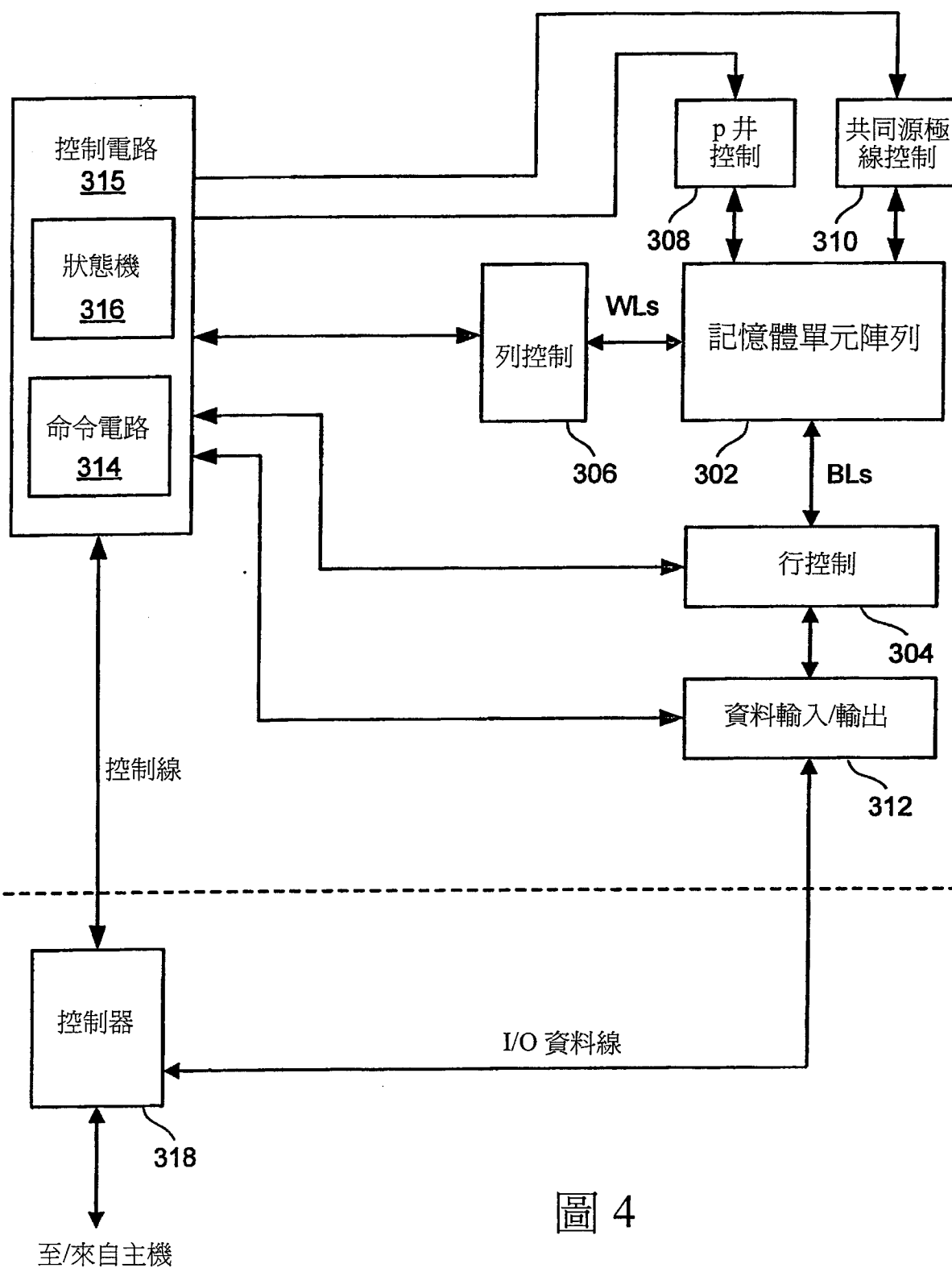


圖 6



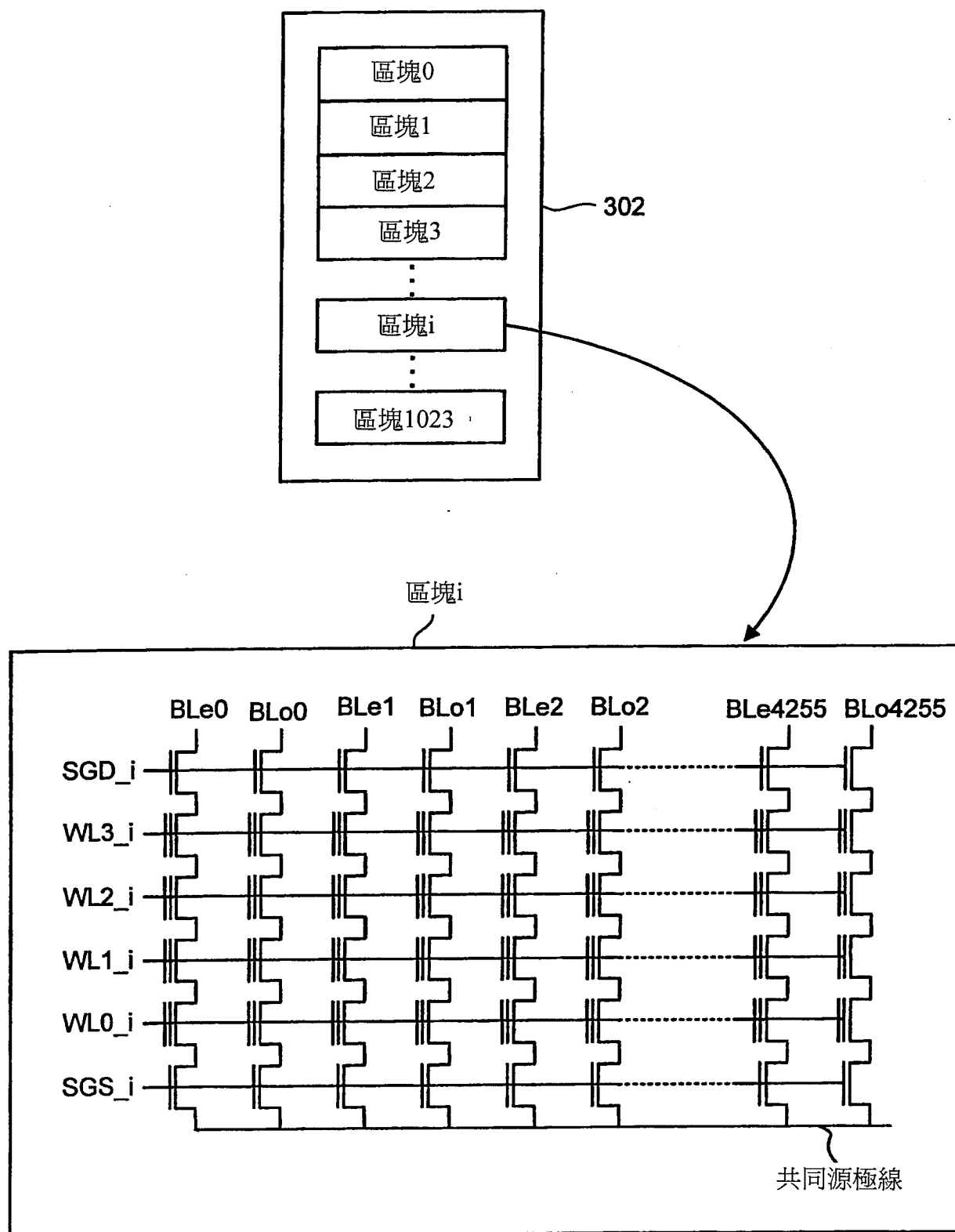


圖 5

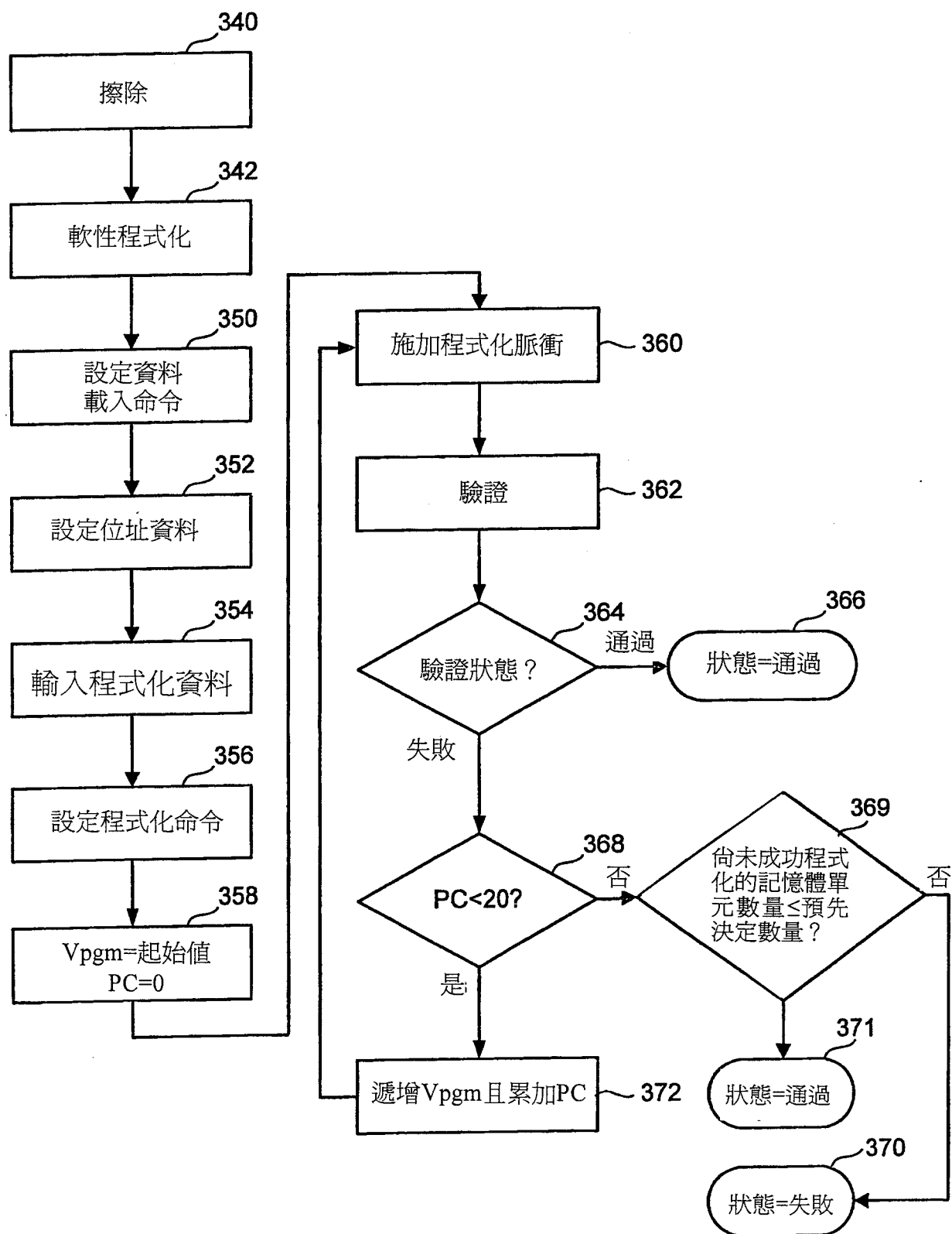


圖 7

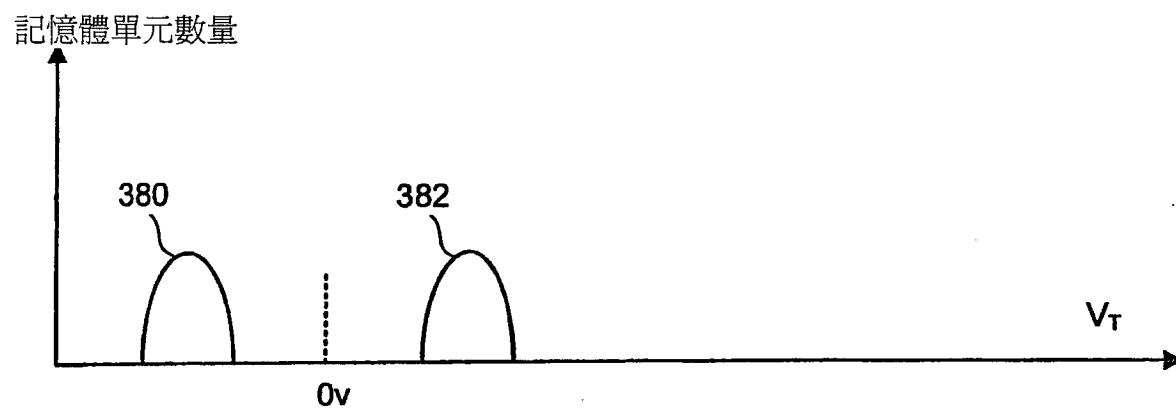


圖 8

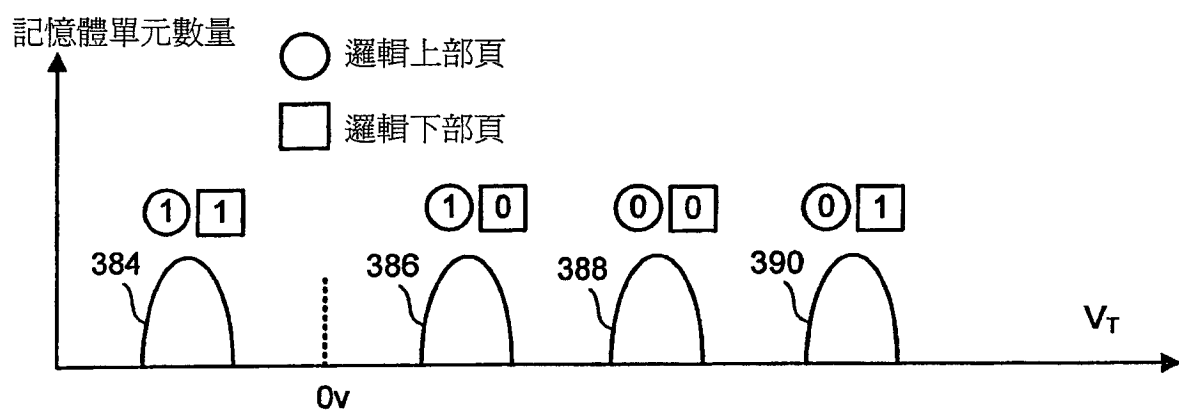


圖 9

	擦除	擦除驗證
位元線	浮動	浮動
SGD	浮動	V_{SG}
WLn	0V	0V
WLn-1	0V	0V
.	0V	0V
.	0V	0V
WLi	0V	0V
.	0V	0V
.	0V	0V
WL1	0V	0V
WL0	0V	0V
SGS	浮動	V_{SG}
源極線	浮動	V_{DD}
P 井	V_{erase}	0V

圖 10

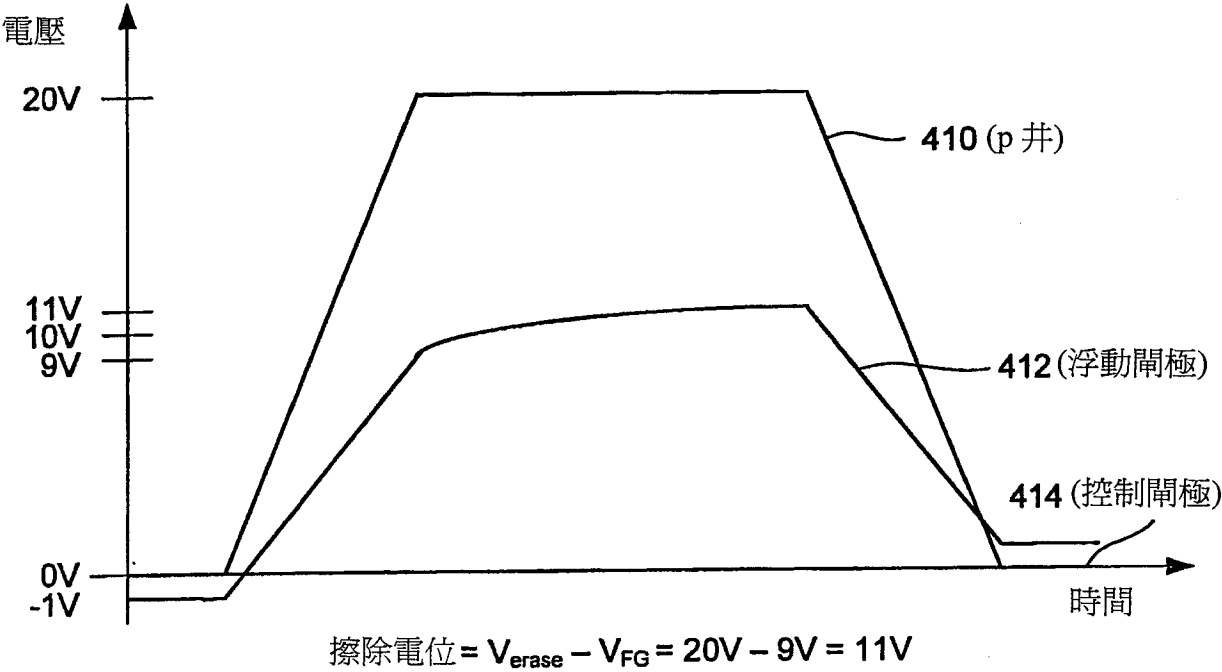


圖 11



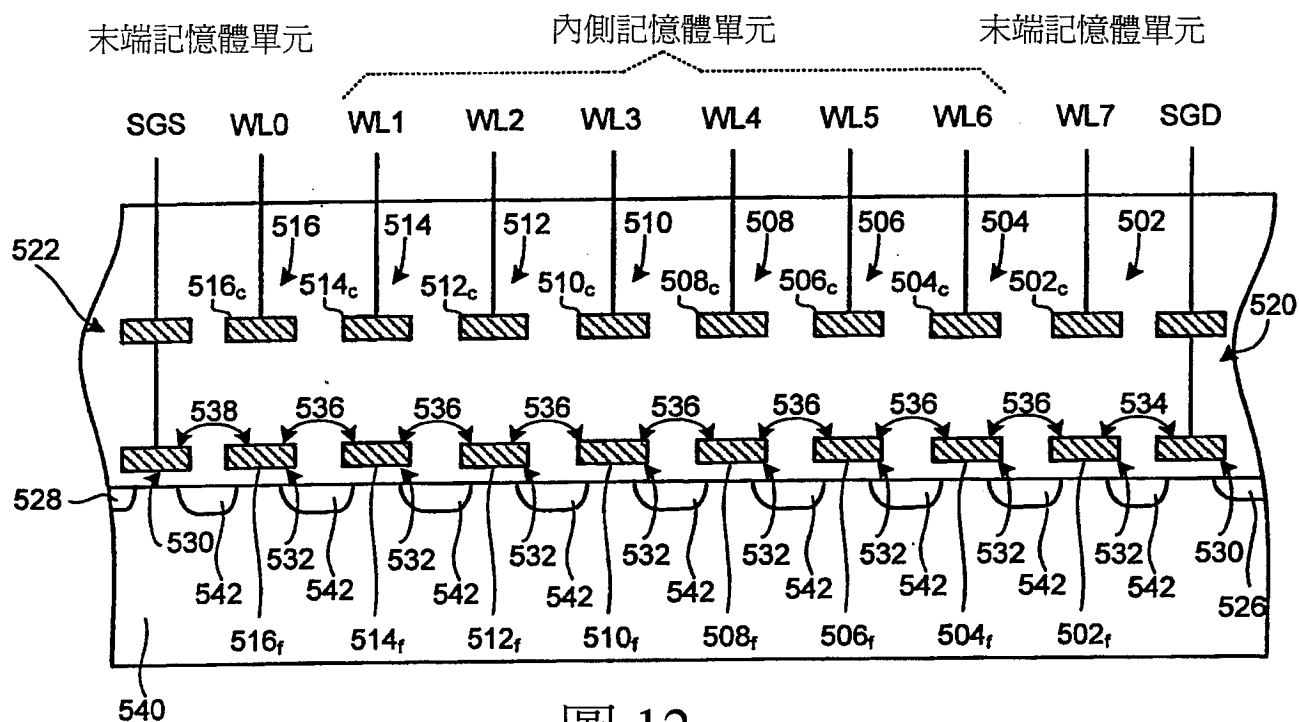


圖 12

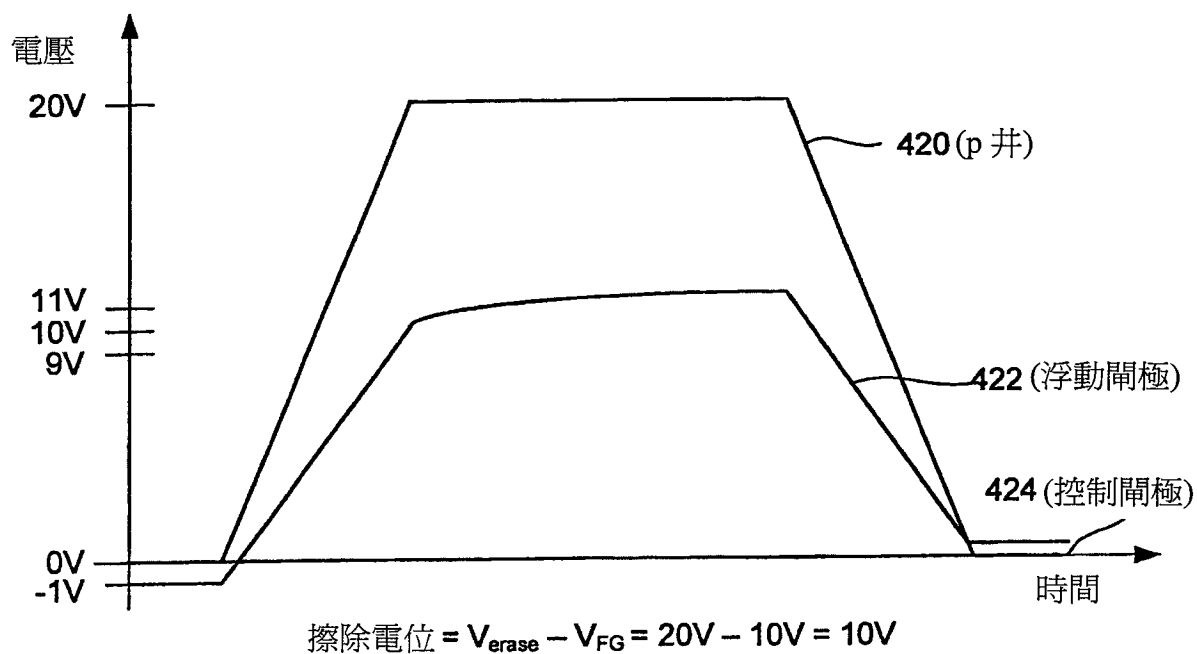


圖 13

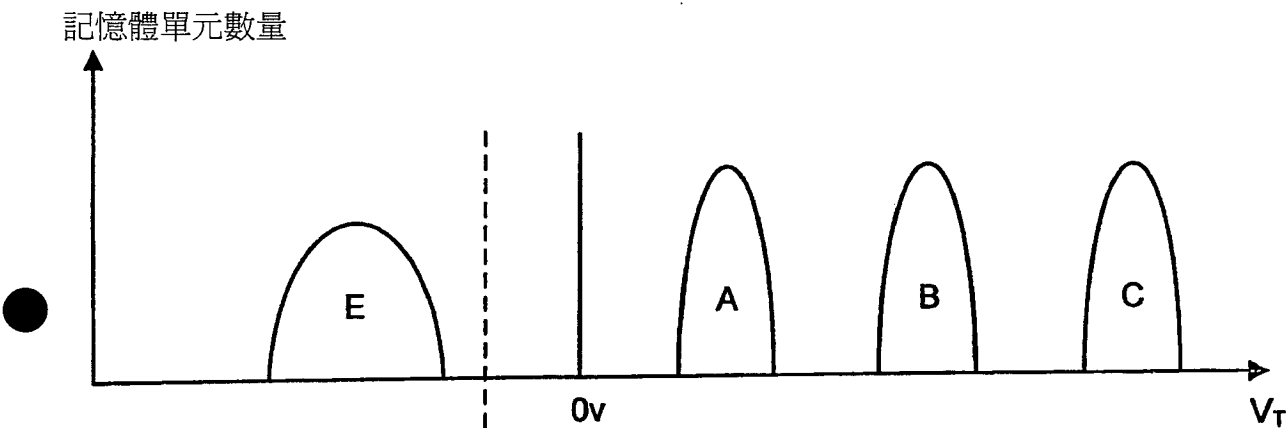


圖 14A

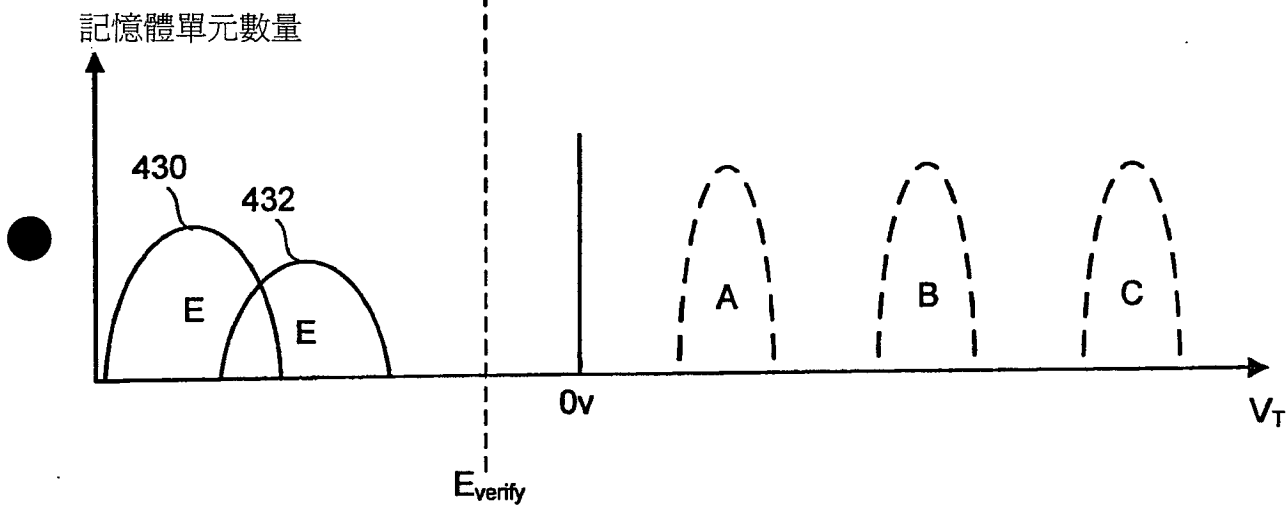


圖 14B

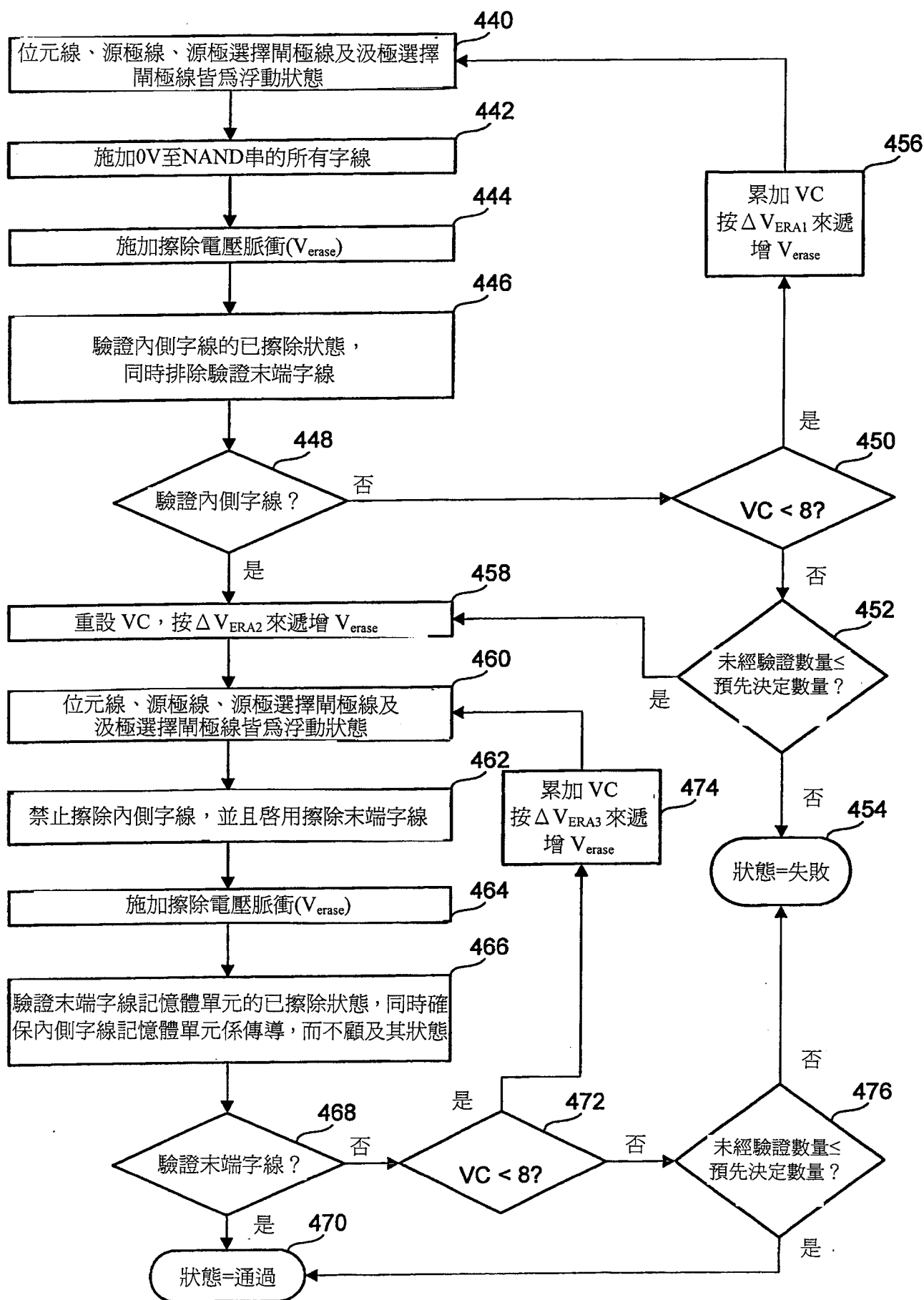


圖 15

	480 擦除所有字線	482 驗證內側字線	484 擦除末端字線	486 驗證末端字線
位元線	浮動	0V	浮動	0V
SGD	浮動	V_{SG}	浮動	V_{SG}
WL_n	0V	V_{use1}	0V	E_{verify}
WL_{n-1}	0V	E_{verify}	浮動	V_{use1}
.	0V	E_{verify}	浮動	V_{use1}
.	0V	E_{verify}	浮動	V_{use1}
WL_i	0V	E_{verify}	浮動	V_{use1}
.	0V	E_{verify}	浮動	V_{use1}
.	0V	E_{verify}	浮動	V_{use1}
WL_1	0V	E_{verify}	浮動	V_{use1}
WL_0	0V	V_{use1}	0V	E_{verify}
SGS	浮動	V_{SG}	浮動	V_{SG}
源極線	浮動	V_{DD}	浮動	V_{DD}
P井	V_{erase}	0V	V_{erase}	0V

圖 16

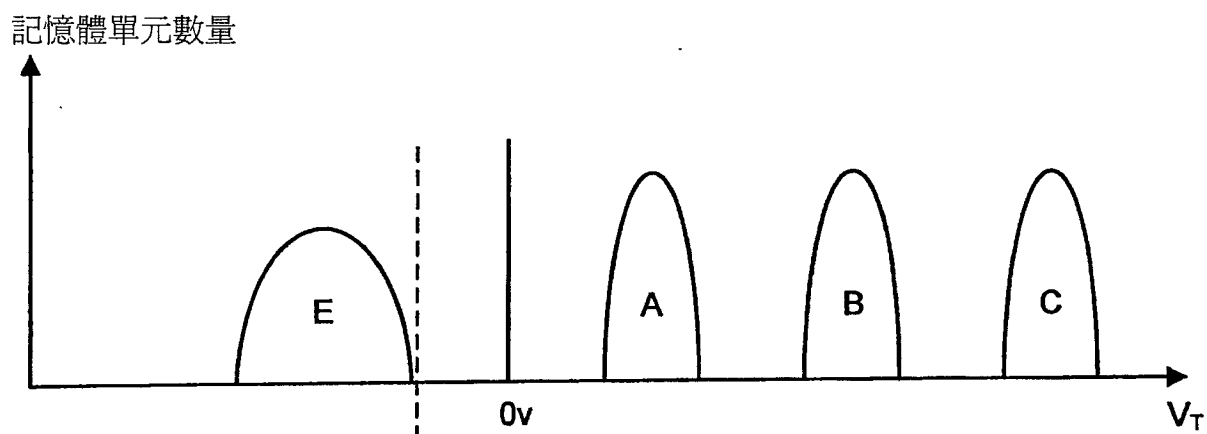


圖 17A

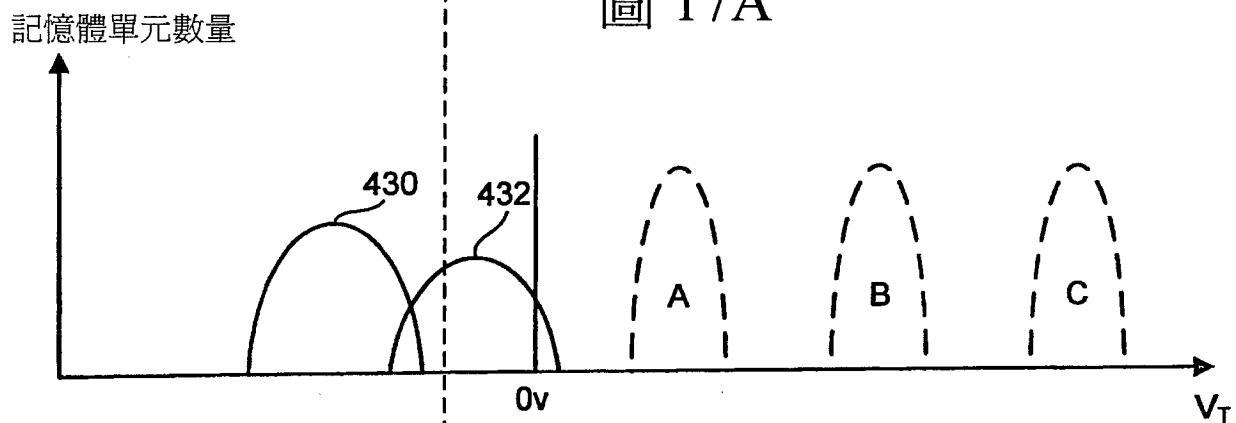


圖 17B

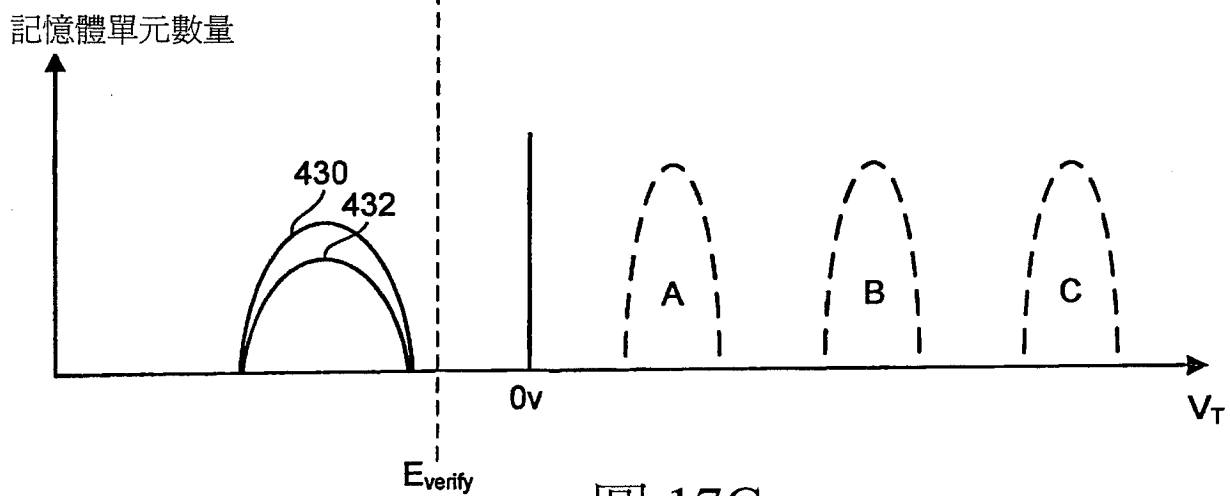
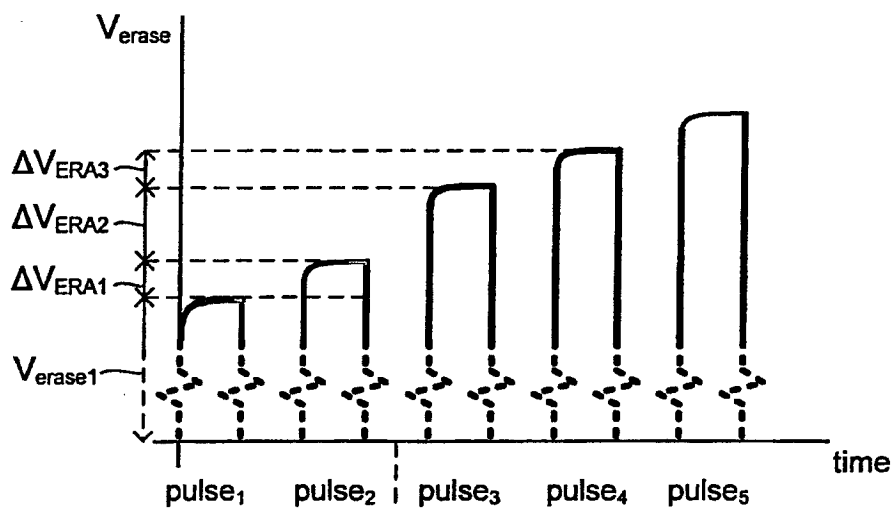
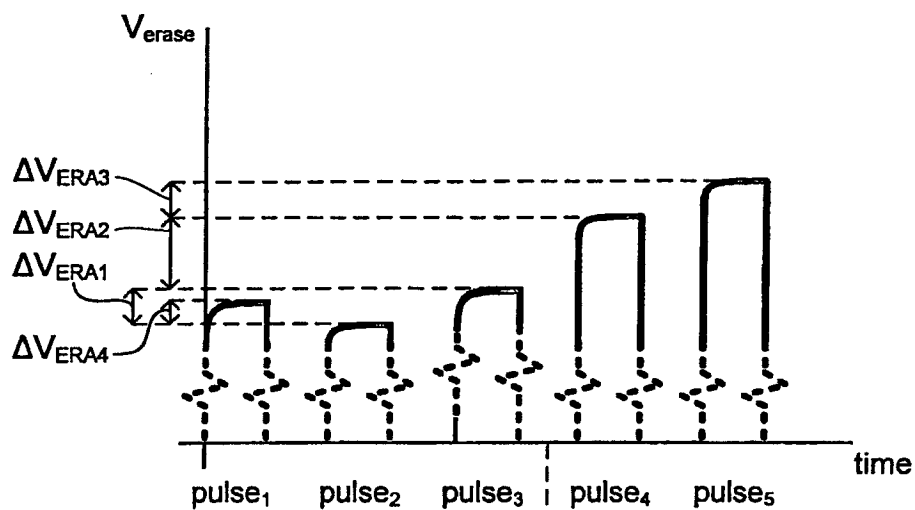


圖 17C



內側字線已擦除

圖 18A



內側字線已擦除

圖 18B

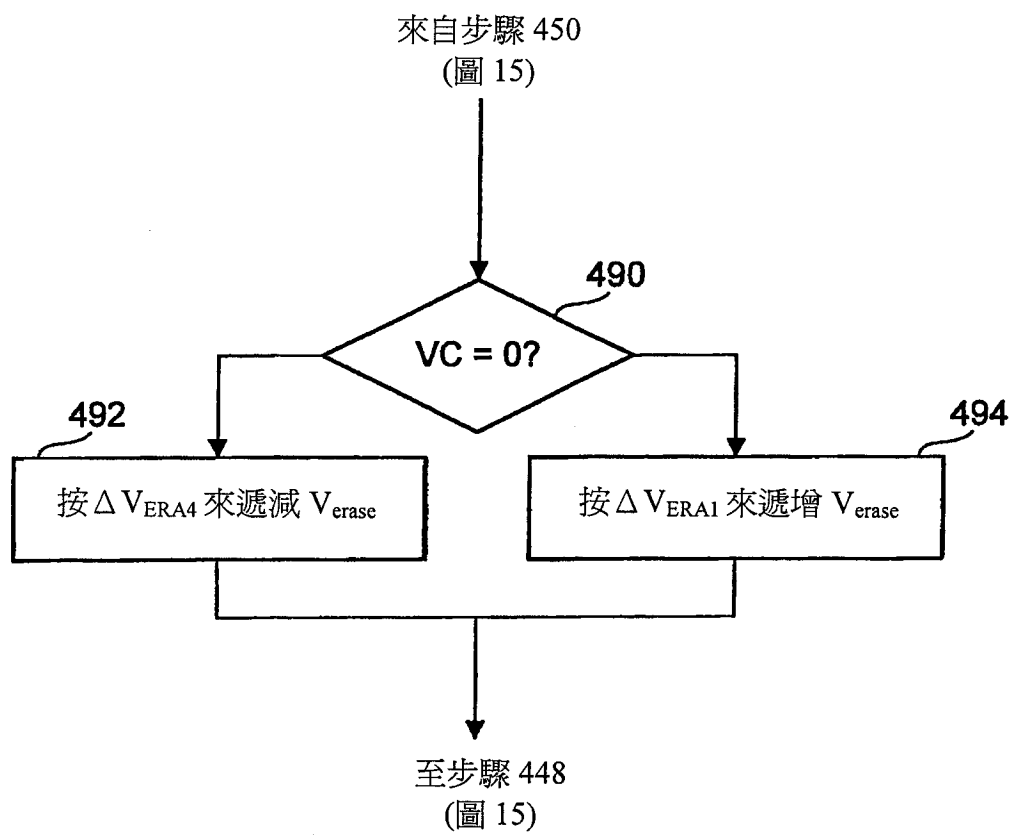


圖 19

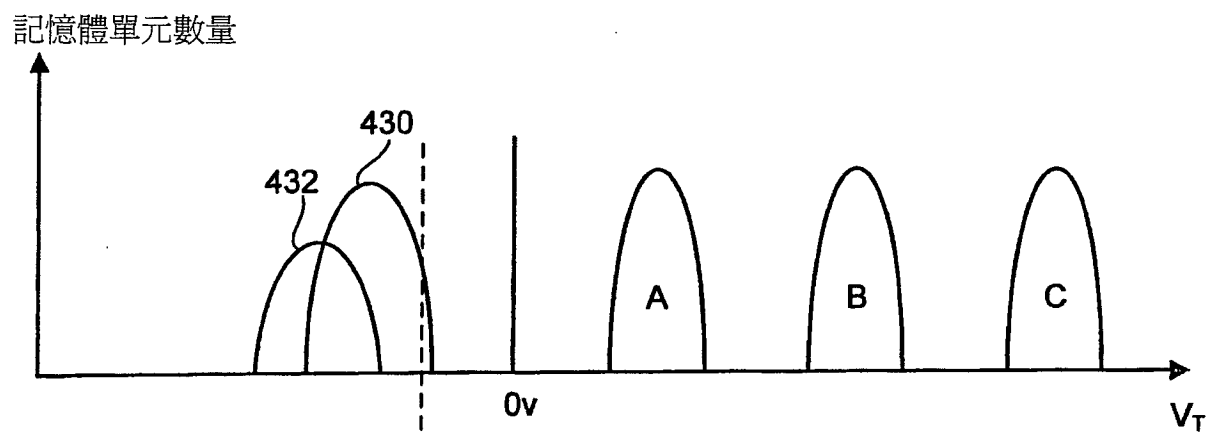


圖 20

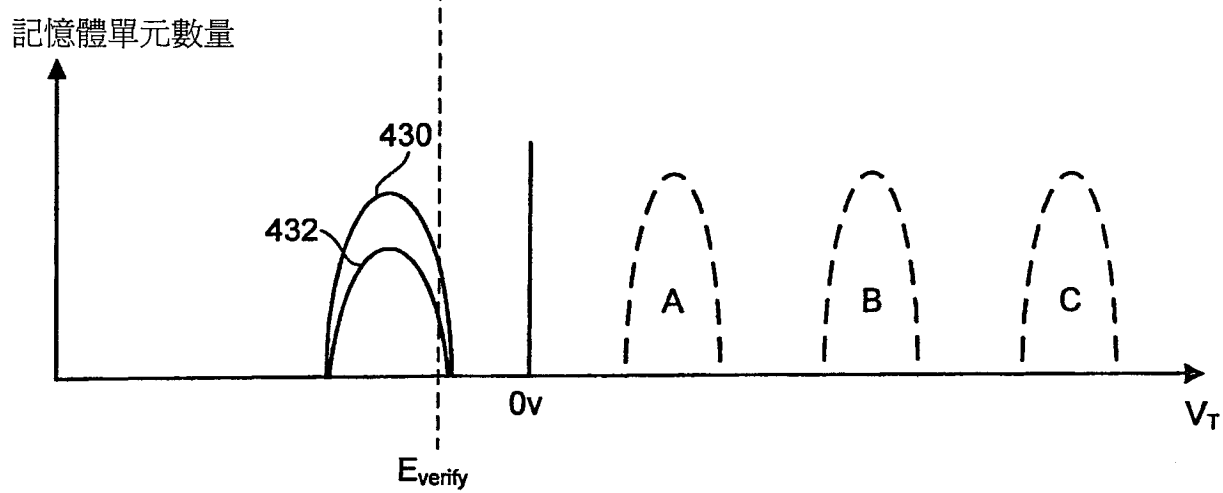


圖 23

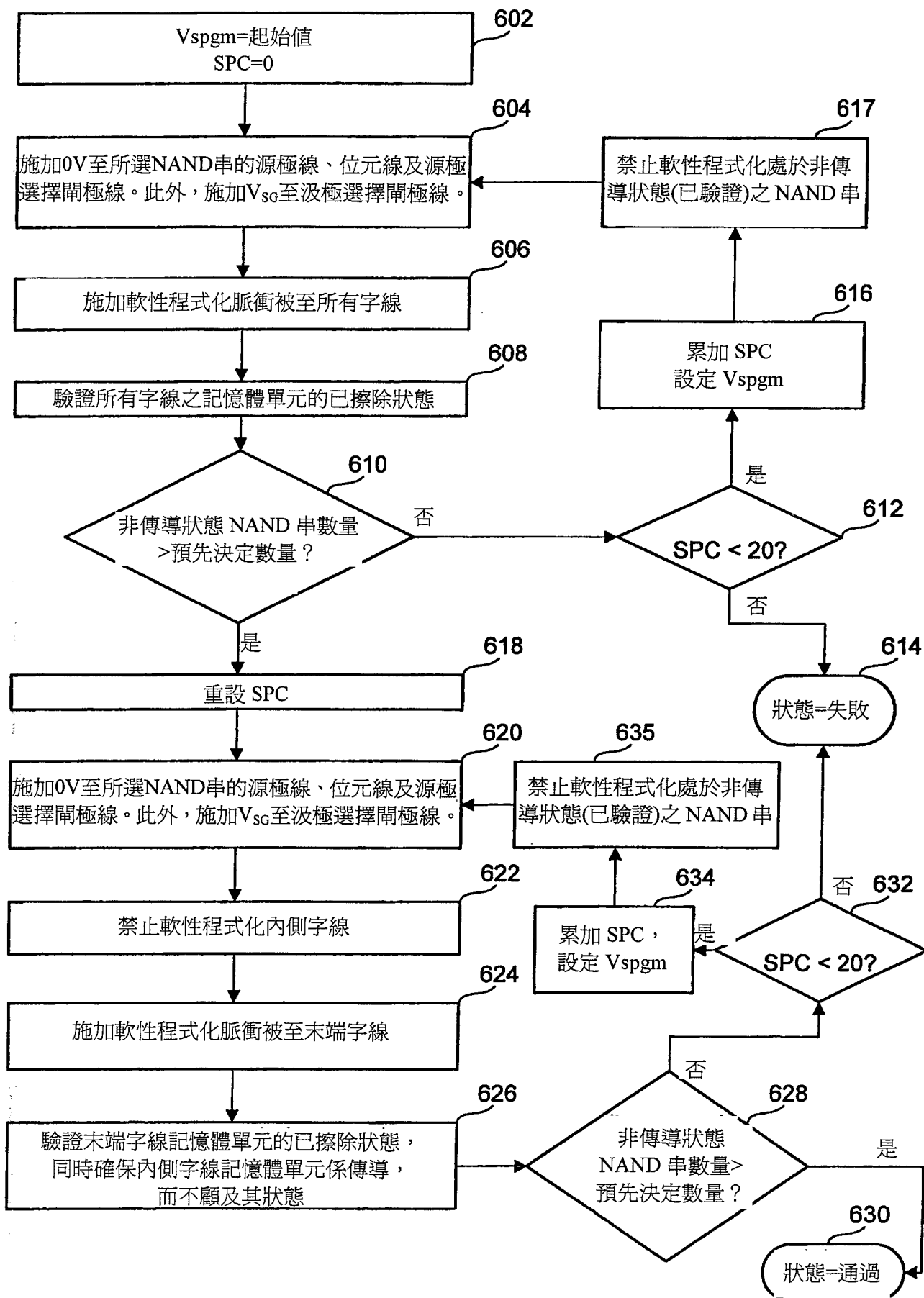


圖 21

	640 軟性程式化 所有字線	642 軟性程式化 驗證所有字線	644 軟性程式化 末端字線	646 軟性程式化 驗證末端字線
位元線	0V (V_{DD})	浮動	0V (V_{DD})	浮動
SGD	V_{SG}	V_{SG}	V_{SG}	V_{SG}
WL_n	V_{spgm}	E_{verify}	V_{spgm}	E_{verify}
WL_{n-1}	V_{spgm}	E_{verify}	V_{use1}	V_{use1}
.	V_{spgm}	E_{verify}	V_{use1}	V_{use1}
.	V_{spgm}	E_{verify}	V_{use1}	V_{use1}
WL_i	V_{spgm}	E_{verify}	V_{use1}	V_{use1}
.	V_{spgm}	E_{verify}	V_{use1}	V_{use1}
.	V_{spgm}	E_{verify}	V_{use1}	V_{use1}
WL_1	V_{spgm}	E_{verify}	V_{use1}	V_{use1}
WL_0	V_{spgm}	E_{verify}	V_{spgm}	E_{verify}
SGS	0V	V_{SG}	V_{SG}	V_{SG}
源極線	0V	V_{DD}	0V	V_{DD}
P 井	0V	0V	0V	0V

圖 22

七、指定代表圖：

(一)本案指定代表圖為：第 (15) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

發明專利說明書

中文說明書替換頁(97年6月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：095111547

※ 申請日期：95.3.31

※IPC 分類：G11C 16/06(2006.01)
G11C 16/34(2006.01)

一、發明名稱：(中文/英文)

擦除非揮發性記憶體之方法及非揮發性記憶體系統

METHOD OF ERASING NON-VOLATILE MEMORY AND
NON-VOLATILE MEMORY SYSTEM

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司
SANDISK CORPORATION

代表人：(中文/英文)

1. 查爾斯 樊 歐登
VAN ORDEN, CHARLES

2. 梅根 康普特
COMPORT, MEGAN

住居所或營業所地址：(中文/英文)

美國加州桑尼貝市卡斯本可特140號
140 CASPIAN COURT, SUNNYVALE, CA 94089, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

十、申請專利範圍：

1. 一種擦除非揮發性記憶體之方法，包括：

啟用擦除一非揮發性儲存元件集合，該啟用包括啟用擦除該非揮發性儲存元件集合的一第一非揮發性儲存元件子集及一第二非揮發性儲存元件子集；

當該第一非揮發性儲存元件子集及該第二非揮發性儲存元件子集被啟用以進行擦除時，施加一或多個擦除電壓脈衝至該非揮發性儲存元件集合，直到該第一非揮發性儲存元件子集被驗證為已被擦除；

該第一非揮發性儲存元件子集被驗證為已被擦除後，禁止進一步擦除該第一非揮發性儲存元件子集，同時啟用擦除該第二非揮發性儲存元件子集；以及

當該第一非揮發性儲存元件子集被禁止且該第二非揮發性儲存元件子集被啟用時，施加一或多個額外擦除電壓脈衝至該非揮發性儲存元件集合，直到該第二非揮發性儲存元件子集被驗證為已被擦除。

2. 如請求項1之方法，進一步包括：繼擦除該非揮發性儲存元件集合後，軟性程式化該非揮發性儲存元件集合，該軟性程式化包括：

施加一或多個軟性程式化脈衝至該非揮發性儲存元件集合，直到該非揮發性儲存元件集合被驗證為已被軟性程式化；

在該非揮發性儲存元件集合被驗證為已被軟性程式化後，禁止軟性程式化該非揮發性儲存元件集合之該第一

非揮發性儲存元件子集；以及

施加一或多個額外軟性程式化脈衝至該非揮發性儲存元件集合之該第二非揮發性儲存元件子集，同時禁止軟性程式化該第一非揮發性儲存元件子集。

3. 如請求項2之方法，進一步包括：

在介於施加該一或多個額外軟性程式化脈衝的每一額外軟性程式化脈衝之間，驗證該第二非揮發性儲存元件子集是否已被軟性程式化，該驗證包括排除驗證該第一非揮發性儲存元件子集。

4. 如請求項1之方法，進一步包括：

在介於施加該一或多個擦除電壓脈衝的每一擦除電壓脈衝之間，驗證該第一非揮發性儲存元件子集是否已被擦除，該驗證包括排除驗證該第二非揮發性儲存元件子集。

5. 如請求項4之方法，其中驗證包括：

施加一擦除驗證電壓至該第一非揮發性儲存元件子集，並且施加一大於該擦除驗證電壓之電壓至該第二非揮發性儲存元件子集，以驗證該第一非揮發性儲存元件子集，同時排除驗證該第二非揮發性儲存元件子集。

6. 如請求項1之方法，進一步包括：

在介於施加該一或多個額外擦除電壓脈衝的每一額外擦除電壓脈衝之間，驗證該第二非揮發性儲存元件子集是否已被擦除，該驗證包括排除驗證該第一非揮發性儲存元件子集。

7. 如請求項1之方法，進一步包括：

在介於施加該一或多個擦除電壓脈衝的每一擦除電壓脈衝之間，驗證該第二非揮發性儲存元件子集及該第一非揮發性儲存元件子集是否已被擦除。

8. 如請求項1之方法，其中：

該施加該一或多個擦除電壓脈衝包括：按一第一步進大小來遞增該一或多個擦除電壓脈衝之每一擦除電壓脈衝之一大小；

該施加該一或多個額外擦除電壓脈衝包括：按一第二步進大小來遞增該一或多個額外擦除電壓脈衝之每一額外擦除電壓脈衝之一大小。

9. 如請求項8之方法，其中：

該一或多個擦除電壓脈衝包括：在該第一非揮發性儲存元件子集被驗證為已被成功擦除之前，施加至該非揮發性儲存元件集合的一最後軟性程式化脈衝；以及

該施加該一或多個額外擦除電壓脈衝包括：在施加該一或多個額外擦除電壓脈衝中之一第一額外擦除電壓脈衝之前，按一第三步進大小來遞增該最後額外擦除電壓脈衝，以用於該一或多個額外擦除電壓脈衝中之該第一額外擦除電壓脈衝。

10. 如請求項9之方法，其中：

該第一步進大小及該第二步進大小係一相同步進大小。

11. 如請求項1之方法，其中該施加該一或多個擦除電壓脈衝

包括：

如果該第一非揮發性儲存元件子集未被驗證為已被擦除，則在施加一第一擦除電壓脈衝之後，按一第一步進大小來遞減該一或多個擦除電壓脈衝之一大小；以及

如果該第一非揮發性儲存元件子集未被驗證為已被擦除，則在施加一第二擦除電壓脈衝之後，按一第二步進大小來遞增該一或多個擦除電壓脈衝之該大小。

12. 如請求項11之方法，其中該施加該一或多個額外擦除電壓脈衝包括：

按一第三步進大小來遞增該一或多個額外擦除電壓脈衝之一大小。

13. 如請求項12之方法，其中：

該一或多個擦除電壓脈衝包括：在該第一非揮發性儲存元件子集被驗證為已被成功擦除之前，施加至該非揮發性儲存元件集合的一最後軟性程式化脈衝；以及

該施加該一或多個額外擦除電壓脈衝包括：在施加該一或多個額外擦除電壓脈衝中之一第一額外擦除電壓脈衝之前，按一第四步進大小來遞增該最後擦除電壓脈衝，以用於該一或多個額外擦除電壓脈衝中之該第一額外擦除電壓脈衝。

14. 如請求項13之方法，其中：

該第二步進大小及該第三步進大小係一相同大小。

15. 如請求項1之方法，其中：

該第一非揮發性儲存元件子集係該非揮發性儲存元件

集合的內側非揮發性儲存元件；以及

該第二非揮發性儲存元件子集係該非揮發性儲存元件集合的末端非揮發性儲存元件。

16. 如請求項15之方法，其中：

該第二非揮發性儲存元件子集包括：一第一非揮發性儲存元件，其相鄰於該非揮發性儲存元件集合之一第一選擇閘極；以及一第二非揮發性儲存元件，其相鄰於該非揮發性儲存元件集合之一第二選擇閘極。

17. 如請求項16之方法，其中：

該第二非揮發性儲存元件子集進一步包括：一第三非揮發性儲存元件，其相鄰於該第一非揮發性儲存元件；以及一第四非揮發性儲存元件，其相鄰於該第二非揮發性儲存元件。

18. 如請求項1之方法，其中：

該非揮發性儲存元件集合係一NAND串。

19. 如請求項1之方法，其中：

該非揮發性儲存元件集合係一多狀態快閃記憶體裝置集合。

20. 一種擦除非揮發性記憶體之方法，包括：

當一非揮發性儲存元件集合中之每一非揮發性儲存元件被啟用以進行擦除時，施加一擦除電壓至該非揮發性儲存元件集合；

驗證該非揮發性儲存元件集合之一第一非揮發性儲存元件子集是否已被擦除，同時排除驗證該非揮發性儲存

元件集合之一第二非揮發性儲存元件子集；

重複該施加及驗證，直到該第一非揮發性儲存元件子集被驗證為已被擦除；以及

在該第一非揮發性儲存元件子集被驗證為已被擦除之後：

啟用擦除該第二非揮發性儲存元件子集，

禁止擦除該第一非揮發性儲存元件子集，

當該第二非揮發性儲存元件子集被啟用以進行擦除並且禁止擦除該第一非揮發性儲存元件子集時，施加一擦除電壓至該非揮發性儲存元件集合，以及

藉由驗證該第二非揮發性儲存元件子集是否已被擦除，來驗證該非揮發性儲存元件集合是否已被擦除。

21. 如請求項20之方法，進一步包括：繼擦除該非揮發性儲存元件集合後，軟性程式化該非揮發性儲存元件集合，軟性程式化方式為：

施加一軟性程式化電壓至該非揮發性儲存元件集合中的每一非揮發性儲存元件；

驗證該非揮發性儲存元件集合是否已被軟性程式化；

重複該施加及驗證，直到該非揮發性儲存元件集合被驗證為已被軟性程式化；

在該非揮發性儲存元件集合被驗證為已被軟性程式化之後，施加該軟性程式化電壓至該第二非揮發性儲存元件子集中的每一非揮發性儲存元件；以及

驗證該第二非揮發性儲存元件子集是否已被軟性程式

化。

22. 如請求項21之方法，其中：

驗證該第二非揮發性儲存元件子集是否已被軟性程式化包括：排除驗證該第一非揮發性儲存元件子集。

23. 如請求項20之方法，其中排除驗證該第二非揮發性儲存元件子集包括：

確保該第二非揮發性儲存元件子集中之每一非揮發性儲存元件的傳導狀態，而不顧及其是否被擦除。

24. 如請求項20之方法，其中驗證該非揮發性儲存元件集合是否已被擦除包括：

排除驗證該第一非揮發性儲存元件子集。

25. 如請求項20之方法，其中驗證該非揮發性儲存元件集合是否已被擦除包括：

藉由驗證該第一非揮發性儲存元件子集及該第二非揮發性儲存元件子集是否已被擦除，來驗證該非揮發性儲存元件集合是否已被擦除。

26. 如請求項20之方法，其中該重複包括：

當該非揮發性儲存元件集合之每一非揮發性儲存元件被啟用以進行擦除時，在第一次施加該擦除電壓至該非揮發性儲存元件集合之後，按一第一步進大小來遞減該擦除電壓之一大小；以及

在第二次施加該擦除電壓至該非揮發性儲存元件集合之後且其後，按一第二步進大小來遞增該擦除電壓之一大小。

27. 如請求項26之方法，進一步包括：

當該第二非揮發性儲存元件子集被啟用以進行擦除、禁止擦除該第一非揮發性儲存元件子集並且驗證該非揮發性儲存元件集合是否已被擦除時，重複該施加一擦除電壓至該非揮發性儲存元件集合，直到該第二非揮發性儲存元件子集被驗證為已被擦除，該重複包括：在重新施加至該擦除電壓之前，按一第三步進大小來遞增該擦除電壓之一大小。

28. 如請求項20之方法，其中：

該第一非揮發性儲存元件子集包括：該非揮發性儲存元件集合的內側非揮發性儲存元件集合；以及

該第二非揮發性儲存元件子集包括：一第一非揮發性儲存元件，其相鄰於該非揮發性儲存元件集合之一第一選擇閘極；以及一第二非揮發性儲存元件，其相鄰於該非揮發性儲存元件集合之一第二選擇閘極。

29. 如請求項20之方法，其中：

該非揮發性儲存元件集合係一NAND串。

30. 如請求項20之方法，其中：

該非揮發性儲存元件集合係一多狀態快閃記憶體裝置集合。

31. 一種擦除非揮發性記憶體之方法，包括：

接收一擦除一非揮發性儲存元件集合之請求；

回應該請求，當啟用擦除該非揮發性儲存元件集合中的每一非揮發性儲存元件時，施加一擦除電壓至該非揮

發性儲存元件集合；

驗證該非揮發性儲存元件集合的第一非揮發性儲存元件子集是否已被擦除；

重複該施加及驗證，直到該第一非揮發性儲存元件子集被驗證為已被擦除；

繼該重複之後，禁止擦除該第一非揮發性儲存元件子集；

當該第一非揮發性儲存元件子集被禁止時，施加一擦除電壓至該非揮發性儲存元件集合，以進一步擦除一第二非揮發性儲存元件子集；以及

藉由驗證該第二非揮發性儲存元件子集是否已被擦除，來驗證該非揮發性儲存元件集合是否已被擦除。

32. 如請求項31之方法，進一步包括：繼擦除該非揮發性儲存元件集合後，軟性程式化該非揮發性儲存元件集合，軟性程式化方式為：

施加一軟性程式化電壓至該非揮發性儲存元件集合中的每一非揮發性儲存元件；

驗證該非揮發性儲存元件集合是否已被軟性程式化；

重複該施加及驗證，直到該非揮發性儲存元件集合被驗證為已被軟性程式化；

在該非揮發性儲存元件集合被驗證為已被軟性程式化之後，施加該軟性程式化電壓至該第二非揮發性儲存元件子集中的每一非揮發性儲存元件；以及

驗證該第二非揮發性儲存元件子集是否已被軟性程式

化。

33. 如請求項31之方法，其中驗證該第一非揮發性儲存元件子集是否已被擦除包括：

排除驗證該第二非揮發性儲存元件子集。

34. 如請求項31之方法，其中驗證該非揮發性儲存元件集合是否已被擦除包括：

排除驗證該第一非揮發性儲存元件子集，同時驗證該第二非揮發性儲存元件子集是否已被擦除。

35. 如請求項31之方法，其中驗證該非揮發性儲存元件集合是否已被擦除包括：

藉由驗證該第一非揮發性儲存元件子集及該第二非揮發性儲存元件子集是否已被擦除，來驗證該非揮發性儲存元件集合是否已被擦除。

36. 如請求項31之方法，其中：

重複該施加及驗證包括：在重新施加至該非揮發性儲存元件集合之前，按一第一步進大小來遞增該擦除電壓之一大小；以及

當禁止進一步擦除該第一非揮發性儲存元件子集時，該施加該擦除電壓至該非揮發性儲存元件集合之步驟包括：在該第一非揮發性儲存元件子集已被驗證為已被擦除之後，在第一次施加該擦除電壓至該非揮發性儲存元件集合之前，按一第二步進大小來遞增該擦除電壓之該大小。

37. 如請求項31之方法，其中該重複包括：

當啟用擦除該非揮發性儲存元件集合中的每一非揮發性儲存元件時，第一次施加該擦除電壓至該非揮發性儲存元件集合之後，包括：按一第一步進大小來遞減該擦除電壓之一大小；以及

在第二次施加該擦除電壓至該非揮發性儲存元件集合之後且其後，按一第二步進大小來遞增該擦除電壓之一大小。

38. 如請求項31之方法，其中：

該非揮發性儲存元件集合被耦合至一字線集合，該字線集合包括：一第一內側字線子集及第二末端字線子集；

該第一非揮發性儲存元件子集被耦合至該第一內側字線子集；以及

該第二非揮發性儲存元件子集被耦合至該第二末端字線子集。

39. 如請求項31之方法，其中：

該非揮發性儲存元件集合係一多狀態快閃記憶體裝置NAND串。

40. 一種擦除非揮發性記憶體之方法，包括：

擦除兩組或兩組以上預先決定之非揮發性儲存元件集合後，該兩組或兩組以上預先決定之非揮發性儲存元件集合包括一第一非揮發性儲存元件集合及一第二非揮發性儲存元件集合；

驗證該第一非揮發性儲存元件集合是否已被擦除；

重複該擦除及驗證，直到該第一非揮發性儲存元件集

合被驗證為已被擦除；

該第一非揮發性儲存元件集被驗證為已被擦除後，禁止進一步擦除該第一非揮發性儲存元件集；以及

在驗證該第一非揮發性儲存元件集合被擦除之後，在禁止進一步擦除該第一非揮發性儲存元件集時繼續擦除該第二非揮發性儲存元件集合。

41. 如請求項40之方法，其中：

驗證該第一非揮發性儲存元件集合是否已被擦除包括：排除驗證該第二非揮發性儲存元件集合。

42. 如請求項40之方法，進一步包括：

驗證該第二非揮發性儲存元件集合是否已被擦除。

43. 如請求項42之方法，其中：

驗證該第二非揮發性儲存元件集合是否已被擦除包括：排除驗證該第一非揮發性儲存元件集合。

44. 如請求項40之方法，其中：

該第一非揮發性儲存元件集合及該第二非揮發性儲存元件集合係一多狀態快閃記憶體裝置NAND串的部件。

45. 一種非揮發性記憶體系統，包括：

一非揮發性儲存元件集合，該非揮發性儲存元件集合包括一第一非揮發性儲存元件子集及一第二非揮發性儲存元件子集；以及

管理電路，其與該非揮發性儲存元件集合通訊，該管理電路擦除該非揮發性儲存元件集合，其擦除方式為：

啟用擦除該第一非揮發性儲存元件子集及該第二非

揮發性儲存元件子集，

當該第一非揮發性儲存元件子集及該第二非揮發性儲存元件子集被啟用以進行擦除時，施加一或多個擦除電壓脈衝至該非揮發性儲存元件集合，直到該第一非揮發性儲存元件子集被驗證為已被擦除，

該第一非揮發性儲存元件子集被驗證為已被擦除後，禁止進一步擦除該第一非揮發性儲存元件子集，同時啟用擦除該第二非揮發性儲存元件子集，以及

當該第一非揮發性儲存元件子集被禁止且該第二非揮發性儲存元件子集被啟用時，施加一或多個額外擦除電壓脈衝至該非揮發性儲存元件集合，直到該第二非揮發性儲存元件子集被驗證為已被擦除。

46. 如請求項45之非揮發性記憶體系統，其中繼擦除該非揮發性儲存元件集合後，該管理電路軟性程式化該非揮發性儲存元件集合，軟性程式化方式為：

施加一或多個軟性程式化脈衝至該非揮發性儲存元件集合，直到該非揮發性儲存元件集合被驗證為已被軟性程式化；

在該非揮發性儲存元件集合被驗證為已被軟性程式化後，禁止軟性程式化該非揮發性儲存元件集合之該第一非揮發性儲存元件子集；以及

施加一或多個額外軟性程式化脈衝至該非揮發性儲存元件集合之該第二非揮發性儲存元件子集，同時禁止軟性程式化該第一非揮發性儲存元件子集。

47. 如請求項46之非揮發性記憶體系統，其中該管理電路：

在介於施加該一或多個額外軟性程式化脈衝的每一額外軟性程式化脈衝之間，驗證該第二非揮發性儲存元件子集是否已被軟性程式化，該驗證包括排除驗證該第一非揮發性儲存元件子集。

48. 如請求項45之非揮發性記憶體系統，其中在介於施加該一或多個擦除電壓脈衝的每一擦除電壓脈衝之間，該管理電路驗證該第一非揮發性儲存元件子集是否已被擦除，該管理電路在驗證該第一非揮發性儲存元件子集是否已被擦除時，排除驗證該第二非揮發性儲存元件子集。

49. 如請求項48之非揮發性記憶體系統，其中該管理電路驗證方式為：施加一擦除驗證電壓至該第一非揮發性儲存元件子集，並且施加一大於該擦除驗證電壓之電壓至該第二非揮發性儲存元件子集，以驗證該第一非揮發性儲存元件子集，同時排除驗證該第二非揮發性儲存元件子集。

50. 如請求項45之非揮發性記憶體系統，其中在介於施加該一或多個額外擦除電壓脈衝的每一額外擦除電壓脈衝之間，該管理電路驗證該第二非揮發性儲存元件子集是否已被擦除。

51. 如請求項50之非揮發性記憶體系統，其中該管理電路在驗證該第二非揮發性儲存元件子集是否已被擦除時，排除驗證該第一非揮發性儲存元件子集。

52. 如請求項45之非揮發性記憶體系統，其中該施加該一或

多個擦除電壓脈衝包括：

如果該第一非揮發性儲存元件子集未被驗證為已被擦除，則在施加一第一擦除電壓脈衝之後，按一第一步進大小來遞減該一或多個擦除電壓脈衝之一大小；以及

如果該第一非揮發性儲存元件子集未被驗證為已被擦除，則在施加一第二擦除電壓脈衝之後，按一第二步進大小來遞增該一或多個擦除電壓脈衝之該大小。

53. 如請求項52之非揮發性記憶體系統，其中該施加該一或多個額外擦除電壓脈衝包括：

在介於施加該一或多個額外擦除電壓脈衝之每一額外擦除電壓脈衝之間，按一第三步進大小來遞增該一或多個額外擦除電壓脈衝之一大小。

54. 如請求項53之非揮發性記憶體系統，其中：

該一或多個擦除電壓脈衝包括：在該第一非揮發性儲存元件子集被驗證為已被成功擦除之前，施加至該非揮發性儲存元件集合的一最後軟性程式化脈衝；

該施加該一或多個額外擦除電壓脈衝包括：在施加該一或多個額外擦除電壓脈衝中之一第一額外擦除電壓脈衝之前，按一第四步進大小來遞增該最後擦除電壓脈衝，以用於該一或多個額外擦除電壓脈衝中之該第一額外擦除電壓脈衝。

55. 如請求項54之非揮發性記憶體系統，其中：

該第二步進大小及該第三步進大小係一相同大小。

56. 如請求項45之非揮發性記憶體系統，其中：

該第一非揮發性儲存元件子集係該非揮發性儲存元件集合的內側非揮發性儲存元件；以及

該第二非揮發性儲存元件子集係該非揮發性儲存元件集合的末端非揮發性儲存元件。

57. 如請求項56之非揮發性記憶體系統，其中：

該第二非揮發性儲存元件子集包括：一第一非揮發性儲存元件，其相鄰於該非揮發性儲存元件集合之一第一選擇閘極；以及一第二非揮發性儲存元件，其相鄰於該非揮發性儲存元件集合之一第二選擇閘極。

58. 如請求項57之非揮發性記憶體系統，其中：

該第二非揮發性儲存元件子集進一步包括：一第三非揮發性儲存元件，其相鄰於該第一非揮發性儲存元件；以及一第四非揮發性儲存元件，其相鄰於該第二非揮發性儲存元件。

59. 如請求項45之非揮發性記憶體系統，其中：

該非揮發性儲存元件集合係一多狀態快閃記憶體裝置集合。

60. 如請求項45之非揮發性記憶體系統，其中：

該非揮發性儲存元件集合係一NAND串。

61. 如請求項45之非揮發性記憶體系統，其中：

該管理電路包括一控制器、一狀態機及一系列控制器中之至少一項。

62. 一種非揮發性記憶體系統，包括：

一非揮發性儲存元件集合，該非揮發性儲存元件集合

包括一第一非揮發性儲存元件子集及一第二非揮發性儲存元件子集；以及

管理電路，其與該非揮發性儲存元件集合通訊，該管理電路擦除該非揮發性儲存元件集合，其擦除方式為：當該非揮發性儲存元件集合中之每一非揮發性儲存元件被啟用以進行擦除時，施加一擦除電壓至該非揮發性儲存元件集合；以及驗證該第一非揮發性儲存元件子集是否已被擦除，同時排除驗證該第二非揮發性儲存元件子集；該管理電路重複該施加及驗證，直到該第一非揮發性儲存元件子集被驗證為已被擦除；該第一非揮發性儲存元件子集被驗證為已被擦除後，該管理電路禁止擦除該第一非揮發性儲存元件子集，並且啟用擦除該第二非揮發性儲存元件子集；以及當該第二非揮發性儲存元件子集被啟用以進行擦除並且禁止擦除該第一非揮發性儲存元件子集時，施加該擦除電壓至該非揮發性儲存元件集合；該管理電路藉由驗證該第二非揮發性儲存元件子集是否已被擦除，來驗證該非揮發性儲存元件集合是否已被擦除。

63. 如請求項62之非揮發性記憶體系統，其中繼擦除該非揮發性儲存元件集合後，該管理電路軟性程式化該非揮發性儲存元件集合，軟性程式化方式為：

施加一軟性程式化電壓至該非揮發性儲存元件集合中的每一非揮發性儲存元件；

驗證該非揮發性儲存元件集合是否已被軟性程式化；

重複該施加及驗證，直到該非揮發性儲存元件集合被驗證為已被軟性程式化；

在該非揮發性儲存元件集合被驗證為已被軟性程式化之後，施加該軟性程式化電壓至該第二非揮發性儲存元件子集中的每一非揮發性儲存元件；以及

驗證該第二非揮發性儲存元件子集是否已被軟性程式化。

64. 如請求項63之非揮發性記憶體系統，其中：

驗證該第二非揮發性儲存元件子集是否已被軟性程式化包括：排除驗證該第一非揮發性儲存元件子集。

65. 如請求項62之非揮發性記憶體系統，其中該管理電路驗證該非揮發性儲存元件集合是否已被擦除，同時排除驗證該第一非揮發性儲存元件子集。

66. 如請求項62之非揮發性記憶體系統，其中該管理電路藉由驗證該第一非揮發性儲存元件子集及該第二非揮發性儲存元件子集是否已被擦除，來驗證該非揮發性儲存元件集合是否已被擦除。

67. 如請求項62之非揮發性記憶體系統，其中：

該管理電路按一第一步進大小來遞減該擦除電壓之一大小，以作為重複該施加及驗證之部分；以及

當該第二非揮發性儲存元件子集被啟用以進行擦除並且禁止擦除該第一非揮發性儲存元件子集時，該管理電路重複施加該擦除電壓至該非揮發性儲存元件集合，直到該第二非揮發性儲存元件子集被驗證為已被擦除；當

該第二非揮發性儲存元件子集被啟用以進行擦除並且禁止擦除該第一非揮發性儲存元件子集時，該管理電路在重新施加該擦除電壓至該非揮發性儲存元件集合之前，先按一第二步進大小來遞增該擦除電壓之一大小。

68. 如請求項67之非揮發性記憶體系統，其中：

該第一步進大小及該第二步進大小係一相同步進大小。

69. 一種非揮發性記憶體系統，包括：

一非揮發性儲存元件集合，該非揮發性儲存元件集合包括一第一非揮發性儲存元件子集及一第二非揮發性儲存元件子集；以及

管理電路，其與該非揮發性儲存元件集合通訊，該管理電路接收一擦除該非揮發性儲存元件集合之請求，該管理電路回應該請求以擦除該非揮發性儲存元件集合之方式為：

當啟用擦除該非揮發性儲存元件集合中的每一非揮發性儲存元件時，施加一擦除電壓至該非揮發性儲存元件集合，

驗證該第一非揮發性儲存元件子集是否已被擦除，

重複該施加及驗證，直到該第一非揮發性儲存元件子集被驗證為已被擦除，

繼該重複之後，禁止擦除該第一非揮發性儲存元件子集，

當該第一非揮發性儲存元件子集被禁止時，施加該

擦除電壓至該非揮發性儲存元件集合，以進一步擦除該第二非揮發性儲存元件子集，以及

藉由驗證該第二非揮發性儲存元件子集是否已被擦除，來驗證該非揮發性儲存元件集合是否已被擦除。

70. 如請求項69之非揮發性記憶體系統，其中繼擦除該非揮發性儲存元件集合後，該管理電路軟性程式化該非揮發性儲存元件集合，軟性程式化方式為：

施加一軟性程式化電壓至該非揮發性儲存元件集合中的每一非揮發性儲存元件；

驗證該非揮發性儲存元件集合是否已被軟性程式化；

重複該施加及驗證，直到該非揮發性儲存元件集合被驗證為已被軟性程式化；

在該非揮發性儲存元件集合被驗證為已被軟性程式化之後，施加該軟性程式化電壓至該第二非揮發性儲存元件子集中的每一非揮發性儲存元件；以及

驗證該第二非揮發性儲存元件子集是否已被軟性程式化。

71. 如請求項69之非揮發性記憶體系統，其中驗證該第一非揮發性儲存元件子集是否已被擦除包括：排除驗證該第二非揮發性儲存元件子集。

72. 如請求項69之非揮發性記憶體系統，其中：

重複該施加及驗證包括：在重新施加至該非揮發性儲存元件集合之前，按一第一步進大小來遞增該擦除電壓之一大小；以及

當禁止進一步擦除該第一非揮發性儲存元件子集時，

施加該擦除電壓至該非揮發性儲存元件集合包括：在該第一非揮發性儲存元件子集已被驗證為已被擦除之後，在第一次施加該擦除電壓至該非揮發性儲存元件集合之前，按一第二步進大小來遞增該擦除電壓之該大小。