

DEUTSCHE DEMOKRATISCHE REPUBLIK



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

PATENTSCHRIFT

(19) **DD** (11) **245 094 A1**

4(51) H 03 K 21/00

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP H 03 K / 284 656 7

(22) 18.12.85

(44) 22.04.87

(71) Technische Hochschule Ilmenau, 6300 Ilmenau, PSF 327, DD

(72) Grunert, Fred, Dipl.-Ing.; Bohn, Jochen, Dipl.-Ing., DD

(54) **Digitaler programmierbarer Frequenzteiler**

(57) Die Erfindung betrifft einen digitalen programmierbaren Frequenzteiler und wird zur Realisierung von digitalen Teilerfunktionen bei begrenzt zur Verfügung stehenden Gatterfunktionen oder Chipfläche eingesetzt. Ziel der Erfindung ist der Aufbau eines digitalen programmierbaren Frequenzteilers, der ein Minimum an einzusetzenden logischen Gattern und Chipflächen benötigt. Der Erfindung liegt die Aufgabe zugrunde einen digitalen programmierbaren Frequenzteiler aufzubauen der bei einer vorgegebenen Anzahl voreinstellbarer Teilverhältnisse bis in die Nähe der technologisch bedingten Grenzfrequenz funktioniert. Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß ein Multiplexer eingangsseitig an die Ein- und Ausgänge von mindestens einem Teilermodul und Ausgangsseitig an ein freiwählbares aber festes Teilermodul angeschlossen ist. Die Erfindung findet vorzugsweise Anwendung zur schaltungstechnischen Realisierung von digitalen Teilerfunktionen insbesondere bei begrenzt zur Verfügung stehenden Gatterfunktionen oder begrenzter Chipfläche.

ISSN 0433-6461

4 Seiten

Erfindungsanspruch:

1. Digitaler programmierbarer Frequenzteiler unter Verwendung bistabiler Kippstufen und kombinatorischer Logik, **gekennzeichnet dadurch**, daß ein Multiplexer (MUX 2) eingangsseitig an die Ein- und Ausgänge von mindestens einem Teilermodul (CT 1) und ausgangsseitig an ein freiwählbares aber festes Teilermodul (CT 2) angeschlossen sind.
2. Digitaler programmierbarer Frequenzteiler nach Punkt 1, **gekennzeichnet dadurch**, daß mindestens zwei Teilermodule (CT 1) unterschiedlichen aber festen Teilverhältnisses vor dem Multiplexer (MUX 2) geschaltet sind.

Hierzu 1 Seite Zeichnung

Anwendungsgebiet der Erfindung

Die Erfindung findet vorzugsweise Anwendung zur schaltungstechnischen Realisierung von digitalen Teilerfunktionen insbesondere bei begrenzt zur Verfügung stehenden Gatterfunktionen oder begrenzter Chipfläche.

Charakteristik der bekannten technischen Lösung

Nach Weck, Frequenzsyntheschaltung für UKW-Rundfunkempfänger, radio fernsehen elektronik 30 (1981) 9, S. 564 ist eine Teilerschaltung bekannt, bei der die Teilerfunktion durch Reihenschaltung von voreinstellbaren Teilerbausteinen D 192 realisiert wird. Dabei werden die Teilerbausteine auf den gewünschten Anfangszustand mittels eines Ladeimpulses gesetzt. Diesen Ladeimpuls erzeugt eine Komparatorerschaltung, die den gleichzeitigen Nulldurchgang aller Datenausgänge der drei Schaltkreise auswertet und stellt gleichzeitig das Ausgangssignal dar.

In DD-155843 erfolgt der Aufbau eines programmierbaren Teilers durch die Verschaltung eines Zählerbausteins, einer bistabilen Kippstufe und einer Torschaltung derart, daß der Übertragsausgang des Zählerbausteins an den Takteingang der bistabilen Kippstufe und an den ersten Eingang der Torschaltung geführt wird. Der negierte Ausgang der bistabilen Kippstufe ist mit deren Vorbereitungseingang und dem zweiten Eingang der Torschaltung verbunden. Der Ausgang der Torschaltung ist an den Ladeingang des Zählerbausteins angeschlossen und dient gleichzeitig als Ausgang des Frequenzteilers. Gleichzeitig können einem Zählerbaustein mit nachgeschalteter bistabiler Kippstufe gleiche Zählbausteine asynchron seriell vorgeschaltet sein.

In DE-OS 2826321 wird der digitale Frequenzteiler derart ausgebildet, daß ein programmierter Teiler, der bei ungeradzahligem Teilungsverhältnis auf die Hälfte des nächsthöheren geradzahligem Teilerfaktors und bei ungeradzahligem Teilungsverhältnis auf die Hälfte des Teilungsfaktors eingestellt wird, eine bistabile Kippstufe mit einem Eingang eines NAND-Gatters, dessen anderer Ausgang bei ungeradzahligem Teilungsfaktor mit einer logischen „0“ belegt ist, verbunden ist, daß der Ausgang des NAND-Gatters an den einen Eingang eines Exklusiv-ODER-Gatters geführt ist, an dessen anderen Eingang die Spannung mit der zu teilenden Frequenz liegt und daß der Ausgang dieses Exklusiv-ODER-Gatters mit dem Eingang des programmierten Frequenzteilers verbunden ist. Die Nachteile dieser Lösungen bestehen im hohen Bauelementeaufwand bei der Realisierung als geschlossener integrierter Baustein, dynamisch ungünstiger Schaltungstechnik und hoher Stromaufnahme. Durch die Rückkopplung des Ausgangsimpulses und Ausnutzung dieses zum erneuten Voreinstellen des Teilers wird die Grenzfrequenz herabgesetzt.

Ziel der Erfindung

Ziel der Erfindung ist der Aufbau eines digitalen programmierbaren Frequenzteilers, der ein Minimum an einzusetzenden logischen Gattern und Chipfläche benötigt.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde einen digitalen programmierbaren Frequenzteiler aufzubauen, der bei einer vorgegebenen Anzahl voreinstellbarer Teilverhältnisse bis in die Nähe der technologisch bedingten Grenzfrequenz funktioniert.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß ein Multiplexer eingangsseitig an die Ein- und Ausgänge von mindestens einem Teilermodul und Ausgangsseitig an ein freiwählbares aber festes Teilermodul angeschlossen ist. Weiterhin ist es möglich, daß mindestens zwei Teilermodule unterschiedlichen aber festen Teilverhältnisses vor dem Multiplexer geschaltet sind.

Die am Eingang, der aus mindestens einem Teilermodul bestehenden Kette, einlaufende periodische Impulsfolge wird auf eine niedrigere Frequenz unteretzt. Ein Multiplexer, der eingangsseitig auf die Ein- und Ausgänge von mindestens einem Teilermodul geschaltet ist, greift an diesen Punkten die geteilte Eingangsfrequenz ab. Mittels eines Dekoders kann ausgewählt werden, ob die geteilte Frequenz am Ausgang eines Teilermoduls direkt über den Ausgangsmultiplexer am Ausgang oder über einen zweiten Multiplexer und ein weiteres, frei wählbares aber festes Teilermodul über den Ausgangsmultiplexer am Ausgang zur Verfügung steht.

Ausführungsbeispiel

Die Erfindung soll nachstehend anhand eines Ausführungsbeispiels erläutert werden. Die zugehörige Zeichnung zeigt das Blockschaltbild des digitalen programmierbaren Frequenzteilers.

Die Schaltung besteht aus vier gleichartigen, in Kette geschalteten Teilermodulen CT1 mit zwei fest vorgegebenen Teilverhältnissen. Das zweite Teilermodul CT2 besitzt ebenfalls zwei Teilerausgänge mit unterschiedlichen aber festen Teilverhältnissen.

Jeweils ein, aber bei allen Teilermodulen CT1 der gleiche Ausgang ist mit dem 4 auf 1 Multiplexer MUX1 verbunden. Alle Ausgänge der Teilermodule CT1 und CT2 sind mit dem 10 auf 1 Multiplexer MUX2 verbunden.

Die Multiplexer MUX1 und MUX2 steuert der Dekoder DEC, bestehend aus vier Eingängen und vierzehn Ausgängen, an. Mit dieser Anordnung ist aus den sechzehn möglichen Teilverhältnissen mit jedem Programmierbitmuster genau eines auswählbar.

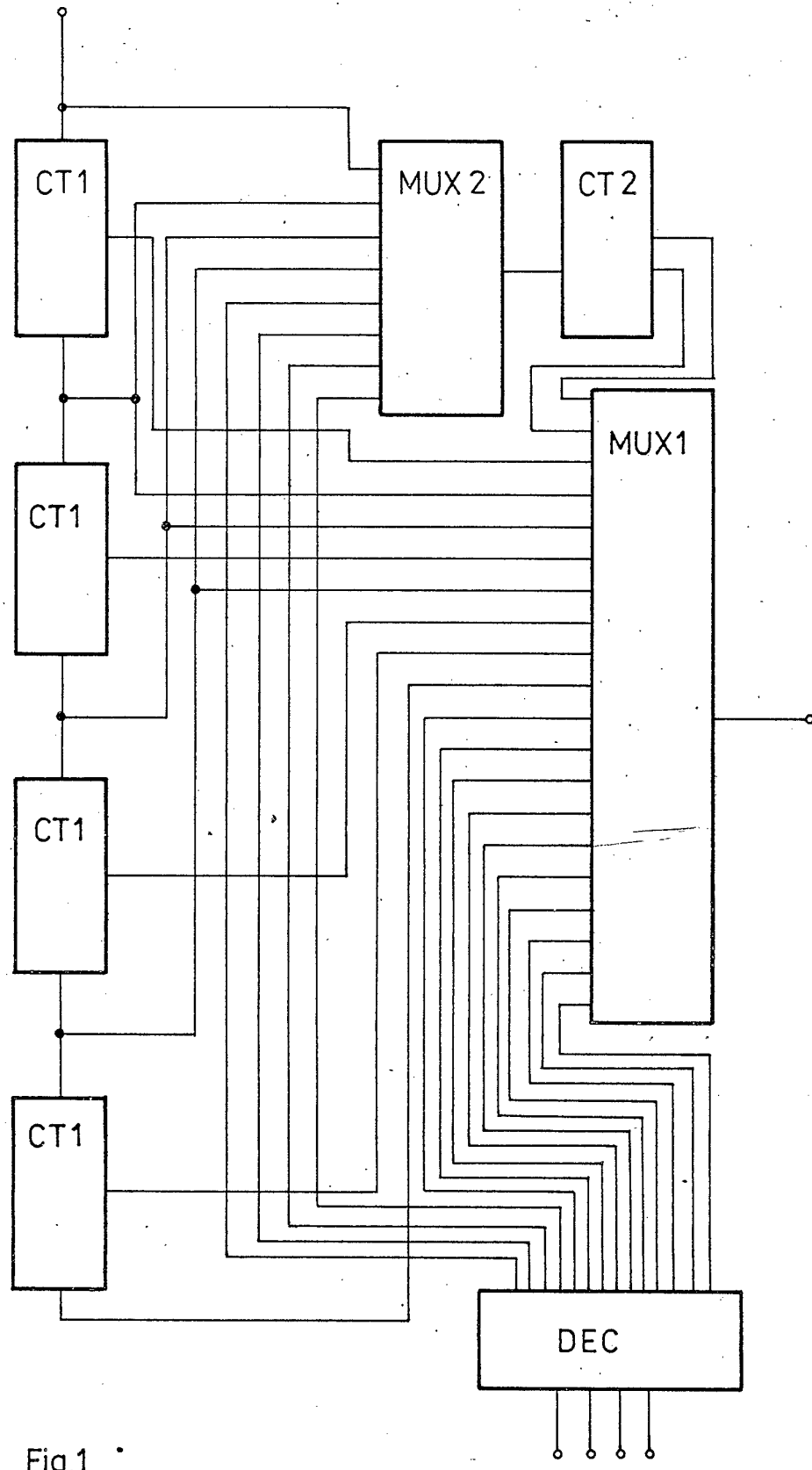


Fig.1