

公告本

388128

申請日期	87.4.4
案 號	87105145
類 別	Int 別 Cl ⁰ <i>Holk 27/12</i>

A4
C4

388128

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	半 導 體 裝 置
	英 文	
二、發明 創作人	姓 名	(1) 山 口 泰 男 (2) 一 法 師 隆 志
	國 籍	日 本
	住、居所	(1) 日 本 國 東 京 都 千 代 田 區 丸 の 內 2 丁 目 2 番 3 號 三 菱 電 機 株 式 會 社 內 (2) 同 (1)
三、申請人	姓 名 (名稱)	三 菱 電 機 股 份 有 限 公 司 (三 菱 電 機 株 式 會 社)
	國 籍	日 本
	住、居所 (事務所)	日 本 國 東 京 都 千 代 田 區 丸 の 內 2 丁 目 2 番 3 號
	代 表 人 名 姓 名	北 岡 隆

裝 訂 線

經濟部中央標準局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本國(地區) 申請專利，申請日期：1997-10-9案號：9-277133，有 無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

[發明所屬之技術領域]

本發明有關於在SOI基板上形成有MOS電晶體之半導體裝置，尤其有關於其輸入/輸出保護功能。

[習知之技術]

當在大塊矽基板上形成MOS裝置之情況時，突波電壓可以經由PN接面放電到基板，但是當在埋入絕緣層上之SOI層形成有MOS裝置之SOI(Silicon on Insulator)裝置之情況，由於有埋入絕緣膜，所以在構造上未存在有讓突波放電到基板之路徑。尤其是在MOS電晶體之源極區域和吸極區域到達埋入氧化膜之薄膜SOI構造中，在縱向未存在有放電路徑，因此形成必需朝向構造上之橫向放電。因此，經由MOS電晶體或二極體依橫向放電到電源線或接地線。

圖31是電路圖，用來表示習知之SOI構造之輸入/輸出保護電路之電路構造。如該圖所示，首先，用以限制突入電流之電阻36(以下稱為「保護電阻」)之一端連接到信號端子30，用來延遲突波電壓之從信號端子30傳達到內部，藉以防止過大電流之流動。其次設置串聯之PMOS電晶體Q31和NMOS電晶體Q32作為放電元件用來轉移電源(節點)32和接地位準(節點)33之間之電荷。其中，PMOS電晶體Q31和NMOS電晶體Q32之各個之閘極連接到電源32和接地位準33，各個之吸極共同的連接到保護電阻36之另外一端。因此，PMOS電晶體Q31和NMOS電晶體Q32在平常時為OFF狀態。

當將突波電壓施加到信號端子30時，利用各個MOS電晶體Q31、Q32之突崩潰(avalanche break down)用來使電荷

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

快速的放電到電源 32 或接地位準 33 藉以保護內部元件 31。另外，經由構建成使保護電阻 36 之另外一端和內部電阻 37 之一端連接，和使內部元件 31 連接到內部電阻 37 之另外一端，用來使突波電壓不容易傳播到內部元件 31。

圖 32 是如同放電元件之使用二極體 38、39 所形成之輸入保護電路。如該圖所示，首先，使保護電阻 36 之一端連接到信號端子 30，用來延遲突波電壓之從信號端子 30 傳播到內部，藉以防止過大電流之流動。其次設置串聯之二極體 38、39 作為放電元件用來轉移電源 32 和接地位準 33 之間之電荷。其中，二極體 38 之陰極連接到電源 32，和二極體 39 之陽極連接到接地位準 33。因此，二極體 38、39 在電源 32 和接地位準 33 之間形成逆向連接。

當對信號端子 30 施加突波電壓時，利用二極體 38、39 之逆向突崩潰或順向電流，用來使電荷快速的放電到電源 32 或接地位準 33，藉以保護內部元件 31。另外，經由將內部電阻 37 插入在保護電阻 36 和內部元件 31 之間，用來使突波電壓不容易傳播到內部元件 31。

圖 33 表示典型之內部電路之一之反相器電路。如該圖所示，PMOS 電晶體 Q33 和 NMOS 電晶體 Q34 串聯連接在電源 32 和接地位準 33 之間，PMOS 電晶體 Q33 和 NMOS 電晶體 Q34 之閘極共同連接到輸入信號端子 82，吸極共同連接到輸出信號端子 83。

對於圖 33 所示之內部電路，當將具有圖 31 和圖 32 所示之構造之輸入/輸出保護電路連接到輸入信號端子 82 (內部電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

路之輸入部)時，具有作為輸入保護電路之功能，當連接到輸出信號端子83(內部電路之輸出部)時，具有作為輸出保護電路之功能。保護電路之功能因為在輸入部和輸出部均相同，所以下面以「輸入/輸出保護電路」進行說明。但是，在使用作為輸出保護電路之情況時則不附加電阻。

圖34是平面圖，用來表示圖31所示之MOS型之輸入/輸出保護電路之平面構造，圖35是圖34之A-A剖面圖。如該等附圖所示，在矽基板1上設置作為SOI層之矽薄膜3，在矽基板1和矽薄膜3之間包夾有作為絕緣層之埋入氧化膜2。矽薄膜3被層間絕緣膜11分離成為2個島區18A、18B，設有被導入 $10^{17}/\text{cm}^3$ 程度之不純物(在NMOS時為p型，在PMOS時為n型)之通道形成區域6,6'，用以包夾該通道形成區域6之被導入 $10^{20}/\text{cm}^3$ 程度之不純物(在NMOS時為n型，在PMOS時為p型)之吸極區域7和源極區域8，用以包夾通道區域6'之被導入 $10^{20}/\text{cm}^3$ 程度之不純物之吸極區域7'和源極區域8'。另外，在矽薄膜3之通道形成區域6,6'和吸極區域7,7'及源極區域8,8'之一部份上，分別形成有包夾閘極氧化膜4,4'之閘極電極5,5'。因此，在島區18A利用閘極電極5，通道形成區域6，吸極區域7和源極區域8用來形成NMOS電晶體Q32，在島區18B利用閘極電極5'，通道形成區域6'，吸極區域7'和源極區域8'用來形成PMOS電晶體Q31。

另外，層間絕緣膜11用來分離島區18A,18B和形成在矽薄膜3上之全面，在吸極區域7,7'之一部份，源極區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

8, 8'之一部份上之層間絕緣膜 11 設置接觸孔洞 12A~12D, 鋁配線 14 被設置成經由接觸孔洞 12A、12B 電連接到吸極區域 7, 7', 鋁配線 13 被設置成經由接觸孔洞 12C 電連接到源極區域 8, 鋁配線 15 被設置成經由接觸孔洞 12D 電連接到源極區域 8'。另外, 鋁配線 13 連接到接地位準, 鋁配線 14 連接到輸入部 30', 鋁配線 15 連接到電源 32。另外, 輸入部 30' 是指圖 32 所示之連接在保護電阻 36 之另外一端之部份。另外, 在圖 34 中將層間絕緣膜 11 省略。

如圖 34 所示, 在信號端子 30 和作為放電元件之 PMOS 電晶體 Q31, NMOS 電晶體 Q32 之間設有以閘極電極材料或矽薄膜形成之保護電阻 36, 和在放電元件 Q31、Q32 和內部元件 31 之間設有以閘極電極材料或矽薄膜形成之內部電阻 37。通常, 保護電阻 36 是用來抵抗突入電流之流到放電元件 Q31、Q32, 所以其寬度被設置成大於內部電阻 37 之寬度, 藉以減小電流密度。

其中, PMOS 電晶體 Q31 之閘極電極 5' 經由閘極電位固定配線 40 連接到電源 32, NMOS 電晶體 Q32 之閘極電極 5 經由閘極電位固定配線 41 連接到接地位準 33, 分別被設定在 OFF 狀態。

下面將參照圖 31, 圖 34 和圖 35 用來說明有關之動作。由於靜電所產生之突波從信號端子 30 進入, 首先被保護電阻 36 延遲用來防止大的突入電流流到放電元件 Q31、Q32。經由保護電阻 36 傳播之突波經由放電元件 Q31、Q32 快速的放出到電源 32 或接地位準 33。其中, 內部電阻 37 之任務是使

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

突波不是流向內部元件方向而是流向放電元件方向。經由保護電阻 36 傳播之突波施加到放電元件部。其中，當施加正的突波電壓時，NMOS 電晶體 Q32 之吸極區域 7 和通道形成區域 6 之間之接面產生崩潰，使突波放出到接地位準 33。同時 PMOS 電晶體 Q31 被順向偏移，用來使突波放出到電源 32。另外，當施加負的突波電壓時，以相反之方式，PMOS 電晶體 Q31 之吸極區域 7' 和通道形成區域 6' 之間之接面產生崩潰，使突波放出到電源 32，同時 NMOS 電晶體 Q32 被順向偏移用來進行突波之放出。另外，在通常之動作時，因為 PMOS 電晶體 Q31 和 NMOS 電晶體 Q32 為 OFF 狀態，所以施加在信號端子 30 之動作信號經由保護電阻 36 和內部電阻 37 傳播到內部元件 31。

圖 36 是剖面圖，用來表示圖 32 所示之二極體型之輸入/輸出保護電路之剖面構造。如該圖所示，在矽基板 1 上設置矽薄膜 3，在該矽基板 1 和矽薄膜 3 之間包夾有作為絕緣層之埋入氧化膜 2。矽薄膜 3 被層間絕緣膜 11 分離成 2 個之島區 19A、19B，分別設有被導入 $10^{17} / \text{cm}^3$ 程度之 p 型不純物之陽極區域 9B，和被導入 $10^{17} / \text{cm}^3$ 程度之 n 型不純物之陰極區域 10B，另外，陽極區域 9A 和陰極區域 10A 被設置成包夾陽極區域 9B，陽極區域 9C 和陰極區域 10C 被設置成包夾陰極區域 10B。另外，在陽極區域 9A 和陽極區域 9C 被導入有 $10^{20} / \text{cm}^3$ 程度之 p 型不純物，在陰極區域 10A 和陰極區域 10C 被導入有 $10^{20} / \text{cm}^3$ 程度之 n 型不純物。

另外，在矽薄膜 3 之陽極區域 9B 和陽極區域 9A 及陰極區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

域 10A 之一部份上，經由氧化膜 4 形成有電極 5，在陰極區域 10B 和陽極區域 9C 及陰極區域 10C 之一部份上，經由氧化膜 4' 形成有電極 5'。利用陽極區域 9A、9B 和陰極區域 10A 用來構成二極體 39，利用陽極區域 9C，陰極區域 10B 和 10C 用來構成二極體 38。

二極體部之構造與圖 35 所示之構造相同。但是，以通道形成區域 6，吸極區域 7 和源極區域 8 分別代替陽極區域 9B，陽極區域 9A 和陰極區域 10A，和以通道形成區域 6'，吸極區域 7' 和源極區域 8' 分別代替陰極區域 10B，陽極區域 9C 和陰極區域 10C。另外，電極 5, 5' 是當陽極區域 9A、9C 和陰極區域 10A, 10C 之形成時作為標記之用，未具有作為構成元件之功能。

下面將說明有關之動作，圖 32 和圖 36 所示之輸入/輸出保護電路之動作與圖 31 和圖 35 所示之輸入/輸出保護電路之動作相同，惟一之不同是前者隨著二極體 39 之陽極區域 9B 和陰極區域 10A 之間之接面之崩潰和二極體 38 之陽極區域 9C 和陰極區域 10B 之間之接面之崩潰，用來進行放出。

[發明所欲解決之問題]

在 SOI 構造中，因為有埋入氧化膜 2 之存在，所以熱傳導率不良，在將與形成在大塊基板上之大塊元件相同之電力投入到放電元件時，溫度上升會變大(大塊基板時之 3 倍程度之溫度上升)，容易引起 2 次崩潰(熱逸，thermal runaway)而被破壞。另外，由於電流之不均一流動和集中到一部份之元件，所以在電流集中之元件會產生急激之溫度

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

上升，因此在該元件會產生2次崩潰，其結果是會造成裝置全體之ESD(Electro Static Discharge; 靜電放電)耐性之降低為其問題。

另外，在SOI構造中，因為矽薄膜3之品質不如大塊基板良好，所以形成在矽薄膜3上之閘極氧化膜4之膜質容易劣化，因此會有ESD耐性降低之問題。在與絕緣層2形成高低差之矽薄膜3之活性區域境界部(分離端)，該閘極氧化膜4之膜質之劣化特別顯著。

本發明用來解決上述之問題，其目的是提供可以提高ESD耐性之SOI構造之半導體裝置。

[解決問題之手段]

本發明之第1態樣是一種半導體裝置，形成在SOI基板上，具有：輸入/輸出保護電路部，分別對應到連接至各個信號端子之信號節點；和內部電路，連接到上述之信號節點；其中具備有：電源節點，連接到電源電位；和基準電位節點，連接到基準電位；上述之輸入/輸出保護電路部具備有：第1放電元件和第2放電元件，被設在上述之電源節點和上述之信號節點之間，具有PN接面部當對上述之信號端子施加動作信號時變成逆向偏移，當將具有第1極性之突波電壓施加到上述之信號端子時第1放電元件變成順向偏移，當將具有第2極性之突波電壓施加到上述之信號端子時第2放電元件變成順向偏移；和第3放電元件和第4放電元件，被設在上述之信號節點和上述之基準電位節點之間，具有PN接面部當對上述之信號端子施加動作信號時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

變成逆向偏移，當將具有第1極性之突波電壓施加到上述之信號端子時第3放電元件變成順向偏移，當將具有第2極性之突波電壓施加到上述之信號端子時第4放電元件變成順向偏移。

在本發明之第2模態之半導體裝置中，上述之第1和第3放電元件是第1導電型MOS電晶體，上述之第2和第4放電元件是第2導電型MOS電晶體，上述之第1和第3控制電極分別連接到上述之基準電位節點，上述之第2和第4控制電極分別連接到上述之電源電位節點。

在本發明之第3模態之半導體裝置中，上述之第1放電元件是第1導電型之MOS電晶體，其控制電極連接到上述之基準電位節點，上述之第2和第3放電元件是二極體，上述之第4放電元件是第2導電型之MOS電晶體，其控制電極連接到上述之電源電位節點。

本發明之第4模態之半導體裝置更具備有：第1內部電阻，插入在上述之信號端子和上述之信號節點之間；和第2內部電阻，插入在上述之信號節點和上述之內部電路之間。

本發明之第5模態是一種半導體裝置，形成在SOI基板上，具有：輸入/輸出保護電路部，分別對應到連接至各個信號端子之信號節點；和內部電路，連接到上述之信號節點；其中具備有：電源節點，連接到電源電位；基準電位節點，連接到基準電位；上述之輸入/輸出保護電路部具備有指定之導電型之MOS電晶體，其一方之電極區域連接到上述之信號端子，其另外一方之電極區域連接到上述電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

源節點和上述基準電位節點中之一節點之電位固定節點；上述之輸入/輸出保護電路部更具備有：第1電容器，插入在上述之信號端子和上述之MOS電晶體之閘極電極之間；第2電容器，插入在上述之電位固定節點和上述之MOS電晶體之閘極電極之間；和虛擬MOS電晶體部，具有與上述MOS電晶體之閘極電極，閘極絕緣膜，通道形成區域，一方之電極區域和另外一方之電極區域相當之虛擬閘極電極，虛擬閘極絕緣膜，第1、第2和第3擴散區域作為構成部，和未具有作為電晶體之功能；上述之第1電容器包含有用以包夾閘極絕緣膜之上述MOS電晶體之閘極電極之一部份和一方之電極區域之一部份所形成之電容器；上述之第2電容器包含有使用該構成部之一部份用以形成上述之虛擬MOS電晶體部之電容器；和上述第2電容器之電容量被設定成大於上述第1電容器之電容量，其方式是當將上述之動作信號施加到上述之信號端子時，上述之MOS電晶體變成逆向偏移，當將第1或第2極性之突波電壓施加到上述之信號端子時，上述之MOS電晶體變成順向偏移。

本發明之第6模態之半導體裝置是在上述之虛擬MOS電晶體部，使上述之第1和第2擴散區域之導電型是相同之導電型，上述之第2擴散區域連接到上述之電位固定節點，上述之虛擬閘極電極連接到上述MOS電晶體之閘極電極；上述之第2電容器包含有用以包夾上述之虛擬閘極絕緣膜之上述虛擬閘極電極和第1擴散區域所形成之電容器。

本發明之第7模態之半導體裝置是在上述之虛擬MOS電晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

體部，使上述之第1擴散區域和上述之第2擴散區域之導電型不同，上述之第2和第3擴散區域之導電型是相同之導電型，上述之第3擴散區域連接到上述之電位固定節點，上述之虛擬閘極電極連接到上述之MOS電晶體之閘極電極；上述之第2電容器包含有用以包夾上述之虛擬閘極絕緣膜之上述虛擬閘極電極和第1擴散區域所形成之電容器。

本發明之第8模態之半導體裝置是在上述之虛擬MOS電晶體部，使上述之第1擴散區域和上述之第2擴散區域之導電型不同，上述之第1和第3擴散區域之導電型是相同之導電型，上述之第3擴散區域連接到上述之電位固定節點，上述之第2擴散區域連接到上述之MOS電晶體之閘極電極；上述之第2電容器包含有利用上述之第1擴散區域和上述之第2擴散區域之PN接面所形成之電容器。

本發明之第9模態是一種半導體裝置，形成在SOI基板上，具有：輸入/輸出保護電路部，分別對應到連接至各個信號端子之信號節點；和內部電路部，由內部電路用MOS電晶體所構成，用來在內部進行指定之信號處理；其中上述之輸入/輸出保護用MOS電晶體比上述之內部電路用MOS電晶體更易於產生衝穿。

在本發明之第10模態之半導體裝置中使上述之輸入/輸出保護用MOS電晶體之通道形成區域之不純物濃度低於上述內部電路用MOS電晶體之通道形成區域之不純物濃度。

本發明之第11模態之半導體裝置是使上述之輸入/輸出保護用MOS電晶體之通道形成區域之導電型式與其本身之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

吸極區域和源極區域之導電型式相同，上述之內部電路用MOS電晶體之通道形成區域之導電型式與其本身之吸極區域和源極區域之導電型式不同。

在本發明之第12模態之半導體裝置中使上述之輸入/輸出保護用MOS電晶體和上述之內部電路用MOS電晶體具有相同之導電型式，上述之輸入/輸出保護用MOS電晶體之閘極電極之導電型式和上述之內部電路用MOS電晶體之閘極電極之導電型式不同，上述之輸入/輸出保護用MOS電晶體之臨界值電壓被設定為與上述內部電路用MOS電晶體相同之程度。

本發明之第13模態是一種半導體裝置，形成在SOI基板上，具有輸入/輸出保護電路部由第1和第2二極體連接至信號端子所構成；其中上述之輸入/輸出保護電路部具備有：第1導電型之第1半導體區域；第2導電型之第2半導體區域，形成鄰接上述之第1半導體區域；第1導電型之第3半導體區域，形成與上述之第1和第2半導體區域獨立；第2導電型之第4半導體區域，形成與上述之第3半導體區域鄰接；第1~第4矽化物區域，選擇性的形成在上述之第1~第4半導體區域之各個之表面；層間絕緣膜，形成覆蓋在包含上述第1~第4矽化物區域之上上述第1~第4半導體區域；第1配線層，連接到基準電位，和貫穿上述層間絕緣膜的形成本上述之第1矽化物區域上；第2配線層，連接到上述之信號端子，和貫穿上述層間絕緣膜的形成本上述之第2和第3矽化物區域上；和第3配線層，連接到電源，和

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

貫穿上述層間絕緣膜的形在在上述之第4矽化物區域上；利用上述之第1和第2半導體區域形成上述之第1二極體，和利用上述之第3和第4半導體區域形成上述之第2二極體。

本發明之第14模態是一種半導體裝置，具有輸入/輸出保護電路部包含有形成在SOI基板之成為島狀之活性區域上之輸入/輸出保護用MOS電晶體；其中上述之輸入/輸出保護用MOS電晶體之閘極電極形成在平面上之上述活性區域內。

[發明之實施形態]

《實施形態1》

<原理>

圖18是剖面圖，用來表示SOI構造。如該圖所示，在矽基板1上形成埋入氧化膜2，在埋入氧化膜2上形成矽薄膜3。依照這種方式，由矽基板1，埋入氧化膜2和矽薄膜3構成之構造稱為SOI基板。然後，在矽薄膜3上選擇性的形成閘極氧化膜4，在閘極氧化膜4上形成閘極電極5。閘極氧化膜4下之矽薄膜3作為通道形成區域6，另外，與通道形成區域6鄰接之矽薄膜3內之區域作為吸極區域7和源極區域8。

此種SOI構造如上所述，因為存在有熱傳導率不良(大約為矽之1/10)之埋入氧化膜2，所以在施加突波電壓時所產生之熱會被儲存，由於熱逸使形成在SOI基板上之半導體元件很容易發生永久性之破壞。

圖19之圖形用來表示逆向偏移連接時之NMOS電晶體之放

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(13)

電特性。圖 19 之圖形表示在將輸入電壓 IN (突波電壓 SV) 施加到如圖 20 所示之具有源極和閘極被接地之 NMOS 電晶體 Q1 之吸極之情況等，當逆向偏移連接時之細節，圖 19 所示之熱逸之程序由部份程序 P1~P5 所構成。

當將遠大於通常電壓之正突波電壓 SV 施加到圖 20 所示之 NMOS 電晶體 Q1 之吸極時，其吸極電壓就急激的上升 (P1)。在部份程序 P1 之期間中，NMOS 電晶體 Q1 不會有變成逆向偏移之電流流動。另外，當達到崩潰感應電壓時 NMOS 電晶體 Q1 就進行突崩潰，產生寄生雙極動作使吸極電壓降低至保持電壓 (P2)。然後，利用 NMOS 電晶體 Q1 之內部電阻再度上升 (P3)，當達到熱破壞電壓時，用以形成 NMOS 電晶體 Q1 之一部份之矽部份就變成熔融狀態，使源極—吸極間之電阻值急激的降低因而使電壓降低 (P4)。其結果是電流之流動集中在具有源極—吸極間之電阻被降低之 NMOS 電晶體 Q1，進行正回饋動作 (P5)，造成 NMOS 電晶體 Q1 完全被破壞。例如，如圖 21 所示，由於熱破壞在閘極電極 5 (或通道區域 6) 會產生很大之缺陷部份 10，因而使電晶體變成不能動作。

通常，在將作為 SOI 基板上之輸入/輸出保護電路之 NMOS 電晶體設置成逆向偏移之情況時，如圖 22 所示，形成在輸入 (電壓) IN 和接地位準之間，並聯連接通道幅度 W 之 NMOS 電晶體之方式。在圖 22 之實例中，如圖 23 所示，具有閘極被接地之 6 個 NMOS 電晶體 T1~T6 被設置成並聯連接在輸入 IN 和接地位準之間。另外，NMOS 電晶體 T1 由閘極電極 51，吸極區域 61 和源極區域 71 所構成，NMOS 電晶體 T2 由閘極電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

極 52，吸極區域 61 和源極區域 72 所構成，NMOS 電晶體 T3 由閘極電極 53，吸極區域 62 和源極區域 72 所構成，NMOS 電晶體 T4 由閘極電極 54，吸極區域 62 和源極區域 73 所構成，NMOS 電晶體 T5 由閘極電極 55，吸極區域 63 和源極區域 73 所構成，NMOS 電晶體 T6 由閘極電極 56，吸極區域 63 和源極區域 74 所構成。另外，突波電壓從信號端子 30 施加。

利用這種方式，在輸入和接地位準之間並聯的設置 6 個之 NMOS 電晶體 T1~T6 作為 SOI 基板上之輸入/輸出保護電路，當有電流在輸入 IN 和接地位準之間流動時，將電流分割成流到該 6 個之 NMOS 電晶體 T1~T6。

但是，在該 NMOS 電晶體 T1~T6 中，當有 1 個電晶體達到突崩潰電壓時，因為該電晶體之源極—吸極間之電阻減少，所以電流集中到突崩潰之電晶體，因此不能抑制該電晶體由於達到熱破壞電壓而產生熱破壞。

圖 25 之圖形用來表示順向偏移連接時之 NMOS 電晶體之放電特性。圖 25 之圖形用來表示當在圖 24 所示之具有源極被接地之 NMOS 電晶體 Q2 之吸極和閘極施加輸入電壓 IN (突波電壓 SV) 時之順向偏移連接時之熱逸之細節。

圖 25 表示圖 24 所示之順向偏移連接時之 NMOS 電晶體之放電特性。如圖 25 所示，在順向偏移連接時當達到崩潰感應電壓時，不會產生吸極電壓進行降低之所謂之急變返回現象。因此，如圖 26 所示，被設置成並聯連接在輸入 IN 和接地位準之間之多個 NMOS 電晶體 T11~T16 對於突波電壓 SV 之施加產生大致均一之突崩潰，和當利用突波電壓 SV 之進一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

步施加達到熱破壞電壓時就變成與逆向偏移連接時同樣之熱逸狀態。

當將多個NMOS電晶體並聯連接成如圖26所示時，當其中之一部份之電晶體進行突崩潰時，吸極電壓就上升使其他之電晶體亦進行突崩潰。其結果是所有之電晶體都進行突崩潰，電流均一的流入所有之電晶體，因此被比崩潰感應電壓高之熱破壞電壓進行熱破壞。

依照這種方式，在順向偏移連接時，因為不會發生如同逆向偏移連接時之電流集中被突崩潰之一部份之電晶體之現象，所以可以獲得比較良好之ESD耐性。

圖28之圖形用來表示逆向偏移連接時之二極體之放電特性。圖28之圖形用來表示如圖27之陽極被接地之二極體D1，在陰極被施加突波電壓SV時之逆向偏移連接時之熱逸之細節。

在二極體中因為不會進行寄生雙極動作，所以在突崩潰後電壓繼續上升，直至熱破壞。與上述之順向偏移連接時之NMOS電晶體同樣的，使熱破壞電壓高於崩潰感應電壓，從防止電流集中之觀點來看非常有效，但是因為二極體之崩潰感應電壓本身很高(MOS電晶體之2~3倍之程度)，所以以電壓和電流之積表示之消耗電力會增大(亦即熱亦會增加)，其結果是會造成ESD耐性之劣化。但是，當利用高濃度接面等使二極體之接面耐壓降低時，因為可以使崩潰感應電壓降低，所以可以改善ESD耐性。

圖30之圖形用來表示順向偏移連接時之二極體之放電特

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

性。圖 30 之圖形用來表示如圖 29 之陰極被接地之二極體 D1，在陽極被施加突波電壓 SV 時之順向偏移連接時之熱逸之細節。

二極體之順向連接因為可以以低電壓進行大電流之放電，所以可以獲得具有 ESD 耐性之所希望之放電特性。如圖 30 所示，由於電壓之增加產生突崩潰，與其他元件同樣的，當達到熱破壞電壓時，由於熱逸會發生元件之永久性之破壞。

如上所述，不論是在使用電晶體之情況或在在使用二極體之情況，都是在利用順向連接時比較容易防止電流之不均一性，可以用來提高 ESD 耐性。

< 第 1 態樣之構造和動作 >

圖 1 是電路圖，用來表示本發明之實施形態 1 之第 1 態樣之輸入/輸出保護電路之構造。如該圖所示，信號端子 30 連接到保護電阻 36 之一端，保護電阻 36 之另外一端經由信號線(信號節點) 81 連接到內部電阻 37 之一端，該內部電阻 37 之另外一端連接到內部元件 31。

另外，在電源 32 和接地位準 33 之間串聯連接有 NMOS 電晶體 Q11 和 Q12，和串聯連接有 PMOS 電晶體 Q11 和 Q12。NMOS 電晶體 Q11 之閘極連接到接地位準 33，吸極連接到電源 32，源極連接到保護電阻 36 之另外一端(內部電阻 37 之一端)。NMOS 電晶體 Q12 之閘極和源極連接到接地位準 33。吸極連接到 NMOS 電晶體 Q11 之源極。PMOS 電晶體 Q21 之閘極和源極連接到電源 32，吸極連接到保護電阻 36 之另外一端，PMOS

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

電晶體 Q22 之閘極連接到電源 32，源極連接到保護電阻 36 之另外一端，吸極連接到接地位準 33。另外，NMOS 電晶體 Q11、Q12 和 PMOS 電晶體 Q21、Q22 亦可以如圖 23 或圖 26 所示的由多個 MOS 電晶體之並聯連接所構成。

在此種構造中，當對信號端子 30 施加正的突波電壓時，就變成將大於電源電壓加上 PMOS 電晶體 Q21 和 Q22 之臨界值電壓之電壓，施加到信號端子 30，其結果是經由對信號端子 30 變成順向偏移狀態之 PMOS 電晶體 Q21 和 Q22，可以使突波電壓分別放電到電源 32 和接地位準 33。

另外一方面，當對信號端子 30 施加負的突波電壓時，就變成將小於從接地位準減去 NMOS 電晶體 Q11 和 Q12 之臨界值電壓之電壓，施加到信號端子 30，其結果是經由對信號端子 30 變成順向偏移狀態之 NMOS 電晶體 Q11 和 Q12，可以使突波電壓放電到電源 32 和接地位準 33。

另外，在通常之動作時，因為施加在信號端子 30 之動作信號主要的是接地位準～電源位準之電壓，所以 NMOS 電晶體 Q11、Q12 和 PMOS 電晶體 Q21、Q22 全部被逆向偏移成 OFF 狀態，動作信號不會經由 MOS 電晶體 Q11、Q12、Q21 或 Q22 洩漏到電源 32 或接地位準 33，而是經由保護電阻 36 和內部電阻 37 傳達到內部元件 31。尤其是在動作信號之電壓被限制在接地位準～電源位準之電壓之情況，可以使 MOS 電晶體 Q11、Q12 和 PMOS 電晶體 Q21、Q22 確實的變成 OFF 狀態。

此種方式之實施形態 1 之第 1 態樣之輸入/輸出保護電路，不論是施加正的突波電壓或負的突波電壓，在 NMOS 電晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(18)

體 Q11 和 Q12 及 PMOS 電晶體 Q21 和 Q22 中之一方，一定對突波電壓成為順向偏移狀態，所以可以獲得 ESD 耐性良好之輸入/輸出保護電路。

另外，NMOS 電晶體 Q11、Q12 和 PMOS 電晶體 Q21、Q22 因為連接成在信號端子 30 被輸入有動作信號變成逆向偏移狀態，所以不會影響通常之動作。

在該輸入/輸出保護電路中使用各 2 個之 p 通道和 n 通道之 MOS 電晶體。通常作為內部元件 31 者如圖 33 所示，大多形成由 PMOS 電晶體和 NMOS 電晶體構成之 CMOS 反相器，只需要稍微的變更 2 個 CMOS 電晶體之構造就可以很簡單的製造實施形態 1 之第 1 態樣之輸入/輸出保護電路。

< 第 2 態樣之構造和動作 >

另外，第 2 態樣亦可以構建成如圖 2 所示，將 NMOS 電晶體 Q12 和 PMOS 電晶體 Q21 替換成為二極體 D11 和 D12，二極體 D11 之陰極連接到保護電阻 36 之另外一端，二極體 D12 之陽極連接到信號線 81，和陰極連接到電源 32。

在第 2 態樣中，當對信號端子 30 施加正的突波電壓之情況時，經由對信號端子 30 成為順向偏移狀態之二極體 D12 和 PMOS 電晶體 Q22，可以使突波電壓分別放電到電源 32 和接地位準 33。

另外一方面，在對信號端子 30 負的突波電壓之情況時，經由對信號端子 30 成為順向偏移狀態之 NMOS 電晶體 Q11 和二極體 D11，可以使突波電壓分別放電到電源 32 和接地位準 33。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

此種方式之實施形態1之第2態樣之輸入/輸出保護電路，在被施加正的或負的突波電壓之情況時，因為NMOS電晶體Q11和二極體D11及二極體D12和PMOS電晶體Q22中之一方，一定對突波電壓成為順向偏移狀態，所以可以獲得ESD耐性良好之輸入/輸出保護電路。

另外，NMOS電晶體Q11，二極體D11，D12和PMOS電晶體Q22因為被連接成在信號端子30被輸入有動作信號之情況時，經常成為OFF狀態，所以不會影響正常之動作。

另外，第2態樣因為使用一個一個平衡性良好之導電型式之MOS電晶體，所以與第1態樣同樣的，可以比較簡單的進行製造。

《實施形態2》

<原理>

圖3是電路圖，用來表示電晶體之逆向偏移之閘極耦合構造。如該圖所示，對輸入信號IN(突波電壓SV)形成逆向偏移連接之NMOS電晶體Q3之閘極經由電容器C1用來接受輸入信號IN，和經由電容器C2連接到接地位準33。亦即，在閘極耦合構造中，NMOS電晶體Q3之閘極經由電容器C1、C2成為電浮動狀態。此種閘極耦合構造是提高ESD耐性之一種方法，例如在IEEE IRPS 1992 P.141之報告。

在此種閘極耦合構造中，當輸入信號IN為通常之動作電壓之情況時，因為利用電容器C1、C2之耦合可以抑制NMOS電晶體Q3之閘極電位之上升，所以NMOS電晶體Q3變成OFF狀態。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

另外一方面，在施加正的突波電壓SV之情況時，因為NMOS電晶體Q3之閘極電位進行上升促成為電流流動，所以可以變成接近順向偏移連接之狀態。因此，如圖4之放電特性之圖形所示，可以將崩潰感應電壓設定成低於熱破壞電壓，如順向偏移時所示，當在輸入信號IN和接地位準33之間並聯連接多個具有圖3所示之閘極耦合構造之NMOS電晶體Q3時，亦可以使電流均一的流動，可以提高ESD耐性。在實施形態2中，此種閘極耦合構造有效的形成在SOI基板上。

< 第1態樣之構造和動作 >

圖5是剖面圖，用來表示本發明2實施形態2之第1態樣之輸入/輸出保護電路之構造。如該圖所示，在矽基板1上設置作為SOI層之矽薄膜3，在矽基板1和矽薄膜3之間包夾有作為絕緣層之埋入氧化膜2。矽薄膜3被層間絕緣膜11分離成為2個島區20A、20B。在島區20A形成有被導入 $10^{17}/\text{cm}^3$ 程度之p型不純物之通道形成區域6，和用以包夾該通道形成區域6之被導入 $10^{20}/\text{cm}^3$ 程度之n型不純物之吸極區域7和源極區域8。另外一方面，在島區20B設有被導入 $10^{15} \sim 10^{17}/\text{cm}^3$ 程度之p型不純物之p型擴散區域21，和用以包夾p型擴散區域21之被導入 $10^{20}/\text{cm}^3$ 程度之p型不純物之p型擴散區域22，23。

另外，在島區20A之矽薄膜3之通道形成區域6，和吸極區域7及源極區域8之一部份之上，形成有閘極電極5，在其間包夾有閘極氧化膜4。另外一方面，在島區20B之矽薄

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

膜 3 之 p 型擴散區域 21，和 p 型擴散區域 22、23 之一部份之上，形成有閘極電極 5'，在其間包夾有閘極氧化膜 4'。

另外，層間絕緣膜 11 用來分離島區 20A、20B，和形成在矽薄膜 3 上之全面，在吸極區域 7 之一部份，源極區域 8 之一部份和 p 型擴散區域 22 之一部份上之層間絕緣膜 11 設有接觸孔洞 12A、12C 和 12E，鋁配線 14 被設置成經由接觸孔洞 12A 電連接到吸極區域 7，鋁配線 13 被設置成經由接觸孔洞 12C 電連接到源極區域 8，鋁配線 28 被設置成經由接觸孔洞 12E 電連接到 p 型擴散區域 22。另外，鋁配線 13 連接到接地位準 33，鋁配線 14 連接到輸入端子 50，鋁配線 28 連接到接地位準 33。另外，輸入端子 50 可以構建成如圖 34 所示的經由保護電阻接受輸入信號 IN，但是亦可以構建成直接接受輸入信號 IN。

因此，在島區域 20A 形成由閘極氧化膜 4，閘極電極 5，通道形成區域 6，吸極區域 7 和源極區域 8 構成之 NMOS 電晶體 Q3，和形成 (閘極重疊) 電容器 CA，由包夾閘極氧化膜 4 之在平面重疊之閘極電極 5 之一部份和吸極 7 之一部份所構成，以及形成 (閘極重疊) 電容器 CB，由包夾閘極氧化膜 4 之在平面重疊之閘極電極 5 之一部份和源極區域 8 之一部份所構成。

另外一方面，在島區 20B 可以獲得由閘極氧化膜 4'，閘極電極 5'，和 p 型擴散區域 21~23 構成之與 NMOS 電晶體 Q3 之構造類似之虛擬 MOS 電晶體構造。另外，利用包夾閘極氧化膜 4 在平面輔助之閘極電極 5' 和 p 型擴散區域 21 及 p 型

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(22)

擴散區域 22、23 之一部份用來形成電容器 CC。另外，電容器 CA 相當於圖 3 之電容器 C1，電容器 CB 和電容器 CC 之合成電容量相當於電容器 C2 之電容量。

依照這種方式，實施形態 2 之第 1 態樣之輸入/輸出保護電路在 SOI 基板上形成閘極耦合構造之 MOS 電晶體。在此種構造中，當從輸入端子 50 施加輸入信號 IN 時，利用電容器 CA 使浮動區域之電位進行上升。其中因為電容器 CA 之電容量小於電容器 CB 和 CC 之合成電容量，所以 NMOS 電晶體 Q3 之閘極電位之降低大於吸極電位之降低。因此，在輸入信號 IN 為動作電壓（通常是接地位準～電源位準及其近傍區域之電壓）之情況時，其閘極電位小於 NMOS 電晶體 Q3 之臨界值電壓，所以 NMOS 電晶體 Q3 變成 OFF 狀態。另外一方面，在輸入信號 IN 為正的高電壓之情況時，經由使閘極電位上升到大於 NMOS 電晶體 Q3 之臨界值電壓，用來使 NMOS 電晶體 Q3 變成 ON 狀態。亦即，NMOS 電晶體 Q3 對輸入信號 IN 變成順向偏移連接狀態。

此種方式之實施形態 2 之第 1 態樣之輸入/輸出保護電路可以使崩潰感應電壓有效的降低，藉以提高 ESD 耐性。

< 第 2 態樣之構造和動作 >

圖 6 是剖面圖，用來表示本發明之實施形態 2 之第 2 態樣之輸入/輸出保護電路之構造。如該圖所示，在矽基板 1 上設置作為 SOI 層之矽薄膜 3，在矽基板 1 和矽薄膜 3 之間包夾有作為絕緣層之埋入氧化膜 2。矽薄膜 3 被層間絕緣膜 11 分離成為 2 個島區 20A、20B。島區 20A 之構造與圖 5 所示之第 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

態樣相同。

在島區 B 設有被導入 $10^{16} / \text{cm}^3$ 程度之 p 型不純物之通道形成區域 24，和用以包夾該通道形成區域 24 之被導入有 $10^{20} / \text{cm}^3$ 程度之 p 型不純物之吸極區域 25 和源極區域 26。另外，在島區 20B 之矽薄膜 3 之通道形成區域 24 和吸極區域 25 及源極區域 26 之一部份之上形成有閘極電極 5'，在其間包夾有閘極氧化膜 4'。

另外，層間絕緣膜 11 用來分離島區 20A、20B，和形成在矽薄膜 3 上之全面，在吸極區域 7 一部份，源極區域 8 之一部份和源極區域 26 之一部份上之層間絕緣膜 11 設有接觸孔洞 12A、12C 和 12F，鋁配線 14 被設置成經由接觸孔洞 12A 電連接到吸極區域 7，鋁配線 13 被設置成經由接觸孔洞 12C 電連接到吸極區域 8，鋁配線 29 被設置成經由接觸孔洞 12F 電連接到源極區域 26。另外，鋁配線 13 連接到接地位準 33，鋁配線 14 連接到輸入端子 50，鋁配線 29 連接到接地位準 33。

因此，在島區 20A 形成由通道形成區域 6，吸極區域 7 和吸極區域 8 構成之 NMOS 電晶體 Q3，和形成電容器 CA，由包夾閘極氧化膜 4 之閘極電極 5 之一部份和吸極區域 7 之一部份所構成，以及形成電容器 CB，由包夾閘極氧化膜 4 之閘極電極 5 之一部份和源極區域 8 之一部份所構成。

另外一方面，在島區 20B 可以獲得由閘極氧化膜 4'，閘極電極 5'，和 p 型擴散區域 21、25 和 26 構成之與 NMOS 電晶體 Q3 之構造類似之虛擬 NMOS 電晶體構造。另外，利

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

用包夾閘極氧化膜 4' 之閘極電極 5' 和吸極區域 25 及源極區域 2 之一部份用來形成電容器 CD。另外，電容器 CA 相當於圖 3 之電容器 C1，電容器 CB 和電容器 CD 之合成電容量相當於電容器 C2 之電容量。

但是，電容器 CD 只有在使通道形成區域 24 進行反轉之程度之電壓施加到閘極電極 5' 時，才開始進行其功能。因為通道形成區域 24 之濃度低至 $10^{16} / \text{cm}^3$ 程度，所以即使對閘極電極 5' 施加較低之電壓亦可以使通道形成區域 24 進行反轉。

此種方式之實施形態 2 之第 2 態樣之輸入 / 輸出保護電路，經由在 SOI 基板上形成閘極耦合構造之 MOS 電晶體，與第 1 態樣同樣的，當輸入信號 IN 為動作信號之情況時變成逆向偏移連接狀態，當輸入信號 IN 為正的高電壓之情況時變成順向偏移連接狀態，可以獲得與第 1 態樣同樣之效果。

< 第 3 態樣之構造和動作 >

圖 7 是剖面圖，用來表示本發明之實施形態 2 之第 3 態樣之輸入 / 輸出保護電路之構造。如該圖所示，在矽基板 1 上設置矽薄膜 3，在矽基板 1 和矽薄膜 3 之間包夾有作為絕緣層之埋入氧化膜 2。矽薄膜 3 被層間絕緣膜 11 分離成為 2 個島區 20A、20B。島區 20A 之構造與圖 5 所示之第 1 態樣相同。

在島區 20B 形成有被導入 $10^{15} \sim 10^{17} / \text{cm}^3$ 程度之 p 型不純物之 p 型擴散區域 52、54，用來包夾通道形成區域 52 之分別被導入 $10^{20} / \text{cm}^3$ 程度之 p 型不純物和 n 型不純物之 p 型擴散區域 51 和 n 型擴散區域 53，和用來包夾 p 型擴散區域 54

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

之分別被導入有 $10^{20} / \text{cm}^3$ 程度之 n 型不純物和 p 型不純物之 n 型擴散區域 53 和 p 型擴散區域 55。因此，n 型擴散區域 53 形成在 p 型擴散區域 52、54 之間。另外，在島區 20B 之矽薄膜 3 之 p 型擴散區域 52 和 p 型擴散區域 54 上形成有用以包夾閘極氧化膜 43 和 44 之閘極電極 16 和 17。

另外，層間絕緣膜 11 用來分離島區 20A、20B，和形成在矽薄膜 3 上之全面，在吸極區域 7 之一部，源極區域 8 之一部份，p 型擴散區域 51 之一部份，n 型擴散區域 53 之一部份和 p 型擴散區域 55 之一部份之層間絕緣膜 11 設有接觸孔洞 12A、12C、12G、12H 和 12I，鋁配線 14 被設置成經由接觸孔洞 12A 電連接到吸極區域 7，鋁配線 13 被設置成經由接觸孔洞 12C 電連接到源極區域 8，鋁配線 15A 被設置成經由接觸孔洞 12G 電連接到 p 型擴散區域 51，鋁配線 15B 被設置成經由接觸孔洞 12H 電連接到 n 型擴散區域 53，鋁配線 15C 被設置成經由接觸孔洞 12I 電連接到 p 型擴散區域 55。另外，鋁配線 13 連接到接地位準 33，鋁配線 14 連接到輸入端子 50，鋁配線 15A 和 15C 連接到接地位準 33，鋁配線 15B 連接到島區 20A 之閘極電極 5。

因此，在島區 20A，與第 1 和第 2 態樣同樣的，利用閘極電極 5，通道形成區域 6，吸極區域 7 和源極區域 8 用來形成 NMOS 電晶體 Q3，和利用用以包夾閘極氧化膜 4 之閘極電極 5 之一部份和吸極區域 7 之一部份用來形成電容器 CA，以及利用用以包夾閘極氧化膜 4 之閘極電極 5 之一部份和源極區域 8 之一部份用來形成電容器 CB。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

另外一方面，在島區 20B 可以獲得與 NMOS 電晶體 Q3 之構造類似之由閘極氧化膜 43，閘極電極 16，p 型擴散區域 51、52 和 n 型擴散區域 53 構成之第 1 虛擬 MOS 電晶體構造，和可以獲得與 NMOS 電晶體 Q3 之構造類似之由閘極氧化膜 44，閘極電極 17，p 型擴散區域 54、55 和 n 型擴散區域 53 構成之第 2 虛擬 MOS 電晶體構造。

另外，在島區 20B 形成有電容器 CE (圖中未顯示) 其電容量相當於 p 型擴散區域 52 和 n 型擴散區域 53 之接面電容量，與 n 型擴散區域 53 和 p 型擴散區域 54 之接面電容量之合成電容量。另外，電容器 CA 相當於圖 3 之電容器 C1，電容器 CB 和電容器 CE 之合成電容量相當於電容器 C2 之電容量。

此種方式之實施形態 2 之第 3 態樣之輸入/輸出保護電路經由在 SOI 基板上形成閘極耦合構造之 MOS 電晶體，與第 1 和第 2 態樣同樣的，在輸入信號 IN 為動作信號之情況時變成逆向偏移連接狀態，在輸入信號 IN 為正的高電壓之情況時變成順向偏移連接狀態，可以獲得與第 1 態樣同樣之效果。

另外，第 2 態樣具有下面所述之效果。當如第 1 和第 2 態樣之 MOS 電晶體 Q3 之閘極電極 5 在浮動狀態之情況時，會有初期電壓不穩定之缺點。但是，在第 3 態樣中因為在閘極電極 5 和接地位準 33 之間使用具有接面電容量之電容器 CE，所以利用在接面流動之微小電流，可以將 NMOS 電晶體 Q3 之閘極電極 5 固定在作為基準電位之接地位準 33。因此，在第 3 態樣中當通常動作時初期電壓不會不穩定，所具有

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

之效果是將 NMOS 電晶體 Q3 之閘極電極 5 固定在接地位準，只有在突波電壓之施加時才使閘極電位有效的上升。

《實施形態 3》

< 原理 >

要提高 MOS 電晶體之 ESD 耐性時，所使用之方法是利用容易發生衝穿之構造用來使衝穿電壓低於崩潰感應電壓。此種構造之 MOS 電晶體如圖 20 所示，在對輸入端子形成逆向偏移連接之情況，當達到突波施加時所設定之衝穿電壓時，MOS 電晶體由於衝突現象進行早期崩潰，與圖 30 所示之二極體之順向連接之放電現象同樣的產生放電現象，所以可以提高 ESD 耐性。

但是，因為使衝穿電壓降低會使 MOS 電晶體之動作特性劣化，所以實際之動作上並不是所希望之方式。實施形態 3 有考慮到上述之技術背景。

< 第 1 態樣之構造和動作 >

圖 8 是剖面圖，用來表示分別形成在本發明之實施形態 3 之第 1 態樣之半導體裝置之輸入/輸出保護電路部和內部電路部之 SOI 基板上之 MOS 電晶體構造。如該圖所示，在矽基板 1 上設置作為 SOI 層之矽薄膜 3，在矽基板 1 和矽薄膜 3 之間包夾有作為絕緣層之埋入氧化膜 2。矽薄膜 3 被層間絕緣膜 11 等分離成為輸入/輸出保護電路部 45 和內部電路部 46。在輸入/輸出保護電路部 45 形成有被導入 $10^{16} / \text{cm}^3$ 之 p 型不純物之通道形成區域 6A，和用以包夾該通道區域 6A 之被導入 $10^{20} / \text{cm}^3$ 程度之 n 型不純物之吸極區域 7 和源極區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

域 8。另外一方面，在內部電路部 46 設有被導入 $10^{17} / \text{cm}^3$ 程度之 p 型不純物之通道形成區域 6'，和用以包夾該通道區域 6' 之被導入 $10^{20} / \text{cm}^3$ 程度之 n 型不純物之吸極區域 7' 和源極區域 8'。

另外，在輸入/輸出保護電路部 45 之矽薄膜 3 之通道區域 6A 和吸極區域 7 及源極區域 8 之一部份上，形成有用以包夾閘極氧化膜 4 之閘極電極 5p。另外一方面，在內部電路部 46 之矽薄膜 3 之通道形成區域 6' 和吸極區域 7' 及源極區域 8' 之一部份上，形成有用以包夾閘極氧化膜 4' 之閘極電極 5n。但是，閘極電極 5p 以 p 型之聚矽形成，而閘極電極 5n 以 n 型之聚矽形成。

另外，層間絕緣膜 11 用來分離輸入/輸出保護電路部 45 和內部電路部 46，和形成在聚薄膜 3 上之全面，在吸極區域 7, 7' 之一部份和源極區域 8, 8' 之一部份上之層間絕緣膜 11 分別設有接觸孔洞 12A、12A'、12C、12C'，鋁配線 14、14' 分別被設置成經由接觸孔洞 12A、12A' 電連接到吸極區域 7、7'，鋁配線 13、13' 分別被設置成經接觸孔洞 12C、12C' 電連接到源極區域 8, 8'。

因此，在輸入/輸出保護電路部 45 利用閘極電極 5p，通道形成區域 6A，吸極區域 7 和源極區域 8 用來形成 NMOS 電晶體（輸入/輸出保護用 NMOS 電晶體），在內部電路部 46 利用閘極電極 5n，通道形成區域 6A，吸極區域 7 和源極區域 8 用來形成 NMOS 電晶體（內部電路用 NMOS 電晶體）。

通道形成區域 6A 之不純物濃度被設定成低於通道形成區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(29)

域6'，用來使衝穿電壓變低。另外一方面，當通道形成區域6A之不純物濃度變低時其臨界值電壓就變低，為著補償此種性質所以使用p型之聚矽作為閘極電極5P所具有之性質是其臨界值高於使用n型之聚矽者。另外，經由調整通道形成區域6A之不純物濃度和閘極電極5n之不純物濃度，可以將臨界值電壓設定成為與形成在內部電路部46之NMOS電晶體具有相同之程度。

依照這種方式，形成在實施形態3之第1態樣之輸入/輸出保護電路部45之NMOS電晶體，可以維持與形成在內部電路部46之NMOS電晶體相同程度之臨界值電壓，同時可以使衝穿電壓下降，所以可以獲得ESD耐性很高之輸入/輸出保護電路。另外，因為形成在內部電路部46之NMOS電晶體不會使衝穿電壓下降，所以不會由於衝穿電壓之下降而發生動作特性之劣化。

< 第2態樣之構造和動作 >

圖9是剖面圖，用來表示分別形成在本發明之實施形態3之第2態樣之半導體裝置之輸入/輸出保護電路部和內部電路部之SOI基板上之MOS電晶體構造。如該圖所示，在矽基板1上設置作為SOI層之矽薄膜3，在矽基板1和矽薄膜3之間包夾有作為絕緣層之埋入氧化膜2。矽薄膜3被層間絕緣膜11等分離成輸入/輸出保護電路部45和內部電路部46。在輸入/輸出保護電路部45形成有被導入 $10^{17}/\text{cm}^3$ 程度之n型不純物之通道形成區域6n，和用以包夾該通道區域6n之被導入 $10^{20}/\text{cm}^3$ 程度之n型不純物之吸極區域7和源極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

區域 8。

另外，在輸入/輸出保護電路部 45 之矽薄膜 3 之通導區域 6n 和吸極區域 7 及源極區域 8 之一部份上，形成有用以包夾閘極氧化膜 4 之由 p 型之聚矽製成之閘極電極 5p。其他之構造均與圖 8 所示之第 1 態樣相同。

因此，在輸入/輸出保護電路部 45 利用閘極電極 5p，通道形成區域 6n，吸極區域 7 和源極區域 8 用來形成 NMOS 電晶體，在內部電路部 46 利用閘極電極 5n，通道形成區域 6n，吸極區域 7 和源極區域 8 用來形成 NMOS 電晶體。

形成在輸入/輸出保護電路部 45 之 NMOS 電晶體之通道形成區域 6n 因為是以與吸極區域 7 和源極區域 8 相同導電型之累積模態形成，所以衝穿電壓變低。另外一方面，在累積模態之情況時，因為具有臨界值電壓變低之性質，所以與第 1 態樣同樣的，為著補償該性質使用 p 型之聚矽作為閘極電極 5n 所具有之性質是其臨界值高於使用 n 型之聚矽者，利用這種方式可以將臨界值電壓設定成為與形成在內部電路部 46 之 NMOS 電晶體具有相同之程度。因此，在使輸入/輸出保護電路部 45 之 NMOS 電晶體成為逆向偏移連接之情況時，即使其閘極電位有或多或少之上升時亦不會錯誤的成為 ON 狀態。

依照這種方式，形成在實施形態 3 之第 2 態樣之輸入/輸出保護電路部 45 之 NMOS 電晶體，可以維持與形成在內部電路部 46 之 NMOS 電晶體相同程度之臨界值電壓，同時可以使衝穿電壓下降，所以可以獲得 ESD 耐性很高之輸入/輸出保護

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(31)

電路。另外，因為形成在內部電路部 46 之 NMOS 電晶體不會使衝穿電壓下降，所以不會由於衝穿電壓之下降而發生動作特性之劣化。

< 其他 >

另外，實施形態 3 之第 1 和第 2 態樣是以 NMOS 電晶體為例進行說明，但是經由將各個構成元件之導電型反轉亦可適用於 PMOS 電晶體。

另外，在第 1 和第 2 態樣中是使輸入/輸出保護電路部 45 之 NMOS 電晶體之閘極電極 5p 之導電型成為 p 型，但是假如使用與內部電路部 46 之 NMOS 電晶體之閘極電極 5n 同樣之 n 型構成時，即使臨界值電壓下降使衝穿電壓下降亦可以提高 ESD 耐性。

另外，經由使用實施形態 3 之第 1 或第 2 態樣之構造之 MOS 電晶體作為圖 1 或圖 2 所示之實施形態 1 之 NMOS 電晶體 Q11、Q12 和 PMOS 電晶體 Q21、Q22，可以更進一層的提高 ESD 耐性。

《實施形態 4》

< 原理 >

當在 SOI 基板上一起形成 MOS 電晶體和二極體之情況時，通常利用 MOS 電晶體之製造程序，在圖 36 所示之上部形成閘極氧化膜 4、4' 和閘極電極 5、5'。

但是，閘極氧化膜 4、4' 容易被破壞，所以閘極氧化膜之存在是造成 ESD 耐性劣化之主要原因。因此實施形態 4 是使用在 SOI 基板上未形成有閘極氧化膜和閘極電極之二極體用來構成輸入/輸出保護電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(32)

< 構造和動作 >

圖 10 和圖 11 是剖面圖和平面圖，用來表示本發明之實施形態 4 之半導體裝置所使用之輸入/輸出保護電路之構造。另外，圖 10 是圖 11 之 BB 剖面。另外，圖 10 和圖 11 所示之二極體相當於圖 32 之二極體 38、39、和圖 2 之二極體 D11、D12。

如圖 10 和圖 11 所示，在矽基板 1 上設置矽薄膜 3，在矽基板 1 和矽薄膜 3 之間包夾有作為絕緣層之埋入氧化膜 2。矽薄膜 3 被層間絕緣膜 11 分離成為 2 個之島區 19A、19B，分別設有被導入 $10^{17}/\text{cm}^3$ 程度之 p 型不純物之陽極區域 9B，和被導入 $10^{17}/\text{cm}^3$ 程度之 n 型不純物之陰極區域 10B，另外，陽極區域 9A 和陰極區域 10A 被設置成包夾陽極區域 9B，和陽極區域 9C 和陰極區域 10C 被設置成包夾陰極區域 10B。另外，在陽極區域 9A 和陽極區域 9C 被導入 $10^{20}/\text{cm}^3$ 程度之 p 型不純物，在陰極區域 10A 和陰極區域 10C 被導入 $10^{20}/\text{cm}^3$ 程度之 n 型不純物。因此，利用陽極區域 9A、9B 和陰極區域 10A 用來構成二極體 39，和利用陽極區域 9C，陰極區域 10B 和 10C 用來構成二極體 38。

另外，在陰極區域 10A，陽極區域 9C，陽極區域 9A 和陰極區域 10C 之各個之表面，選擇性的形成矽化物區域 27A~27D。

矽化物區域 27A~27D 之形成亦可以在陽極區域 9A~9C 和陰極區域 10A~10C 之形成後堆積絕緣膜，對陽極區域 9A、9C 和陰極區域 10A、10C 之部份進行開口，在開口部份自行整

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (33)

合的形成。另外，亦可以在內部電路部 46 之矽化物形成時以絕緣膜覆蓋在輸入/輸出保護電路部 45 之全面，不形成矽化物區域，利用接觸孔洞之形成工程，在設置接觸孔洞 12A~12D 後，經由接觸孔洞 12A~12D 在陰極區域 10A，陽極區域 9C，陽極區域 9A 和陰極區域 10C 之表面選擇性的形成矽化物區域。

另外，層間絕緣膜 11 用來分離島區 19A、19B，和形成在矽薄膜 3 上之全面，在矽化物區域 27A~27D 之一部份上之層間絕緣膜 11 設有接觸孔洞 12A~12D，鋁配線 14 被設置成經由接觸孔洞 12A、12B 電連接到矽化物區域 27A、27B，鋁配線 13 被設置成經由接觸孔洞 12C 電連接到矽化物區域 27C，鋁配線 15 被設置成經由接觸孔洞 12D 電連接到矽化物區域 27D。另外，鋁配線 13 連接到接地位準 33，鋁配線 14 連接到輸入端子 50，鋁配線 15 連接到電源 32。另外，輸入端子 50 亦可以構建成連接到圖 32 之保護電阻 36 之另外一端，直接接受輸入信號 IN。另外，在圖 11 中未顯示該層間絕緣膜 11。

依此方式構成之實施形態 4 之輸入/輸出保護電路，與圖 32 和圖 36 所示之習知之輸入/輸出保護電路同樣的，當被施加正的突波電壓時，二極體 39 之陽極區域 9B 和陰極區域 10A 之間之接面進行崩潰，突波電壓放電到接地位準 33。同時二極體 38 被順向偏移，突波電壓放電到電源 32。另外，當施加負的高電壓作為突波電壓時，相反的，二極體 38 之陽極區域 9C 和陰極區域 10B 之間之接面進行崩潰，突波

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

電壓放電到電源 32，和二極體 39 被順向偏移，突波電壓放電到接地位準 33。

實施形態 4 之輸入 / 輸出保護電路所使用之二極體在其上部未形成有會造成 ESD 耐性劣化之閘極氧化膜，當與使用圖 36 所示之習知構造之二極體之情況比較時，可以獲得良好之 ESD 耐性。

另外，陽極區域 9A、9C 和陰極區域 10A、10C，與鋁配線 13~15 之連接是使用矽化物區域 27A~27D 進行連接，可以用來減小接觸電阻。

< 其他 >

另外，經由使用實施形態 4 之構造之 MOS 電晶體作為圖 2 所示之實施形態 1 之第 2 態樣之二極體 D11、D12，可以用來更進一層的提高 ESD 耐性。

《 實施形態 5 》

< 原理 >

當形成在 SiO₂ 基板上之 MOS 電晶體 (包含在上部具有閘極電極之二極體、電容器)，如圖 12 之平面圖所示，其閘極電極 5 具有從矽薄膜 3 之活性區域 47 (在內部具有吸極區域 7，源極區域 8) 突出之平面構造之情況時，如圖 12 之 C-C 剖面之圖 13 所示，閘極電極 5 形成覆蓋在絕緣層 2 上之島狀之活性區域 47 (矽薄膜 3) 之端部。

活性區域 47 之端部由於活性區域 47 之圖型製作時之蝕刻受損因而形成結晶品質之不良，因此形成在活性區域 47 之端部近傍區域之閘極氧化膜 4 之品質會劣化。其中，當以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (35)

覆蓋活性區域 47 之端部之方式形成閘極電極 5 時，因為在閘極電極 5 之材料形成時在活性區域 47 之端部會產生大的應力，所以活性區域 47 之端部之閘極氧化膜 4 之品質會更進一步的劣化，其結果是會造成 ESD 耐性之劣化。

因此，在實施形態 5 中是使用 MOS 電晶體構成輸入/輸出保護電路，該 MOS 電晶體具有在 SOI 基板上之閘極電極其平面構造是閘極電極未從矽薄膜 3 之活性區域突出。

< 第 1 態樣 >

圖 14 是平面圖，用來表示本發明之實施形態 5 之半導體裝置之輸入/輸出保護電路所使用之 MOS 電晶體之第 1 態樣之平面構造。如該圖所示，閘極電極 5 形成「日」字狀，在其內部具有 2 個之開口部，在該 2 個之開口部份形成吸極區域 7 和源極區域 8。另外，鋁配線 14 形成經由接觸孔洞 12A 電連接到吸極區域 7，鋁配線 13 形成經由接觸孔洞 12C 電連接到源極區域 8，鋁配線 58 形成經由接觸孔洞 68 電連接到閘極電極 5。另外，圖 14 所示之平面構造亦可適用在如圖 5 所示之實施形態 2 之第 1 態樣中之形成在島區 20A 之 NMOS 電晶體。

依照此種方式之實施形態 5 之第 1 態樣，因為在平面上使閘極電極 5 形成在活性區域 47 內，所以在活性區域 47 之端部之未形成閘極電極 5 之部份，可以提高 ESD 耐性。

< 第 2 態樣 >

圖 15 是平面圖，用來表示本發明之實施形態 5 之半導體裝置之輸入/輸出保護電路所使用之 MOS 電晶體之第 2 態樣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (36)

之平面構造。如該圖所示，閘極電極 17 形成「日」字狀，在其內部具有 2 個之開口部，在該 2 個之開口部份形成 n 型擴散區域 53 和 p 型擴散區域 55。另外，鋁配線 15A 形成經由接觸孔洞 12G 電連接到 n 型擴散區域 53，鋁配線 15B 形成經由接觸孔洞 12H 電連接到 p 型擴散區域 55。另外，圖 15 所示之平面構造亦可適用在如圖 7 所示之實施形態 2 之第 3 態樣之形成在島區 20B 之閘極電極 17 成為浮動狀態之閘極耦合構造之電容器。

依照此種方式之實施形態 5 之第 2 態樣，因為在平面上使閘極電極 17 形成在活性區域 47 內，所以在活性區域 47 之端部之未形成有閘極電極 17 之部份，可以提高 ESD 耐性。

< 第 3 態樣 >

圖 16 是平面圖，用來表示本發明之實施形態 5 之半導體裝置之輸入/輸出保護電路所使用之 MOS 電晶體之第 3 態樣之平面構造。如該圖所示，閘極電極 5 形成「D」字狀包圍在內部之 1 個開口部，在該開口部份形成吸極區域 7，在閘極電極 5 之外側之活性區域 47 形成源極區域 8。另外，鋁配線 14 形成經由接觸孔洞 12A 電連接到吸極區域 7，鋁配線 13 形成經由接觸孔洞 12C 電連接到源極區域 8，鉛配線 58 形成經由接觸孔洞 68 電連接到閘極電極 5。另外，圖 16 所示之平面構造亦可適用於圖 5 所示之實施形態 2 之第 1 態樣中之形成在島區 20A 之 NMOS 電晶體。

依照此種方式之實施形態 5 之第 3 態樣，因為在平面上使閘極電極 5 形成在活性區域 47 內，所以在活性區域 47 之端

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(37)

部之未形成有閘極電極5之部份，可以提高ESD耐性。

< 第4態樣 >

圖17是平面圖，用來表示本發明之實施形態5之半導體裝置之輸入/輸出保護電路所使用之MOS電晶體之第4態樣之平面構造。如該圖所示，閘極電極17形成「0」字狀包圍在內部之1個開口部，在該開口部份形成p型擴散區域55，在閘極電極17之外側之活性區域47形成n型擴散區域53。另外，鋁配線15A形成經由接觸孔洞12G電連接到n型擴散區域53，鋁配線15B形成經由接觸孔洞12H電連接到p型擴散區域55。另外，圖17所示之平面構造亦可適用於圖7所示之實施形態2之第3態樣中之形成在島區20B之閘極電極17為浮動狀態之電容器。

依照此種方式之實施形態5之第4態樣，因為在平面上使閘極電極17形成在活性區域47內，所以在活性區域47之端部之未形成有閘極電極17之部份，可以提高ESD耐性。

< 其他 >

另外，經由使用實施形態5之第1或第3態樣之構造之MOS電晶體作為圖1或圖2所示之實施形態1之NMOS電晶體Q11、Q12和PMOS電晶體Q21、Q22，可以更進一層的提高ESD耐性。

《 補充 》

在上述之實施形態2~實施形態5之構造中是以NMOS電晶體為主進行說明，但是經由使導電型式相反亦可適用在PMOS電晶體。另外，所示之構造是在電源32側配置PMOS電晶體，在接地位準33側配置NMOS電晶體，但是假如構成在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(38)

電源 32 和接地位準 33 中之一方設置輸入/輸出保護用 MOS 電晶體亦可具有同樣之效果。另外，使 MOS 電晶體形成二極體連接，在電源 32 側設置 NMOS 電晶體，在接地 33 側設置 PMOS 電晶體亦可以獲得同樣之效果。

另外，將 MOS 電晶體，二極體連接成各種組合用以構成複雜之輸入/輸出保護電路，亦至少可以獲得與上述實施形態同樣之效果。

[發明之效果]

如上所述，本發明之第 1 模態之半導體裝置之輸入/輸出保護電路具有第 1~第 4 放電元件，分別被設在電源節點或基準電位節點和信號端子之間，具有 pN 接面部，當在信號端子被施加有動作信號時變成逆向偏移，當被施加第 1 或第 2 極性之電壓時變成順向偏移。

因此，當具有第 1 極性之突波電壓從信號端子施加時，順向偏移狀態之第 1 和第 3 放電元件分別使高突波電壓放電到電源節點和基準電位節點，當具有第 2 極性之突波電壓從信號端子施加時，順向偏移狀態之第 2 和第 4 放電元件分別使突波電壓放電到電源節點和基準電位節點。

其結果是對於任何順向偏移狀態之突波電壓，因為存在有 2 個放電元件分別用來將其放電到電源節點和基準電位節點，所以可以獲得 ESD 耐性良好之輸入/輸出保護電路。

另外，在信號端子被施加有動作信號時，因為第 1~第 4 放電元件之 pN 接面部變成逆向偏移狀態，所以動作信號不會經由第 1~第 4 放電元件洩漏到電源節點或接地線，因此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(39)

輸入/輸出保護電路不會對內部電路之正常動作造成不良之影響。

本發明之第2模態之半導體裝置利用第1導電型之MOS第1和第3電晶體，和第2導電型之第2和第4電晶體用來構成輸入/輸出保護電路，因為使用各2個之不同導電型式之電晶體，所以可以很容易製造輸入/輸出保護電路。

本發明之第3模態之半導體裝置利用1個之第1導電型之第1電晶體，和1個之第2導電型之第2電晶體和2個之第1和第2二極體，用來構成輸入/輸出保護電路，因為不同之導電型式之電晶體各使用1個，所以可以很容易的製造輸入/輸出保護電路。

本發明之第4模態之半導體裝置因為具有第1內部電阻插入在信號端子和信號節點之間，和具有第2內部電阻插入在信號節點和內部電路之間，所以在信號端子被施加有第1或第2極性之突波電壓時，利用第1內部電阻產生傳播延遲，或利用第2內部電阻用來防止傳播到內部電路，可以用來保護內部電路。

在本發明之第5模態之半導體裝置中，輸入/輸出保護電路之MOS電晶體之閘極電極經由第1和第2電容器連接到信號端子和電位固定節點，第2電容器之電容量被設定成為大於第1電容器之電容量，促成可以滿足當信號端子被施加之信號為動作信號時MOS電晶體變成逆向偏移狀態，被施加之信號為第1或第2極性之突波電壓時MOS電晶體變成順向偏移狀態之電容量設定條件。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(40)

因此，當從信號端子施加第1或第2極性之突波電壓時，因為可以利用順向偏移狀態之MOS電晶體使其放電到電位固定節點，所以可以獲得ESD特性良好之輸入/輸出保護電路。

在本發明之第6模態之半導體裝置之輸入/輸出保護電路中，利用包夾有虛擬MOS電晶體之虛擬閘極絕緣膜之虛擬閘極電極和第1擴散區域用來形成第2電容器，其結果是該第2電容器所具有之電容量大於第1電容器之電容量而且可以滿足上述之電容量設定條件，該第1電容器之形成是利用包夾有閘極絕緣膜之MOS電晶體之閘極電極之一部份和一方之電極區域之一部份。

在本發明之第7模態之半導體裝置之輸入/輸出保護電路中，利用包夾有虛擬MOS電晶體之虛擬閘極絕緣膜之虛擬閘極電極和第1擴散區域用來形成第2電容器，其結果是該第2電容器所具有之電容量，在第1擴散區域產生反轉現象時，遠大於第1電容器之電容量，而且可以滿足上述之電容量設定條件。

在本發明之第8模態之半導體裝置之輸入/輸出保護電路中，利用第1擴散區域和第2擴散區域之pN接面用來形成第2電容器，其結果是該第2電容器所具有之電容量遠大於第1電容器之電容量，而且可以滿足上述之電容量設定條件。

本發明之第9模態之半導體裝置之輸入/輸出保護用MOS電晶體被構建成比內部電路用MOS電晶體更易於發生衝穿，因為突波電壓可以經由發生衝穿現象之輸入/輸出保護

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (41)

用 MOS 電晶體進行放電，所以可以提高輸入/輸出保護電路之 ESD 耐性。

本發明之第 10 模態之半導體裝置經由使輸入/輸出保護用 MOS 電晶體之通道形成區域之不純物濃度低於內部電路用 MOS 電晶體之通道形成區域之不純物濃度，用來使輸入/輸出保護用 MOS 電晶體比內部電路用 MOS 電晶體易於產生衝穿。

本發明之第 11 模態之半導體裝置經由使輸入/輸出保護用 MOS 電晶體之通道形成區域之導電型式成為與本身之吸極區域和源極區域之導電型式相同，用來使輸入/輸出保護用 MOS 電晶體比內部電路用 MOS 電晶體易於產生衝穿。

本發明之第 12 模態之半導體裝置因為使輸入/輸出保護用 MOS 電晶體之閘極電極之導電型式和內部電路用 MOS 電晶體之閘極電極之導電型式不同，將輸入/輸出保護用 MOS 電晶體之臨界值電壓設定成與內部電路用 MOS 電晶體大致相同，所以在輸入/輸出保護用 MOS 電晶體和內部電路用 MOS 電晶體之間之臨界值電壓不會產生差異，可以構建成使輸入/輸出保護用 MOS 電晶體比內部電路用 MOS 電晶體更易於產生衝穿。

本發明之第 13 模態之半導體裝置是利用形成在 SOI 基板之第 1 和第 2 半導體區域之第 1 二極體，和第 3 和第 4 半導體區域之第 2 二極體，用來構成輸入/輸出保護電路。

因為在第 1~第 4 半導體區域周邊未形成有會造成 ESD 耐性劣化之區域，所以可以獲得 ESD 耐性良好之輸入/輸出保

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(42)

護電路。另外，因為第1~第4半導體周邊區域經由第1~第4矽化物區域連接到第1~第3配線層，所以與第1~第3配線層之接觸電阻可以減小。

在本發明之第14模態之半導體裝置中，因為輸入/輸出保護用MOS電晶體之閘極電極是形成在平面上之活性區域內，所以閘極電極不會形成在島狀之活性區域之端部，因此可以提高該部份之ESD耐性。

[附圖之簡單說明]

圖1是電路圖，用來表示本發明之實施形態1之半導體裝置之輸入/輸出保護電路之構造。

圖2是電路圖，用來表示本發明之實施形態1之半導體裝置之輸入/輸出保護電路之構造。

圖3是電路圖，用來表示閘極耦合剖面構造之NMOS電晶體。

圖4之圖形用來表示圖3所示之NMOS電晶體之放電特性。

圖5是剖面圖，用來表示本發明之實施形態2之半導體裝置之輸入/輸出保護電路之第1態樣之剖面構造。

圖6是剖面圖，用來表示實施形態2之第2態樣之剖面構造。

圖7是剖面圖，用來表示實施形態2之第3態樣之剖面構造。

圖8是剖面圖，用來表示本發明之實施形態3之半導體裝置之輸入/輸出保護電路之第1態樣之剖面構造。

圖9是剖面圖，用來表示實施形態3之第2態樣之剖面構造。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(43)

造。

圖 10 是剖面圖，用來表示本發明之實施形態 4 之半導體裝置之輸入/輸出保護電路之剖面構造。

圖 11 是平面圖，用來表示圖 10 所示之實施形態 4 之平面構造。

圖 12 是實施形態 5 之原理說明用之平面圖。

圖 13 是實施形態 5 之原理說明用之平面圖。

圖 14 是平面圖，用來表示本發明之實施形態 5 之半導體裝置之輸入/輸出保護電路之第 1 態樣之平面構造。

圖 15 是平面圖，用來表示實施形態 5 之第 2 態樣之平面構造。

圖 16 是平面圖，用來表示實施形態 5 之第 3 態樣之平面構造。

圖 17 是平面圖，用來表示實施形態 5 之第 4 態樣之平面構造。

圖 18 是剖面圖，用來表示 SOI 剖面構造。

圖 19 之圖形用來表示逆向偏移連接之 NMOS 電晶體之放電特性。

圖 20 是電路圖，用來表示逆向偏移連接之 NMOS 電晶體。

圖 21 是平面圖，用來表示被熱逸破壞之 MOS 電晶體之平面構造。

圖 22 是平面圖，用來表示在輸入和接地之間並聯連接多個 NMOS 電晶體之平面構造。

圖 23 是電路圖，用來表示圖 22 之電路構造。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(44)

圖 24 是電路圖，用來表示順向偏移連接之 NMOS 電晶體。

圖 25 是說明圖，用來表示順向偏移連接之 NMOS 電晶體之放電特性。

圖 26 是電路圖，用來表示使用多個 NMOS 電晶體進行順向偏移連接時之構造。

圖 27 是電路圖，用來表示逆向偏移連接之二極體。

圖 28 之圖形用來表示逆向偏移連接之二極體之放電特性。

圖 29 是電路圖，用來表示順向偏移連接之二極體。

圖 30 之圖形用來表示順向偏移連接之二極體之放電特性。

圖 31 是電路圖，用來表示習知之輸入/輸出保護電路之構造。

圖 32 是電路圖，用來表示習知之輸入/輸出保護電路之構造。

圖 33 是電路圖，用來表示內部元件之一實例。

圖 34 是平面圖，用來表示圖 31 所示之輸入/輸出保護電路之一部份之平面構造。

圖 35 是剖面圖，用來表示圖 31 所示之輸入/輸出保護電路之一部份之剖面構造。

圖 36 是剖面圖，用來表示圖 32 所示之輸入/輸出保護電路之一部份之剖面構造。

[符號之說明]

5, 5', 5n, 5p, 16, 17, ... 閘極電極, 6, 6', 6A, 6n, ... 通道形成區域, 7, 7', 25, ... 吸極區域, 8, 8', 26, ... 源極區域, 9A ~ 9C, ... 陽極區域, 10A ~

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(45)

10C....陰極區域， 14....矽化物浮動層， 21~23、
51、52、54、55.....p型擴散區域， 53.....n型擴散區
域， 27A~27D....矽化物區域， 30....信號端子，
31....內部元件， 32....電源(節點)， 33....接地位
準(節點)， 45.....輸入/輸出保護電路部， 46....內
部電路部， 47....活性區域， D11、D12.....二極體
， Q11、Q12.....NMOS電晶體， Q21、Q22....PMOS電晶體。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱： 半導體裝置)

本發明之目的是提供可以提高ESD耐性之SOI構造之半導體裝置。

本發明之解決手段具備有：PMOS電晶體Q21和Q22，在信號端子30被施加有正的高電壓作為突波電壓時，成為順向偏移狀態；和NMOS電晶體Q11和Q12，在信號端子30被施加有負的高電壓作為突波電壓時，成為順向偏移狀態。另外，在利用信號端子30施加動作信號時，使NMOS電晶體Q11、Q12和PMOS電晶體Q21、Q22全部變成OFF狀態。

(請先閱讀背面之注意事項再填寫本頁各欄)

英文發明摘要(發明之名稱：)

六、申請專利範圍

1. 一種半導體裝置，形成在SOI基板上，具有：輸入/輸出保護電路部，分別對應到連接至各個信號端子之信號節點；和內部電路，連接到上述之信號節點；其特徵是具備有：

電源節點，連接到電源電位；和

基準電位節點，連接到基準電位；

上述之輸入/輸出保護電路部具備有：

第1放電元件和第2放電元件，被設在上述之電源節點和上述之信號節點之間，具有PN接面部當對上述之信號端子施加動作信號時變成逆向偏移，當將具有第1極性之突波電壓施加到上述之信號端子時第1放電元件變成順向偏移，當將具有第2極性之突波電壓施加到上述之信號端子時第2放電元件變成順向偏移；和

第3放電元件和第4放電元件，被設在上述之信號節點和上述之基準電位節點之間，具有PN接面部當對上述之信號端子施加動作信號時變成逆向偏移，當將具有第1極性之突波電壓施加到上述之信號端子時第3放電元件變成順向偏移，當將具有第2極性之突波電壓施加到上述之信號端子時第4放電元件變成順向偏移。

2. 如申請專利範圍第1項之半導體裝置，其中上述之第1和第3放電元件是第1導電型MOS電晶體，上述之第2和第4放電元件是第2導電型MOS電晶體，上述之第1和第3控制電極分別連接到上述之基準電位節點，上述之第2和第4控制電極分別連接到上述之電源電位節點。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

3. 如申請專利範圍第1項之半導體裝置，其中上述之第1放電元件是第1導電型之MOS電晶體，其控制電極連接到上述之基準電位節點，上述之第2和第3放電元件是二極體，上述之第4放電元件是第2導電型之MOS電晶體，其控制電極連接到上述之電源電位節點。

4. 如申請專利範圍第2或3項之半導體裝置，其中更具備有：

第1內部電阻，插入在上述之信號端子和上述之信號節點之間；和

第2內部電阻，插入在上述之信號節點和上述之內部電路之間。

5. 一種半導體裝置，形成在SOI基板上，具有：輸入/輸出保護電路部，分別對應到連接至各個信號端子之信號節點；和內部電路，連接到上述之信號節點；其特徵是具備有：

電源節點，連接到電源電位；

基準電位節點，連接到基準電位；

上述之輸入/輸出保護電路部具備有指定之導電型之MOS電晶體，其一方之電極區域連接到上述之信號端子，其另外一方之電極區域連接到上述電源節點和上述基準電位節點中之一節點之電位固定節點；

上述之輸入/輸出保護電路部更具備有：

第1電容器，插入在上述之信號端子和上述之MOS電晶體之閘極電極之間；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

第2電容器，插入在上述之電位固定節點和上述之MOS電晶體之閘極電極之間；和

虛擬MOS電晶體部，具有與上述MOS電晶體之閘極電極，閘極絕緣膜，通道形成區域，一方之電極區域和另外一方之電極區域相當之虛擬閘極電極，虛擬閘極絕緣膜，第1、第2和第3擴散區域作為構成部，和未具有作為電晶體之功能；

上述之第1電容器包含有用以包夾閘極絕緣膜之上述MOS電晶體之閘極電極之一部份和一方之電極區域之一部份所形成之電容器；

上述之第2電容器包含有使用該構成部之一部份用以形成上述之虛擬MOS電晶體部之電容器；和

上述第2電容器之電容量被設定成大於上述第1電容器之電容量，其方式是當將上述之動作信號施加到上述之信號端子時，上述之MOS電晶體變成逆向偏移，當將第1或第2極性之突波電壓施加到上述之信號端子時，上述之MOS電晶體變成順向偏移。

6. 如申請專利範圍第5項之半導體裝置，其中

在上述之虛擬MOS電晶體部，上述之第1和第2擴散區域之導電型是相同之導電型，上述之第2擴散區域連接到上述之電位固定節點，上述之虛擬閘極電極連接到上述MOS電晶體之閘極電極；

上述之第2電容器包含有用以包夾上述之虛擬閘極絕緣膜之上述虛擬閘極電極和第1擴散區域所形成之電容器。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

7. 如申請專利範圍第5項之半導體裝置，其中
在上述之虛擬MOS電晶體部，上述之第1擴散區域和上述之第2擴散區域之導電型不同，上述之第2和第3擴散區域之導電型是相同之導電型，上述之第3擴散區域連接到上述之電位固定節點，上述之虛擬閘極電極連接到上述之MOS電晶體之閘極電極；

上述之第2電容器包含有用以包夾上述之虛擬閘極絕緣膜之上述虛擬閘極電極和第1擴散區域所形成之電容器。

8. 如申請專利範圍第5項之半導體裝置，其中
在上述之虛擬MOS電晶體部，上述之第1擴散區域和上述之第2擴散區域之導電型不同，上述之第1和第3擴散區域之導電型是相同之導電型，上述之第3擴散區域連接到上述之電位固定節點，上述之第2擴散區域連接到上述之MOS電晶體之閘極電極；

上述之第2電容器包含有利用上述之第1擴散區域和上述之第2擴散區域之PN接面所形成之電容器。

9. 一種半導體裝置，形成在SOI基板上，具有：輸入/輸出保護電路部，分別對應到連接至各個信號端子之信號節點；和內部電路部，由內部電路用MOS電晶體所構成，用來在內部進行指定之信號處理；其特徵是：

上述之輸入/輸出保護用MOS電晶體比上述之內部電路用MOS電晶體更易於產生衝穿。

10. 如申請專利範圍第9項之半導體裝置，其中上述之輸入/輸出保護用MOS電晶體之通道形成區域之不純物濃度低

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

於上述內部電路用MOS電晶體之通道形成區域之不純物濃度。

11.如申請專利範圍第9項之半導體裝置，其中上述之輸入/輸出保護用MOS電晶體之通道形成區域之導電型式與其本身之吸極區域和源極區域之導電型式相同，上述之內部電路用MOS電晶體之通道形成區域之導電型式與其本身之吸極區域和源極區域之導電型式不同。

12.如申請專利範圍第10或11項之半導體裝置，其中上述之輸入/輸出保護用MOS電晶體和上述之內部電路用MOS電晶體具有相同之導電型式，上述之輸入/輸出保護用MOS電晶體之閘極電極之導電型式和上述之內部電路用MOS電晶體之閘極電極之導電型式不同，上述之輸入/輸出保護用MOS電晶體之臨界值電壓被設定為與上述內部電路用MOS電晶體相同之程度。

13.一種半導體裝置，形成在SOI基板上，具有輸入/輸出保護電路部由第1和第2二極體連接至信號端子所構成；其特徵是：

上述之輸入/輸出保護電路部具備有：

第1導電型之第1半導體區域；

第2導電型之第2半導體區域，形成鄰接上述之第1半導體區域；

第1導電型之第3半導體區域，形成與上述之第1和第2半導體區域獨立；

第2導電型之第4半導體區域，形成與上述之第3半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

區域鄰接；

第1～第4矽化物區域，選擇性的形成在上述之第1～第4半導體區域之各個之表面；

層間絕緣膜，形成覆蓋在包含上述第1～第4矽化物區域之上上述第1～第4半導體區域；

第1配線層，連接到基準電位，和貫穿上述層間絕緣膜的形成在上述之第1矽化物區域上；

第2配線層，連接到上述之信號端子，和貫穿上述層間絕緣膜的形成在上述之第2和第3矽化物區域上；和

第3配線層，連接到電源，和貫穿上述層間絕緣膜的形成在上述之第4矽化物區域上；

利用上述之第1和第2半導體區域形成上述之第1二極體，和利用上述之第3和第4半導體區域形成上述之第2二極體。

14. 一種半導體裝置，具有輸入/輸出保護電路部包含有形成在SOI基板之成為島狀之活性區域上之輸入/輸出保護用MOS電晶體；其特徵是：

上述之輸入/輸出保護用MOS電晶體之閘極電極形成在平面上之上述活性區域內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

圖 1

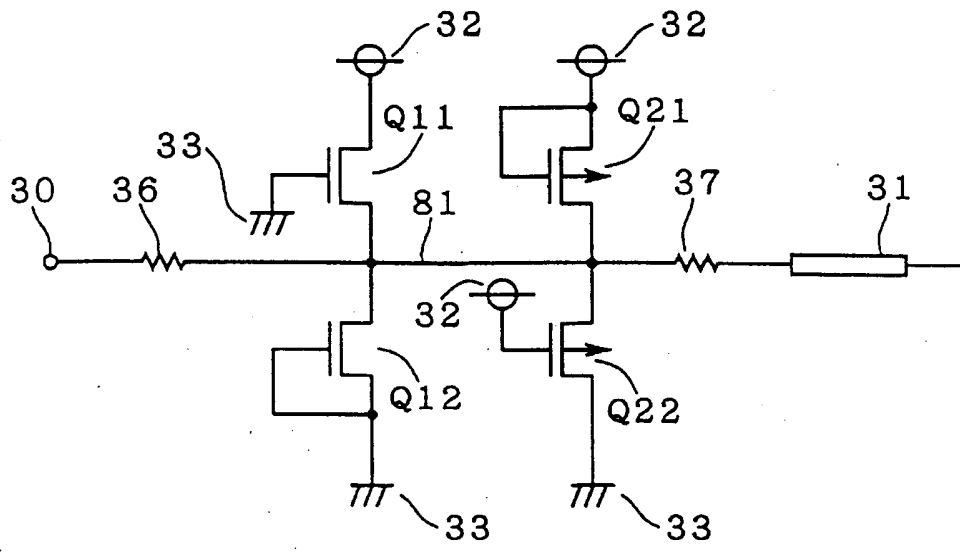


圖 2

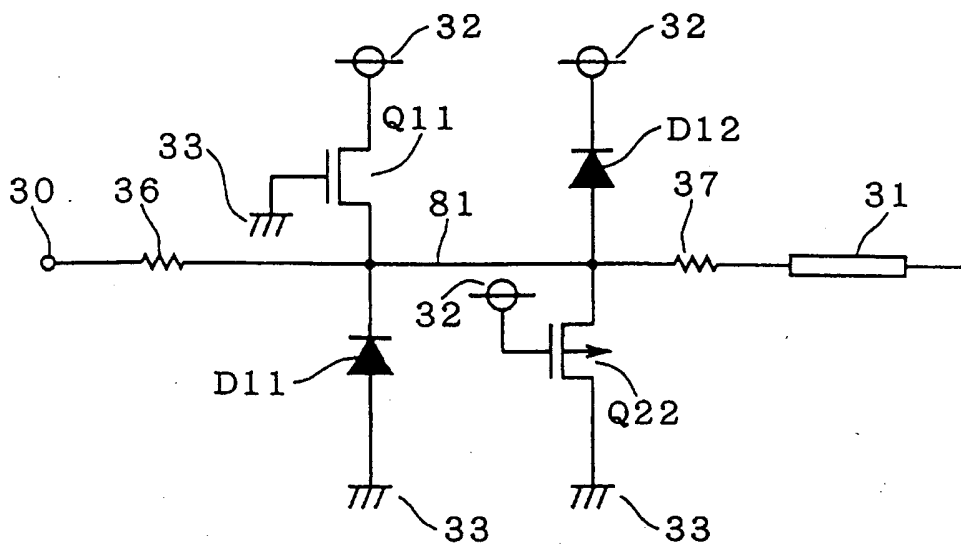


圖 3

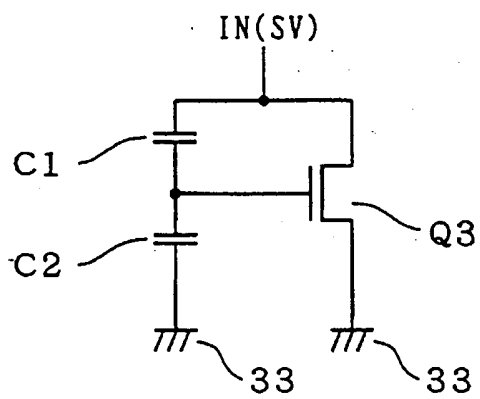
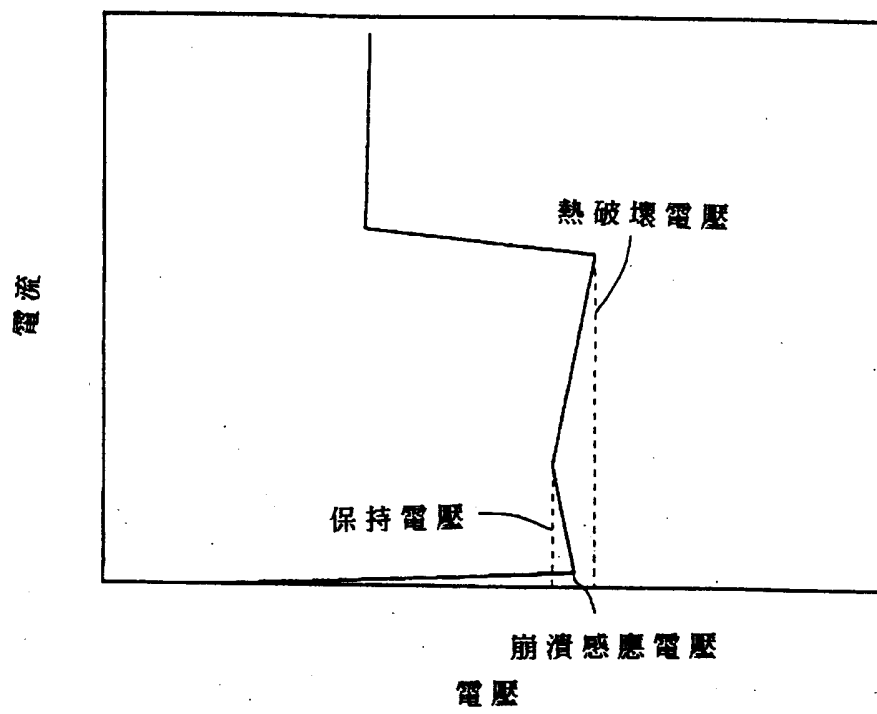
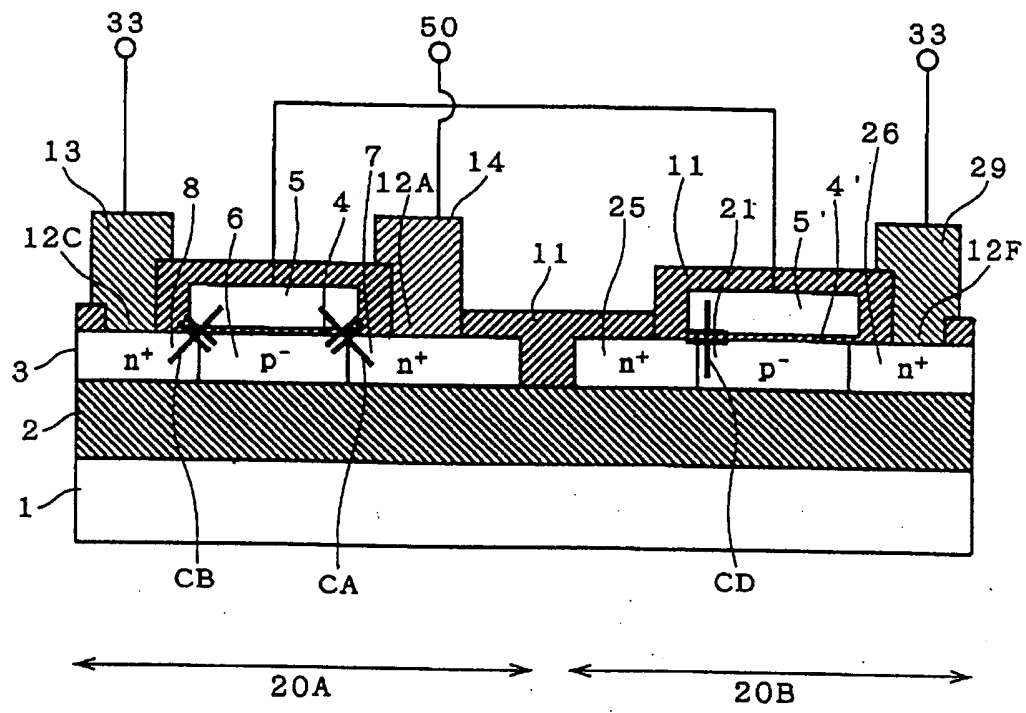


圖 4





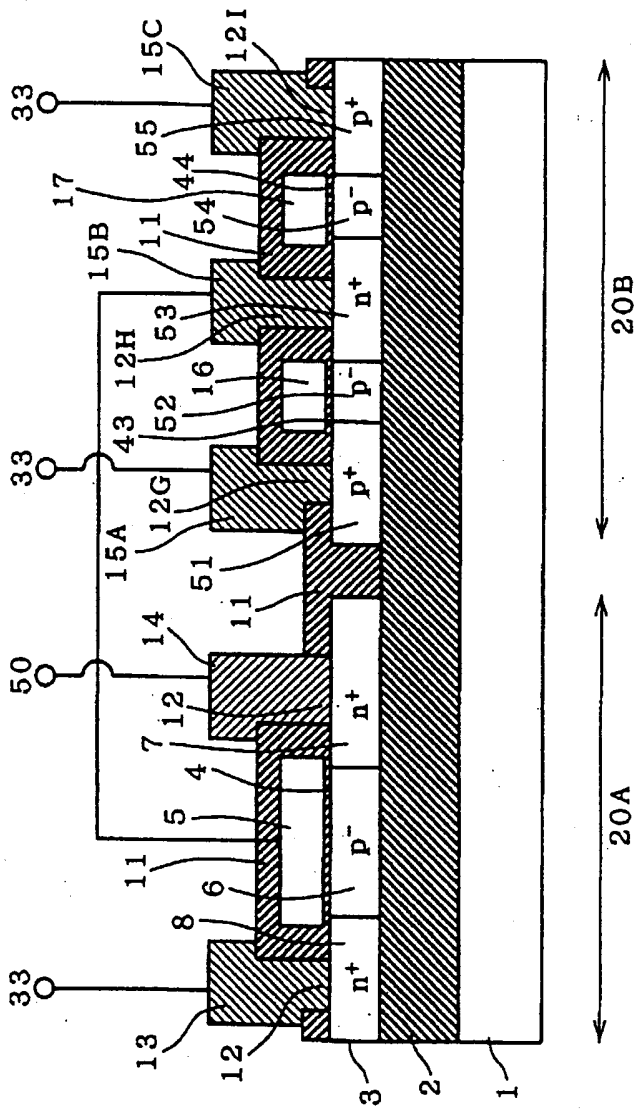


圖 8

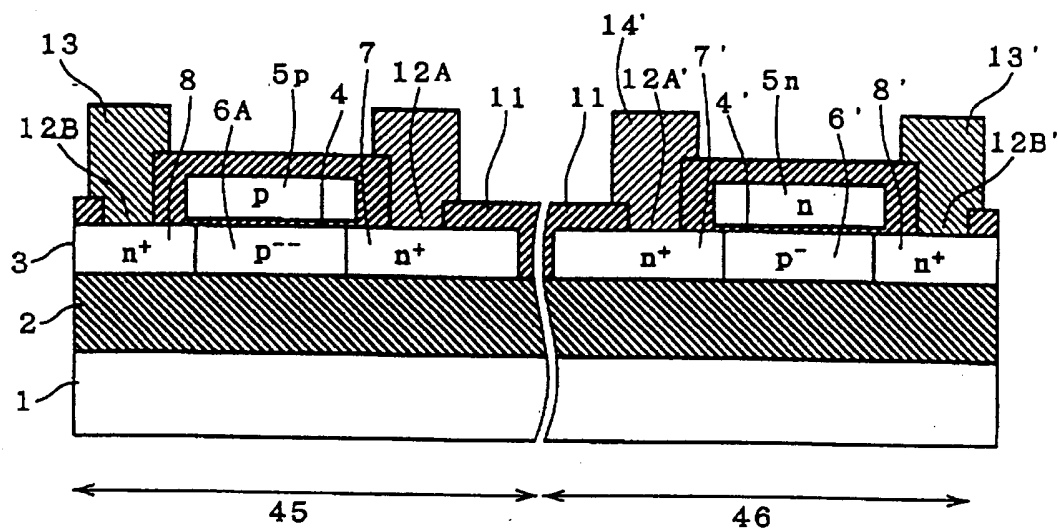


圖 9

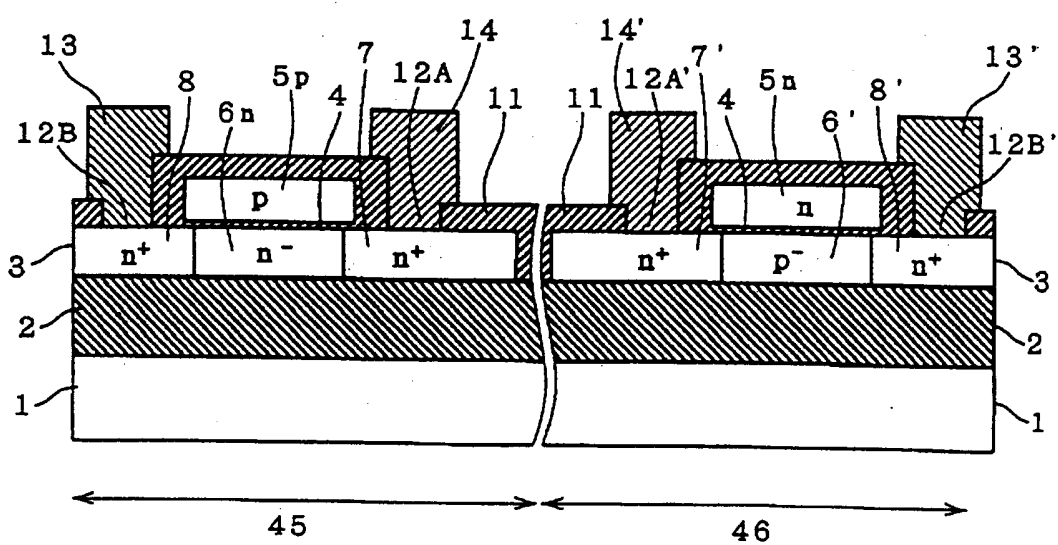
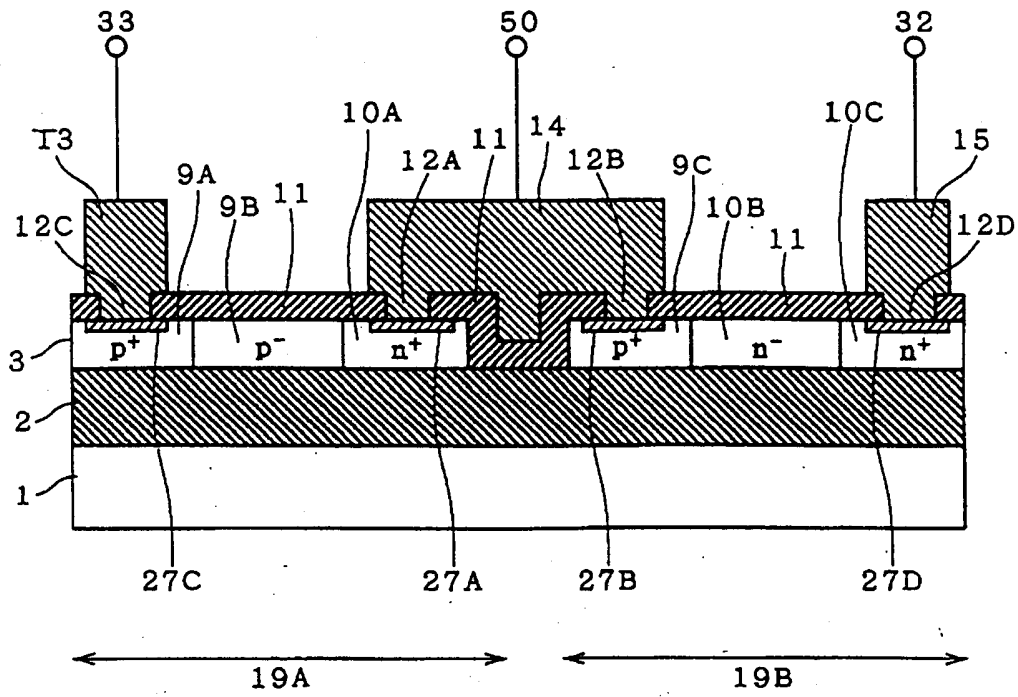


圖 10



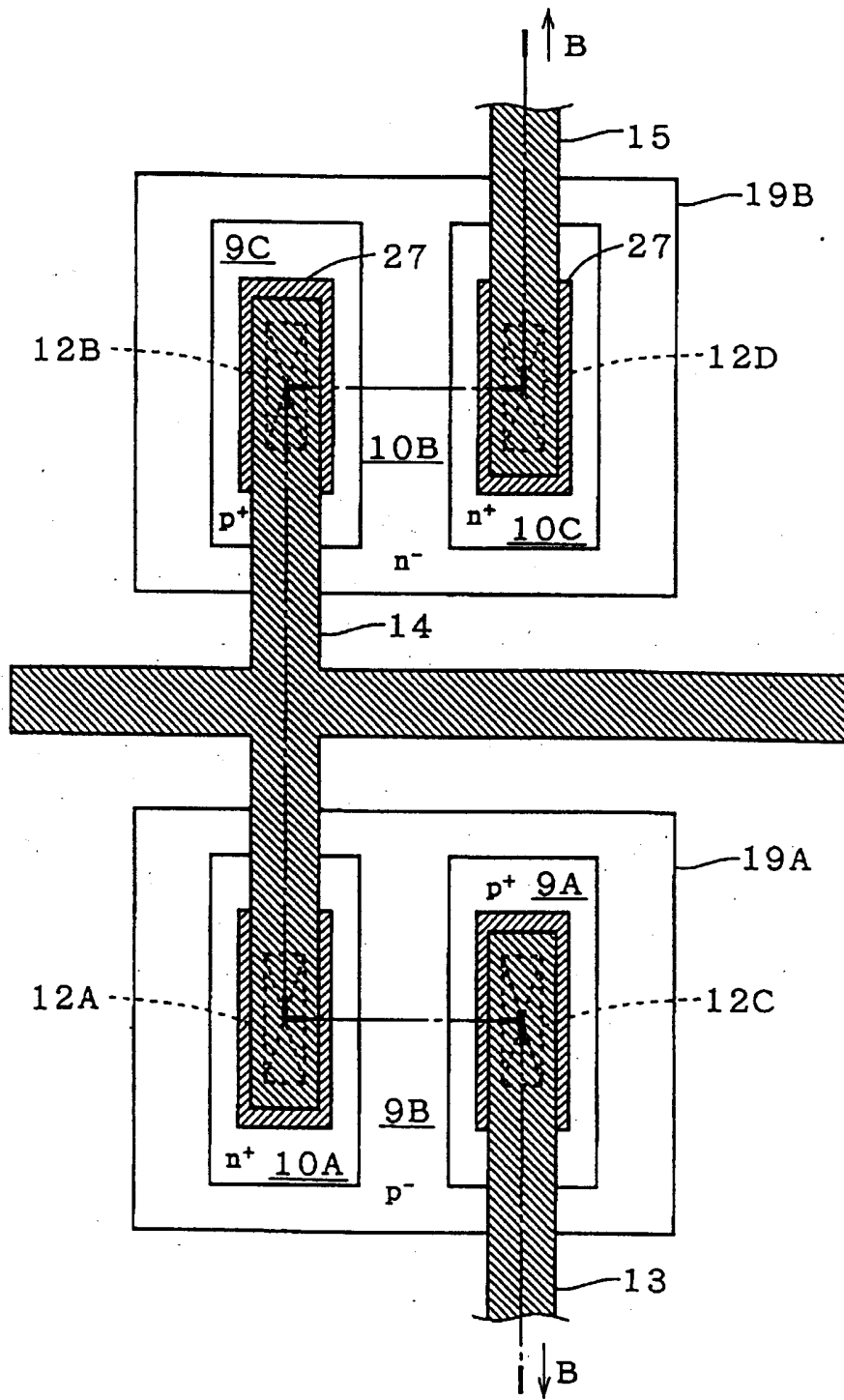


圖 12

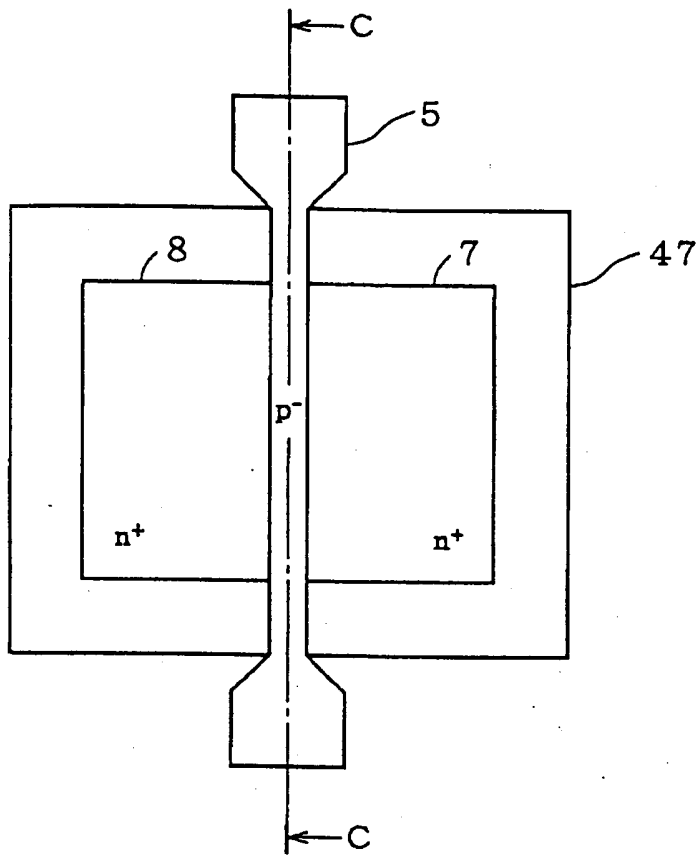


圖 13

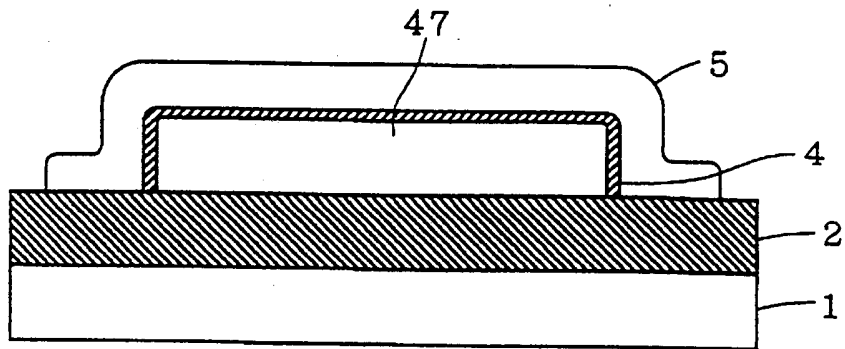


圖 14

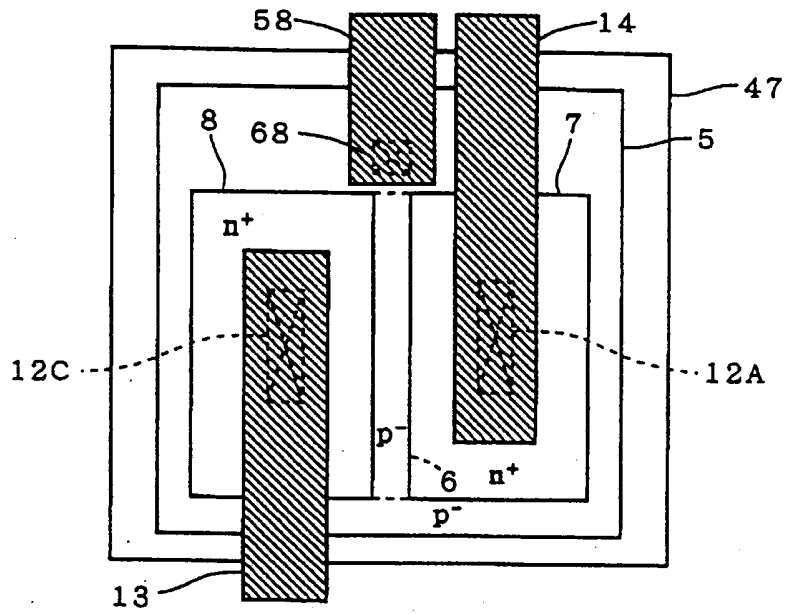


圖 15

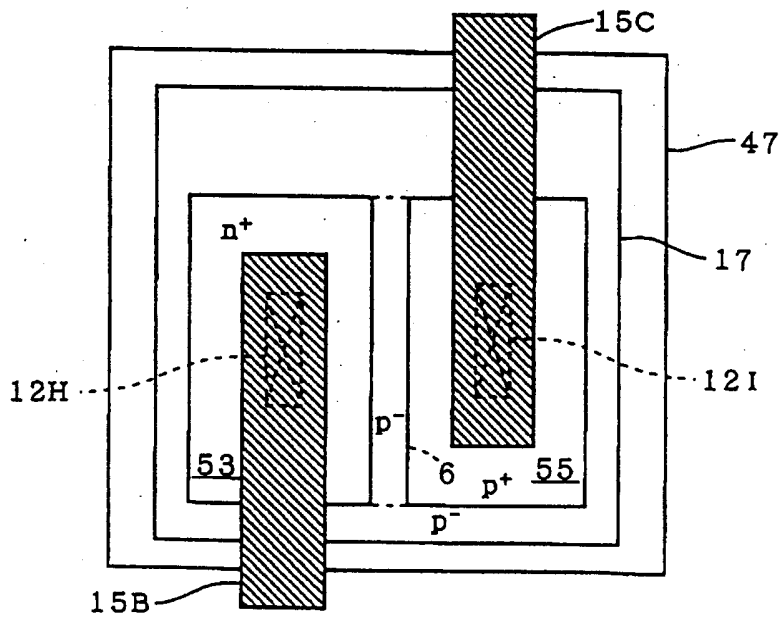


圖 16

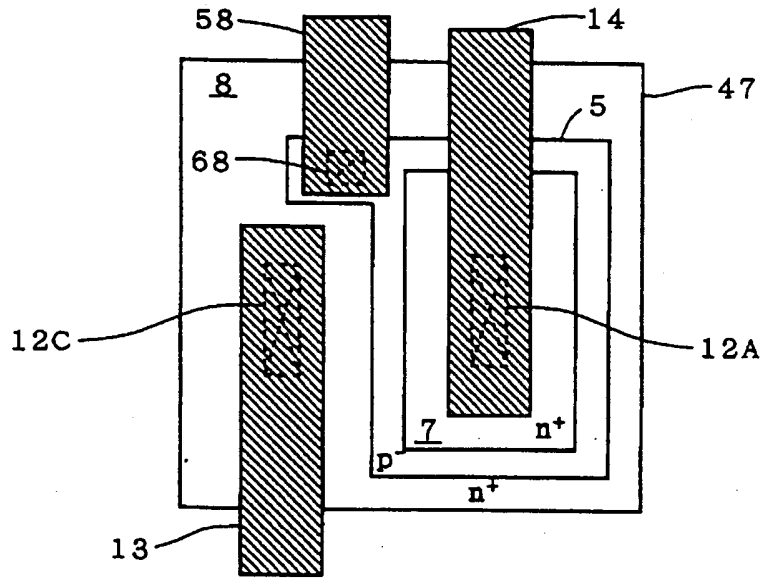


圖 17

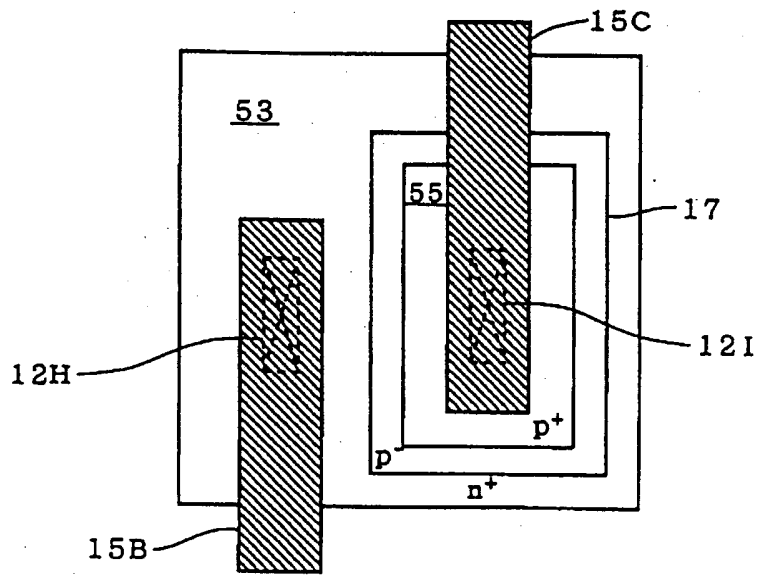


圖 18

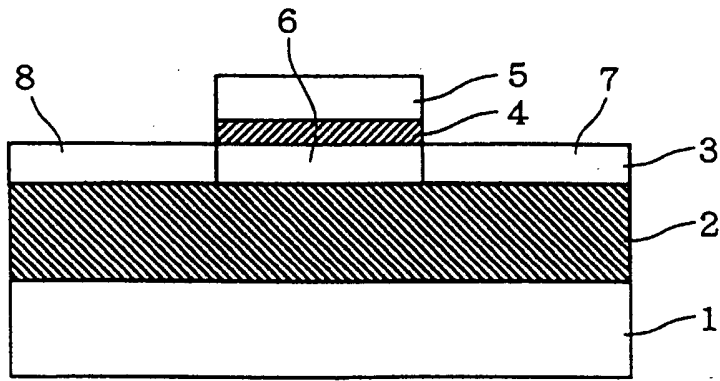


圖 19

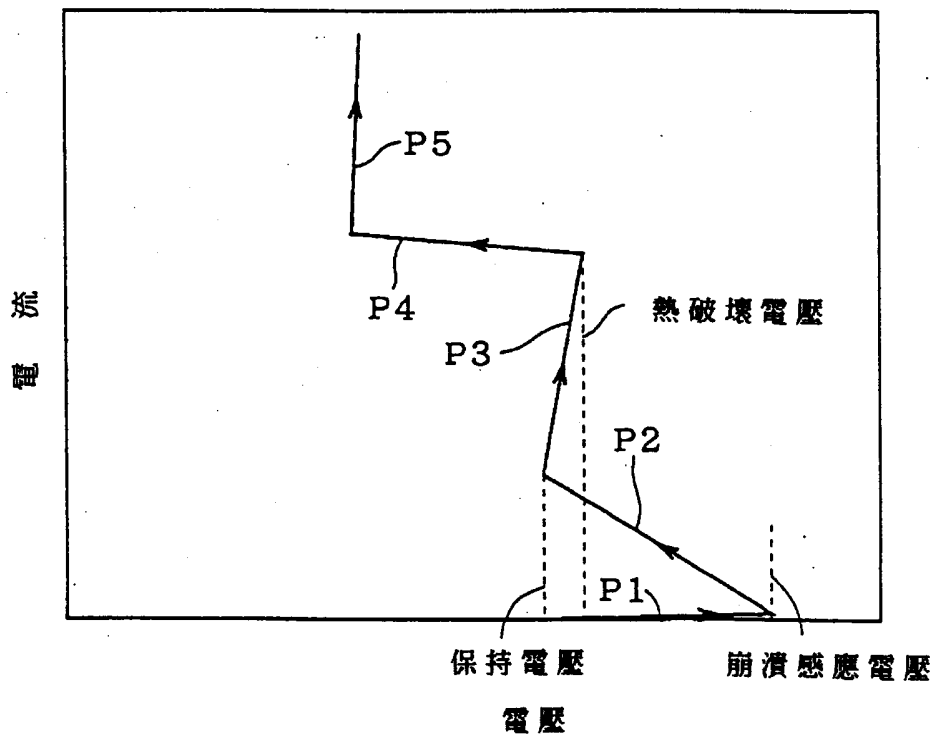
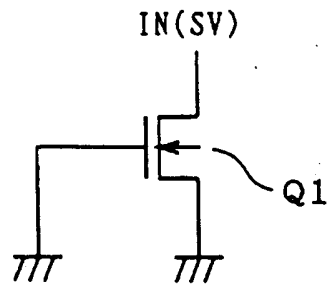
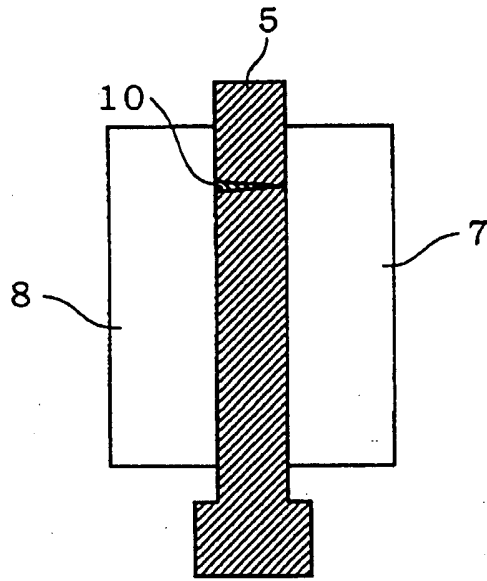


圖 20



圖

2 1



圖

2 2

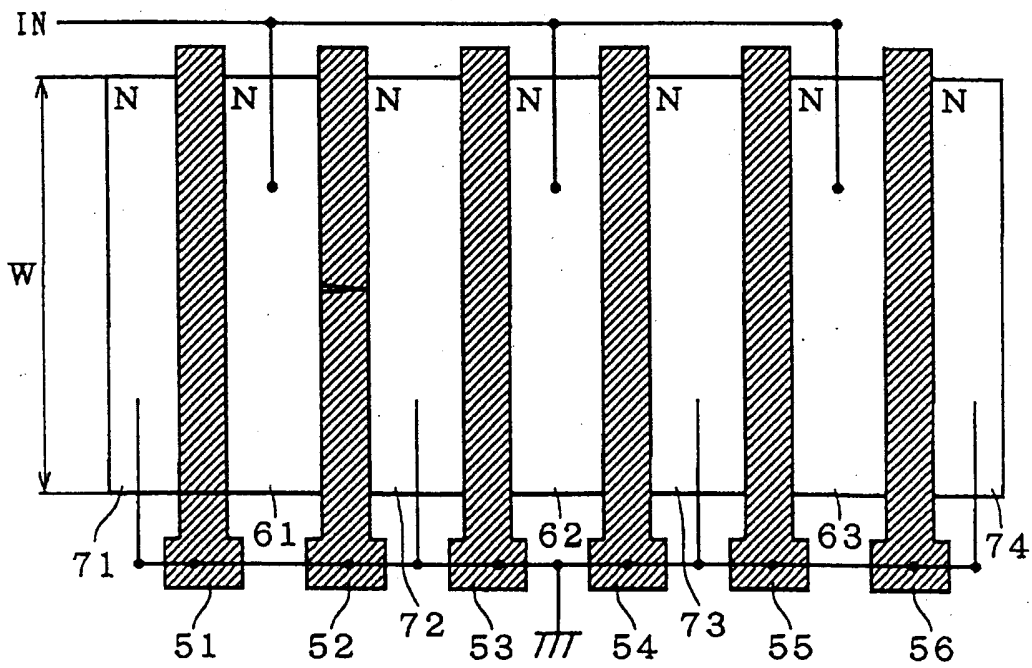


圖 2 3

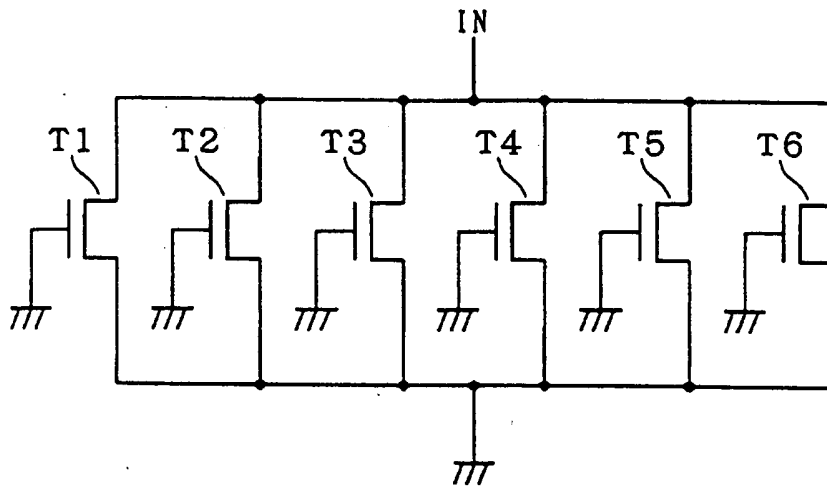
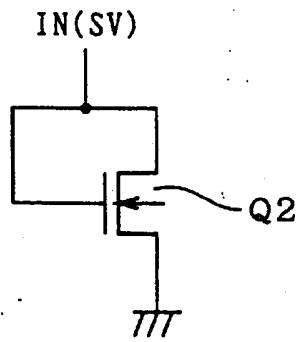
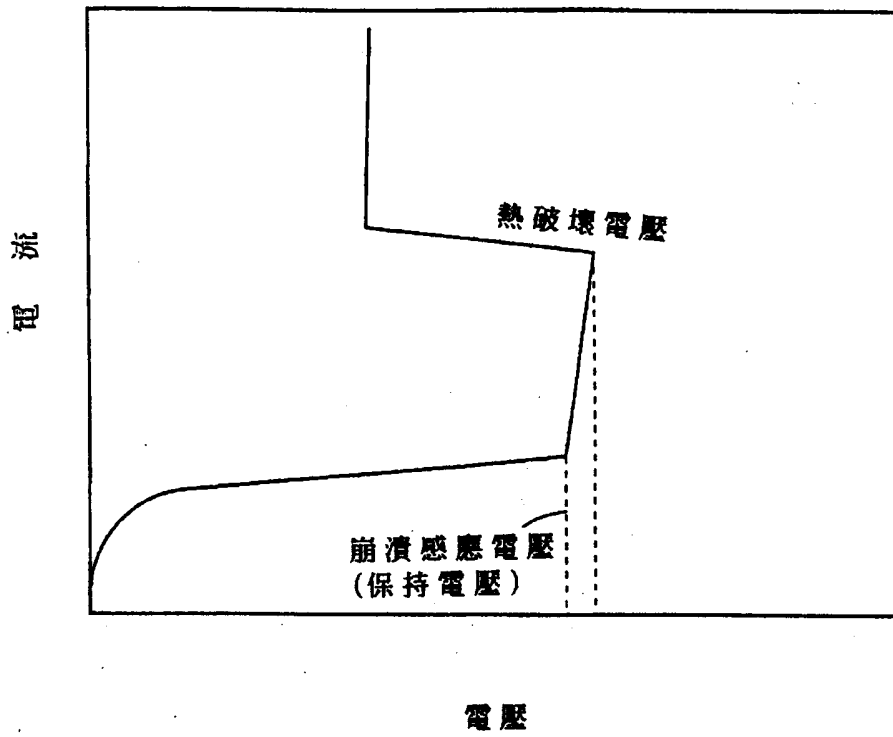


圖 2 4



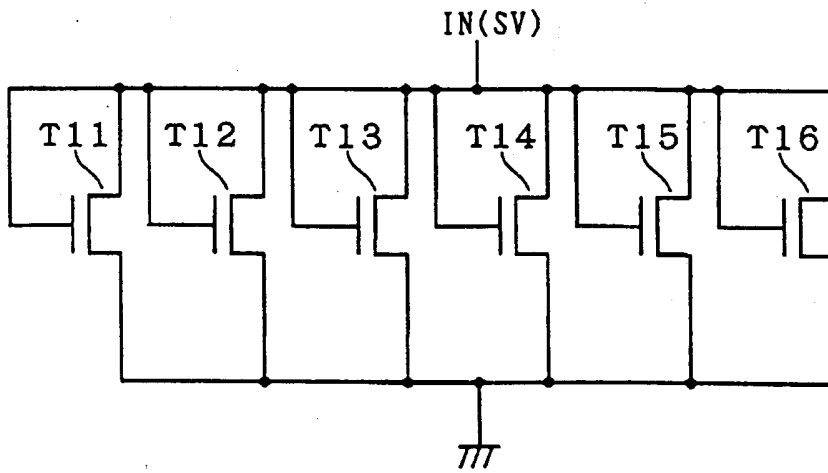
圖

2 5



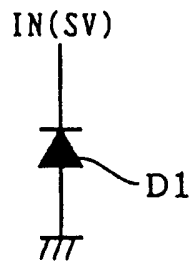
圖

2 6



圖

2 7



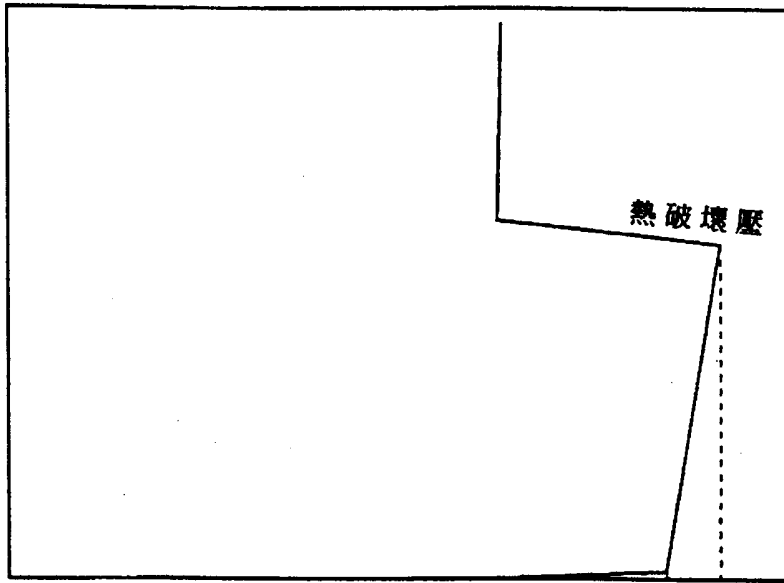
388128

8707



2 8

電
流



崩潰感應電壓
(保持電壓)

電壓



2 9

IN(SV)



D2



388128

圖 30

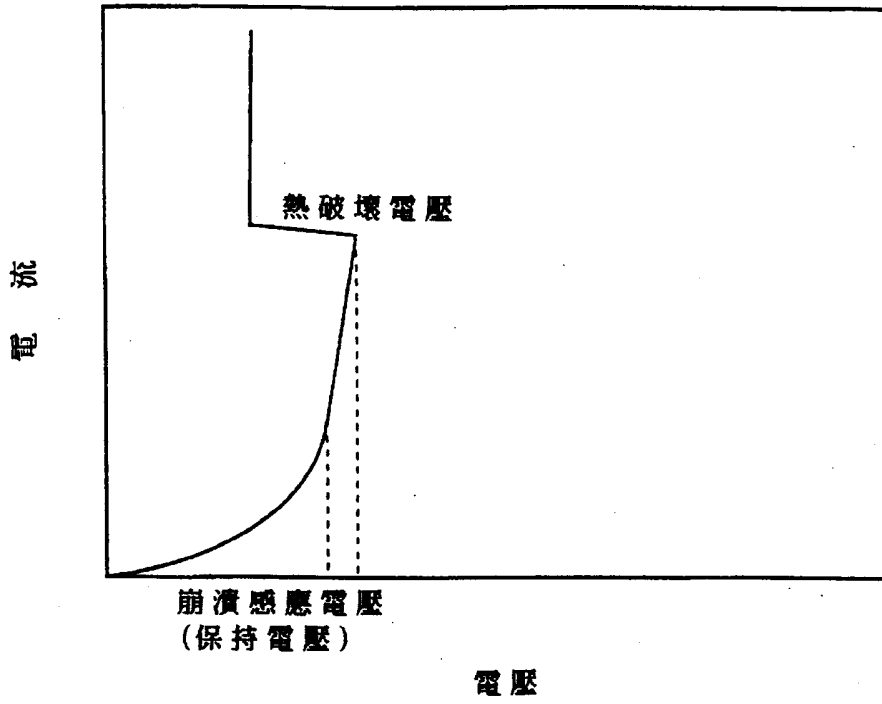
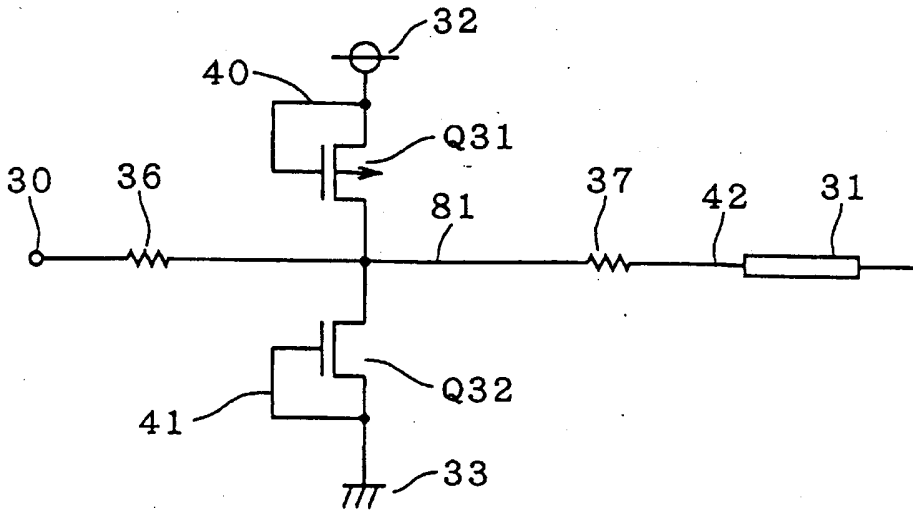


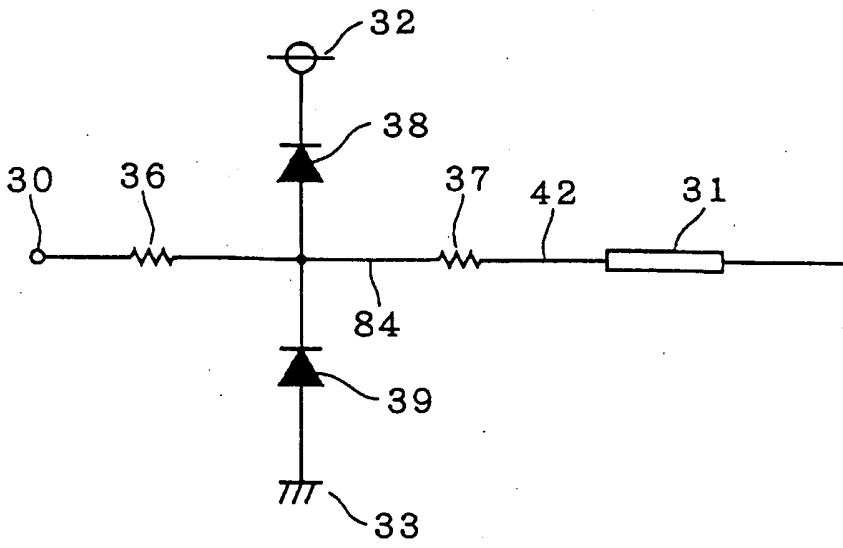
圖 31



388128

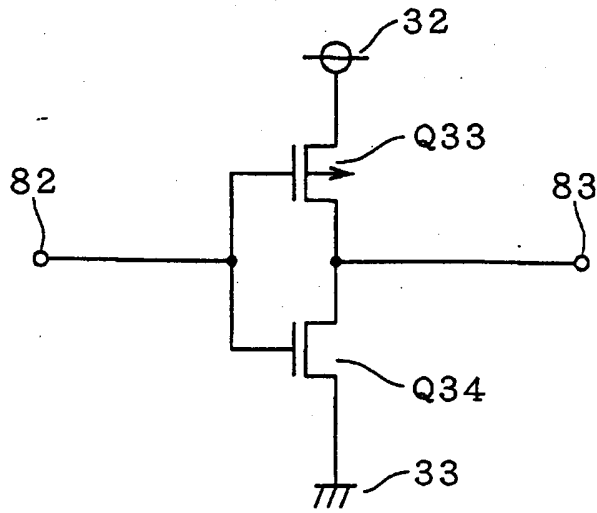
圖

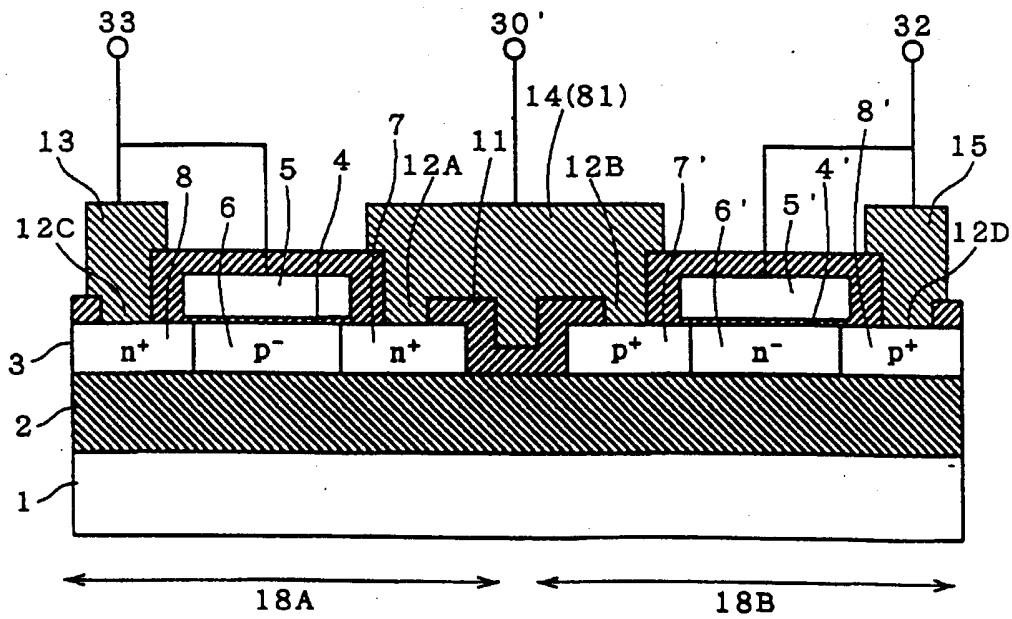
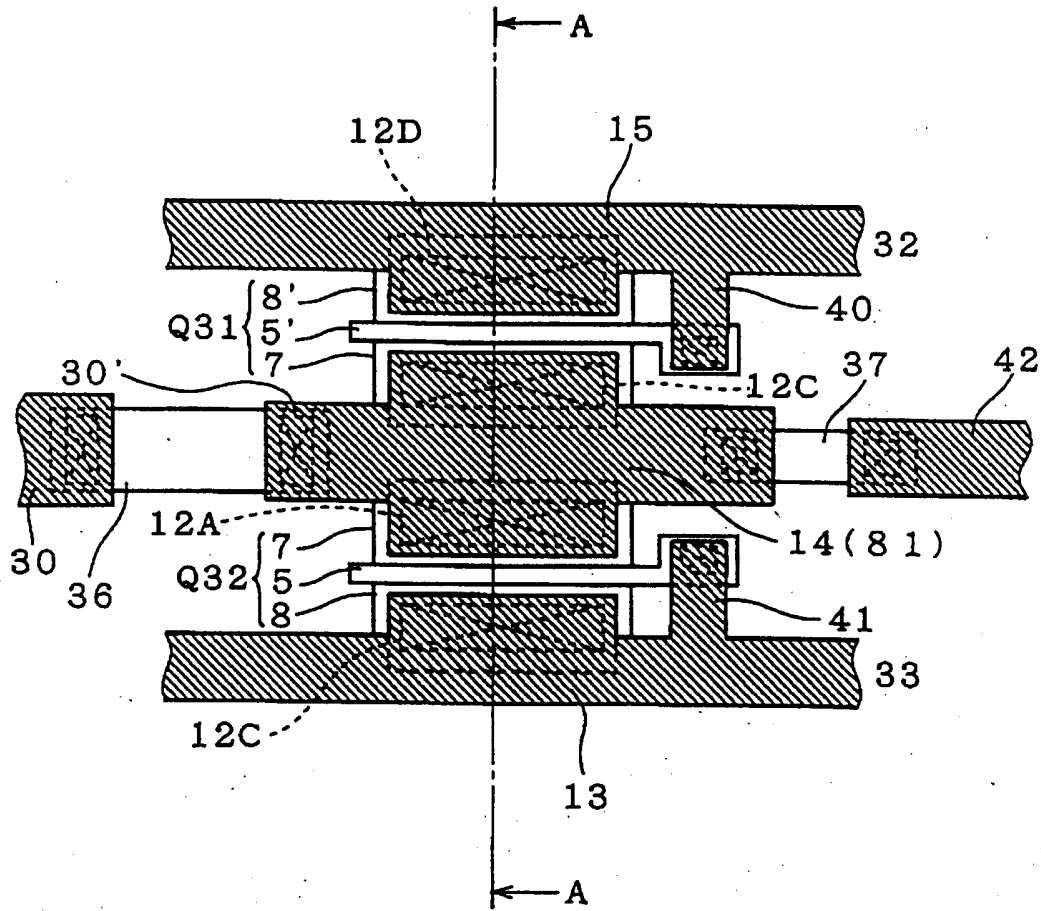
3 2



圖

3 3





388128

圖 36

