

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 9 月 10 日(10.09.2010)

PCT

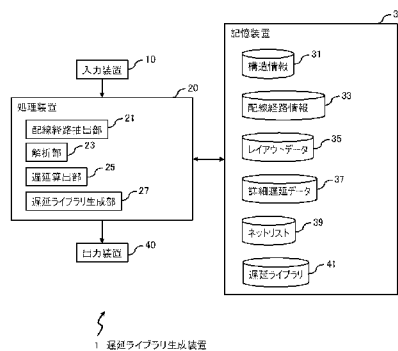
(10) 国際公開番号
WO 2010/100871 A1

- (51) 国際特許分類:
H01L 21/82 (2006.01) G06F 17/50 (2006.01)
- (21) 国際出願番号: PCT/JP2010/001310
- (22) 国際出願日: 2010 年 2 月 26 日(26.02.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-049115 2009 年 3 月 3 日(03.03.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社(NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP). ルネサスエレクトロニクス株式会社(RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 栗島亨 (AWASHIMA, Toru) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号日本電気株式会社内 Tokyo (JP). 伊澤義貴 (IZAWA, Yoshitaka) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地ルネサスエレクトロニクス株式会社内 Kanagawa (JP).
- (74) 代理人: 速水進治(HAYAMI, Shinji); 〒1410031 東京都品川区西五反田 7-9-2 五反田 T G ビル 9 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: DELAY LIBRARY GENERATION SYSTEM

(54) 発明の名称: 遅延ライブラリ生成システム

[図 1]



- 10 INPUT DEVICE
20 PROCESSING DEVICE
21 WIRING PATH EXTRACTION UNIT
23 ANALYSIS UNIT
25 DELAY CALCULATION UNIT
27 DELAY LIBRARY GENERATION UNIT
40 OUTPUT DEVICE
1 DELAY LIBRARY GENERATION APPARATUS
30 STORAGE DEVICE
31 STRUCTURAL INFORMATION
33 WIRING PATH INFORMATION
35 LAYOUT DATA
37 DETAILED DELAY DATA
39 NET LIST
41 DELAY LIBRARY

(57) Abstract: A delay library generation apparatus (1) is provided with a storage device (30) for storing structural information (31) of a logic element array, layout data (35) of the entire programmable logic device, and a net list (39) of the entire programmable logic device, a wiring path extraction unit (21) for, with reference to the storage device (30), extracting wiring path information (33) relating to a wiring path section on the basis of the structural information (31), an analysis unit (23) for analyzing the layout data (35) of the entire programmable logic device and extracting a parasitic element from global wiring and the parameter of crosstalk with an adjacent wire, a delay calculation unit (25) for calculating detailed delay data (37) on the basis of the extracted parameter, and a delay library generation unit (27) for generating a delay library (41) for the programmable logic device on the basis of the wiring path information (33) and the detailed delay data (37).

(57) 要約: 遅延ライブラリ生成装置 (1) は、論理エレメントアレイの構造情報 (31)、プログラマブルロジックデバイス全体のレイアウトデータ (35)、およびプログラマブルロジックデバイス全体のネットリスト (39) を記憶する記憶装置 (30) と、記憶装置 (30) を参照し、構造情報 (31) に基づき、配線経路区間に関する配線経路情報 (33) を抽出する配線経路抽出部 (21) と、プログラマブルロジックデバイス全体のレイアウトデータ (35) を解析し、グローバル配線からの寄生素子および隣接配線とのクロストークのパラメタを抽出する解析部 (23) と、抽出されたパラメタに基づいて詳細遅延

データ (37) を算出する遅延算出部 (25) と、配線経路情報 (33) および詳細遅延データ (37) に基づいて、プログラマブルロジックデバイスの遅延ライブラリ (41) を生成する遅延ライブラリ生成部 (27) と、を備える。

明 細 書

発明の名称： 遅延ライブラリ生成システム

技術分野

[0001] 本発明は、遅延ライブラリ生成システムに関し、特に、プログラマブルロジックデバイスの遅延ライブラリ生成システム、遅延ライブラリ生成方法、遅延ライブラリ生成装置、その制御方法、およびコンピュータプログラム、記録媒体に関する。

背景技術

[0002] F P G A (Field Programmable Gate Array) の遅延モデルの一例が、非特許文献 1 に記載されている。同文献に記載された遅延モデルにおいて、論理エレメントの各要素の遅延は、アレイ上の場所によらず一定値が参照テーブル化されている。配線経路の遅延は、E l m o r e D e l a y モデルとよばれる遅延計算モデルで計算されたものであり、アレイ上の場所によらず一定である。

[0003] また、特許文献 1 (特開 2 0 0 4 - 1 0 2 7 3 9 号公報) および特許文献 2 (特開 2 0 0 8 - 1 2 3 4 5 8 号公報) には、寄生素子抽出に基づく遅延解析が記載されている。

先行技術文献

特許文献

[0004] 特許文献1：特開 2 0 0 4 - 1 0 2 7 3 9 号公報

特許文献2：特開 2 0 0 8 - 1 2 3 4 5 8 号公報

非特許文献

[0005] 非特許文献1：A. Marquardt、V. Betz、J. Rose、
“Speed and Area Tradeoffs in Cluster-Based FPGA Architectures” in I E E E Transactions on V E R Y L A R G E S C A L E I N T E G R A T I O N (V L S I) S Y S T E M S、2 0 0 0 年 2

月、V o l . 8、N o . 1、p. 84－93

発明の概要

- [0006] 上述した遅延モデルにおいては、配線経路遅延の算出精度が低いという問題点があった。その理由は、L S I (Large Scale Integration) 上に形成された配線経路の物理的特性が十分に考慮されていなかったためである。近年、L S I の微細化とともに、回路遅延全体に占める配線経路遅延の割合は増加する傾向にあり、配線経路遅延の算出精度の低さは致命的な問題である。
- [0007] 本発明の目的は、上述した課題である配線経路遅延の算出精度の低さを解決する遅延ライブラリ生成システムを提供することにある。
- [0008] 本発明の遅延ライブラリ生成システムは、アレイ上の論理エレメントの配置、各エレメント間の配線、およびグローバル配線に基づく布線状況を考慮して遅延情報を算出して遅延ライブラリを生成する生成手段を備える。
- [0009] 本発明の第一の遅延ライブラリ生成装置は、アレイ上の論理エレメントの配置、各エレメント間の配線、およびグローバル配線に基づく布線状況を考慮して遅延情報を算出して遅延ライブラリを生成する生成手段を備える。
- [0010] 本発明の第二の遅延ライブラリ生成装置は、論理エレメントのアレイ上における構造に関する構造情報、グローバル配線の情報を含むプログラマブルロジックデバイス全体のレイアウトデータ、およびプログラマブルロジックデバイス全体のネットリストを記憶する記憶装置と、
前記記憶装置を参照し、前記構造情報に基づき、配線経路区間に関する配線経路情報を抽出して前記記憶装置に記憶する配線経路抽出手段と、
前記プログラマブルロジックデバイス全体の前記レイアウトデータを解析し、前記グローバル配線からの寄生素子および隣接配線とのクロストークのパラメタを抽出する解析手段と、
前記解析手段によって抽出された前記パラメタに基づいて、詳細遅延を算出し、詳細遅延データとして前記記憶装置に記憶する遅延算出手段と、
前記記憶装置を参照し、前記配線経路情報および前記詳細遅延データに基づいて、前記プログラマブルロジックデバイスの前記遅延ライブラリを生成

する遅延ライブラリ生成手段と、を備える。

[0011] 本発明の遅延ライブラリ生成方法は、アレイ上の論理エレメントの配置、各エレメント間の配線、およびグローバル配線に基づく布線状況を考慮して遅延情報を算出して遅延ライブラリを生成する。

[0012] 本発明の遅延ライブラリ生成装置の制御方法は、前記遅延ライブラリ生成装置が、論理エレメントのアレイ上における構造に関する構造情報、グローバル配線の情報を含むプログラマブルロジックデバイス全体のレイアウトデータ、およびプログラマブルロジックデバイス全体のネットリストを記憶する記憶装置を備え、

前記遅延ライブラリ生成装置が、

前記記憶装置を参照し、前記構造情報に基づき、配線経路区間に関する配線経路情報を抽出して前記記憶装置に記憶し、

前記プログラマブルロジックデバイス全体の前記レイアウトデータを解析し、前記グローバル配線からの寄生素子および隣接配線とのクロストークのパラメタを抽出し、

抽出された前記パラメタに基づいて、詳細遅延を算出し、詳細遅延データとして前記記憶装置に記憶し、

前記記憶装置を参照し、前記配線経路情報および前記詳細遅延データに基づいて、前記プログラマブルロジックデバイスの前記遅延ライブラリを生成する。

[0013] 本発明のコンピュータプログラムは、遅延ライブラリ生成装置を実現するためのコンピュータプログラムであって、

前記遅延ライブラリ生成装置が、論理エレメントのアレイ上における構造に関する構造情報、グローバル配線の情報を含むプログラマブルロジックデバイス全体のレイアウトデータ、およびプログラマブルロジックデバイス全体のネットリストを記憶する記憶装置を備え、

前記記憶装置を参照し、前記構造情報に基づき、配線経路区間に関する配線経路情報を抽出して前記記憶装置に記憶する配線経路抽出手順と、

前記プログラマブルロジックデバイス全体の前記レイアウトデータを解析し、前記グローバル配線からの寄生素子および隣接配線とのクロストークのパラメタを抽出する解析手順と、

前記解析手順によって抽出された前記パラメタに基づいて、詳細遅延を算出し、詳細遅延データとして前記記憶装置に記憶する遅延算出手順と、

前記記憶装置を参照し、前記配線経路情報および前記詳細遅延データに基づいて、前記プログラマブルロジックデバイスの前記遅延ライブラリを生成する遅延ライブラリ生成手順と、をコンピュータに実行させるためのものである。

[0014] 本発明のコンピュータで読み取り可能な記録媒体は、上記コンピュータプログラムを記録したものである。

[0015] なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システム、記録媒体、コンピュータプログラムなどの間で変換したものもまた、本発明の態様として有効である。

[0016] また、本発明の各種の構成要素は、必ずしも個々に独立した存在である必要はなく、複数の構成要素が一個の部材として形成されていること、一つの構成要素が複数の部材で形成されていること、ある構成要素が他の構成要素の一部であること、ある構成要素の一部と他の構成要素の一部とが重複していること、等でもよい。

[0017] また、本発明の方法およびコンピュータプログラムには複数の手順を順番に記載してあるが、その記載の順番は複数の手順を実行する順番を限定するものではない。このため、本発明の方法およびコンピュータプログラムを実施するときには、その複数の手順の順番は内容的に支障しない範囲で変更することができる。

[0018] さらに、本発明の方法およびコンピュータプログラムの複数の手順は個々に相違するタイミングで実行されることに限定されない。このため、ある手順の実行中に他の手順が発生すること、ある手順の実行タイミングと他の手順の実行タイミングとの一部ないし全部が重複していること、等でもよい。

発明の効果

[0019] 本発明によれば、精度の高い配線経路遅延算出ができるプログラマブルロジックデバイスの遅延ライブラリ生成システムが提供される。

図面の簡単な説明

[0020] 上述した目的、およびその他の目的、特徴および利点は、以下に述べる好適な実施の形態、およびそれに付随する以下の図面によってさらに明らかになる。

[図1]本発明の実施の形態に係る遅延ライブラリ生成装置の構成を示すブロック図である。

[図2]本発明の実施の形態に係る遅延ライブラリ生成装置の動作の一例を示すフローチャートである。

[図3]本発明で扱う論理エレメントの具体例を示す図である。

[図4]本発明で扱うプログラマブルスイッチの機能を示す図である。

[図5]本発明で扱う論理エレメントアレイの一例を示す平面配置図である。

[図6]機能ブロックの出力端子から別の機能ブロックの入力端子に至る配線経路の一例を示す図である。

[図7]論理エレメントの配線毎の配線経路遅延表の一例を示す図である。

[図8]論理エレメントアレイの異なる座標における配線の位置を説明するための図である。

[図9]論理エレメントアレイの周囲に別の回路が隣接している例を示す平面配置図である。

[図10]論理エレメントアレイの上部をグローバル配線が走っている例を示す平面配置図である。

[図11]本発明の実施の形態に係る遅延ライブラリ生成装置の遅延ライブラリ生成部により生成される論理エレメントの（X， Y）座標に基づく配線経路遅延表の一例を示す図である。

[図12]本発明の実施の形態に係る遅延ライブラリ生成装置の構成を示すブロック図である。

[図13] 本発明の実施の形態に係る遅延ライブラリ生成装置の動作の一例を示すフローチャートである。

[図14] クロック経路を考慮した配線経路上の区間の一例を示す図である。

[図15] 本発明の実施の形態に係る遅延ライブラリ生成装置の遅延ライブラリ生成部により生成される論理エレメントの（X， Y）座標に基づく配線経路遅延表の一例を示す図である。

発明を実施するための形態

[0021] 以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

[0022] （第 1 の実施の形態）

本発明の実施の形態に係る遅延ライブラリ生成装置は、LSI、特に、プログラマブルロジックデバイス上に形成された配線経路の遅延を算出し、遅延ライブラリを生成する。

[0023] 本発明の遅延ライブラリ生成システムは、遅延ライブラリを参照する遅延解析システムや、同じく遅延ライブラリを参照する、動作合成、論理合成、テクノロジマップ、自動配置、または自動配線などの自動設計システムといった用途に適用できる。

[0024] はじめに、説明に先立ち、フィールドプログラマブルゲートアレイ（Field Programmable Gate Array：FPGA）に代表されるプログラマブルロジックデバイス（Programmable Logic Device：PLD）の構造と基本的性質について例を示して説明する。

[0025] 図 3 は、本発明で扱う論理エレメントの具体例を示す図である。同図において、プログラマブルロジックデバイスを構成する基本要素である論理エレメント 50 は、プログラマブル機能ブロック 51 を有している。この例では、プログラマブル機能ブロック 51 は、2つの入力端子 IN1、IN2 と 1つの出力端子 OUT を備えている。プログラマブル機能ブロック 51 は、複数のプログラマブルスイッチ 53 を介して配線 52 で他の論理エレメント 5

0（図3には不図示）と接続される。

[0026] 図4は、プログラマブルスイッチの機能を詳細に示す図である。図4（a）において、61で表されるプログラマブルスイッチは、62に示すように構成情報でオンオフの制御が可能な配線スイッチである。また、図4（b）の63で表されるプログラマブルスイッチは、64に示すように構成情報でオンオフの制御が可能な配線スイッチである。プログラマブルスイッチは、一般的には構成情報メモリとパストランジスタで構成されるが、本発明はプログラマブルスイッチの構成方法とは独立のため、本発明の本質に関わらないので、プログラマブルスイッチの構成について詳細には説明しない。

[0027] 図5は、図3の論理エレメント50をアレイ状に並べた、論理エレメントアレイの一例を示す図である。この例では、 4×4 の論理エレメントアレイが示されている。このように、FPGAに代表されるプログラマブルロジックデバイスは基本要素である論理エレメントを必要数アレイ状に並べたアレイ構造をとるのが一般的である。このとき各論理エレメントの位置をアレイ上の座標で表す。アレイ座標の一例を図5に示した。

[0028] 図6は、プログラマブルスイッチによる機能ブロック間の経路の形成の一例を示す図である。すなわち、機能ブロック間の経路がプログラマブルスイッチによってどのように形成されるかを例示している。

[0029] 図6に示すように、始点側の機能ブロック71から終点側の機能ブロック79への経路は、始点側の機能ブロック71から順に配線72、プログラマブルスイッチ73、配線74、プログラマブルスイッチ75、配線76、プログラマブルスイッチ77、配線78を経て終点側の機能ブロック79へ到達している。このとき、始点側の機能ブロック71から終点側の機能ブロック79への信号伝播遅延は、始点および終点の機能ブロック71および79、プログラマブルスイッチ73、75、77、ならびに、配線72、74、76、78を含む経路上の各構成要素の遅延の和をとったものとなる。すなわち、プログラマブルロジックデバイスの遅延ライブラリ生成に必要な遅延要素は、各機能ブロックの内部遅延、各プログラマブルスイッチ遅延、各配

線経路遅延の３種類である。

- [0030] 図７は、本発明の実施の形態に係る遅延ライブラリ生成装置の遅延表の一例を示す図である。本実施形態の遅延表は、機能ブロック（Block）、プログラマブルスイッチ（Sw）、配線経路（Wire）の３種類に分類し、構成要素毎に遅延を格納する。この例において、結論遅延は、D71からD79の合計（D71+D72+D73+D74+D75+D76+D77+D78+D79）となる。
- [0031] 本実施形態において、プログラマブルロジックデバイスは、図５に示したように、論理エレメント５０をアレイ状に並べた繰り返し構造である。したがって、たとえば、図６の７４に相当する配線経路は、アレイの至るところに存在する。図８で示すと、たとえば、配線経路８１や配線経路８２等が、それにあたる。
- [0032] このようなアレイ状構造が規則構造であるとして、各配線の周囲状況も完全に同一とみなした場合、アレイ上の遅延分布が均一であるとみなされる。したがって、これらを区別せず、例えば、図８の配線経路８１と配線経路８２を区別せずに、同じ遅延を持つ要素として扱った場合に、遅延情報としては、一論理エレメント５０分の遅延表を生成すれば十分であった。
- [0033] しかし、現実のプログラマブルロジックデバイスでは、アレイ上の遅延分布は均一でない。理由としては、アレイの周囲、アレイ上の物理的条件が均一でないことによる。第１の具体的な理由として、アレイの周囲には入出力回路など論理エレメントとは別の回路、たとえば、図９の回路９０が配置されており、布線状況が違うことから、寄生素子容量や、クロストークを考慮した詳細な遅延算出を行うと、周辺部の論理エレメント、例えば、図９の論理エレメント９１とアレイ内部の論理エレメント、例えば、図９の論理エレメント９２では遅延が異なる。近年の微細化に伴い、特に配線遅延のばらつきが大きく出ることが知られている。第２の具体的な理由として、アレイの上を走るグローバル配線、たとえば、図１０のグローバル配線１００の影響がある。

[0034] ここでグローバル配線 100 は、クロックや電源、制御線などチップ全体にわたるもので、論理エレメントには含まれない配線構造である。グローバル配線 100 は論理エレメントアレイの規則性とは無関係なので、グローバル配線 100 の周囲で布線状況が違ふことから、寄生素子容量や、クロストークを考慮した詳細な遅延算出を行うと、たとえば、論理エレメント 101 (図 10) と論理エレメント 102 (図 10) では、遅延が異なる。

[0035] 以上の議論から、現実のプログラマブルロジックデバイスでは、アレイ周囲、アレイ上の布線状況のばらつきを考慮した配線経路の遅延情報を扱う必要がある。図 11 は、論理エレメント (X、Y) 座標に基づく遅延表の例であり、たとえば、図 8 に示した配線経路 81 と配線経路 82 の遅延値を別々に格納することが可能である。なお、図 11 の例では、配線経路の始点が属する座標を、配線経路が属する座標としている。

[0036] 以下、本発明の第 1 の実施の形態について図面を参照して詳細に説明する。

図 1 は、本発明の実施の形態に係る遅延ライブラリ生成装置の構成を示すブロック図である。

[0037] 本実施形態の遅延ライブラリ生成装置 1 は、プログラマブルロジックデバイスの遅延ライブラリ生成システムに関するものである。

[0038] 本発明の実施の形態に係る遅延ライブラリ生成システムは、アレイ上の論理エレメントの配置、各エレメント間の配線、およびグローバル配線に基づく布線状況を考慮して遅延情報を算出して遅延ライブラリを生成する生成装置 1 を備える。

[0039] 本実施形態の遅延ライブラリ生成装置 1 は、論理エレメントのアレイ上における構造に関する構造情報 31、グローバル配線の情報を含むプログラマブルロジックデバイス全体のレイアウトデータ 35、およびプログラマブルロジックデバイス全体のネットリスト 39 を記憶する記憶装置 30 と、記憶装置 30 を参照し、構造情報 31 に基づき、配線経路区間に関する配線経路情報 33 を抽出して記憶装置 30 に記憶する配線経路抽出部 21 と、プログ

ラマブルロジックデバイス全体のレイアウトデータ 35 を解析し、グローバル配線からの寄生素子および隣接配線とのクロストークのパラメタを抽出する解析部 23 と、解析部 23 によって抽出されたパラメタに基づいて、詳細遅延を算出し、詳細遅延データ 37 として記憶装置 30 に記憶する遅延算出部 25 と、記憶装置 30 を参照し、配線経路情報 33 および詳細遅延データ 37 に基づいて、プログラマブルロジックデバイスの遅延ライブラリ 41 を生成する遅延ライブラリ生成部 27 と、を備える。

[0040] 具体的には、本実施形態の遅延ライブラリ生成装置 1 は、入力装置 10 と、処理装置 20 と、記憶装置 30 と、出力装置 40 と、を備える。

[0041] 遅延ライブラリ生成装置 1 は、図示しない CPU (Central Processing Unit) やメモリ、ハードディスク、および通信装置を備えたパーソナルコンピュータやワークステーション、またはそれらに相当する装置により実現することができる。なお、各図において、本発明の本質に関わらない部分の構成については省略してあり、図示されていない。

[0042] また、遅延ライブラリ生成装置 1 の各構成要素は、任意のコンピュータの CPU、メモリ、メモリにロードされた本図の構成要素を実現するプログラム、そのプログラムを格納するハードディスクなどの記憶ユニット、ネットワーク接続用インタフェースを中心にハードウェアとソフトウェアの任意の組合せによって実現される。そして、その実現方法、装置にはいろいろな変形例があることは、当業者には理解されるところである。以下説明する各図は、ハードウェア単位の構成ではなく、機能単位のブロックを示している。

[0043] 入力装置 10 は、たとえば、キーボード、マウス、タブレット、タッチパネルなどの操作入力装置、ネットワーク（不図示）を介して他の装置からデータを受信する受信装置、または、各種記録媒体からデータを読み込み、得られたデータを入力する記録媒体読取装置、スキャナなどの画像読取装置を含む。

[0044] 出力装置 40 は、CRT モニタや液晶ディスプレイ等の表示装置、印字出力または画像印刷できるプリンタ、各種記録媒体へデータを書き込む記録媒

体書込装置を含む。

- [0045] 処理装置 20 は、たとえば、遅延ライブラリ生成装置 1 の本体にあたり、たとえば、遅延ライブラリ生成装置 1 の制御を行うコンピュータプログラムを実行し、遅延ライブラリ生成装置 1 を実現する。
- [0046] 記憶装置 30 は、処理装置 20 に接続され、たとえば、処理装置 20 の CPU（不図示）が実行するコンピュータプログラムおよび後述する各種情報が格納されるハードディスクなどの補助記憶装置と、処理装置 20 がコンピュータプログラムを実行する際の作業領域となる主記憶装置とを有する。記憶装置 30 は、たとえば、論理エレメントアレイの構造情報 31 と、配線経路情報 33 と、プログラマブルロジックデバイス全体のレイアウトデータ 35 と、詳細遅延データ 37 と、プログラマブルロジックデバイス全体のネットリスト 39 と、遅延ライブラリ 41 とを記憶する。
- [0047] 論理エレメントアレイの構造情報 31 は、アレイ上の各論理エレメント間の配線を含む複数の論理エレメントのアレイ上における構造に関する情報が含まれる。たとえば、構造情報 31 に基づいて、アレイ上の各論理エレメントの配線およびアレイのグローバル配線等の情報を含む。
- [0048] 配線経路情報 33 は、プログラマブルロジックデバイスの遅延解析に必要な配線経路区間に関する情報が含まれる。レイアウトデータ 35 は、プログラマブルロジックデバイス全体のレイアウトデータであり、グローバル配線の情報を含む。詳細遅延データ 37 については、後述する。
- [0049] ネットリスト 39 は、プログラマブルロジックデバイス全体のネットリストを含む。遅延ライブラリ 41 は、本実施形態の遅延ライブラリ生成装置 1 で生成された遅延ライブラリを含む。遅延ライブラリ 41 は、プログラマブルロジックデバイス 1 品種に対し 1 回だけ生成され、プログラマブルロジックデバイスの遅延解析や自動設計ツールで利用される。
- [0050] プログラマブルロジックデバイス設計は、2 段階の設計工程を有する。第 1 段階の設計では、プログラマブルロジックデバイス自体のハードの設計を行う。すなわち、プログラマブル機能を有する LSI の設計段階であり、論

理エレメントの構造をどうするか、配線を何本通すか、スイッチをどう配置するか、といった要因を最適化する。

[0051] 第２段階の設計では、プログラマブルロジックデバイスの動作を定義する構成情報（ソフト）の設計を行う。第１段階で得られたハード上で所望の機能を動作させるための構成情報の設計を行う。ここで、構成情報とは、論理エレメントの演算機能や配線接続（スイッチのＯＮ／ＯＦＦ）を定義するビット情報である。本実施形態の遅延ライブラリ生成装置１は、第１段階の設計の完了したデバイスが与えられたとき、第２段階の設計で参照する遅延ライブラリを生成するものである。

[0052] たとえば、プログラマブルロジックデバイスのＣＡＤシステムでは、アプリケーション論理を実現する構成情報が生成される。ＣＡＤシステムは、本実施形態の遅延ライブラリ生成装置１によって生成された各品種に対応する遅延ライブラリを含む。設計者が品種を選択し、設計した構成情報（論理回路を実装）の遅延解析を行うとき遅延ライブラリを参照する。あるいは、構成情報を生成する自動ＣＡＤ自体が生成の過程で遅延ライブラリを参照する。

[0053] 処理装置２０は、配線経路抽出部２１と、解析部２３と、遅延算出部２５と、遅延ライブラリ生成部２７とを備える。

[0054] 配線経路抽出部２１は、論理エレメントアレイの構造情報３１を参照し、プログラマブルロジックデバイスの遅延解析に必要な配線経路区間をすべて抽出し、記憶装置３０に出力し、配線経路情報３３として記憶する。

[0055] 解析部２３は、ＲＣ抽出およびクロストーク解析を実行するものであり、プログラマブルロジックデバイス全体のレイアウトデータ３５を解析し、論理エレメントには現れないグローバル配線からの寄生素子や隣接配線とのクロストークのパラメタを抽出する。遅延算出部２５は、解析部２３の結果をもとに詳細遅延を算出し、詳細遅延データ３７として出力する。

[0056] 遅延ライブラリ生成部２７は、配線経路情報３３と詳細遅延データ３７を読み込み、プログラマブルロジックデバイスの遅延解析に必要な遅延ライブ

ラリ 4 1 を生成する。生成される遅延ライブラリ 4 1 は、遅延要素として、機能ブロックの内部遅延情報、プログラマブルスイッチの遅延情報、配線経路情報 3 3 で指定された全ての経路区間の詳細な遅延情報を含む。

[0057] また、本実施形態において、遅延ライブラリ 4 1 は、図 1 1 に示したように、アレイ上の論理エレメントの配列座標 (X, Y) 毎の遅延情報が対応付けられた遅延テーブル (配線経路遅延表) を有する。

[0058] 遅延ライブラリ生成装置 1 は、上述したように、CPU が、ハードディスクに記憶されるプログラムをメモリに読み出して実行することにより、上記各ユニットの各機能を実現することができる。

[0059] 本実施形態のコンピュータプログラムは、遅延ライブラリ生成装置 1 を実現するためのコンピュータプログラムであって、記憶装置 3 0 を参照し、構造情報 3 1 に基づき、配線経路区間に関する配線経路情報 3 3 を抽出して記憶装置 3 0 に記憶する配線経路抽出手順と、プログラマブルロジックデバイス全体のレイアウトデータ 3 5 を解析し、グローバル配線からの寄生素子および隣接配線とのクロストークのパラメタを抽出する解析手順と、解析手順によって抽出されたパラメタに基づいて、詳細遅延を算出し、詳細遅延データ 3 7 として記憶装置 3 0 に記憶する遅延算出手順と、記憶装置 3 0 を参照し、配線経路情報 3 3 および詳細遅延データ 3 7 に基づいて、プログラマブルロジックデバイスの遅延ライブラリ 4 1 を生成する遅延ライブラリ生成手順と、をコンピュータに実行させるように記述されている。

[0060] このように構成された本実施形態の遅延ライブラリ生成装置 1 の動作について以下に説明する。図 2 は、本発明の実施の形態に係る遅延ライブラリ生成装置の動作の一例を示すフローチャートである。以下、図 1 および図 2 を用いて説明する。

[0061] 本実施形態の遅延ライブラリ生成装置 1 の制御方法は、遅延ライブラリ生成装置 1 が、記憶装置 3 0 を参照し、構造情報 3 1 に基づき、配線経路区間に関する配線経路情報 3 3 を抽出して記憶装置 3 0 に記憶し (ステップ S 1 0 2)、プログラマブルロジックデバイス全体のレイアウトデータ 3 5 を解

析し、グローバル配線からの寄生素子および隣接配線とのクロストークのパラメタを抽出し（ステップS 104）、抽出されたパラメタに基づいて、詳細遅延を算出し、詳細遅延データ37として記憶装置30に記憶し（ステップS 106）、記憶装置30を参照し、配線経路情報33および詳細遅延データ37に基づいて、プログラマブルロジックデバイスの遅延ライブラリ41を生成する（ステップS 108）。

[0062] 詳細には、まず、配線経路抽出部21が、論理エレメントアレイの構造情報31を参照し、プログラマブルロジックデバイスの遅延解析に必要な配線経路区間をすべて抽出し、配線経路情報33に出力する（ステップS 102）。

[0063] 一方、解析部23により、プログラマブルロジックデバイス全体のレイアウトデータ35が解析され、寄生素子や隣接配線とのクロストークのパラメタが抽出される（ステップS 104）。そして、遅延算出部25により、解析部23の結果をもとに詳細遅延が算出され、詳細遅延データ37として出力される（ステップS 106）。

[0064] そして、遅延ライブラリ生成部27が、ステップS 102で得られた配線経路情報33とステップS 106で得られた詳細遅延データ37を読み込み、プログラマブルロジックデバイスの遅延解析に必要な遅延ライブラリ41を生成する（ステップS 108）。

[0065] 以上、説明したように、本実施形態の遅延ライブラリ生成装置1によれば、LSI上に形成された配線経路の物理的特性を詳細に考慮することで、精度の高い配線経路遅延に基づいた遅延ライブラリを生成できる。

[0066] 本実施の形態では、プログラマブルロジックデバイスの遅延解析に必要な配線遅延ライブラリは、配線経路情報33で指定された全ての経路の詳細な遅延情報を含む。また、プログラマブルロジックデバイス全体のレイアウトデータ35を解析することで、論理エレメントには現れないグローバル配線からの寄生容量やクロストークを考慮できる。この遅延ライブラリ41を参照することで、プログラマブルロジックデバイスの遅延解析や自動設計ツ-

ルは、精度の高い遅延情報に基づいて実行でき、結果としてより最適性の高い回路の構成情報が得られることとなる。

[0067] (第2の実施の形態)

図12は、本発明の実施の形態に係る遅延ライブラリ生成装置の構成を示すブロック図である。本実施形態の遅延ライブラリ生成装置110は、図1に示した上記実施形態の遅延ライブラリ生成装置1とは、論理エレメント上の機能ブロックへのクロック遅延の差分(「クロックスキュー」とも呼ぶ)を考慮している点で相違する。

[0068] これは、近年の高速化、微細化に伴うばらつきの影響が増加し、クロックスキューの影響を無視できないが、最悪のクロックスキューのみを反映した場合には、過剰な遅延見積もりとなってしまうことから、経路毎にクロックスキューを遅延ライブラリに反映させることで、クロックスキューの影響を考慮しつつ、上記実施形態と同様な効果を奏することができる。

[0069] 本実施形態の遅延ライブラリ生成装置110において、論理エレメントは機能ブロックを含み、記憶装置130は、さらに、論理エレメント上の機能ブロックへの経路毎にクロック遅延を示すクロック経路情報143を記憶し、遅延ライブラリ生成部127は、記憶装置130を参照し、配線経路情報33および詳細遅延データ37に加え、クロック経路情報143に基づいて、論理エレメント上の機能ブロックへのクロック遅延の差分を考慮して、プログラマブルロジックデバイスの遅延ライブラリ41を生成する。

[0070] 詳細には、本実施形態の遅延ライブラリ生成装置110は、図1に示した遅延ライブラリ生成装置1の処理装置20の遅延ライブラリ生成部27に替えて、処理装置120にクロックスキューを考慮した遅延ライブラリ生成部127を設けるとともに、図1に示した遅延ライブラリ生成装置1の記憶装置30に替えて、記憶装置30に記憶される各情報に加え、クロック経路情報143をさらに記憶する記憶装置130を備える。

[0071] クロック経路情報143は、例えば、機能ブロックへのクロック経路が格納される。

- [0072] 遅延ライブラリ生成装置 110 は、上述したように、CPU が、ハードディスクに記憶されるプログラムをメモリに読み出して実行することにより、上記各ユニットの各機能を実現することができる。
- [0073] 本実施形態のコンピュータプログラムは、遅延ライブラリ生成装置 110 を実現するためのコンピュータプログラムであって、記憶装置 130 を参照し、配線経路情報 33 および詳細遅延データ 37 に加え、クロック経路情報 143 に基づいて、論理エレメント上の機能ブロックへのクロック遅延の差分を考慮して、プログラマブルロジックデバイスの遅延ライブラリ 41 を生成する手順をコンピュータに実行させるように記述されている。また、本実施形態の記録媒体は、本実施形態のコンピュータプログラムを記録したコンピュータで読み取り可能な記録媒体である。
- [0074] このように構成された本実施形態の遅延ライブラリ生成装置 110 の動作について、以下に説明する。図 13 は、本発明の実施の形態に係る遅延ライブラリ生成装置の動作の一例を示すフローチャートである。
- [0075] 本実施形態の遅延ライブラリ生成装置 110 の制御方法において、遅延ライブラリ生成装置 110 が、遅延ライブラリ 41 を生成するとき、記憶装置 130 を参照し、配線経路情報 33 および詳細遅延データ 37 に加え、クロック経路情報 143 に基づいて、論理エレメント上の機能ブロックへのクロック遅延の差分を考慮して、プログラマブルロジックデバイスの遅延ライブラリ 41 を生成する（ステップ S208）。
- [0076] 詳細には、図 13 のフローチャートは、図 2 のフローチャートのステップ S108 に替えて、クロックスキューを考慮して遅延ライブラリを生成するステップ S208 を有する。ステップ S208 では、遅延ライブラリ生成部 127 が、ステップ S102 で得られた配線経路情報 33 とステップ S106 で得られた詳細遅延データ 37 を読み込み、論理エレメント上の経路の遅延を抽出するだけでなく、記憶装置 130 のクロック経路情報 143 を読み込み、クロック経路の遅延を抽出する。
- [0077] 図 14 は、図 6 に示した機能ブロック間の経路に、クロック経路を考慮し

た例を示している。このクロックの経路は、クロックのルートバッファ 151 からバッファ 152 とバッファ 153 を経由して機能ブロック 71 のクロックポート CLK までの経路、及びクロックのルートバッファ 151 からバッファ 154 を経由して機能ブロック 79 のクロックポート CLK までの経路である。図 15 は、クロックの経路を考慮した遅延ライブラリの例であり、図 14 に示す論理エレメント上の機能ブロック間経路の各構成要素の遅延と、クロック経路の遅延がそれぞれ格納されている。図 14 に示す機能ブロック間経路のクロックスキューを考慮した遅延を算出するには、各構成要素の遅延の和として求めた機能ブロック間の経路遅延 ($D_{71} + D_{72} + D_{73} + D_{74} + D_{75} + D_{76} + D_{77} + D_{78} + D_{79}$) に、クロックのルートバッファ 151 から機能ブロック 71 のクロックポート CLK までの経路遅延 (CD_{71}) を加算し、クロックのルートバッファ 151 から機能ブロック 79 のクロックポート CLK までの経路遅延 (CD_{79}) を減算すればよい ($D_{71} + D_{72} + D_{73} + D_{74} + D_{75} + D_{76} + D_{77} + D_{78} + D_{79} + CD_{71} - CD_{79}$)。ここで、 $CD_{71} - CD_{79}$ は、クロックスキューに相当する。

[0078] 以上、説明したように、本実施形態の遅延ライブラリ生成装置 110 によれば、上記実施形態の効果に加え、クロックスキューの影響を考慮した遅延ライブラリを生成できる。

[0079] 以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

[0080] 以上、実施形態および実施例を参照して本願発明を説明したが、本願発明は上記実施形態および実施例に限定されるものではない。本願発明の構成や詳細には、本願発明の範囲内で当業者が理解し得る様々な変更をすることができる。

[0081] この出願は、2009年3月3日に提出された日本出願特願2009-049115号を基礎とする優先権を主張し、その開示の全てをここに取り込む。

請求の範囲

- [請求項1] アレイ上の論理エレメントの配置、各エレメント間の配線、およびグローバル配線に基づく布線状況を考慮して遅延情報を算出して遅延ライブラリを生成する生成手段を備える遅延ライブラリ生成システム。
- [請求項2] アレイ上の論理エレメントの配置、各エレメント間の配線、およびグローバル配線に基づく布線状況を考慮して遅延情報を算出して遅延ライブラリを生成する生成手段を備える遅延ライブラリ生成装置。
- [請求項3] 論理エレメントのアレイ上における構造に関する構造情報、グローバル配線の情報を含むプログラマブルロジックデバイス全体のレイアウトデータ、およびプログラマブルロジックデバイス全体のネットリストを記憶する記憶装置と、
前記記憶装置を参照し、前記構造情報に基づき、配線経路区間に関する配線経路情報を抽出して前記記憶装置に記憶する配線経路抽出手段と、
前記プログラマブルロジックデバイス全体の前記レイアウトデータを解析し、前記グローバル配線からの寄生素子および隣接配線とのクロストークのパラメタを抽出する解析手段と、
前記解析手段によって抽出された前記パラメタに基づいて、詳細遅延を算出し、詳細遅延データとして前記記憶装置に記憶する遅延算出手段と、
前記記憶装置を参照し、前記配線経路情報および前記詳細遅延データに基づいて、前記プログラマブルロジックデバイスの前記遅延ライブラリを生成する遅延ライブラリ生成手段と、を備える遅延ライブラリ生成装置。
- [請求項4] 請求項3に記載の遅延ライブラリ生成装置において、
前記遅延ライブラリは、前記アレイ上の前記論理エレメントの配列座標毎の遅延情報が対応付けられた遅延テーブルを有する遅延ライブ

ラリ生成装置。

[請求項5]

請求項4に記載の遅延ライブラリ生成装置において、
前記論理エレメントは機能ブロックを含み、
前記記憶装置は、さらに、前記論理エレメント上の前記機能ブロックへの経路毎にクロック遅延を示すクロック経路情報を記憶し、
前記遅延ライブラリ生成手段は、
前記記憶装置を参照し、前記配線経路情報および前記詳細遅延データに加え、前記クロック経路情報に基づいて、前記論理エレメント上の前記機能ブロックへのクロック遅延の差分を考慮して、前記プログラマブルロジックデバイスの前記遅延ライブラリを生成する遅延ライブラリ生成装置。

[請求項6]

請求項5に記載の遅延ライブラリ生成装置において、
前記論理エレメントは、プログラマブルスイッチをさらに含み、
前記遅延ライブラリは、前記機能ブロックの内部遅延情報、前記プログラマブルスイッチの遅延情報、および前記配線経路情報で指定された全ての経路区間の遅延情報を含む遅延ライブラリ生成装置。

[請求項7]

請求項3乃至6いずれかに記載の遅延ライブラリ生成装置において、
前記遅延ライブラリは、C A D (Computer Aided Design) システムで参照される遅延ライブラリ生成装置。

[請求項8]

アレイ上の論理エレメントの配置、各エレメント間の配線、およびグローバル配線に基づく布線状況を考慮して遅延情報を算出して遅延ライブラリを生成する遅延ライブラリ生成方法。

[請求項9]

遅延ライブラリ生成装置の制御方法であって、
前記遅延ライブラリ生成装置は、論理エレメントのアレイ上における構造に関する構造情報、グローバル配線の情報を含むプログラマブルロジックデバイス全体のレイアウトデータ、およびプログラマブルロジックデバイス全体のネットリストを記憶する記憶装置を備え、

前記遅延ライブラリ生成装置が、

前記記憶装置を参照し、前記構造情報に基づき、配線経路区間に関する配線経路情報を抽出して前記記憶装置に記憶し、

前記プログラマブルロジックデバイス全体の前記レイアウトデータを解析し、前記グローバル配線からの寄生素子および隣接配線とのクロストークのパラメタを抽出し、

抽出された前記パラメタに基づいて、詳細遅延を算出し、詳細遅延データとして前記記憶装置に記憶し、

前記記憶装置を参照し、前記配線経路情報および前記詳細遅延データに基づいて、前記プログラマブルロジックデバイスの前記遅延ライブラリを生成する遅延ライブラリ生成装置の制御方法。

[請求項10] 請求項9に記載の遅延ライブラリ生成装置の制御方法において、
前記遅延ライブラリは、前記アレイ上の前記論理エレメントの配列座標毎の遅延情報が対応付けられた遅延テーブルを有する遅延ライブラリ生成装置の制御方法。

[請求項11] 請求項10に記載の遅延ライブラリ生成装置の制御方法において、
前記論理エレメントは機能ブロックを含み、
前記遅延ライブラリ生成装置の前記記憶装置は、さらに、前記論理エレメント上の前記機能ブロックへの経路毎にクロック遅延を示すクロック経路情報を記憶し、

前記遅延ライブラリ生成装置が、前記遅延ライブラリを生成するとき、

前記記憶装置を参照し、前記配線経路情報および前記詳細遅延データに加え、前記クロック経路情報に基づいて、前記論理エレメント上の前記機能ブロックへのクロック遅延の差分を考慮して、前記プログラマブルロジックデバイスの前記遅延ライブラリを生成する遅延ライブラリ生成装置の制御方法。

[請求項12] 請求項11に記載の遅延ライブラリ生成装置の制御方法において、

前記論理エレメントは、プログラマブルスイッチをさらに含み、
前記遅延ライブラリは、前記機能ブロックの内部遅延情報、前記プログラマブルスイッチの遅延情報、および前記配線経路情報で指定された全ての経路区間の遅延情報を含む遅延ライブラリ生成装置の制御方法。

[請求項13] 遅延ライブラリ生成装置を実現するためのコンピュータプログラムであって、

前記遅延ライブラリ生成装置は、論理エレメントのアレイ上における構造に関する構造情報、グローバル配線の情報を含むプログラマブルロジックデバイス全体のレイアウトデータ、およびプログラマブルロジックデバイス全体のネットリストを記憶する記憶装置を備え、

前記記憶装置を参照し、前記構造情報に基づき、配線経路区間に関する配線経路情報を抽出して前記記憶装置に記憶する配線経路抽出手順と、

前記プログラマブルロジックデバイス全体の前記レイアウトデータを解析し、前記グローバル配線からの寄生素子および隣接配線とのクロストークのパラメタを抽出する解析手順と、

前記解析手順によって抽出された前記パラメタに基づいて、詳細遅延を算出し、詳細遅延データとして前記記憶装置に記憶する遅延算出手順と、

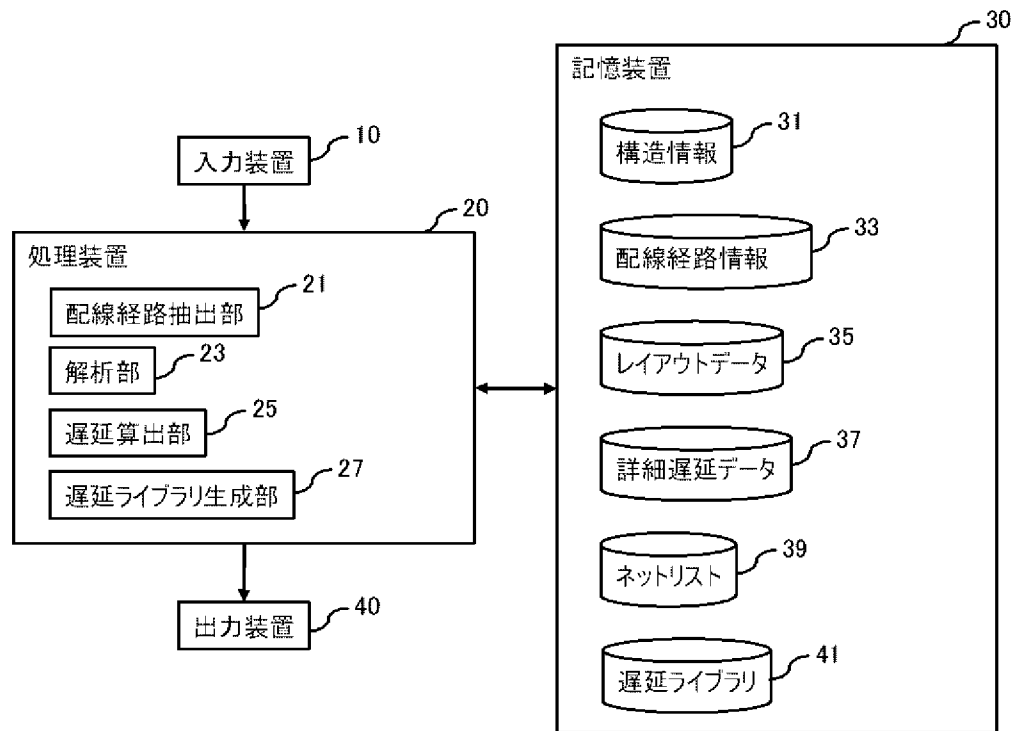
前記記憶装置を参照し、前記配線経路情報および前記詳細遅延データに基づいて、前記プログラマブルロジックデバイスの前記遅延ライブラリを生成する遅延ライブラリ生成手順と、をコンピュータに実行させるためのコンピュータプログラム。

[請求項14] 請求項13に記載のコンピュータプログラムにおいて、

前記遅延ライブラリは、前記アレイ上の前記論理エレメントの配列座標毎の遅延情報が対応付けられた遅延テーブルを有するコンピュータプログラム。

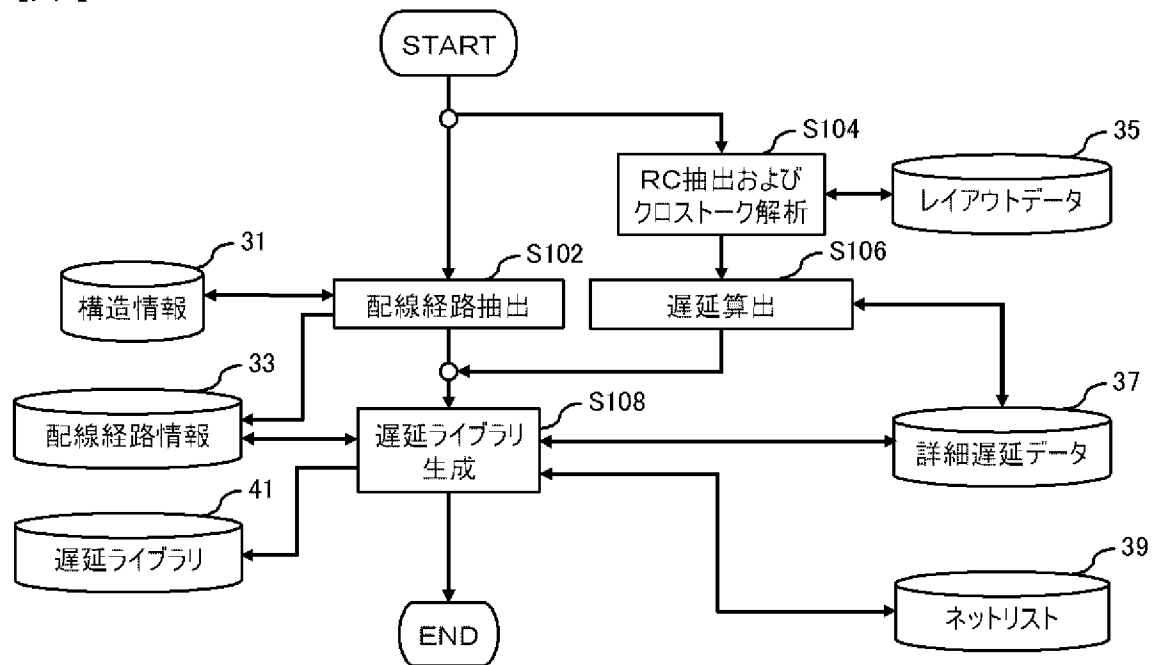
- [請求項15] 請求項 1 4 に記載のコンピュータプログラムにおいて、
前記論理エレメントは機能ブロックを含み、
前記遅延ライブラリ生成装置の前記記憶装置は、さらに、前記論理エレメント上の前記機能ブロックへの経路毎にクロック遅延を示すクロック経路情報を記憶し、
前記記憶装置を参照し、前記配線経路情報および前記詳細遅延データに加え、前記クロック経路情報に基づいて、前記論理エレメント上の前記機能ブロックへのクロック遅延の差分を考慮して、前記プログラマブルロジックデバイスの前記遅延ライブラリを生成する手順をコンピュータに実行させるためのコンピュータプログラム。
- [請求項16] 請求項 1 5 に記載のコンピュータプログラムにおいて、
前記論理エレメントは、プログラマブルスイッチをさらに含み、
前記遅延ライブラリは、前記機能ブロックの内部遅延情報、前記プログラマブルスイッチの遅延情報、および前記配線経路情報で指定された全ての経路区間の遅延情報を含むコンピュータプログラム。
- [請求項17] 請求項 1 3 乃至 1 6 いずれかに記載のコンピュータプログラムを記録したコンピュータで読み取り可能な記録媒体。

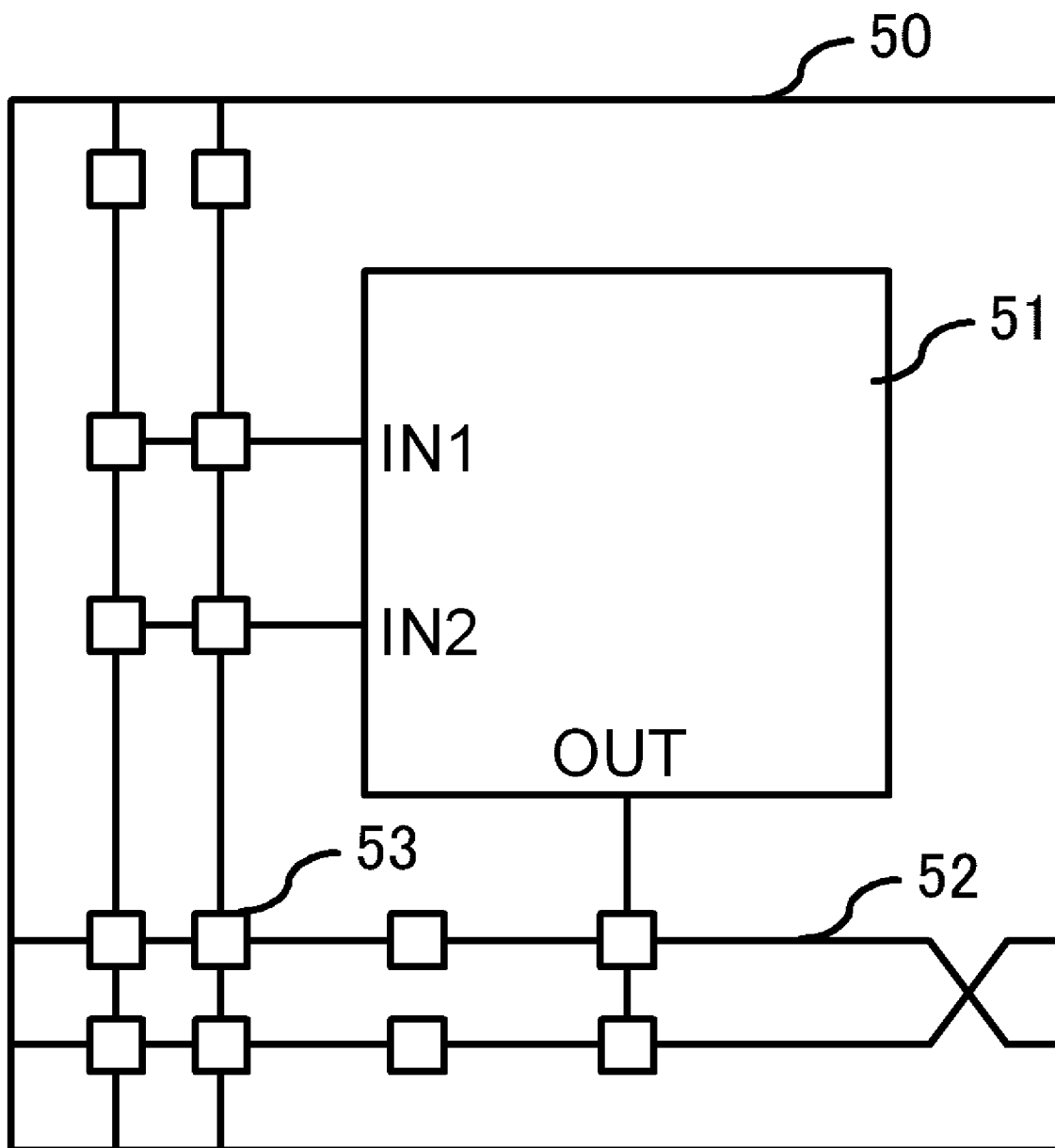
[図1]



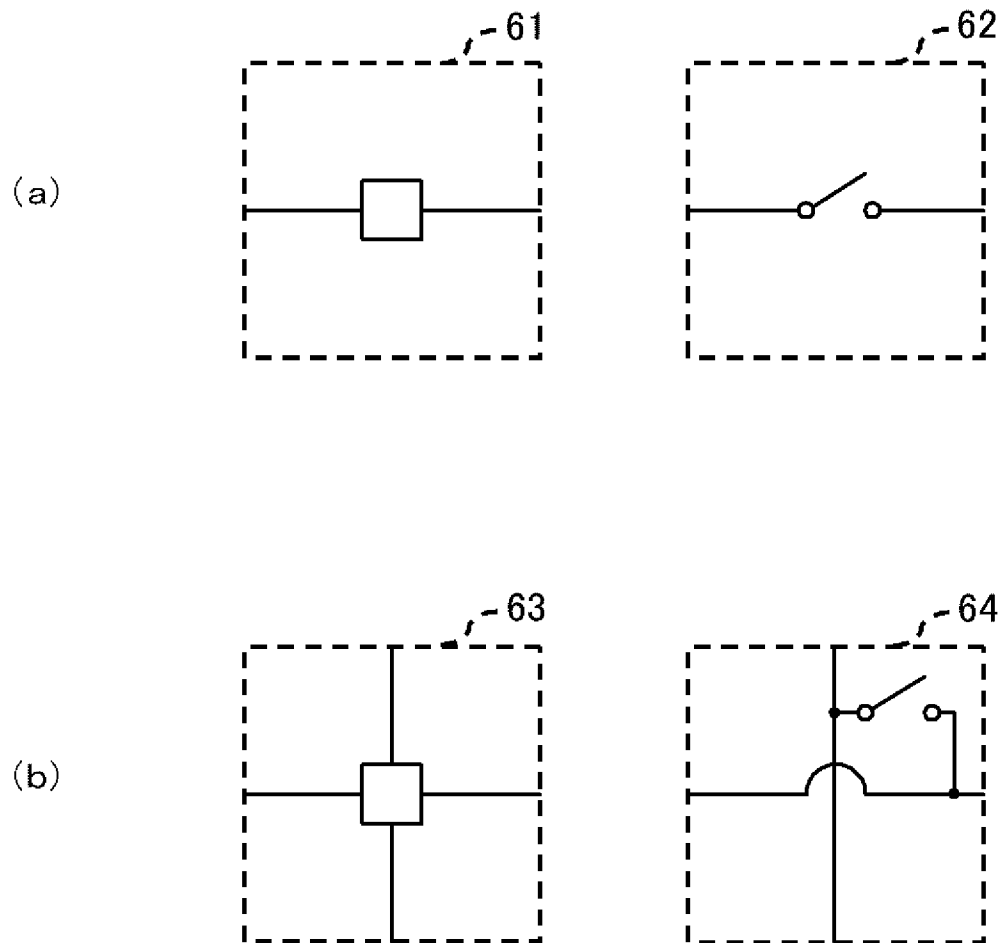
1 遅延ライブラリ生成装置

[図2]

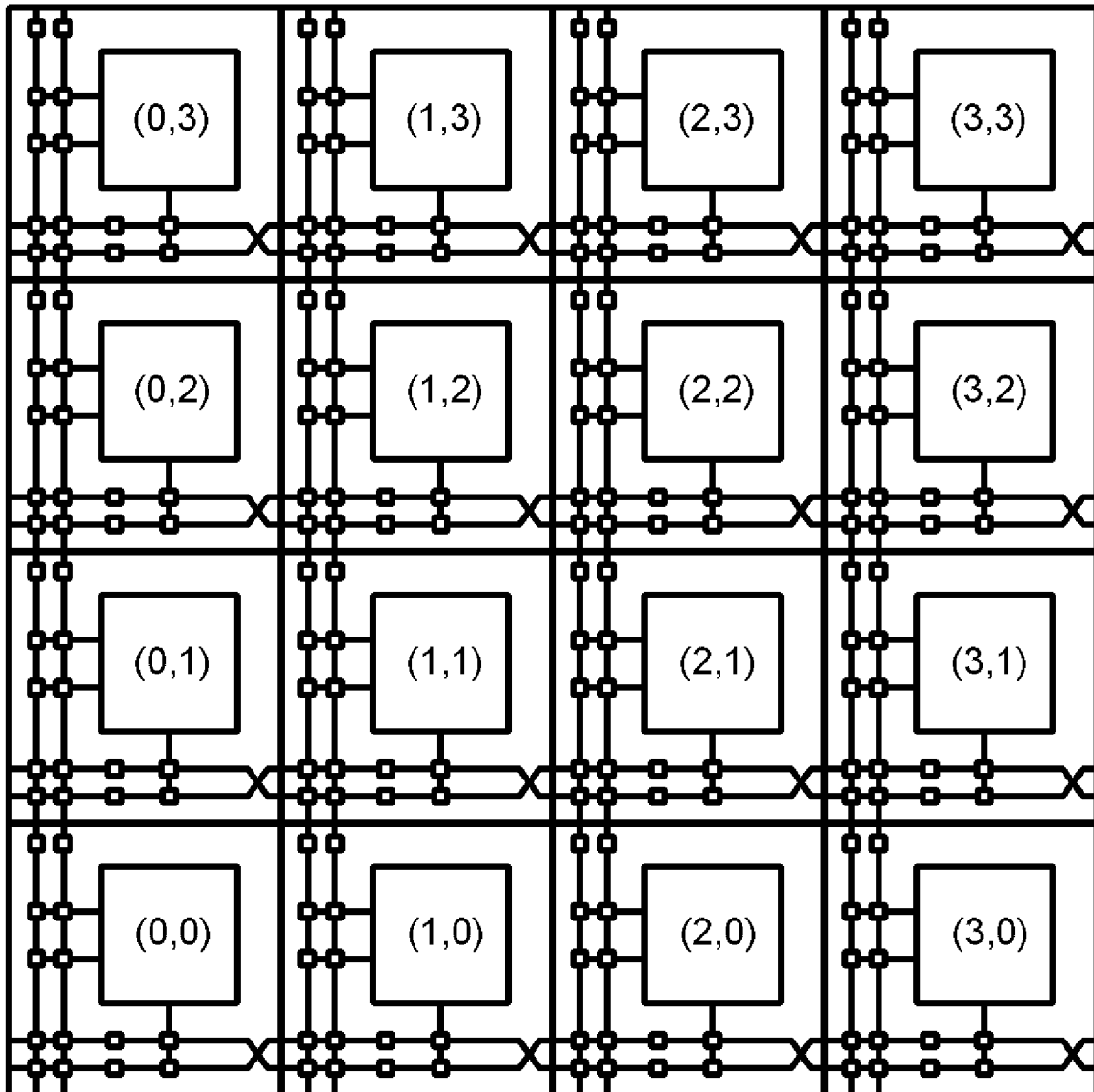




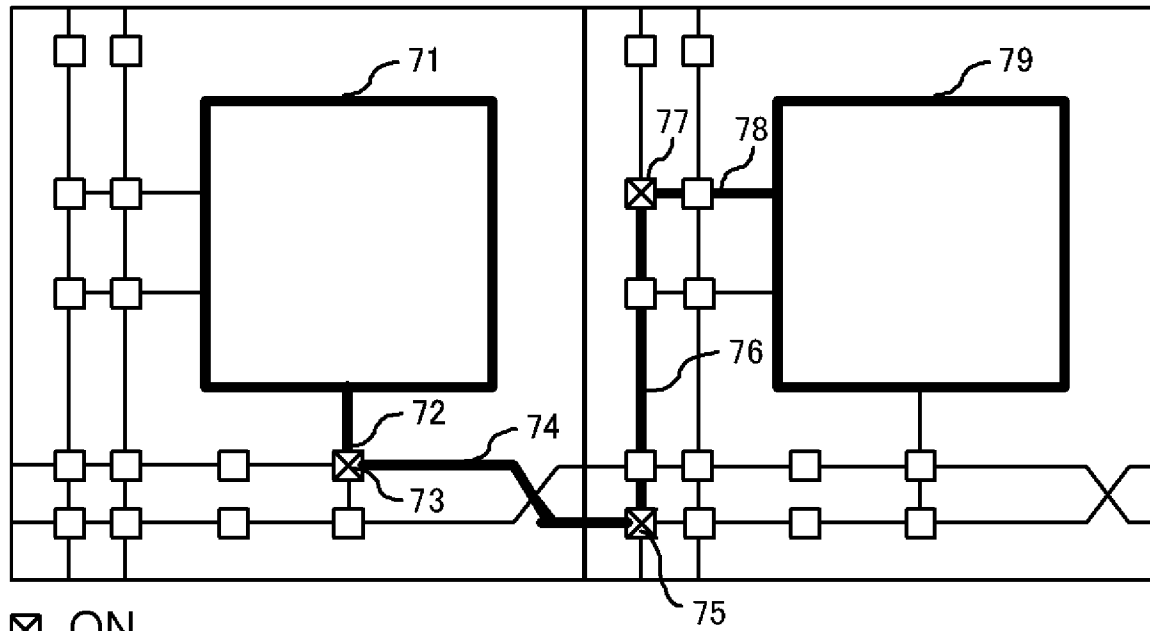
[図4]



[図5]



[図6]

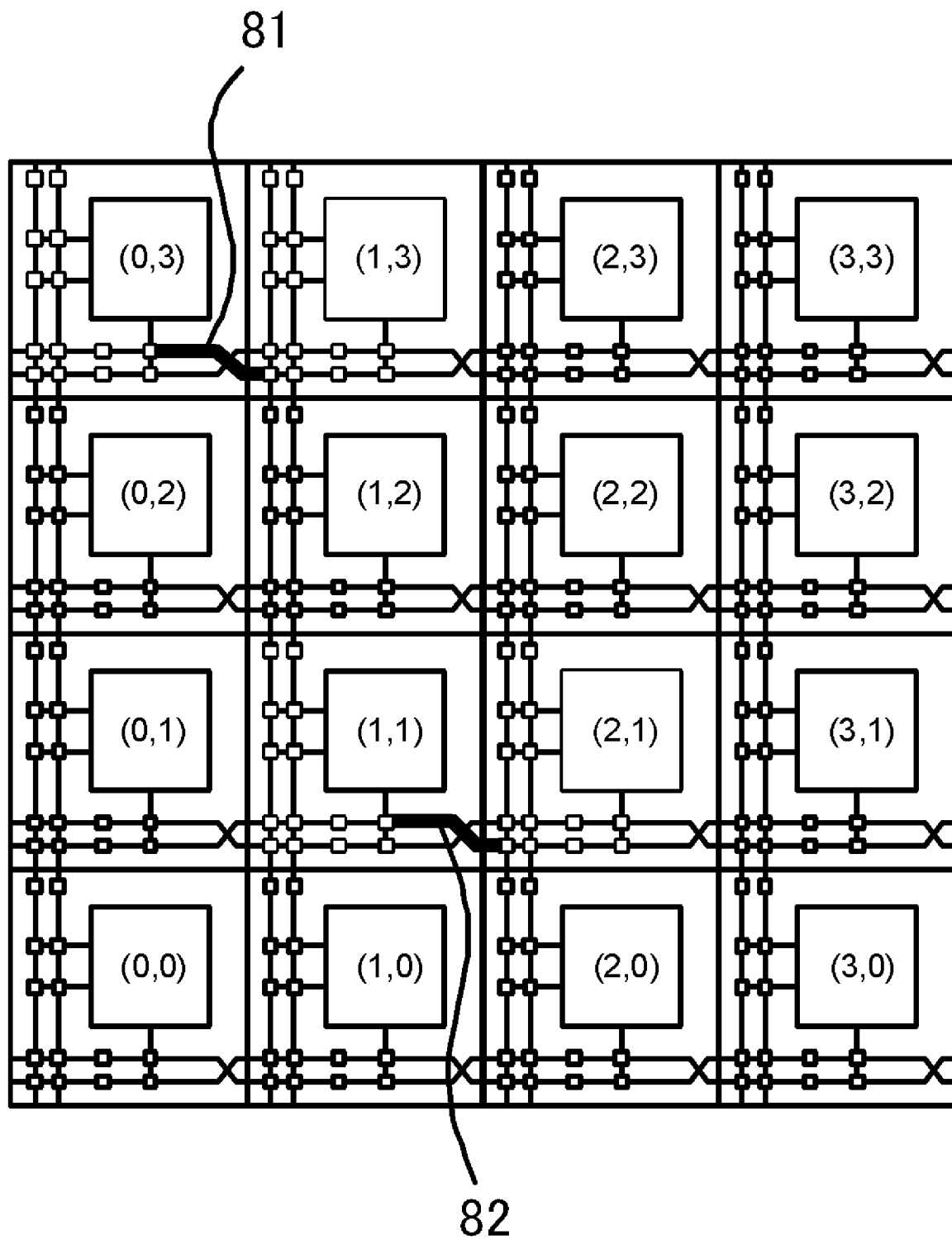


☒ ON
□ OFF

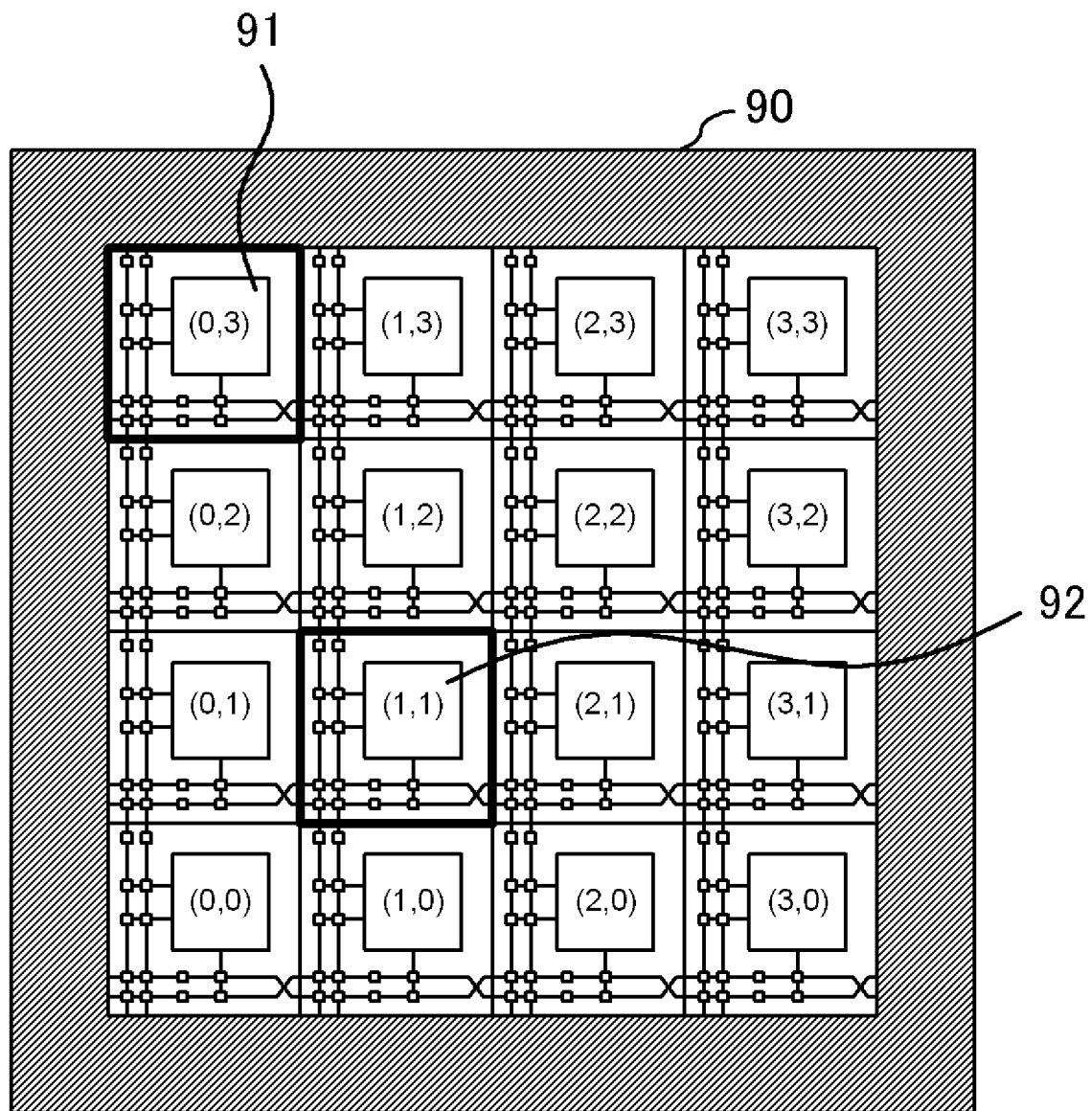
[図7]

type	name	DELAY
⋮	⋮	⋮
Block	B71	D71
Wire	W72	D72
Sw	S73	D73
Wire	W74	D74
Sw	S75	D75
Wire	W76	D76
Sw	S77	D77
Wire	W78	D78
Block	B79	D79
⋮	⋮	⋮

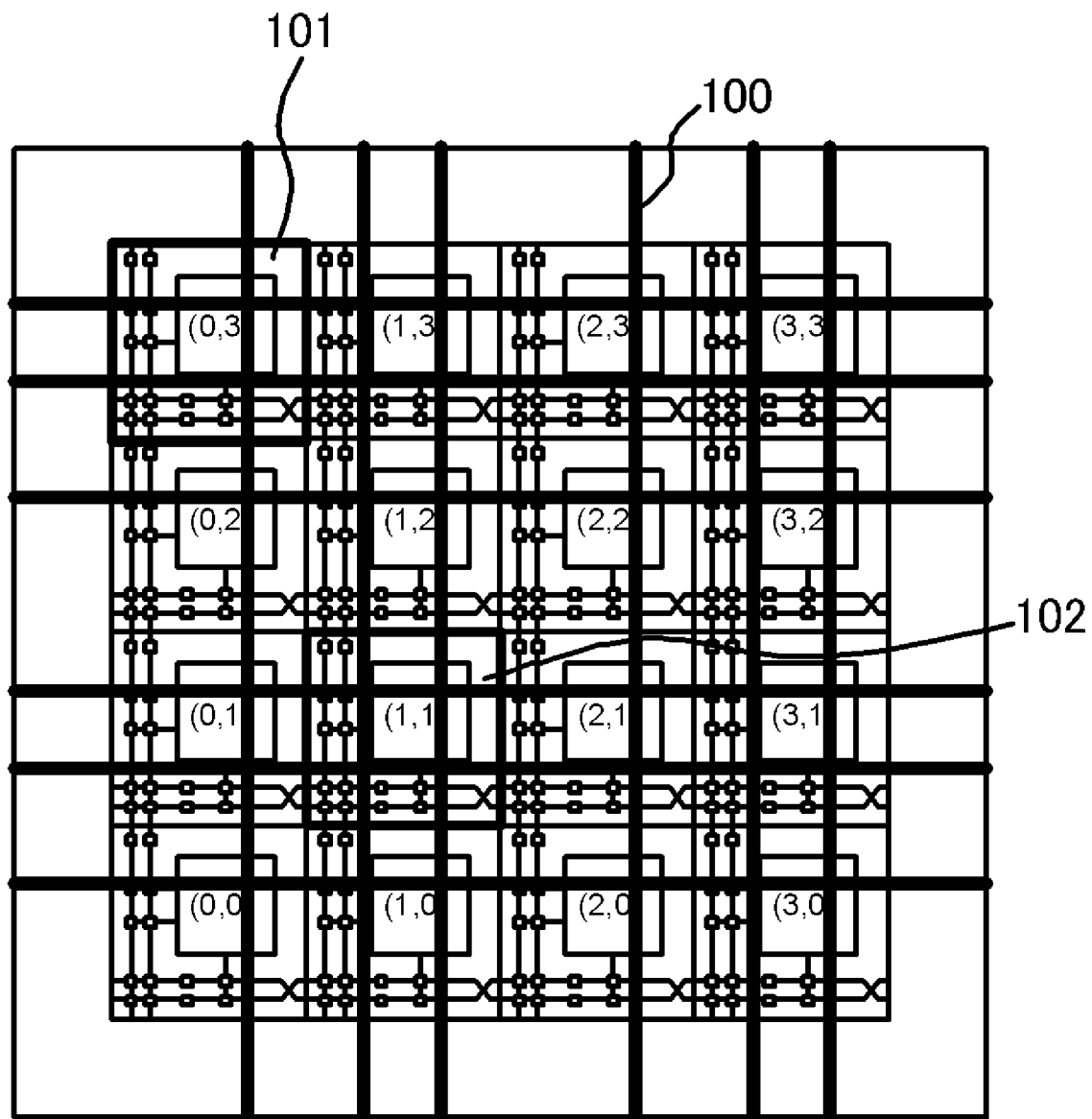
[図8]



[図9]



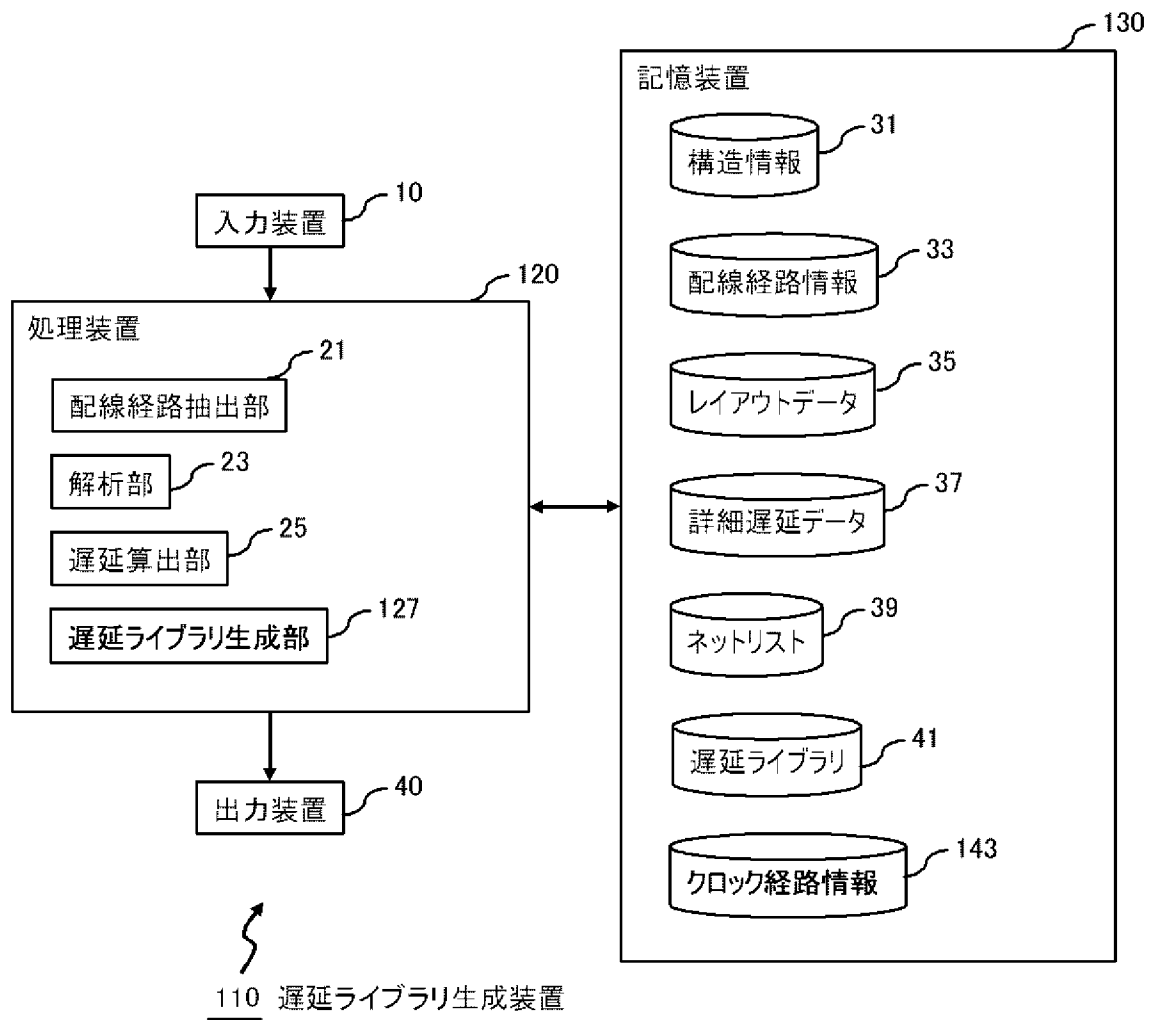
[図10]



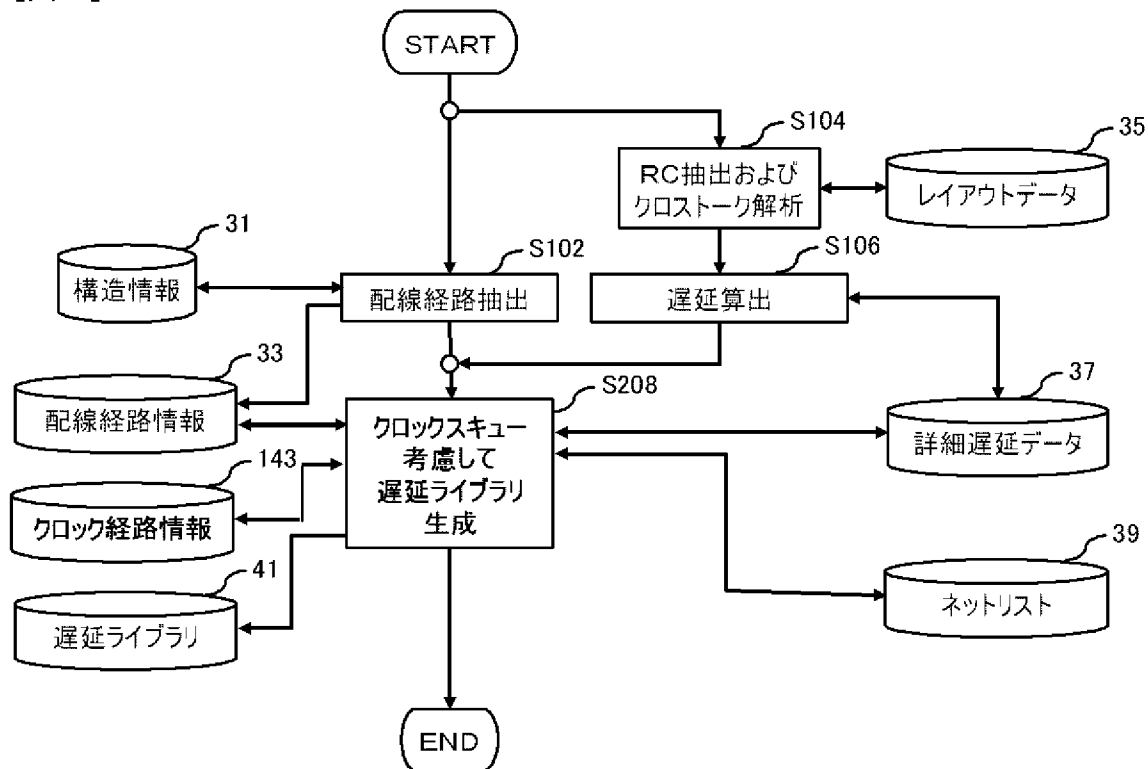
[図11]

X	Y	type	name	DELAY
⋮	⋮	⋮	⋮	⋮
0	3	Wire	W81	D81
⋮	⋮	⋮	⋮	⋮
1	1	Wire	W82	D82
⋮	⋮	⋮	⋮	⋮

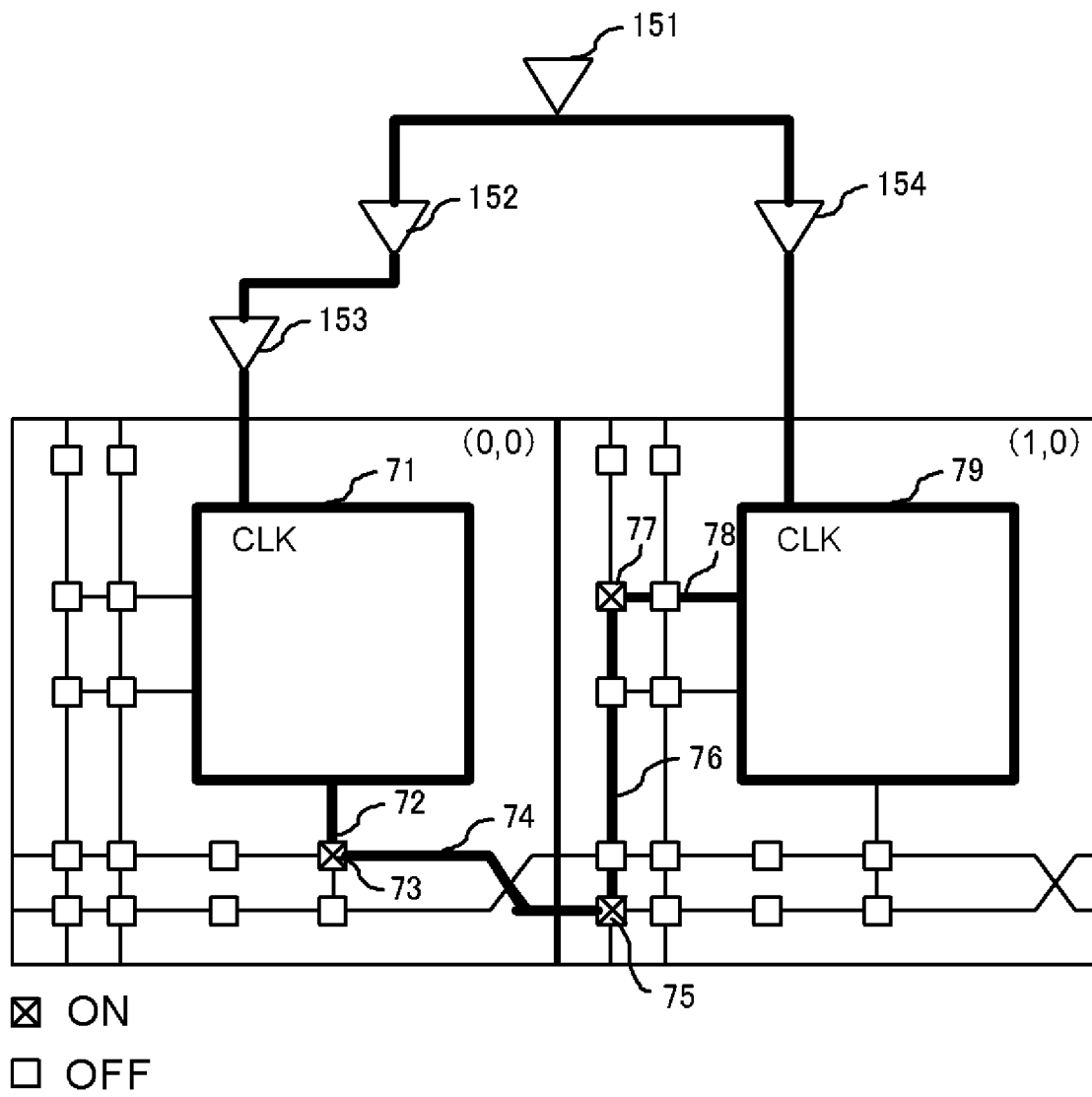
[図12]



[図13]



[図14]



[図15]

X	Y	type	name	DELAY
⋮	⋮	⋮	⋮	⋮
0	0	Clock	C71	CD71
1	0	Clock	C79	CD79
⋮	⋮	⋮	⋮	⋮
0	0	Block	B71	D71
0	0	Wire	W72	D72
0	0	Sw	S73	D73
0	0	Wire	W74	D74
1	0	Sw	S75	D75
1	0	Wire	W76	D76
1	0	Sw	S77	D77
1	0	Wire	W78	D78
1	0	Block	B79	D79
⋮	⋮	⋮	⋮	⋮

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/001310

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/82 (2006.01) i, G06F17/50 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/82, G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-057182 A (Ascii V M Kabushiki Kaisha), 25 February 2000 (25.02.2000), paragraph [0009] (Family: none)	1-17
A	JP 2002-318828 A (TOKYO ELECTRON DEVICE LTD.), 31 October 2002 (31.10.2002), paragraphs [0003] to [0011] (Family: none)	1-17
A	JP 2006-236214 A (Toshiba Corp.), 07 September 2006 (07.09.2006), paragraphs [0104] to [0120] & US 7512917 B2 & US 2009/0164955 A1 & EP 1696328 A2 & CN 1900870 A	1-17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
14 April, 2010 (14.04.10)

Date of mailing of the international search report
27 April, 2010 (27.04.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/001310

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-149727 A (Mentor Graphics Corp.), 24 May 2002 (24.05.2002), paragraph [0033] & US 2002/0129334 A1 & EP 1271363 A3	1-17
A	JP 10-307860 A (Dainippon Printing Co., Ltd.), 17 November 1998 (17.11.1998), paragraphs [0002] to [0004] (Family: none)	1-17

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/82(2006.01)i, G06F17/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/82, G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-057182 A（アスキー・ブイ・エム株式会社）2000.02.25, 段落【0009】（ファミリーなし）	1-17
A	JP 2002-318828 A（東京エレクトロニクス株式会社） 2002.10.31, 段落【0003】～【0011】（ファミリーなし）	1-17
A	JP 2006-236214 A（株式会社東芝）2006.09.07, 段落【0104】～【0120】 & US 7512917 B2 & US 2009/0164955 A1 & EP 1696328 A2 & CN 1900870 A	1-17

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 4 . 2 0 1 0

国際調査報告の発送日

2 7 . 0 4 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

池 淵 立

4 L

8 8 3 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-149727 A (メンター・グラフィクス・コーポレーション) 2002.05.24, 段落【0033】 & US 2002/0129334 A1 & EP 1271363 A3	1-17
A	JP 10-307860 A (大日本印刷株式会社) 1998.11.17, 段落【0002】 ～【0004】 (ファミリーなし)	1-17