

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7116376号
(P7116376)

(45)発行日 令和4年8月10日(2022.8.10)

(24)登録日 令和4年8月2日(2022.8.2)

(51)国際特許分類	F I
G 1 1 C 29/44 (2006.01)	G 1 1 C 29/44 1 0 0
G 1 1 C 29/00 (2006.01)	G 1 1 C 29/00 4 1 2

請求項の数 18 (全16頁)

(21)出願番号	特願2019-568623(P2019-568623)	(73)特許権者	390009531
(86)(22)出願日	平成30年6月11日(2018.6.11)		インターナショナル・ビジネス・マシー
(65)公表番号	特表2020-524871(P2020-524871 A)		ンズ・コーポレーション
(43)公表日	令和2年8月20日(2020.8.20)		INTERNATIONAL BUSI
(86)国際出願番号	PCT/IB2018/054195		NESS MACHINES CORPO
(87)国際公開番号	WO2018/234920		RATION
(87)国際公開日	平成30年12月27日(2018.12.27)		アメリカ合衆国10504 ニューヨー
審査請求日	令和2年11月30日(2020.11.30)		ク州 アーモンク ニュー オーチャード
(31)優先権主張番号	15/630,538		ロード
(32)優先日	平成29年6月22日(2017.6.22)		New Orchard Road, A
(33)優先権主張国・地域又は機関	米国(US)		rmonk, New York 105
		(74)代理人	100112690
			弁理士 太佐 種一

最終頁に続く

(54)【発明の名称】 不良ビットを管理するメモリ・デバイス、メモリ・システム、および、その実装方法

(57)【特許請求の範囲】

【請求項1】

不揮発性ランダム・アクセス・メモリを含むメモリ・デバイスであって、前記不揮発性ランダム・アクセス・メモリは、

書き込みエラーがあったと判定されたビットのアドレスを記憶するように構成された不審ビット・レジスタと、

(i) 第1の書き込みエラーが原因で前記不審ビット・レジスタに現れ、かつ(ii) 前記第1の書き込みエラー後に第2の書き込みエラーがあったと判定されたビットのアドレスを、前記不揮発性ランダム・アクセス・メモリにおける書き込みエラー率に基づく不良ビットのアドレスとして、記憶するように構成された不良ビット・レジスタと、

を含む、メモリ・デバイス。

【請求項2】

前記不審ビット・レジスタが、バーンイン・プロセス後に前記書き込みエラーが発生したと判定された前記ビットの前記アドレスを記憶するように構成され、前記メモリ・デバイスが、バーンイン・プロセス中にエラーがあると判定されたビットを識別するように構成されたメイン・レジスタをさらに備える、請求項1に記載のメモリ・デバイス。

【請求項3】

前記メイン・レジスタおよび前記不良ビット・レジスタがヒューズ・ビット・レジスタとして構成されている、請求項2に記載のメモリ・デバイス。

【請求項4】

前記メイン・レジスタおよび前記不良ビット・レジスタが前記不揮発性ランダム・アクセス・メモリに含まれている、請求項 3 に記載のメモリ・デバイス。

【請求項 5】

前記バーンイン・プロセス中に不良であると判定された前記ビットが電氣的短絡状態および電氣的開回路状態に対応する、請求項 2 または 3 に記載のメモリ・デバイス。

【請求項 6】

前記メイン・レジスタが前記不揮発性ランダム・アクセス・メモリに含まれている、請求項 2 に記載のメモリ・デバイス。

【請求項 7】

前記メイン・レジスタがワンタイム・プログラマブル・メモリ・デバイスに含まれている、請求項 2 に記載のメモリ・デバイス。

【請求項 8】

前記不揮発性ランダム・アクセス・メモリが磁気トンネル接合を有するスピントルク磁気抵抗ランダム・アクセス・メモリである、請求項 1 ～ 7 のいずれか 1 項に記載のメモリ・デバイス。

【請求項 9】

前記不審ビット・レジスタのアドレスの最も古いアドレスが、前記不審ビット・レジスタが満杯であること、および前記不審ビット・レジスタに書き込むためのアドレスが保留になっていることに応じて、上書きされる、請求項 1 ～ 8 のいずれか 1 項に記載のメモリ・デバイス。

【請求項 10】

エラーがあったと判定されたビットのアドレスを記憶するように構成された不審ビット・レジスタと、

(i) 第 1 のエラーが原因で前記不審ビット・レジスタに現れ、かつ (i i) 第 2 のエラーがあったと判定されたビットのアドレスを記憶するように構成された不良ビット・レジスタと、

を含む、不揮発性ランダム・アクセス・メモリを備え、

前記不良ビット・レジスタのアドレスの最も古いアドレスが、前記不良ビット・レジスタが満杯であること、および前記不良ビット・レジスタに書き込むためのアドレスが保留になっていることに応じて、上書きされる、メモリ・デバイス。

【請求項 11】

不揮発性ランダム・アクセス・メモリを含むメモリ・デバイスの実装方法であって、書き込みエラーがあると判定されたビットのアドレスを記憶する不審ビット・レジスタを前記不揮発性ランダム・アクセス・メモリ内に構成することと、

(i) 第 1 の書き込みエラーが原因で不審ビット・レジスタに現れ、かつ (i i) 前記第 1 の書き込みエラー後に第 2 の書き込みエラーがあると判定されたビットのアドレスを、前記不揮発性ランダム・アクセス・メモリにおける書き込みエラー率に基づく不良ビットのアドレスとして、記憶するための不良ビット・レジスタを前記不揮発性ランダム・アクセス・メモリ内に構成することと、を含むメモリ・デバイスの実装方法。

【請求項 12】

不揮発性ランダム・アクセス・メモリを含むメモリ・デバイスであって、

許容できない書き込みエラー率があると判定されたビットを、前記不揮発性ランダム・アクセス・メモリにおける不良ビットとして、該ビットを含むワードのアドレスを記憶するように構成された不良ビット・レジスタと、

不良ビットを識別して前記不良ビット・レジスタに書き込むように構成された不審ビット・レジスタと、

プロセッサであって、

エラー訂正コードを使用して書き込みエラーを検出したことに応答して、前記不審ビット・レジスタ内の前記書き込みエラーに関連するビットのアドレスを検索し、

一致するものが存在するということに回答して、前記書き込みエラーに関連する前記ビットの前記アドレスを前記不審ビット・レジスタから削除し、前記書き込みエラーに関連する前記ビットの前記アドレスを前記不良ビット・レジスタに書き込むように構成された、前記プロセッサと、
を備える、メモリ・システム。

【請求項 13】

前記プロセッサが、前記一致するものが存在しないということに回答して、前記書き込みエラーに関連する前記ビットの前記アドレスを前記不審ビット・レジスタに書き込むように構成されている、請求項 12 に記載のメモリ・システム。

【請求項 14】

バーンイン・プロセス中に不良であると判定されたビットを識別するように構成されたメイン・レジスタをさらに備える、請求項 12 または 13 に記載のメモリ・システム。

【請求項 15】

前記メイン・レジスタおよび前記不良ビット・レジスタがヒューズ・ビット・レジスタとして構成され、前記プロセッサが前記ヒューズ・ビット・レジスタを使用して、不良であると判定されたワードをヒューズ作動し、不良であると判定された前記ワードのそれぞれをそれぞれの冗長なアドレスで置き換えるように構成されている、請求項 14 に記載のメモリ・システム。

【請求項 16】

前記不良ビット・レジスタ、前記不審ビット・レジスタ、および前記メイン・レジスタが同じ不揮発性メモリ・デバイスに含まれている、請求項 14 または 15 に記載のメモリ・システム。

【請求項 17】

前記不良ビット・レジスタおよび前記不審ビット・レジスタが同じ不揮発性メモリ・デバイスに含まれ、前記メイン・レジスタが異なる不揮発性メモリ・デバイスに含まれている、請求項 14 または 15 に記載のメモリ・システム。

【請求項 18】

不揮発性ランダム・アクセス・メモリを含むメモリ・デバイスの実装方法であって、
(i) 許容できない書き込みエラー率があると判定されたビットを、前記不揮発性ランダム・アクセス・メモリにおける不良ビットとして、該ビットを含むワードのアドレスを、記憶するための不良ビット・レジスタと、(ii) 不良ビットを識別して前記不良ビット・レジスタに書き込むための不審ビット・レジスタと、を構成することを含み、
エラー訂正コードを使用して書き込みエラーを検出することによって、前記不審ビット・レジスタ内の前記書き込みエラーに関連するビットのアドレスに一致するものを検索することをさらに含み、

前記一致するものが存在するということに回答して、前記書き込みエラーに関連する前記ビットの前記アドレスを前記不審ビット・レジスタから削除し、前記書き込みエラーに関連する前記ビットの前記アドレスを前記不良ビット・レジスタに書き込むことをさらに含む、メモリ・システムの実装方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、メモリに関し、詳細には、メモリのための不良ビット・レジスタ(bad bit register)に関する。

【背景技術】

【0002】

一部のマルチタイム・プログラマブル不揮発性メモリ、例えば、スピントルクMRAMは、固有の書き込みエラー率を有するという問題に悩まされている。これは、任意のビットが書き込まれるたびに、ビットが正しい状態に書き込まれない確率がゼロではないことを意味する。典型的には、そのようなエラーのエラー率は、非常に低くなるように、例え

10

20

30

40

50

ば、 1×10^{-9} エラー／書き込み以下になるように設計されている。しかしながら、多くの用途では、特に、一部のビットが他のビットよりも書き込みエラー率が悪い場合、これは十分ではない。本明細書で使用されるように、用語「不良ビット」とは、他のビットよりも書き込みエラー率が悪い、例えば、他のビットのしきい値数を超える、またはしきい値書き込みエラー率を超える、あるいはその両方のビットを指す。その場合、不良ビットは、最終的にフィールドでエラーを引き起こす。

【0003】

この問題に対処する1つのやり方は、一部の形態のエラーを訂正することができるエラー訂正コードを使用することである。例えば、コードによっては、2つのエラーを訂正することはできないが、72ビットのワードで1つのエラーを訂正することができるものがある。しかしながら、書き込みエラー率が十分に高い不良ビットがある場合、最終的に、不良ビットは、訂正不能エラー（例えば、1ワードに2つのエラー）を引き起こす。

【0004】

この問題に対処する別のやり方は、バーンイン・テストにおいて、これらの不良ビットを識別し、工場でヒューズ作動することである。メモリ内のヒューズ・ビット・レジスタがバーンイン・テスト中に識別されるような、不良ビットを含むワードのアドレスを記録する。次いで、これらのアドレスを使用してこれらのワードをヒューズ作動し、代わりに他の冗長なワードを使用するようにする。しかしながら、これは、書き込みエラー率の悪いビットの問題を解決するには非実用的である場合が多い。例えば、バーンイン・テスト中にすべてのビットを 1×10^9 回、読み書きする必要がある可能性があり、これは時間がかかりすぎ、したがって費用がかかりすぎる。

【0005】

したがって、前述の問題を克服する、メモリ内の不良ビットを管理する改善されたやり方が必要である。

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、不良ビットを管理するメモリ・デバイス、メモリ・システム、および、その実装方法を提供する。

【課題を解決するための手段】

【0007】

本発明の一態様によると、メモリ・デバイスが提供される。本メモリ・デバイスは、不揮発性ランダム・アクセス・メモリを含む。不揮発性メモリは、エラーがあると判定されたビットのアドレスを記憶するように構成された不審ビット・レジスタ(suspect bit register)を含む。不揮発性メモリは、(i) 第1のエラーが原因で不審ビット・レジスタに現れ、かつ(ii) 第2のエラーがあると判定されたビットのアドレスを記憶するように構成された不良ビット・レジスタをさらに含む。したがって、本メモリ・デバイスは、不良ビットをヒューズ作動することができよう不良ビットを識別し、したがって不揮発性ランダム・アクセス・メモリの使用中のエラーを回避することによって、一部のビットが他のビットよりも書き込みエラー率が悪いという前述の問題を克服する。

【0008】

対応するコンピュータ実施方法も提供される。

【0009】

さらに、以下の好ましい特徴が提供される。

【0010】

一実施形態において、不審ビット・レジスタは、バーンイン・プロセス後にエラーが発生したと判定されたビットのアドレスを記憶するように構成され、メモリ・デバイスは、バーンイン・プロセス中にエラーがあると判定されたビットを識別するように構成されたメイン・レジスタをさらに含む。したがって、本発明によってバーンイン・エラーに対処することができる。

【0011】

一実施形態において、メイン・レジスタおよび不良ビット・レジスタは、ヒューズ・ビット・レジスタとして構成されている。したがって、不良ビットがもはや使用されることがないように、不良ビットをヒューズ作動することができる。

【0012】

一実施形態において、メイン・レジスタおよびヒューズ・ビット・レジスタは、不揮発性ランダム・アクセス・メモリに含まれている。したがって、単一のデバイスを使用して、前述のレジスタを提供することができるため、本発明を実施するための他のデバイスの使用を回避することができる。

【0013】

本発明の別の態様によると、メモリ・システムが提供される。本メモリ・システムは、許容できない書き込みエラー率があると判定されたビットを含むワードのアドレスを記憶するように構成された不良ビット・レジスタを含む。本メモリ・システムは、不良ビットを識別して不良ビット・レジスタに書き込むように構成された不審ビット・レジスタをさらに含む。本メモリ・システムは、プロセッサをさらに含む。プロセッサは、エラー訂正コードを使用してエラーを検出したことに応答して、不審ビット・レジスタ内のエラーに関連するビットのアドレスを検索するように構成されている。プロセッサは、一致するものが存在するということに答えて、エラーに関連するビットのアドレスを不審ビット・レジスタから削除し、エラーに関連するビットのアドレスを不良ビット・レジスタに書き込むようにさらに構成されている。したがって、本メモリ・システムは、不良ビットをヒューズ作動することができるように不良ビットを識別し、したがってメモリ・システムの使用中のエラーを回避することによって前述の固有の書き込みエラー率を克服する。

【0014】

対応するコンピュータ実施方法も提供される。

【0015】

さらに、以下の好ましい特徴が提供される。

【0016】

一実施形態において、プロセッサは、一致するものが存在しないということに答えて、エラーに関連するビットのアドレスを不審ビット・レジスタに書き込むように構成されている。したがって、不審ビットは、不審ビットを不良ビット・レジスタに含めるべきかどうかを後で検討するために識別され得る。

【0017】

一実施形態において、本メモリ・システムは、バーンイン・プロセス中に不良であると判定されたビットを識別するように構成されたメイン・レジスタをさらに含む。したがって、本発明によってバーンイン・エラーに対処することができる。

【0018】

一実施形態において、メイン・レジスタおよび不良ビット・レジスタは、ヒューズ・ビット・レジスタとして構成され、プロセッサは、ヒューズ・ビット・レジスタを使用して不良であると判定されたワードをヒューズ作動し、不良であると判定されたワードのそれぞれをそれぞれの冗長なアドレスで置き換えるように構成されている。したがって、不良ビットがもはや使用されることがないように、不良ビットをヒューズ作動することができる。

【0019】

一実施形態において、不良ビット・レジスタ、不審ビット・レジスタ、およびメイン・レジスタは、同じ不揮発性メモリ・デバイスに含まれている。したがって、単一のデバイスを使用して前述のレジスタを提供することができるため、本発明を実施するための他のデバイスの使用を回避することができる。

【0020】

これらおよび他の特徴ならびに利点は、添付の図面に関連して読まれるべき、それらの例示的な実施形態の以下の詳細な説明から明らかになるであろう。

10

20

30

40

50

【0021】

以下の説明は、以下の図を参照して好ましい実施形態の詳細を提供する。

【図面の簡単な説明】

【0022】

【図1】本発明の実施形態による、レジスタ100のセットを示す図である。

【図2】本発明の実施形態による、レジスタ200の別のセットを示す図である。

【図3】本発明の実施形態による、本発明の原理を適用することができる例示的な処理システム300を示す図である。

【図4】本発明の実施形態による、本発明の原理を適用することができる別の例示的な処理システム400を示す図である。

【図5】本発明の実施形態による、本発明の原理を適用することができるさらに別の例示的な処理システム500を示す図である。

【図6】本発明の実施形態による、不良ビットを管理するための例示的な方法600を示す図である。

【図7】本発明の実施形態による、不良ビットを管理するための別の例示的な方法700を示す図である。

【図8】本発明の実施形態による、不良ビットを管理するための別の例示的な方法700を示す図である。

【発明を実施するための形態】

【0023】

本発明は、メモリのための不良ビット・レジスタを対象とする。本明細書で使用されるように、用語「不良ビット」とは、1つまたは複数のエラーに関連付けられたビットを指す。

【0024】

一実施形態において、本発明は、フィールドにおいて不良ビットを識別およびヒューズ作動(fuse-out)するための方法を提供する。これにより、通常の動作中に書き込みエラー率の高いビットを識別し、これらのビットがもはや使用されることがないように、これらのビットをヒューズ作動することができる。

【0025】

一実施形態において、2つのレジスタ、すなわち不良ビット・レジスタおよび不審ビット・レジスタが使用される。別の実施形態では、3つのレジスタ、すなわちメイン・レジスタ、不良ビット・レジスタ、および不審ビット・レジスタが使用される。

【0026】

図1は、本発明の実施形態による、レジスタ100のセットを示す。図1の実施形態では、レジスタ100のセットは、不良ビット・レジスタ110および不審レジスタ120を含む。

【0027】

図2は、本発明の実施形態による、レジスタ200の別のセットを示す。図2の実施形態では、レジスタ200のセットは、不良ビット・レジスタ110、不審レジスタ120、およびメイン・レジスタ230を含む。メイン・レジスタ230および不良ビット・レジスタ110は、ヒューズ・ビット・レジスタ240を形成することができる。

【0028】

したがって、図2のレジスタ200のセットは、メイン・レジスタ230を含むことによって、ならびにメイン・レジスタ230および不良ビット・レジスタ110からヒューズ・ビット・レジスタ240を形成することによって図1のレジスタ100のセットとは異なる。

【0029】

図1および図2を参照すると、不良ビット・レジスタ110は、不揮発性メモリ自体から形成することができる。不良ビット・レジスタ110は、動作中に、書き込みエラー率が悪いと判定されたビットを含むワードのアドレスを記録するために使用される。不良ビ

10

20

30

40

50

ット・レジスタ１１０が満杯になると、後続のアドレスは、不良ビット・レジスタ１１０の最も古いアドレス（最も昔に書き込まれたアドレス）に上書きされる。

【００３０】

不審ビット・レジスタ１２０も不揮発性メモリ自体から形成することができる。不審ビット・レジスタ１２０は、不良ビットを識別して不良ビット・レジスタ１１０に書き込むために使用される。エラー訂正コードによりエラーが検出されるたびに、エラーであったビットのアドレスが不審ビット・レジスタ１２０内で検索される。エラーであったビットのアドレスが現れない場合は、そのビットのアドレスが不審ビット・レジスタ１２０に書き込まれる。エラーであったビットのアドレスが現れた場合は、そのビットのアドレスは、不審ビット・レジスタ１２０から削除され、そのビットを含むワードのアドレスが不良ビット・レジスタ１１０に書き込まれる。不審ビット・レジスタ１２０が満杯になった場合、後続のアドレスは、不審ビット・レジスタ１２０の最も古いアドレス（最も昔に書き込まれたアドレス）に上書きされる。

10

【００３１】

図２を参照すると、メイン・レジスタ２３０は、ワンタイム・プログラマブル・メモリまたは不揮発性メモリ自体から形成することができる。メイン・レジスタ２３０は、高温のチップ・ハンダ・プロセス中に情報を記憶するように、十分に熱的に安定でなければならない。メイン・レジスタ２３０は、バーンイン中に、不良ビット（典型的には、例えば、電氣的にショートまたはオープンであるなどの高い書き込みエラー率以外の理由で不良であるビット）を識別するために使用される。

20

【００３２】

不良ビット・レジスタ１１０およびメイン・レジスタ２３０は、不良ワードをヒューズ作動し、それらを冗長アドレスに置き換えるために使用されるヒューズ・ビット・レジスタ２４０とともに形成する。

【００３３】

したがって、図１のレジスタ１００のセットおよび図２のレジスタ２００のセットは、それぞれ、有利には、フィールドでの不良ビットを識別しヒューズ作動する。これにより、通常の動作中に書き込みエラー率の高いビットを識別し、これらのビットをヒューズ作動し、これらのビットがもはや使用されなくなるため、前述の固有の書き込みエラー率の問題を克服することができる。

30

【００３４】

図３は、図１のレジスタ１００のセットの例示的な実施態様を示す。特に、図３は、本発明の実施形態による、不揮発性メモリに含まれる図１の不良ビット・レジスタ１１０および不審ビット・レジスタ１２０を備える例示的な処理システム３００を示す。

【００３５】

処理システム３００は、システムバス（または他の通信媒体であるが、説明および例示のために以降「システムバス」と呼ばれる）３０２を介して、他の構成要素に動作可能に結合された少なくとも１つのプロセッサ（ＣＰＵ）３０４を含む。キャッシュ３０６、読み取り専用メモリ（ＲＯＭ）３０８、ランダム・アクセス・メモリ（ＲＡＭ）３１０、入力／出力（Ｉ／Ｏ）アダプタ３２０、サウンド・アダプタ３３０、ネットワーク・アダプタ３４０、ユーザ・インタフェース・アダプタ３５０、およびディスプレイ・アダプタ３６０がシステムバス３０２に動作可能に結合されている。

40

【００３６】

図３の実施形態では、ＲＡＭ３１０は、不良ビット・レジスタ１１０および不審ビット・レジスタ１２０を含む。一実施形態において、ＲＡＭ３１０は、磁気トンネル接合を有するスピントルク磁気抵抗ＲＡＭ（Spin Torque Magnetoresistive RAM）によって実施される。もちろん、本発明は、前述のタイプのＲＡＭに限定されず、したがって、本発明の思想を維持しながら、本発明の教示に従って他の不揮発性メモリ・タイプも使用することができる。

【００３７】

50

第1の記憶装置322および第2の記憶装置324が、I/Oアダプタ320によってシステムバス302に動作可能に結合されている。記憶装置322および324は、ディスク記憶装置（例えば、磁気または光学ディスク記憶装置）、固体磁気装置などのいずれであってもよい。記憶装置322および324は、同じタイプの記憶装置または異なるタイプの記憶装置であってもよい。

【0038】

スピーカ332がサウンド・アダプタ330によってシステムバス302に動作可能に結合されている。トランシーバ342がネットワーク・アダプタ340によってシステムバス302に動作可能に結合されている。ディスプレイ装置362がディスプレイ・アダプタ360によってシステムバス302に動作可能に結合されている。

【0039】

第1のユーザ入力装置352、第2のユーザ入力装置354、および第3のユーザ入力装置356がユーザ・インタフェース・アダプタ350によってシステムバス302に動作可能に結合されている。ユーザ入力装置352、354、および356は、キーボード、マウス、キーパッド、画像キャプチャ装置、モーション検知装置、マイクロホン、前述の装置のうちの少なくとも2つの機能を組み込んだ装置などのいずれであってもよい。もちろん、本発明の思想を維持しながら、他のタイプの入力装置も使用することができる。ユーザ入力装置352、354、および356は、同じタイプのユーザ入力装置または異なるタイプのユーザ入力装置であってもよい。ユーザ入力装置352、354、および356は、システム300との間で情報を入出力するために使用される。

【0040】

もちろん、処理システム300は、当業者によって容易に考えられるように、他の要素（図示せず）を含むこともでき、ある特定の要素を省略することもできる。例えば、当業者によって容易に理解されるように、様々な他の入力装置または出力装置あるいはその両方を、それらの特定の実施態様に応じて、処理システム300に含めることができる。例えば、様々なタイプの無線または有線あるいはその両方の入力装置または出力装置あるいはその両方を使用することができる。さらに、当業者によって容易に認識されるように、様々な構成において追加のプロセッサ、コントローラ、メモリなども利用することができる。処理システム300のこれらおよび他の変形形態は、本明細書に提供される本発明の教示を与えられた当業者によって容易に考えられる。

【0041】

図4および図5は、図2のレジスタ200のセットのそれぞれの実施形態を示す。特に、図4は、本発明の実施形態による、すべてが不揮発性メモリに含まれている図2の不良ビット・レジスタ110、不審ビット・レジスタ120、およびメイン・レジスタ230を備える例示的な処理システム400を示す。図5は、本発明の実施形態による、不揮発性メモリに含まれている図2の不良ビット・レジスタ110および不審ビット・レジスタ120を備える例示的な処理システム500を示し、一方、図2のメイン・レジスタ230は、ワンタイム・プログラマブル・メモリから形成されている。

【0042】

したがって、図4のコンピュータ処理システム400は、メイン・レジスタ230も含むことによって、図3のコンピュータ処理システム300とは異なり、メイン・レジスタ230がRAM410に含まれている。図5のコンピュータ処理システム500は、メイン・レジスタ230も含むことによって図3のコンピュータ処理システム300とは異なり、メイン・レジスタ230が（RAM510ではなく）ワンタイム・プログラマブル・メモリに含まれている。加えて、図4～図5に関して、メイン・レジスタ230および不良ビット・レジスタ110は、ヒューズ・ビット・レジスタ240を形成する。

【0043】

ここで、方法600を図6に関して説明する。本明細書に記載される以下のものが、図6の方法600を実行することができることを認識されたい。すなわち、図1のレジスタ100のセット、および図3のコンピュータ処理システム300である。メイン・レジス

10

20

30

40

50

タ２３０を使用することなく、本明細書に記載される以下のものも図６の方法６００を実行することができることをさらに認識されたい。すなわち、図２のレジスタ２００のセット、図４のコンピュータ処理システム４００、および図５のコンピュータ処理システム５００である。

【００４４】

図６は、本発明の実施形態による、不良ビットを管理するための例示的な方法６００を示す。方法６００は、以下のものを含む。すなわち、不良ビット・レジスタ（例えば、図１および図３の不良ビット・レジスタ１１０）、ならびに不審ビット・レジスタ（例えば、図１および図３の不審ビット・レジスタ１２０）である。

【００４５】

ステップ６１０では、（ｉ）許容できない書き込みエラー率があると判定されたビットを含むワードのアドレスを記憶するための不良ビット・レジスタと、（ｉｉ）不良ビットを識別して不良ビット・レジスタに書き込むための不審ビット・レジスタと、を構成する。一実施形態において、許容できない書き込みエラー率は、しきい値に基づいて許容できないと判定され得る。一実施形態において、不審ビット・レジスタは、不審ビット・レジスタが満杯であること、および不審ビット・レジスタに書き込むためのアドレスが保留になっていることに応じて、不審ビット・レジスタのアドレスの最も古いアドレスが上書きされるように構成することができる。

【００４６】

ステップ６２０では、（例えば、エラー訂正コードを使用して）エラーが検出されたかどうかを判定する。エラーが検出された場合は、ステップ６３０に進む。そうでなければ、方法は、終了する。

【００４７】

ステップ６３０では、不審ビット・レジスタ内のエラーに関連するビットのアドレスに一致するものを検索する。

【００４８】

ステップ６４０では、一致するものが存在するかどうかを判定する。一致するものが存在する場合は、ステップ６５０に進む。そうでなければ、ステップ６６０に進む。

【００４９】

ステップ６５０（一致するものが存在する）では、エラーに関連するビットのアドレスを不審ビット・レジスタから削除し、エラーに関連するビットのアドレスを不良ビット・レジスタに書き込む。エラーに関連するビットは、２つの故障、すなわち、ビットのアドレスが結果として不審ビット・レジスタに配置されることになる第１の故障と、ビットのアドレスが結果として不良ビット・レジスタに配置されることになる第２の故障と、を被ったと考えることができることを認識されたい。

【００５０】

ステップ６６０（一致するものが存在しない）では、エラーに関連するビットのアドレスを不審ビット・レジスタに書き込む。

【００５１】

ここで、方法７００を図７～図８に関して説明する。本明細書に記載される以下のものが、図７～図８の方法７００を実行することができることを認識されたい。すなわち、図２のレジスタ２００のセット、図４のコンピュータ処理システム４００、および図５のコンピュータ処理システム５００である。

【００５２】

図７～図８は、本発明の実施形態による、不良ビットを管理するための別の例示的な方法７００を示す。方法７００は、以下のものを含む。すなわち、不良ビット・レジスタ（例えば、図２、図４および図５の不良ビット・レジスタ１１０）、不審ビット・レジスタ（例えば、図２、図４および図５の不審ビット・レジスタ１２０）、メイン・レジスタ（例えば、図２、図４および図５のメイン・レジスタ２３０）、ならびにヒューズ・ビット・レジスタ（例えば、図２、図４および図５のヒューズ・ビット・レジスタ２４０）であ

10

20

30

40

50

る。

【0053】

ステップ705では、(i)許容できない書き込みエラー率があると判定されたビットを含むワードのアドレスを記憶するための不良ビット・レジスタと、(ii)不良ビットを識別して不良ビット・レジスタに書き込むための不審ビット・レジスタと、(iii)バーンイン・プロセス中に不良であると判定されたビットを識別するためのメイン・レジスタと、を構成する。一実施形態において、許容できない書き込みエラー率は、しきい値に基づいて許容できないと判定され得る。一実施形態において、バーンイン・プロセス中に不良であると判定されたビットは、電氣的短絡状態および電氣的開回路状態に対応する可能性がある。一実施形態において、不審ビット・レジスタは、不審ビット・レジスタが満杯であること、および不審ビット・レジスタに書き込むためのアドレスが保留になっていることに応じて、不審ビット・レジスタのアドレスの最も古いアドレスが上書きされるように構成することができる。一実施形態において、不良ビット・レジスタは、不良ビット・レジスタが満杯であること、および不良ビット・レジスタに書き込むためのアドレスが保留になっていることに応じて、不良ビット・レジスタのアドレスの最も古いアドレスが上書きされるように構成することができる。

10

【0054】

ステップ710では、メイン・レジスタおよび不良ビット・レジスタからヒューズ・ビット・レジスタを形成する。ヒューズ・ビット・レジスタは、不良であると判定されたワードをヒューズ作動し、不良であると判定されたワードをそれぞれの冗長なアドレスで置き換えるためのものである。

20

【0055】

ステップ715では、ヒューズ・ビット・レジスタを使用して、不良であると判定されたワードをヒューズ作動し、不良であると判定されたワードのそれぞれをそれぞれの冗長なアドレスで置き換える。

【0056】

ステップ720では、エラーが検出されたかどうかを(例えば、エラー訂正コードを使用して)判定する。エラーが検出された場合は、ステップ730に進む。そうでなければ、方法は、終了する。

【0057】

ステップ730では、不審ビット・レジスタ内のエラーに関連するビットのアドレスに一致するものを検索する。

30

【0058】

ステップ740では、一致するものが存在するかどうかを判定する。一致するものが存在する場合は、ステップ750に進む。そうでなければ、ステップ760に進む。

【0059】

ステップ750(一致するものが存在する)では、不審ビット・レジスタからエラーに関連するビットのアドレスを削除し、エラーに関連するビットのアドレスを不良ビット・レジスタに書き込む。エラーに関連するビットは、2つの故障、すなわち、ビットのアドレスが結果として不審ビット・レジスタに配置されることになる第1の故障と、ビットのアドレスが結果として不良ビット・レジスタに配置されることになる第2の故障と、を被ったと考えることができることを認識されたい。

40

【0060】

ステップ760(一致するものが存在しない)では、エラーに関連するビットのアドレスを不審ビット・レジスタに書き込む。

【0061】

本発明は、任意の技術的に可能な詳細な統合レベルのシステム、方法、またはコンピュータ・プログラム製品、あるいはその組合せであってもよい。コンピュータ・プログラム製品は、プロセッサに本発明の態様を実行させるためのコンピュータ可読プログラム命令を有するコンピュータ可読記憶媒体を含むことができる。

50

【0062】

コンピュータ可読記憶媒体は、命令実行装置による使用のために命令を保持し記憶することができる有形の装置とすることができる。コンピュータ可読記憶媒体は、例えば、限定されることなく、電子記憶装置、磁気記憶装置、光記憶装置、電磁記憶装置、半導体記憶装置、または前述の任意の適切な組合せとすることができる。コンピュータ可読記憶媒体のより具体的な例の非網羅的なリストには、ポータブル・コンピュータ・ディスク、ハードディスク、ランダム・アクセス・メモリ（RAM）、読み出し専用メモリ（ROM）、消去可能プログラマブル読み出し専用メモリ（EPROMまたはフラッシュ・メモリ）、スタティック・ランダム・アクセス・メモリ（SRAM）、ポータブル・コンパクト・ディスク読み出し専用メモリ（CD-ROM）、デジタル多用途ディスク（DVD）、メモリ・スティック、フロッピー・ディスク、パンチカードなどの機械的に符号化された装置、または命令が記憶された溝の中の隆起構造、および前述の任意の適切な組合せが含まれる。本明細書で使用されるようなコンピュータ可読記憶媒体は、電波または他の自由に伝播する電磁波、導波路もしくは他の伝送媒体を通して伝播する電磁波（例えば、光ファイバーケーブルを通過する光パルス）、またはワイヤを通して送信される電気信号などの、それ自体一時的な信号であると解釈されるべきではない。

10

【0063】

本明細書に記載されたコンピュータ可読プログラム命令は、コンピュータ可読記憶媒体からそれぞれのコンピューティング／処理装置に、あるいは、ネットワーク、例えばインターネット、ローカル・エリア・ネットワーク、ワイド・エリア・ネットワークまたはワイヤレス・ネットワークあるいはその組合せを介して、外部コンピュータもしくは外部記憶装置にダウンロードすることができる。ネットワークは、銅伝送ケーブル、光伝送ファイバ、無線伝送、ルータ、ファイアウォール、スイッチ、ゲートウェイ・コンピュータ、またはエッジ・サーバ、あるいはその組合せを含むことができる。各コンピューティング／処理装置のネットワーク・アダプタ・カードまたはネットワーク・インタフェースは、ネットワークからコンピュータ可読プログラム命令を受信し、コンピュータ可読プログラム命令をそれぞれのコンピューティング／処理装置内のコンピュータ可読記憶媒体に記憶するために転送する。

20

【0064】

本発明の動作を実行するためのコンピュータ可読プログラム命令は、アセンブラ命令、命令セットアーキテクチャ（ISA）命令、機械語命令、機械依存命令、マイクロコード、ファームウェア命令、状態設定データ、またはSMALLTALK（R）、C++などのオブジェクト指向プログラミング言語、および「C」プログラミング言語または同様のプログラミング言語などの従来の手続き型プログラミング言語を含む、1つもしくは複数のプログラミング言語の任意の組合せで書かれたソース・コードまたはオブジェクトコードのいずれであってもよい。コンピュータ可読プログラム命令は、独立型のソフトウェア・パッケージとして、完全にユーザのコンピュータ上で、部分的にユーザのコンピュータ上で、部分的にユーザのコンピュータおよび部分的に遠隔コンピュータ上で、あるいは完全に遠隔コンピュータまたはサーバ上で実行することができる。後者のシナリオでは、遠隔コンピュータは、ローカル・エリア・ネットワーク（LAN）またはワイド・エリア・ネットワーク（WAN）を含む任意のタイプのネットワークを介してユーザのコンピュータに接続されてもよく、または外部コンピュータに（例えばインターネット・サービス・プロバイダを使用してインターネットを介して）接続されてもよい。一部の実施形態では、例えば、プログラマブル・ロジック回路、フィールドプログラマブル・ゲート・アレイ（FPGA）、またはプログラマブル・ロジック・アレイ（PLA）を含む電子回路は、本発明の態様を実行するために、電子回路を個人専用にするコンピュータ可読プログラム命令の状態情報を利用することによってコンピュータ可読プログラム命令を実行することができる。

30

40

【0065】

本発明の態様は、本発明の実施形態による方法、装置（システム）、およびコンピュー

50

タ・プログラム製品のフローチャート図またはブロック図あるいはその両方を参照して本明細書に記載されている。フローチャート図またはブロック図あるいはその両方の各ブロック、ならびにフローチャート図またはブロック図あるいはその両方のブロックの組合せは、コンピュータ可読プログラム命令によって実施することができることを理解されよう。

【0066】

これらのコンピュータ可読プログラム命令は、コンピュータまたは他のプログラム可能データ処理装置のプロセッサを介して実行される命令がフローチャートまたはブロック図あるいはその両方の1つまたは複数のブロックに指定された機能／動作を実施するための手段を作成するように、汎用コンピュータ、専用コンピュータまたは他のプログラム可能データ処理装置のプロセッサに提供されてマシンを生成することができる。これらのコンピュータ可読プログラム命令は、内部に命令が記憶されたコンピュータ可読記憶媒体が、フローチャートまたはブロック図あるいはその両方の1つまたは複数のブロックに指定された機能／動作の態様を実施する命令を含む製品を備えるように、コンピュータ、プログラム可能なデータ処理装置、または他の装置あるいはその組合せを特定のやり方で機能させるように指示することができるコンピュータ可読記憶媒体に記憶することもできる。

10

【0067】

コンピュータ可読プログラム命令は、コンピュータ、他のプログラム可能装置、または他の装置上で実行される命令が、フローチャートまたはブロック図あるいはその両方の1つまたは複数のブロックに指定された機能／動作を実施するように、コンピュータ、他のプログラム可能データ処理装置、または他の装置にロードされ、一連の動作ステップをコンピュータ、他のプログラム可能装置、または他の装置上で実行させて、コンピュータ実施プロセスを生成することもできる。

20

【0068】

図中のフローチャートおよびブロック図は、本発明の様々な実施形態による、システム、方法およびコンピュータ・プログラム製品の可能な実施態様のアーキテクチャ、機能性、および動作を示す。この点に関して、フローチャートまたはブロック図の各ブロックは、指定された論理機能を実施するための1つまたは複数の実行可能命令を含むモジュール、セグメント、または命令の一部を表すことができる。一部の代替の実施態様では、ブロックに示された機能は、図に示された順番とは異なって行われてもよい。例えば、連続して示されている2つのブロックは、実際には、実質的に同時に実行することができ、またはこれらのブロックは、含まれている機能性に応じて、時には逆の順番で実行することができる。ブロック図またはフローチャート図あるいはその両方の各ブロック、およびブロック図またはフローチャート図あるいはその両方のブロックの組合せは、指定された機能もしくは動作を実行する、または特殊目的のハードウェアおよびコンピュータ命令の組合せを実行する特殊目的のハードウェア・ベースのシステムによって実施することができることに留意されたい。

30

【0069】

本明細書における本発明の「一実施形態」または「ある実施形態」ならびにそれらの他の変形形態への言及は、その実施形態に関連して記載された特定の特徴、構造、特性などが本発明の少なくとも1つの実施形態に含まれることを意味する。したがって、本明細書全体を通して様々な場所に現れる、「一実施形態において」または「ある実施形態において」という句、同様にその他の変形形態の出現は、必ずしもすべて同一の実施形態を指すとは限らない。

40

【0070】

以下の「／」、「～または・・あるいはその両方」、ならびに「のうちの少なくとも1つ」のいずれかの使用は、例えば、「A／B」、「AまたはBあるいはその両方」、ならびに「AおよびBのうちの少なくとも1つ」の場合、最初に列記された選択肢（A）のみの選択、または2番目に列記された選択肢（B）のみの選択、あるいは両方の選択肢（AおよびB）の選択を包含することが意図されていることを理解されたい。さらなる例として、「A、B、またはCあるいはその組合せ」ならびに「A、BおよびCのうちの少なく

50

とも1つ」の場合、そのような句は、最初に列記された選択肢（A）のみの選択、または2番目に列記された選択肢（B）のみの選択、または3番目に列記された選択肢（C）のみの選択、または最初および2番目に列記された選択肢（AおよびB）のみの選択、または最初および3番目に列記された選択肢（AおよびC）のみの選択、または2番目および3番目に列記された選択肢（BおよびC）のみの選択、または3つの選択肢すべて（AおよびBおよびC）の選択を包含することが意図されている。これは、この技術および関連技術の当業者には容易に明らかなように、列記されている多くの項目について拡張することができる。

【0071】

（例示であって限定することは意図されていない）システムおよび方法の好ましい実施形態を記載したが、上記の教示に照らして当業者が変更および変形を行うことができることに留意されたい。したがって、開示された特定の実施形態において、添付の特許請求の範囲によって概説されるような本発明の範囲内にある変更を行うことができることを理解されたい。したがって、特許法によって要求される詳細および特殊性とともに、本発明の態様を説明したが、特許証によって保護され請求および望まれるものは、添付の特許請求の範囲に記載されている。

10

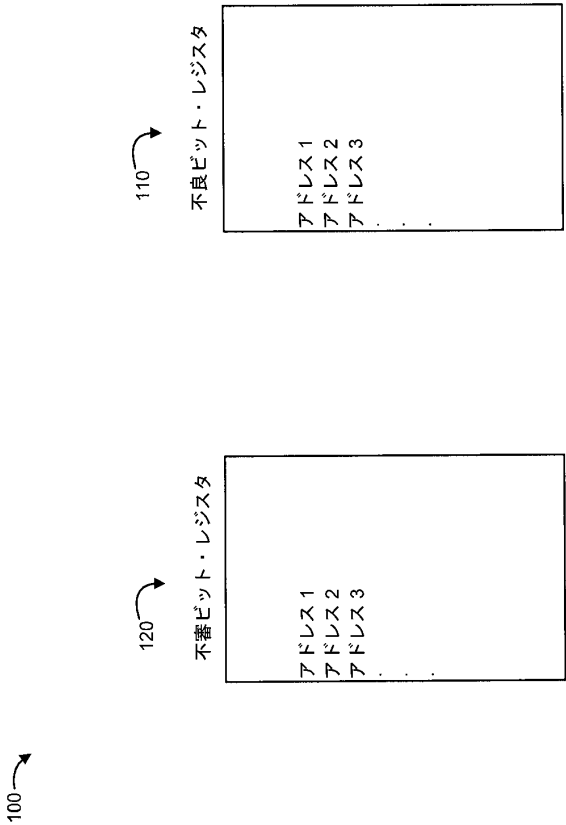
20

30

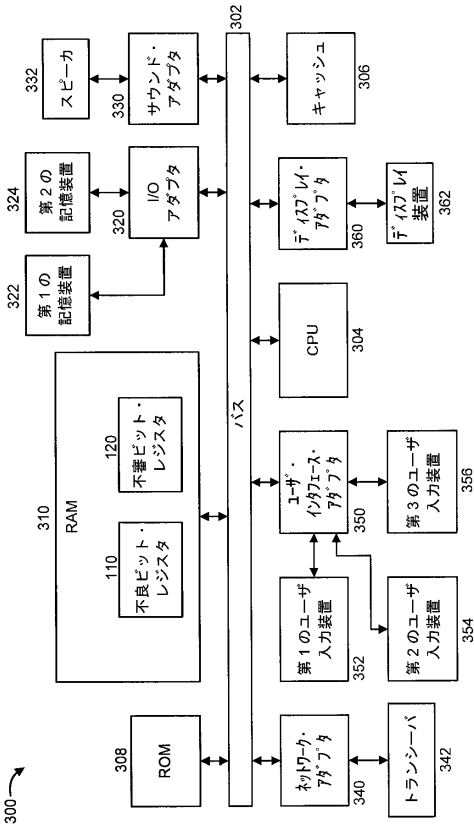
40

50

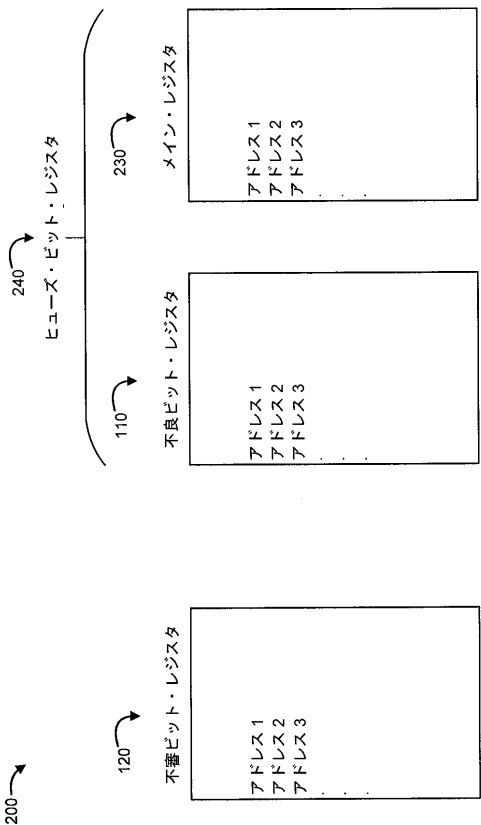
【図面】
【図 1】



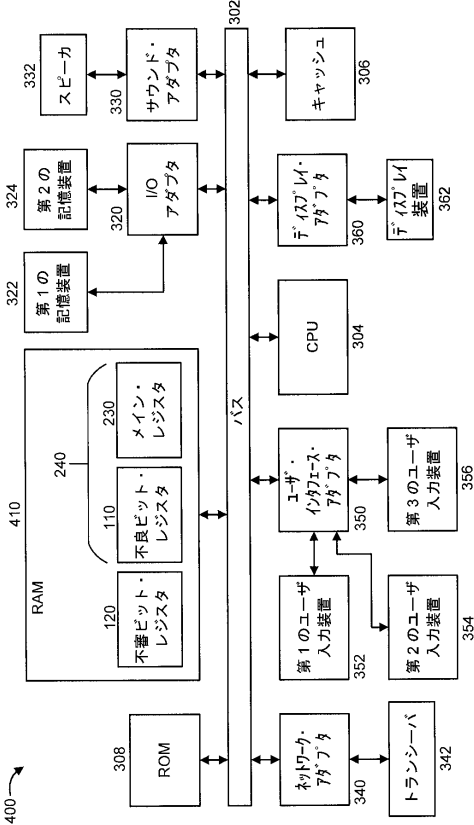
【図 3】



【図 2】



【図 4】



10

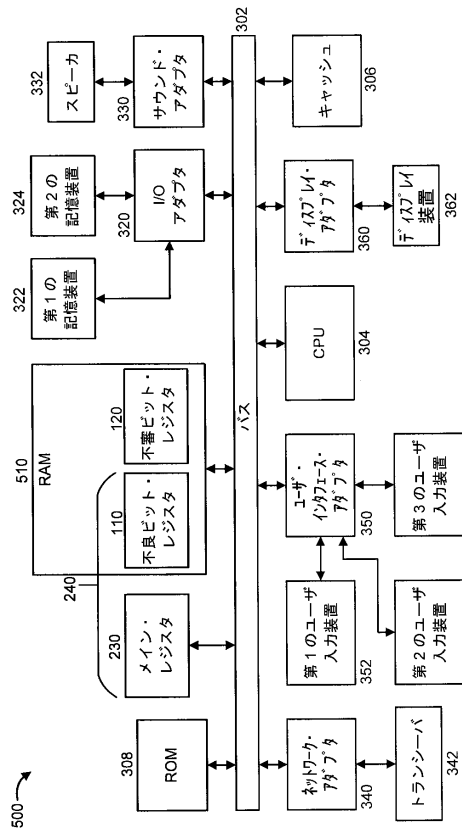
20

30

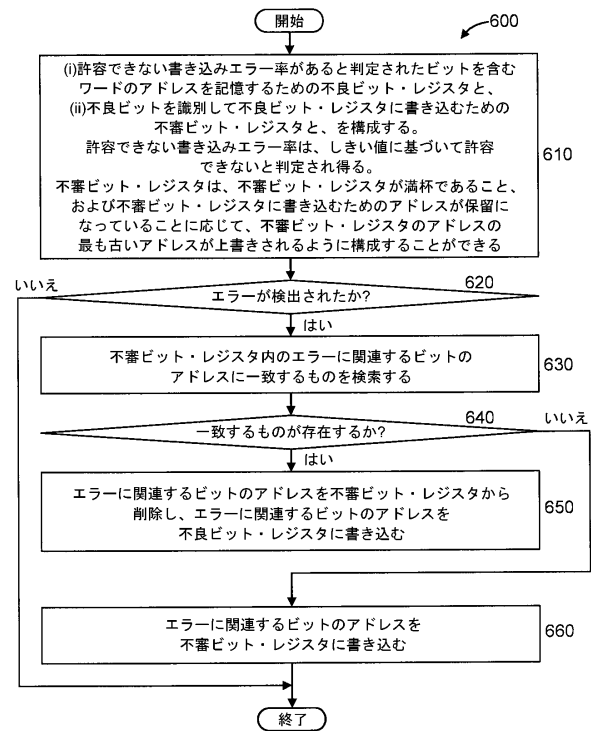
40

50

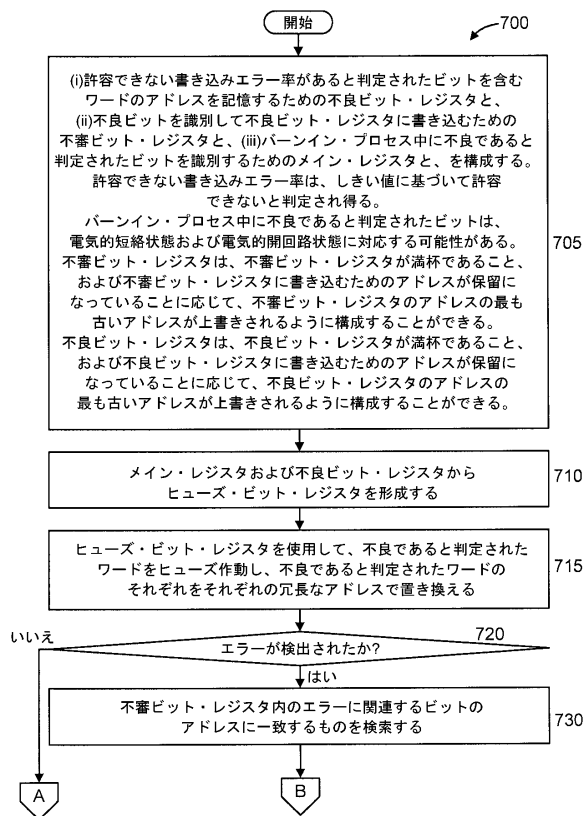
【図 5】



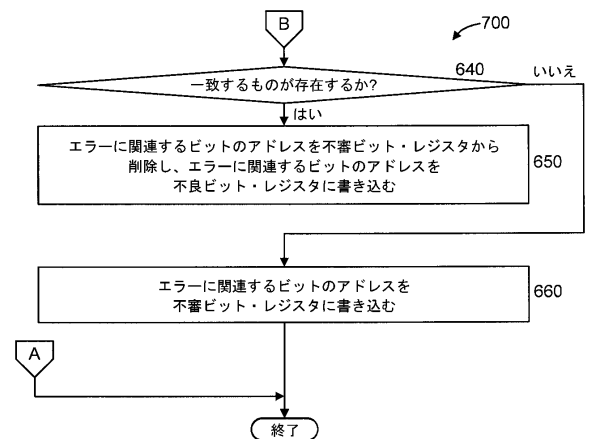
【図 6】



【図 7】



【図 8】



10

20

30

40

50

フロントページの続き

(72)発明者 ワーレッジ、ダニエル

アメリカ合衆国 9 5 1 2 0 - 6 0 9 9 カリフォルニア州サンノゼ ハリー・ロード 6 5 0

(72)発明者 デブロッセ、ジョン、ケネス

アメリカ合衆国 0 5 4 9 5 - 7 9 0 7 バーモント州ウィリントン アイ・ビー・エムロード 3 2 6

審査官 後藤 彰

(56)参考文献 特開 2 0 0 8 - 1 8 6 4 6 0 (J P , A)

特開 2 0 0 2 - 1 3 3 8 9 4 (J P , A)

特開平 1 1 - 1 7 5 4 0 9 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

G 1 1 C 2 9 / 4 4

G 1 1 C 2 9 / 0 0