

(21) 申請案號：102140751

(22) 申請日：中華民國 102 (2013) 年 11 月 08 日

(51) Int. Cl. : **G11C16/08 (2006.01)**

**G11C16/24 (2006.01)**

(30) 優先權：2012/11/08 美國

13/672,184

(71) 申請人：桑迪士克科技公司 (美國) SANDISK TECHNOLOGIES INC. (US)  
美國

(72) 發明人：楊 年 奈爾斯 YANG, NIAN NILES (US)；艾維拉 克里斯 恩格 奕 AVILA,  
CHRIS NGA YEE (US)；高藤 雷恩 TAKAFUJI, RYAN (US)

(74) 代理人：黃章典；樓穎智

申請實體審查：無 申請專利範圍項數：17 項 圖式數：13 共 33 頁

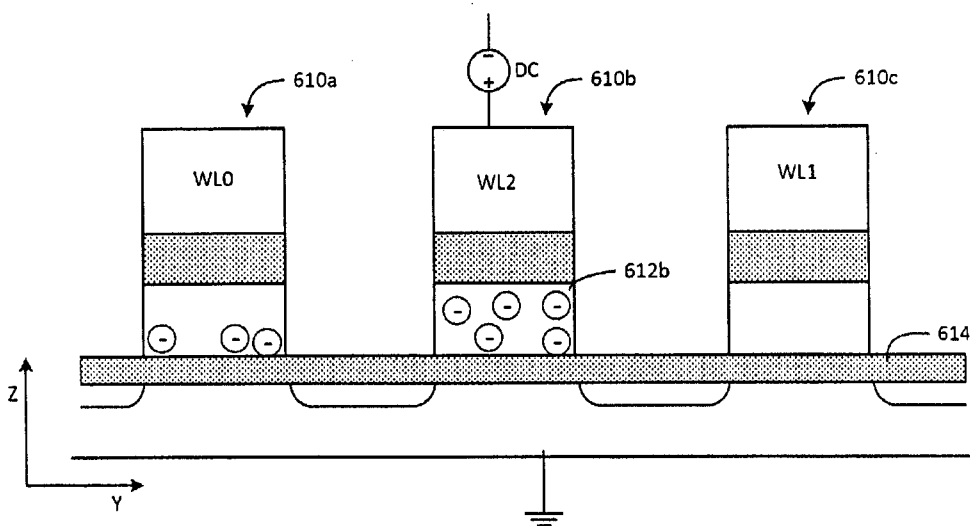
(54) 名稱

具有資料保留偏壓之快閃記憶體

FLASH MEMORY WITH DATA RETENTION BIAS

(57) 摘要

藉由將一資料保留偏壓施加至在浮動閘極上延伸之一字線而減少來自一反及快閃記憶體晶粒中之一浮動閘極之電荷洩漏。當該記憶體晶粒處於閒置模式時(此時該記憶體晶粒中不執行讀取命令、寫入命令、抹除命令或其他命令)，將該資料保留偏壓施加至一或多個選定字線。



610a：記憶體胞

610b：記憶體胞

610c：記憶體胞

612b：下伏浮動閘極

614：閘極介電質

圖 6

(21) 申請案號：102140751

(22) 申請日：中華民國 102 (2013) 年 11 月 08 日

(51) Int. Cl. : **G11C16/08 (2006.01)**

**G11C16/24 (2006.01)**

(30) 優先權：2012/11/08 美國

13/672,184

(71) 申請人：桑迪士克科技公司 (美國) SANDISK TECHNOLOGIES INC. (US)  
美國

(72) 發明人：楊 年 奈爾斯 YANG, NIAN NILES (US)；艾維拉 克里斯 恩格 奕 AVILA,  
CHRIS NGA YEE (US)；高藤 雷恩 TAKAFUJI, RYAN (US)

(74) 代理人：黃章典；樓穎智

申請實體審查：無 申請專利範圍項數：17 項 圖式數：13 共 33 頁

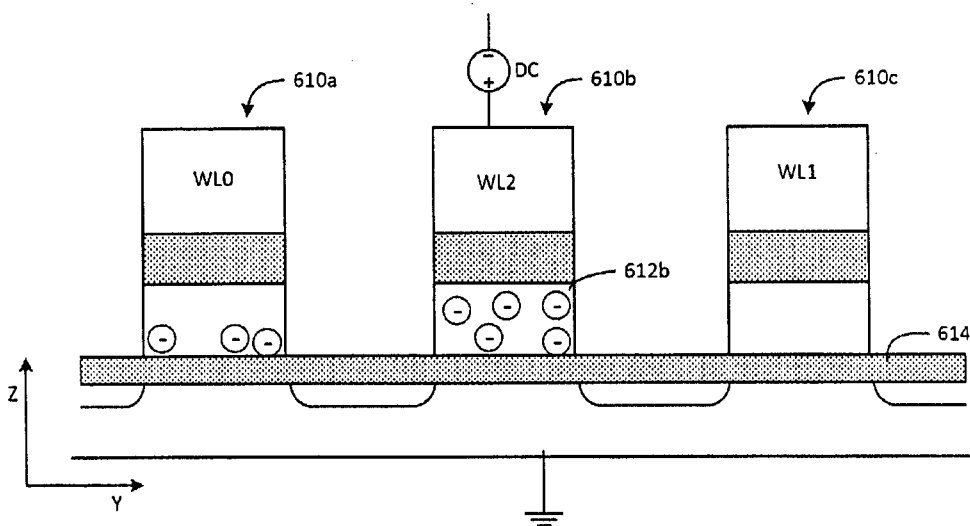
(54) 名稱

具有資料保留偏壓之快閃記憶體

FLASH MEMORY WITH DATA RETENTION BIAS

(57) 摘要

藉由將一資料保留偏壓施加至在浮動閘極上延伸之一字線而減少來自一反及快閃記憶體晶粒中之一浮動閘極之電荷洩漏。當該記憶體晶粒處於閒置模式時(此時該記憶體晶粒中不執行讀取命令、寫入命令、抹除命令或其他命令)，將該資料保留偏壓施加至一或多個選定字線。



610a：記憶體胞

610b：記憶體胞

610c：記憶體胞

612b：下伏浮動閘極

614：閘極介電質

圖 6

## 發明摘要

※ 申請案號：102140751

※ 申請日：102. 11. 8

※IPC 分類：G11C 16/08 (2006.01)

G11C 16/24 (2006.01)

**【發明名稱】**

具有資料保留偏壓之快閃記憶體

FLASH MEMORY WITH DATA RETENTION BIAS

**【中文】**

藉由將一資料保留偏壓施加至在浮動閘極上延伸之一字線而減少來自一反及快閃記憶體晶粒中之一浮動閘極之電荷洩漏。當該記憶體晶粒處於閒置模式時(此時該記憶體晶粒中不執行讀取命令、寫入命令、抹除命令或其他命令)，將該資料保留偏壓施加至一或多個選定字線。

**【英文】**

Charge leakage from a floating gate in a NAND flash memory die is reduced by applying a data retention bias to a word line extending over the floating gates. The data retention bias is applied to one or more selected word lines when the memory die is in idle mode, when no read, write, erase, or other commands are being executed in the memory die.

**【代表圖】**

**【本案指定代表圖】：**第（ 6 ）圖。

**【本代表圖之符號簡單說明】：**

610a 記憶體胞

610b 記憶體胞

610c 記憶體胞

612b 下伏浮動閘極

614 閘極介電質

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

（無）

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

具有資料保留偏壓之快閃記憶體

FLASH MEMORY WITH DATA RETENTION BIAS

## 【先前技術】

本發明大體上係關於快閃EEPROM(電可抹除可程式化唯讀記憶體)類型之非揮發性半導體記憶體、該等非揮發性半導體記憶體之形成、結構及用途，且具體而言，本發明係關於用於在一記憶體晶粒閒置時將一偏壓施加至一或多個字線使得資料保留被改良之結構及方法。

存在現今所使用之諸多商業成功之非揮發性記憶體產品，尤其呈使用一陣列之快閃EEPROM胞之小型化卡之形式。圖1中展示一快閃記憶體系統之一實例，其中一記憶體胞陣列1與諸如行控制電路2、列控制電路3、資料輸入/輸出電路6等等之各種周邊電路一起形成於一記憶體晶片12上。

一流行快閃EEPROM架構利用一反及陣列，其中透過個別位元線與一參考電位之間之一或多個選擇電晶體而連接諸多記憶體胞串。圖2A之平面圖中展示此一陣列之一部分。BL0至BL4表示連接至全域垂直金屬位元線(圖中未展示)之擴散位元線。儘管各串中展示四個浮動閘極記憶體胞，但個別串通常包含呈一行之16個、32個或32個以上記憶體胞電荷儲存元件，諸如浮動閘極。控制閘極(字)線(標記為WL0至WL3)及串選擇線DSL及SSL在浮動閘極之列上橫跨多個串延伸。控制閘極線及串選擇線由多晶矽(圖2B(沿圖2A之線A-A之一橫截面)中標記為P2之多晶矽層2或「多晶矽2」)形成。浮動閘極亦由多晶矽(標記

為P1之多晶矽層1或「多晶矽1」)形成。控制閘極線通常形成於浮動閘極上作為一自對準堆疊，且透過一中間介電層19(亦被稱為「多晶矽間介電質」或「IPD」)而彼此電容性耦合，如圖2B中所展示。浮動閘極與控制閘極之間之此電容性耦合允許藉由增加耦合至浮動閘極之控制閘極上之電壓而升高浮動閘極之電壓。在程式化期間，藉由導致串中之剩餘記憶體胞導通且接著藉由使該等記憶體胞之各自字線上之電壓相對較高且藉由使一選定字線上之電壓相對較低使得流動通過各串之電流主要僅取決於儲存於該選定字線下方之定址記憶體胞中之電荷之位準而讀取及驗證一行內之一個別記憶體胞。通常，該電流經感測以用於諸多並聯串，藉此讀取沿一列並聯浮動閘極之電荷位準狀態。美國專利第5,570,315號、第5,774,397號、第6,046,935號及第7,951,669號中找到反及記憶體胞陣列架構及其操作之實例。

非揮發性記憶體裝置亦由具有用於儲存電荷之一介電層之記憶體胞製成。使用一介電層來取代先前所描述之導電浮動閘極元件。已由Eitan等人之「NRROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell」(IEEE Electron Device Letters, 第21卷, 第11期, 2000年11月, 第543頁至第545頁)描述利用介電儲存元件之此等記憶體裝置。一ONO介電層延伸橫跨源極擴散與汲極擴散之間之通道。用於一資料位元之電荷定域於相鄰於源極之介電層中，且用於另一資料位元之電荷定域於相鄰於源極之介電層中。例如，美國專利第5,768,192號及第6,011,725號揭示一種具有夾於兩個二氧化矽層之間之一捕獲介電質之非揮發性記憶體胞。藉由單獨讀取該介電質內之空間分離之電荷儲存區域之二進位狀態而實施多狀態資料儲存。

如同全部積體電路，記憶體陣列趨向於具有一代比一代小之尺寸。此產生若干問題。在使用一電荷儲存元件之記憶體胞中，一問題在於：較小記憶體胞通常具有較短之資料保留時間。隨著尺寸變小，

此問題一般會變嚴重。因此，需要一種具有高資料保留之反及快閃記憶體陣列。

### 【發明內容】

根據本發明之態樣，將一資料保留偏壓施加至一或多個字線以減小電子透過一閘極介電質自下伏浮動閘極洩漏之可能性。當記憶體晶粒閒置且不執行來自一主機或記憶體控制器之任何命令時，施加一資料保留偏壓。當記憶體晶粒非作用時，可在延長期(自數秒至數年)維持該資料保留偏壓。在一些情況中，可將資料保留偏壓僅施加至含有關鍵資料或基於字線之物理特性而選擇之選定字線。可僅在基於環境溫度、或電力之可用性、或其他因數或此等或其他因數之一組合之選定時間施加一資料保留偏壓。

操作一非揮發性電荷儲存記憶體晶粒之一方法之一實例包含：在該非揮發性電荷儲存記憶體晶粒閒置之一閒置期期間，將一資料保留偏壓施加至覆蓋於複數個程式化電荷儲存元件上之一字線。

資料保留偏壓可減小儲存於字線下方之複數個電荷儲存元件中之電荷在閒置期期間變化之可能性。可感測非揮發性記憶體之溫度，且可回應於判定非揮發性電荷儲存記憶體晶粒之溫度超過一預定溫度而施加資料保留偏壓。可回應於判定複數個程式化電荷儲存元件含有特別重要之資料而將資料保留偏壓施加至字線，且不可將資料保留偏壓施加至非揮發性電荷儲存記憶體晶粒之其他字線。可回應於判定複數個程式化電荷儲存元件具有一高磨損計數而將資料保留偏壓施加至字線，且不可將資料保留偏壓施加至非揮發性電荷儲存記憶體晶粒之其他字線。可在閒置期內將資料保留偏壓施加為一連續偏壓，且閒置期超過1分鐘。耦合至複數個電荷儲存單位之全部位元線在閒置期期間可處於一相等電位。

一非揮發性電荷儲存記憶體晶粒之一實例包含：複數個非揮發

性記憶體胞，其等各包含一電荷儲存元件；複數個字線，其等沿一第一方向延伸，各字線覆蓋於電荷儲存元件上；及一字線偏壓產生器，其在該記憶體晶粒閒置之一閒置期期間將一資料保留偏壓提供至該複數個字線之一字線。

非揮發性記憶體晶粒可包含偵測非揮發性記憶體晶粒之溫度何時超過一臨限溫度之一溫度偵測電路，該溫度偵測電路具有指示溫度何時超過該臨限溫度之一輸出，該輸出連接至字線偏壓產生器。非揮發性記憶體晶粒可包含自一外部溫度感測器接收一溫度指示之一溫度偵測電路，該溫度偵測電路具有指示溫度何時超過一臨限溫度之一輸出，該輸出連接至字線偏壓產生器。非揮發性記憶體晶粒可包含連接於字線偏壓產生器與複數個字線之間之一字線解碼器電路，該字線解碼器電路選擇複數個字線之字線用於資料保留偏壓且同時選擇複數個字線之其他字線。該字線解碼器電路可選擇複數個字線之兩個或兩個以上字線用於資料保留偏壓，同時不選擇複數個字線之全部其他字線用於資料保留偏壓。字線偏壓產生器可自非揮發性記憶體晶粒外部之一來源接收具有為一電源供應電壓(例如VDD、VCC、VDDQ或VCCQ)之一電壓之一輸入，且可產生為該供應電壓之一小部分之資料保留偏壓。字線偏壓產生器可包含：串聯連接之複數個接面，其中一預定電壓降橫跨各接面；及一電輸出，其可用於各接面處，由一選定接面之該電輸出(其為選定數目個預定電壓降)提供之資料保留偏壓低於供應電壓(或等於供應電壓，此時選定數目個預定電壓降等於零)。字線偏壓產生器可包含具有一可變電壓輸出之一分壓器。可自該可變電壓輸出選擇資料保留偏壓，使得資料保留偏壓足以減小字線下方之電荷儲存元件之電子損耗之可能性且不足以導致將電子添加至字線下方之電荷儲存元件。

使資料維持於一快閃記憶體陣列之一電荷儲存元件中之一方法

之一實例包含：回應於判定該快閃記憶體陣列預期將維持一供應電壓且判定該快閃記憶體陣列中將不執行讀取操作、寫入操作或抹除操作而啟動一閒置模式；及隨後，在閒置模式中，自該供應電壓產生一偏壓，選擇該快閃記憶體陣列之一字線，將該偏壓施加至該字線，且維持該閒置模式，直至接收到一命令。

本發明之實例之以下描述中包含本發明之額外態樣、優點及特徵，該描述應結合附圖。本文中所引用之全部專利、專利申請案、文章、技術論文及其他公開案之全文以引用的方式併入本文中。

### 【圖式簡單說明】

圖1係一先前技術之記憶體系統之一方塊圖。

圖2A係一先前技術之反及陣列之一平面圖。

圖2B係沿線A-A取得之圖2A之先前技術之反及陣列之一橫截面圖。

圖3展示以記憶體胞尺寸為函數之快閃記憶體資料保留時間。

圖4展示三個反及快閃記憶體胞之一橫截面圖。

圖5展示來自電荷洩漏之臨限電壓之位移。

圖6展示具有一資料保留偏壓之一反及快閃記憶體胞之一橫截面圖。

圖7展示包含一字線偏壓產生器之一記憶體晶粒之電路。

圖8展示一降壓電路之一實例。

圖9展示一降壓電路之另一實例。

圖10展示具有基於逐個區塊所施加之一資料保留偏壓之一記憶體晶粒之一實例。

圖11係閒置模式啟動之一流程圖。

圖12係閒置模式執行之一流程圖。

圖13係閒置模式啟動及執行之一實例之一流程圖。

**【實施方式】****記憶體系統**

由圖1之方塊圖繪示可經修改以包含本發明之各種態樣之一先前技術記憶體系統之一實例。由一行控制電路2、一列控制電路3、一共同源極控制電路4及一共同p型井控制電路5控制包含配置成一矩陣之複數個記憶體胞M之一記憶體胞陣列1。在此實例中，記憶體胞陣列1屬於類似於上文【先前技術】及以引用方式併入本文中之參考文獻中所描述之反及類型之反及類型。一控制電路2連接至記憶體胞陣列1之位元線(BL)以讀取儲存於記憶體胞(M)中之資料、判定記憶體胞(M)在一程式化操作期間之一狀態、及控制位元線(BL)之電位位準以促進程式化或抑制程式化。列控制電路3連接至字線(WL)以選擇字線(WL)之一者、施加讀取電壓、施加與由行控制電路2控制之位元線電位位準組合之程式化電壓、及施加與其上形成記憶體胞(M)之一p型區域之一電壓耦合之一抹除電壓。共同源極控制電路4控制連接至記憶體胞(M)之一共同源極線(圖1中標記為「共同源極」)。共同p型井控制電路5控制共同p型井電壓。

儲存於記憶體胞(M)中之資料由行控制電路2讀出且經由一I/O線及一資料輸入/輸出緩衝器6而輸出至外部I/O線。待儲存於記憶體胞中之程式資料經由外部I/O線而輸入至資料輸入/輸出緩衝器6，且被轉移至行控制電路2。外部I/O線連接至一控制器9。控制器9包含各種類型之暫存器及其他記憶體，該記憶體包含一揮發性隨機存取記憶體(RAM) 10。

圖1之記憶體系統可嵌入為主機系統之部分，或可包含於可移除地插入至一主機系統之一配合插口中之記憶體卡、USB磁碟機或類似單元中。此一卡可包含整個記憶體系統，或具有相關聯之周邊電路之控制器及記憶體陣列可提供於單獨卡中。例如，美國專利第5,887,145

號中描述若干卡實施方案。圖1之記憶體系統亦可用於將大量資料儲存提供於平板電腦、膝上型電腦或類似裝置中之固態磁碟機(SSD)或類似裝置中。

諸多先前技術之記憶體系統含有如圖2A及圖2B中所展示之一反及快閃記憶體陣列。然而，此等記憶體陣列遭受若干問題。此等問題之部分隨著裝置尺寸級別下降而變糟。

發生於反及快閃記憶體陣列中之一問題係關於寫入快閃記憶體胞中之資料之保留。特定言之，在快閃記憶體胞已被程式化至一特定記憶體狀態且已在一讀取驗證步驟中被驗證為處於該記憶體狀態之後，該等記憶體胞可在某一時間段內改變，使得當在一隨後時間讀取該等記憶體胞時，該等記憶體胞之表觀狀態並非為最初被程式化之狀態。例如，在程式化期間添加至一浮動閘極或其他電荷儲存元件之電荷可隨時間流逝自該電荷儲存元件洩漏。最終，此電荷洩漏可導致記憶體胞之記憶體狀態被錯讀。

資料保留之問題隨著記憶體胞尺寸減小而變糟。圖3展示記憶體胞尺寸減小(記憶體胞尺寸自左至右減小)時之 $\log$ (資料保留時間)。儘管需要更小裝置尺寸來產生一更具競爭力之產品，但此減小尺寸帶來資料保留之問題。隨著電荷儲存元件日益變小，所儲存之電子之數目變小，使得即使損耗少量電子，數目亦很可觀。特定言之，在MLC記憶體胞中，當可將臨限電壓分成8個、16個或16個以上臨限電壓範圍時，臨限電壓之小變化可導致錯讀。當電荷儲存元件較小時，可由僅少量電子洩漏導致臨限電壓之此等變化。對於一些記憶體設計，當最小特徵尺寸為約40奈米時，此等資料保留問題並不重要，但當最小特徵尺寸為約20奈米時，此等資料保留問題變重要。儘管可期望利用更小裝置尺寸來減少成本，但資料保留係一重要問題，對於錯讀可具有嚴重後果之某些重要資料而言尤其如此。

圖4展示包含三個記憶體胞401a、401b及401c之一反及串之一部分之一橫截面。各記憶體胞包含一電荷儲存元件403a、403b及403c，其等在此實例中為浮動閘極。圖中展示呈電子形式之負電荷自記憶體胞401b之浮動閘極403b洩漏，穿過閘極介電質405(閘極氧化物)且進入p型井407中之閘極介電質下方之通道區域。

應瞭解，更小浮動閘極及更多高帶電浮動閘極因電子之間之靜電力而更趨向於以此方式洩漏電荷。因此，圖中展示電荷自記憶體胞401b之浮動閘極403b洩漏，同時圖中展示無電荷自具有更少電子(更少電荷)之浮動閘極403a洩漏。浮動閘極403c無電荷且因此不遭受電荷洩漏並保持處於不帶電狀態。因此，更多經程式化之記憶體胞(具有更帶電之浮動閘極之記憶體胞)比更少經程式化之記憶體胞遭受更多洩漏。

圖5繪示電荷洩漏及其他效應可如何導致記憶體胞之臨限電壓( $V_{TH}$ )位移及此等臨限電壓位移如何使更帶電之記憶體胞更糟。圖5中所展示之臨限電壓分佈表示某數目個記憶體胞(例如由多個區段組成之一頁，各區段含有512個位元組)之四個不同記憶體狀態(每記憶體胞兩個位元)。最初程式化記憶體胞且在由用實線展示之分佈繪示之臨限電壓處驗證記憶體胞。一些記憶體胞保持處於抹除狀態「E」，而其他記憶體胞藉由添加電子至其等之浮動閘極而程式化至狀態A、B及C。

在記憶體胞之程式化之後，電荷洩漏導致分佈位移，如由用虛線展示之分佈所繪示。對於抹除狀態E及狀態A(最低程式化狀態)，臨限電壓分佈很少或不會因電荷洩漏而明顯位移，此係因為在此等狀態中記憶體胞之浮動閘極中存在很少或不存在的電荷。然而，可歸因於諸如讀取干擾(由讀取操作導致之變化)或寫入干擾(由相鄰記憶體上之寫入操作導致之變化)之其他效應而發生此等分佈之一些變化。因此，

例如，狀態E中之抹除記憶體胞可具有少量正電荷(較小之負臨限電壓)，而狀態A中之記憶體胞可具有少量負電荷(較小之正臨限電壓)。相比而言，應明白，記憶體狀態B之臨限電壓分佈展示一明顯位移，且記憶體狀態C之臨限電壓分佈展示一甚至更明顯位移。對於此等狀態之各者，除分佈變寬之外，分佈亦已因電子損耗而朝向更低臨限電壓位移。因此，狀態B之臨限電壓分佈位移數量 $d1$ ，而狀態C之臨限電壓分佈位移更大數量 $d2$ 。應明白，狀態C之位移分佈與狀態B之最初程式化分佈相交。因此，當讀取由此等分佈表示之記憶體胞時，該等記憶體胞之位移臨限電壓可導致程式化至狀態C之一些記憶體胞被讀取為處於狀態B。隨著洩漏繼續，此等記憶體胞之更多者發展(狀態C之分佈繼續朝向更低延伸)且狀態B中之一些記憶體胞亦可損耗足夠電荷，使得該等記憶體胞被讀取為處於狀態A。

儘管此實例展示其中各狀態具有相對較大臨限電壓窗之四個狀態之一相對簡單情況，但其他實例可具有8個、16個或16個以上記憶體狀態，其等具有更窄很多之臨限電壓窗。在此等情況中，臨限電壓之甚至非常小位移可導致錯讀。

根據本發明之態樣，可藉由將一正偏壓施加至覆蓋一電荷儲存元件(諸如一浮動閘極)上之一控制閘極而防止或減少來自該電荷儲存元件之電流洩漏。此一正偏壓藉由產生提供浮動閘極中之電子上之一向上靜電力的一電場而抵消電子向下洩漏穿過閘極介電質之趨勢。藉由選擇一適當偏壓，此力可足夠大以實質上降低或消除電子自浮動閘極向下洩漏穿過閘極介電質之趨勢，且不足以導致電子趨向於自浮動閘極向上明顯洩漏穿過多晶矽間介電質(PID)而至控制閘極。

圖6展示類似於圖4之反及串之一反及串之記憶體胞610a、610b及610c之一橫截面圖。然而，圖6展示附接至字線WL2之一直流(DC)電壓源。施加至WL2之一正DC電壓產生降低或消除下伏浮動閘極612b

中之電子向下洩漏穿過閘極介電質614之趨勢之一電場。一適合電壓之選擇取決於記憶體胞設計及記憶體胞被程式化至之電荷位準。例如，更薄閘極氧化物、更小浮動閘極或更高電荷位準可為將指示需要一更大偏壓之因數。將此偏壓提供至一字線以改良沿該字線之記憶體胞之資料保留，且該偏壓可被視為一資料保留偏壓。

應瞭解，當字線覆蓋於浮動閘極上時，形成控制閘極，使得藉由使一字線偏壓而使沿該字線之全部記憶體胞之控制閘極偏壓。因此，在此設計中，未基於逐個記憶體胞而施加資料保留偏壓。相反，基於逐個字線而施加資料保留偏壓。沿一字線之不同浮動閘極大體上具有不同位準之電荷，因此可選擇給全部電荷位準提供最佳淨效益(並非僅最佳用於一個電荷位準)之一資料保留偏壓。在圖6中，僅WL2接收一資料保留偏壓。WL0及WL1不接收任何資料保留偏壓。因此，可將一資料保留偏壓選擇性施加至一或多個選定字線，且其他字線保持無任何偏壓。在其他情況中，可將一資料保留偏壓施加至一區塊或一記憶體晶粒中之全部字線。

儘管將一電壓施加至一字線以及讀取操作、程式化操作及抹除操作已為吾人所熟知，但本發明之態樣係針對在不執行此等操作之其他時間施加一資料保留偏壓。與讀取操作及抹除操作期間所施加之電壓相比，所施加之資料保留偏壓未用於改變電荷儲存元件中之電荷位準，而是用於使電荷維持處於相同位準。且與讀取期間所施加之電壓不同，未自沿接收一資料保留偏壓之字線之記憶體胞讀取資料。此時可不給讀取電路供電，且位元線大體上不具有電流且無法被偏壓。例如，當記憶體陣列閒置時(此時，記憶體陣列中不執行命令，不讀取或不程式化資料，且不抹除區塊)，可施加一資料保留偏壓。在諸多情況中，一記憶體陣列在其大多數有用壽命保持處於此一閒置條件，且僅偶爾活動。例如，一數位相機中之一記憶體陣列可保持閒

置，直至一使用者想要拍攝(或複製或刪除)一相片。一音樂播放器中之一記憶體陣列可保持閒置，直至一使用者想要收聽(或下載或抹除)音樂。可藉由施加一資料保留偏壓而抵消此延長閒置期期間之電荷洩漏。

一般而言，將一資料保留偏壓施加至一字線導致電流自該字線之一些洩漏。當一字線具有一相對較低之洩漏電流時，該字線可被週期性充電且被允許放電，使得其維持於足以提供一資料保留改良之一電壓範圍內。以此方式，與提供一資料保留偏壓相關聯之電路可在延長時間段內被斷電且接著可在需要時被供電。在其他情況中，可在一延長期內將一資料保留偏壓施加為一連續偏壓，且可始終給與提供該資料保留偏壓相關聯之全部電路供電。

與可在諸如讀取、寫入及抹除之操作期間之短時間段內施加至一記憶體陣列之特定元件之其他電壓不同，可在一延長時間段內施加一資料保留偏壓。一般而言，可期望儘可能快地執行讀取操作、寫入操作及抹除操作。因此，僅在非常短時期(例如毫秒或微秒範圍)內施加此等操作中所施加之電壓。相比而言，可在一更長很多之時期(例如數秒、數分、數小時、數天、數月或甚至數年)內施加一資料保留電壓。

在一些情況中，例如，當外部電力總是可用時，無論全部字線或含有該等字線之晶粒何時閒置，一資料保留偏壓均可施加至該等字線。然而，在諸多情況中，此會使用比所要電力多之電力。因此，可期望選擇性使用一資料保留偏壓。例如，可將該資料保留偏壓施加至僅一或若干字線。可根據字線之洩漏電流而選擇此等字線。例如，可給字線充電至一電壓保留偏壓且可監測該等字線之洩漏率以選擇具有特別低之洩漏電流之字線。接著，此等字線可經組態以接收用於改良資料保留之一資料保留偏壓。測試字線以判定何者適合於或不適合於

一資料保留偏壓可為一組態操作或一初始化操作之部分。在一些情況中，可存在適合於一資料保留偏壓之一字線庫，其中可變數目個字線不時接收該資料保留偏壓。

在一些情況中，特定字線因其等之物理特性(其可不同於其他字線)而選擇用於資料保留，且一資料保留分割區由此等字線形成(2012年10月23日申請之美國專利申請案第13/658,292號中描述具有適合於資料保留之物理特性之字線之實例)。在此等記憶體中，該資料分割區之字線或該資料分割區之一些選定字線可接收一資料保留偏壓。因此，可無需測試，此係因為設計以一預定方式產生物理性不同之字線。在此等記憶體中，一般由設計固定一資料保留分割區中之字線之數目。接收一資料保留偏壓之字線之數目可類似地固定或可變(例如資料保留分割區之字線之某一可變子集)。

不論如何選擇字線用於一資料保留偏壓或選擇多少字線用於一資料保留偏壓，一記憶體系統可以沿該等字線利用改良資料保留之一方式將資料指派給此等字線。例如，可沿此等字線儲存諸如啟動頁、檔案系統資料或韌體之關鍵資料，且沿其他字線儲存定期主機資料。

除選擇特定字線用於一資料保留偏壓之外，一記憶體系統亦可選擇施加該資料保留偏壓之特定時間，使得一資料保留偏壓並非在一記憶體晶粒閒置之全部時間被使用，而是僅在特定時間被使用。此可減少電力消耗。一電子洩漏穿過一閘極介電層之可能性隨溫度升高而增加。因此，在一些實例中，僅在高於一預定臨限溫度之溫度處選擇性施加一資料保留偏壓。一溫度感測器可提供於一記憶體晶粒上以判定溫度何時超過該臨限溫度，或自該晶粒外部接收指示溫度何時超過該臨限溫度之一輸入。儘管一資料保留偏壓可為一單一固定電壓，但其亦可為根據條件而修改之一可變電壓。因此，可在不同溫度處或根據其他條件施加一不同資料保留偏壓。

圖7展示可與本發明之態樣一起使用之一記憶體晶粒720之組件之一實例。一記憶體陣列722具有在讀取操作、寫入操作及抹除操作期間選擇記憶體陣列之字線且將適合電壓施加至字線之一列解碼器724。一字線偏壓產生器726連接至圖7中之列解碼器，使得當記憶體晶粒720閒置且滿足某些條件時，可將一字線偏壓(資料保留偏壓)提供至選定字線。字線偏壓產生器726亦連接至一p型井控制電路728，當記憶體晶粒720閒置且滿足某些條件時，p型井控制電路728將一偏壓提供至記憶體胞下方之p型井。例如，當全部字線處於0伏特或一較小正電壓時，p型井控制電路可將一負偏壓施加至全部記憶體胞下方之p型井。此提供產生一電場以抵消電子自浮動閘極洩漏穿過一閘極介電層之趨勢之另一方式。字線偏壓可與p型井偏壓一起用於達成一適合電場。在其他實例中，僅使字線偏壓(p型井不偏壓)。可用一負極偏壓來使p型井偏壓以降低電子洩漏穿過閘極介電質之趨勢，或可使p型井保持處於接地或任何適合電壓。在一些情況中，額外電路連接至一字線偏壓產生器，使得可在閒置條件期間使額外組件偏壓。因此，閒置模式中所施加之資料保留條件不受限於字線偏壓，而是可包含其他條件(其包含p型井偏壓、共同源極偏壓或其他偏壓)。

一溫度感測電路730連接至字線偏壓產生器726且提供指示記憶體晶粒720之溫度何時高於一預定溫度之一輸入。一般而言，所使用之預定溫度取決於記憶體陣列之設計及以該特定設計之溫度為函數之電子洩漏之趨勢。儘管所展示之實例使用為記憶體晶粒720之部分之一溫度感測電路730，但在其他實例中可使用一外部溫度感測電路。該外部溫度感測電路可(例如)位於透過一介面連接至記憶體晶粒之記憶體控制器或專用積體電路(ASIC)晶片上。在其他實例中，無需溫度感測。

一外部介面732將記憶體晶粒連接至外部世界(例如，連接至一記憶體控制器)。該外部介面將命令及電力提供至記憶體晶粒。例如，

可透過該外部介面提供一供應電壓  $V_{cc}$  且可提供一晶片啓用 (CE) 信號。在一實例中，當 CE 切斷 (晶粒未被選擇) 時，記憶體晶粒可啓動其中將一資料保留偏壓施加至一或多個字線之一閒置狀態。一輸入電壓 (諸如一  $V_{cc}$ ) 可用作爲一資料保留偏壓，或可用於 (諸如) 藉由自  $V_{cc}$  產生一減小電壓而產生一資料保留偏壓。一般而言，即使記憶體晶粒閒置 (即，即使不執行命令)，亦將  $V_{cc}$  提供至記憶體晶粒。可使用其他適合電壓 (若可用)。

圖 8 展示可用於自  $V_{cc}$  產生一減小電壓之一電路 840 之一第一實例。將  $V_{cc}$  供應至一系列正向偏壓二極體之一端。可根據用於  $V_{cc}$  之電壓而選擇適合數目個此等二極體。可將一輸出提供於各二極體下方，使得可用輸出  $V_0$ 、 $V_1$ 、 $V_2$  等等自  $V_{cc}$  逐步遞減。可選擇一適合輸出電壓用作爲一字線偏壓電壓，或可根據一可變資料保留偏壓之使用條件而選擇不同輸出電壓。電壓  $V_{cc}$  及  $V_{cc}$  與選定輸出之間之二極體之數目判定輸出電壓。因此，可便利地選擇一適合輸出電壓。

圖 9 展示用於自  $V_{cc}$  產生一減小電壓之一替代電路。一分壓器使用兩個電晶體 T1 及 T2 來產生自  $V_{cc}$  減小之一輸出電壓  $V_{out}$ 。特定言之，電晶體 T1 及 T2 之設計及施加至該等電晶體之閘極之電壓 ( $V_{Gse11}$  及  $V_{Gse12}$ ) 經選擇以提供一適合電壓  $V_{out}$ 。替代分壓器可使用電阻器、二極體或其他裝置來產生一減小電壓。

根據一實例，可將一資料保留偏壓施加至一選定區塊之全部字線。此一資料保留區塊可用於儲存特別重要之資訊。圖 10 展示包含區塊 X 之一記憶體晶粒 101 之一實例，當滿足某些條件時，該區塊 X 爲具有施加至全部字線之一資料保留偏壓之一資料保留區塊。解碼電路 103 及區塊選擇電路 105 用於選擇區塊 X 之全部字線用於由一  $V_{cc}$  供應器 107 供應之一字線偏壓電壓 (其可爲  $V_{cc}$  或源於  $V_{cc}$  之某一電壓)。一反及電壓控制器 109 控制是否啓用字線偏壓電壓。在圖 10 之實例中，

反及電壓控制器109對根據由一溫度感測器113量測之溫度而判定是否啓用字線偏壓之一命令控制器111作出回應。命令控制器111可爲與記憶體晶粒101分離之一晶粒上(例如一ASIC晶粒上)之一記憶體控制器。溫度感測器113亦可位於與記憶體晶粒101分離之一晶粒上(例如與命令控制器相同之ASIC上，或其他位置處)。

命令控制器111亦與一主機控制器115通信，使得在一些情況中，記憶體控制器可判定主機控制器將發送一命令之可能性。因此，當不存在待執行之主機命令或任何新主機命令存在之可能性較低時(例如，若主機處於減少電力或休眠模式)，命令控制器111可啓動一閒置模式。在一些情況中，在自最後命令起已流逝一預定時間段之後，一記憶體系統可啓動閒置模式。一些主機控制器可發出命令以啓動一閒置模式。在此情況中，主機預期無法即時發出命令，但預期維持至記憶體系統之電力(即，主機不準備自記憶體系統移除電力)。

在一些情況中，命令控制器負責實施記憶體陣列中之內務處理操作。例如，可獨立於主機控制器而執行垃圾收集或資料清除。因此，即使主機閒置且不存在待執行之主機命令，已無法在內務處理操作正在進行或需要被執行時啓動一閒置模式。僅當滿足一組預定條件時，命令控制器可啓動一閒置模式。此等條件可取決於主機之電流條件、主機之預期條件、溫度、內務處理操作、被儲存之資料之重要性、記憶體之使用期限或磨損計數(指示程式化-抹除循環之數目之「熱計數」)(資料保留隨使用期限或磨損而減弱且可導致耗盡)、指示增加錯誤(減少資料保留)之ECC統計資料、外部電力之可用性、可用電池電力之位準、使用者可組態之電力設定、或其他因數。該等條件在產品之整個壽命週期內可相同或可以一適應方式隨時間流逝而改變((例如)以補償磨損或環境條件)。可在工廠預設所使用之該等條件或可由一使用者或一主機組態該等條件。

圖 11 展示用於初始化一記憶體晶粒中之一閒置模式 120 之一程序。該記憶體晶粒或記憶體控制器檢查是否滿足閒置模式之條件 122。當滿足條件時，啟動閒置模式 124。接著，在閒置模式期間，該記憶體晶粒或記憶體控制器檢查一新命令 126。只要無新命令，則該記憶體晶粒保持處於閒置模式。當接收到一新命令時，終止閒置模式 120 且可執行該新命令。

圖 12 展示閒置模式程序(即，由圖 11 之步驟 124 啟動之程序)。首先判定施加一資料保留偏壓是否適當 130。例如，即使已由一主機或記憶體控制器啟動一閒置模式，但具有一晶片上溫度感測器之一記憶體晶粒僅可在溫度超過一臨限溫度時施加一資料保留偏壓。若一資料保留偏壓不適當，則該晶粒等待適當條件(例如溫度超過臨限溫度)。若施加一資料保留偏壓係適當的，則自  $V_{CC}$  產生該資料保留偏壓 132。選擇一適當字線或字線組(例如一或若干區塊之全部字線) 134 且該選擇資訊用於適當地組態列解碼器電路。接著，透過列解碼器電路將該偏壓施加至一或若干選定字線 136。接著，在閒置模式之持續時間內維持此偏壓(或使此偏壓循環以使一字線維持於某一電壓窗內)。

圖 13 展示用於在一反及記憶體陣列中使用一資料保留偏壓之一方案之一實例。最初，可接收一主機命令以啟動一閒置模式，或可判定主機系統處於一閒置狀態 140。啟動一溫度感測器 142(若尚未在作用中)。偵測環境溫度 144 且判定環境溫度是否超過一預定臨限溫度 146。若環境溫度未超過該臨限溫度，則系統繼續監測溫度 148。若溫度超過該臨限溫度，則檢查記憶體之具有重熱計數(即，大量磨損)之區塊及具有關鍵資料之區塊 150。接著，使用  $V_{CC}$  供應器或  $V_{CC}$  供應器上之一降頻轉換器來產生一字線偏壓 152。啟用列解碼器電路 154 且發出一命令以將該字線偏壓施加至用於資料保留之一或若干特定區塊之全部字線(即，以防止電荷損耗) 156。此等區塊可為具有高熱計數

之區塊、或關鍵區塊、或被識別為適合於此狀況下之一資料保留偏壓之其他區塊。監測系統狀態以看系統是否保持閒置158。只要系統保持閒置，則維持字線偏壓。若主機或系統變為作用中160，則系統退出閒置模式且開始執行主機命令或系統操作162。

儘管以上實例描述用於改良資料保留之特定技術，但此等技術不具限制性且可與其他技術組合以提供改良資料保留。例如，可結合上文所描述之態樣而使用資料之清除、特定程式化方案及編碼方案之使用、及記憶體胞設計以改良快閃記憶體胞中之資料保留。

### 結論

儘管已相對於本發明之例示性實施例而描述本發明之各種態樣，但應瞭解，本發明有權受隨附申請專利範圍之全範疇保護。此外，儘管本發明教示相對於特定先前技術結構之實施方法，但應瞭解，當在具有除所描述之架構之外之架構之記憶體陣列中實施本發明時，本發明有權受保護。

### 【符號說明】

|     |                      |
|-----|----------------------|
| 1   | 記憶體胞陣列               |
| 2   | 行控制電路                |
| 3   | 列控制電路                |
| 4   | 共同源極控制電路             |
| 5   | 共同p型井控制電路            |
| 6   | 資料輸入/輸出電路/資料輸入/輸出緩衝器 |
| 9   | 控制器                  |
| 10  | 揮發性隨機存取記憶體(RAM)      |
| 12  | 記憶體晶片                |
| 19  | 中間介電層                |
| 101 | 記憶體晶粒                |

- 103 解碼電路
- 105 區塊選擇電路
- 107 供應電壓(Vcc)供應器
- 109 反及電壓控制器
- 111 命令控制器
- 113 溫度感測器
- 115 主機控制器
- 120 初始化閒置模式
- 122 檢查是否滿足閒置模式之條件？
- 124 啓動閒置模式
- 126 檢查是否存在新命令？
- 128 終止閒置模式
- 130 施加資料保留偏壓是否適當？
- 132 自Vcc產生資料保留偏壓
- 134 選擇適當字線或字線組
- 136 將偏壓施加至選定字線
- 140 判定主機系統處於閒置狀態
- 142 啓動溫度感測器
- 144 偵測環境溫度
- 146 判定環境溫度是否超過預定臨限溫度
- 148 繼續監測溫度
- 150 檢查記憶體之具有重熱計數之區塊及具有關鍵資料之區塊
- 152 使用Vcc供應器或Vcc供應器上之降頻轉換器來產生字線偏壓
- 154 啓用列解碼器電路

- 156 發出命令以將字線偏壓施加至特定區塊之全部字線  
以防止資料保留電荷損耗
- 158 監測系統狀態以看系統是否保持閒置？
- 160 主機或系統變為作用中
- 162 退出閒置模式且開始執行主機命令或系統操作
- 401a 記憶體胞
- 401b 記憶體胞
- 401c 記憶體胞
- 403a 電荷儲存元件/浮動閘極
- 403b 電荷儲存元件/浮動閘極
- 403c 電荷儲存元件/浮動閘極
- 405 閘極介電質
- 407 p型井
- 610a 記憶體胞
- 610b 記憶體胞
- 610c 記憶體胞
- 612b 下伏浮動閘極
- 614 閘極介電質
- 720 記憶體晶粒
- 722 記憶體陣列
- 724 列解碼器
- 726 字線偏壓產生器
- 728 p型井控制電路
- 730 溫度感測電路
- 732 外部介面
- 840 電路

## 申請專利範圍

1. 一種操作一非揮發性電荷儲存記憶體晶粒之方法，其包括：  
在該非揮發性電荷儲存記憶體晶粒閒置之一閒置期期間，將一資料保留偏壓施加至覆蓋於複數個程式化電荷儲存元件上之一字線。
2. 如請求項1之方法，其中該資料保留偏壓減小儲存於該字線下方之該複數個電荷儲存元件中之電荷在該閒置期期間變化之可能性。
3. 如請求項1之方法，其進一步包括：感測該非揮發性記憶體之溫度，且回應於判定該非揮發性電荷儲存記憶體晶粒之該溫度超過一預定溫度而施加該資料保留偏壓。
4. 如請求項1之方法，其進一步包括：回應於判定該複數個程式化電荷儲存元件含有特別重要之資料而將該資料保留偏壓施加至該字線，且不將資料保留偏壓施加至該非揮發性電荷儲存記憶體晶粒之其他字線。
5. 如請求項1之方法，其進一步包括：回應於判定該複數個程式化電荷儲存元件具有一高磨損計數而將該資料保留偏壓施加至該字線，且不將資料保留偏壓施加至該非揮發性電荷儲存記憶體晶粒之其他字線。
6. 如請求項1之方法，其中在該閒置期內將該資料保留偏壓施加為一連續偏壓，且該閒置期超過1分鐘。
7. 如請求項1之方法，其中耦合至該複數個電荷儲存單元之全部位元線在該閒置期期間處於一相等電位。
8. 一種非揮發性電荷儲存記憶體晶粒，其包括：  
複數個非揮發性記憶體胞，其等各包含一電荷儲存元件；

複數個字線，其等沿一第一方向延伸，各字線覆蓋於電荷儲存元件上；及

一字線偏壓產生器，其在該記憶體晶粒閒置之一閒置期期間將一資料保留偏壓提供至該複數個字線之一字線。

9. 如請求項8之非揮發性電荷儲存記憶體晶粒，其進一步包括偵測該非揮發性記憶體晶粒之溫度何時超過一臨限溫度之一溫度偵測電路，該溫度偵測電路具有指示溫度何時超過該臨限溫度之一輸出，該輸出連接至該字線偏壓產生器。
10. 如請求項8之非揮發性儲存記憶體晶粒，其進一步包括自一外部溫度感測器接收一溫度指示之一溫度偵測電路，該溫度偵測電路具有指示溫度何時超過一臨限溫度之一輸出，該輸出連接至該字線偏壓產生器。
11. 如請求項8之非揮發性電荷儲存記憶體晶粒，其進一步包括連接於該字線偏壓產生器與該複數個字線之間之一字線解碼器電路，該字線解碼器電路選擇該複數個字線之該字線用於該資料保留偏壓且同時選擇該複數個字線之其他字線。
12. 如請求項11之非揮發性電荷儲存記憶體晶粒，其中該字線解碼器電路選擇該複數個字線之兩個或兩個以上字線用於該資料保留偏壓，而非選擇該複數個字線之全部其他字線用於該資料保留偏壓。
13. 如請求項8之非揮發性電荷儲存記憶體晶粒，其中該字線偏壓產生器自該非揮發性記憶體晶粒外部之一來源接收具有為一供應電壓之一電壓之一輸入，且產生為該供應電壓之一小部分之該資料保留偏壓。
14. 如請求項13之非揮發性電荷儲存記憶體晶粒，其中該字線偏壓產生器包含串聯連接之複數個接面，其中一預定電壓降橫跨各

接面，且一電輸出可用於各接面處，由一選定接面之該電輸出提供之該資料保留偏壓低於該供應電壓，該電輸出為選定數目個預定電壓降。

15. 如請求項13之非揮發性電荷儲存記憶體晶粒，其中該字線偏壓產生器包含具有一可變電壓輸出之一分壓器。
16. 如請求項15之非揮發性電荷儲存記憶體晶粒，其中該資料保留偏壓選自該可變電壓輸出，使得該資料保留偏壓足以減小該字線下方之電荷儲存元件之電子損耗之可能性且不足以導致電子添加至該字線下方之電荷儲存元件。
17. 一種使資料維持於一快閃記憶體陣列之一電荷儲存元件中之方法，其包括：

回應於判定一供應電壓預期維持至該快閃記憶體陣列且該快閃記憶體陣列中將不執行讀取操作、寫入操作或抹除操作而啟動一閒置模式；及

隨後，在閒置模式中：

自該供應電壓產生一偏壓；

選擇該快閃記憶體陣列之一字線；

將該偏壓施加至該字線；及

維持該閒置模式，直至接收到一命令。

圖式

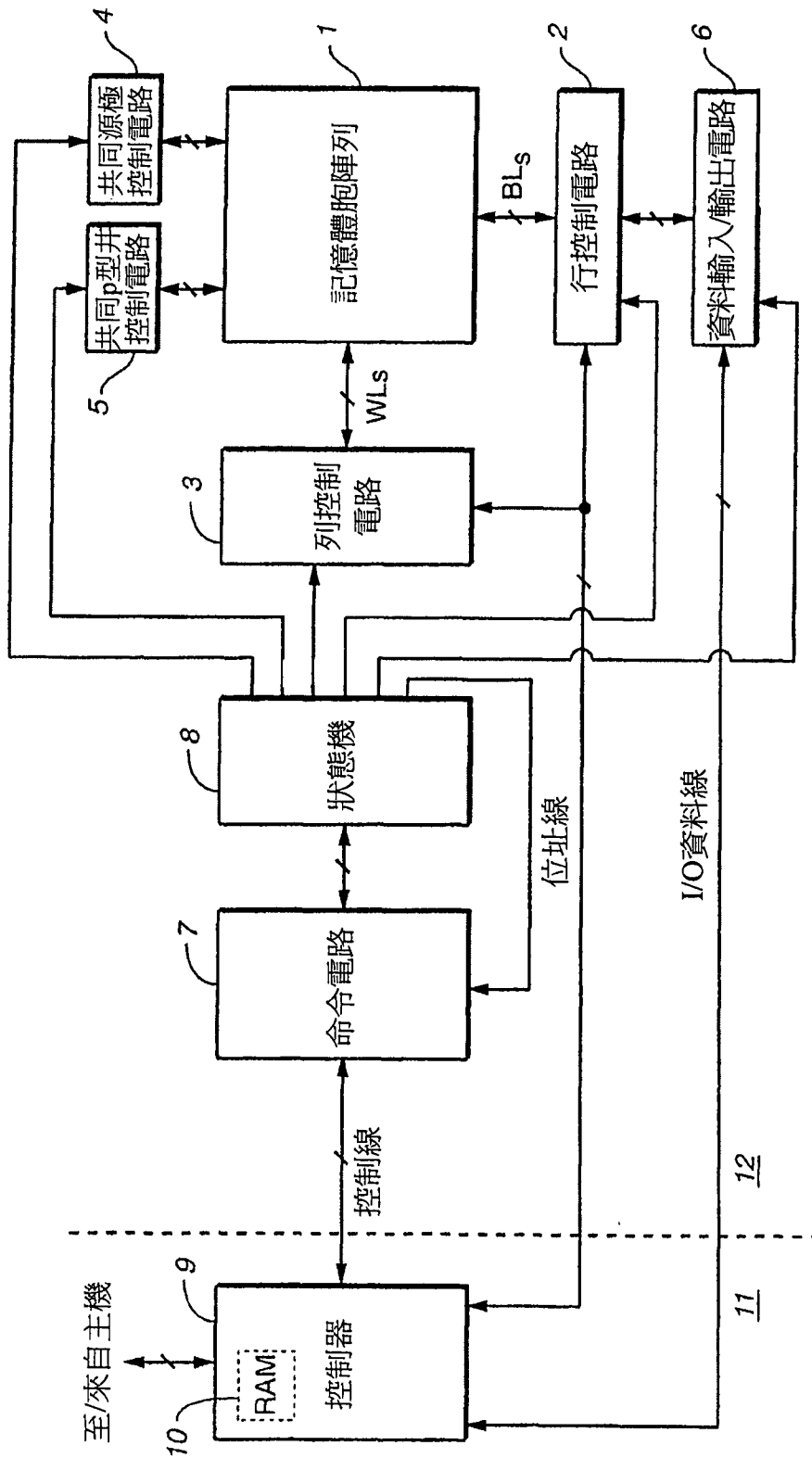


圖 1

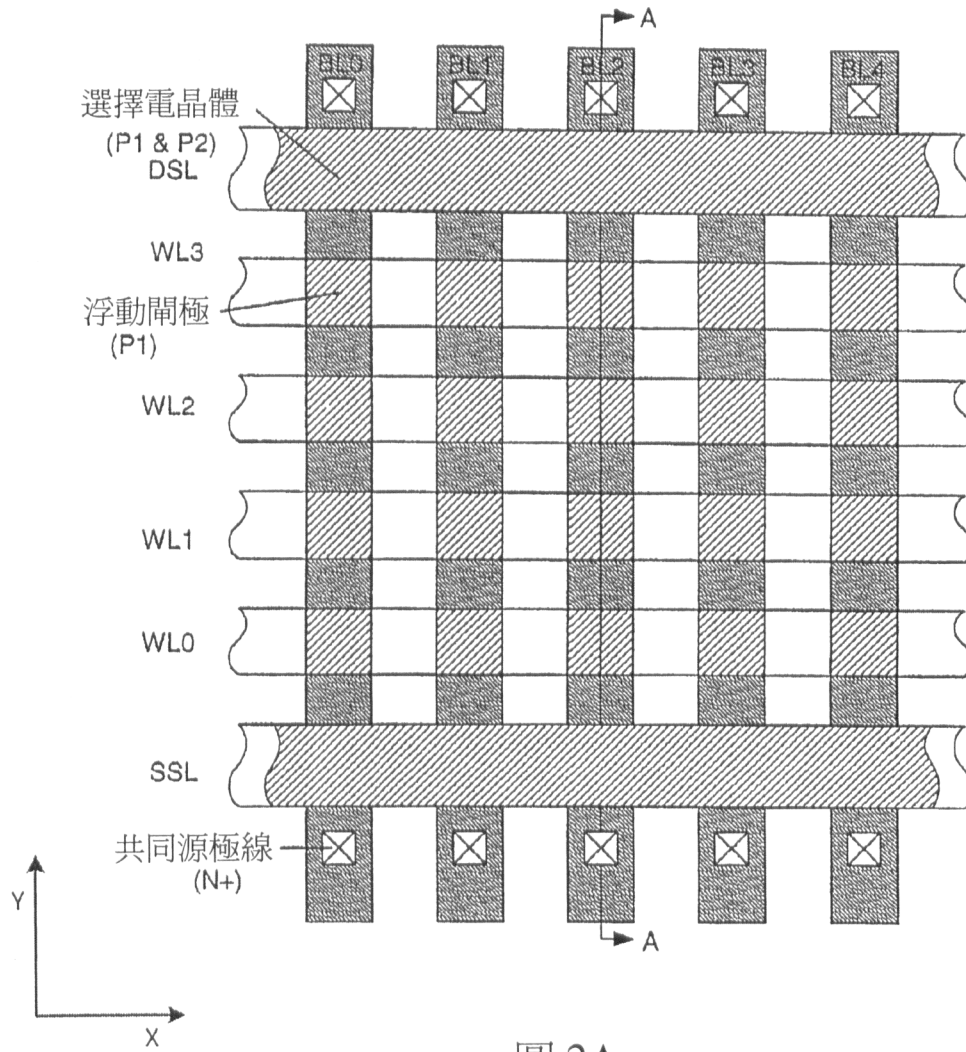


圖 2A

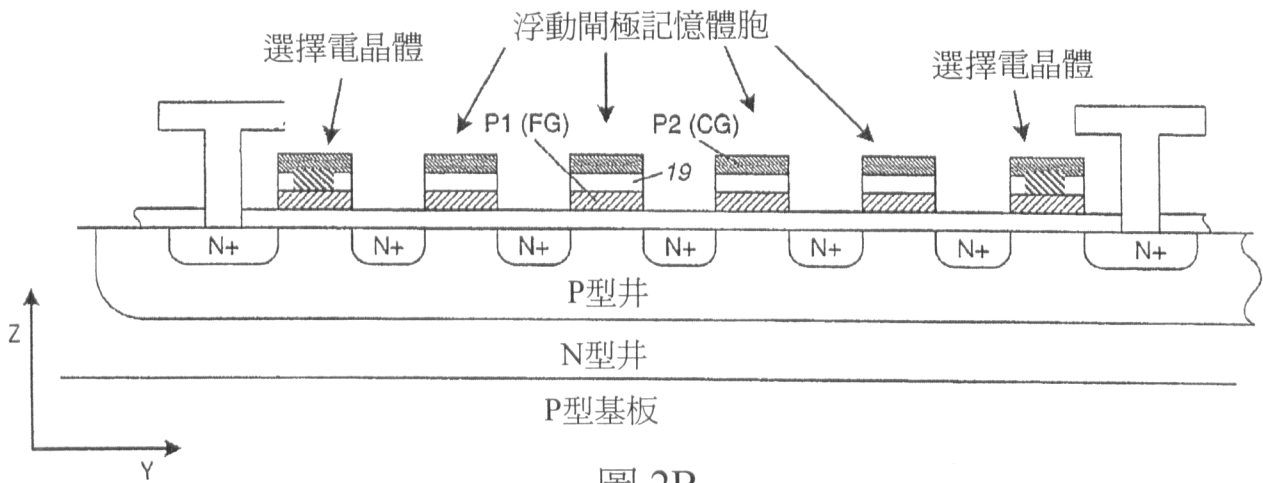


圖 2B  
(截面A-A)

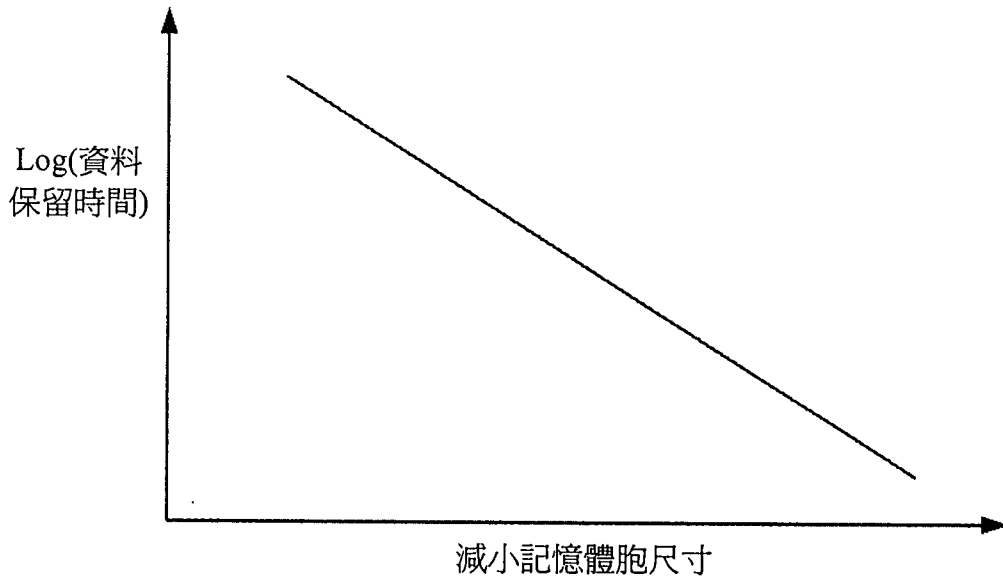


圖 3

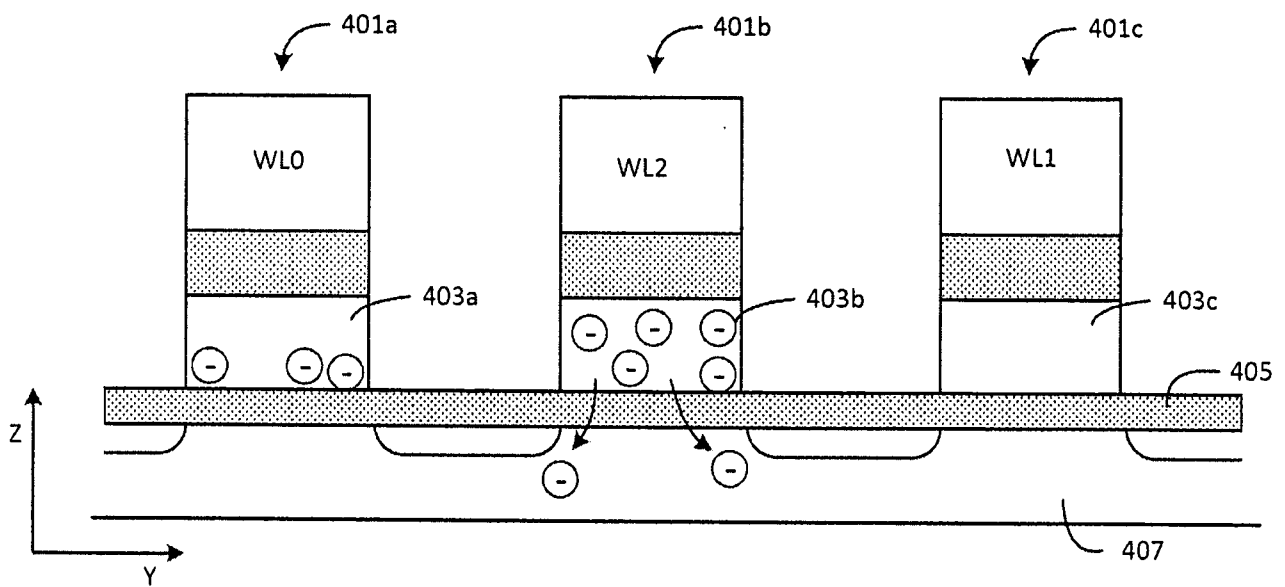


圖 4

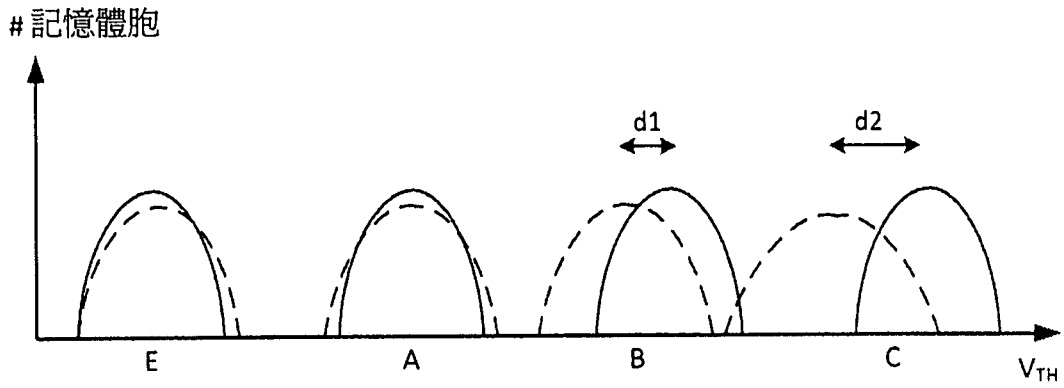


圖 5

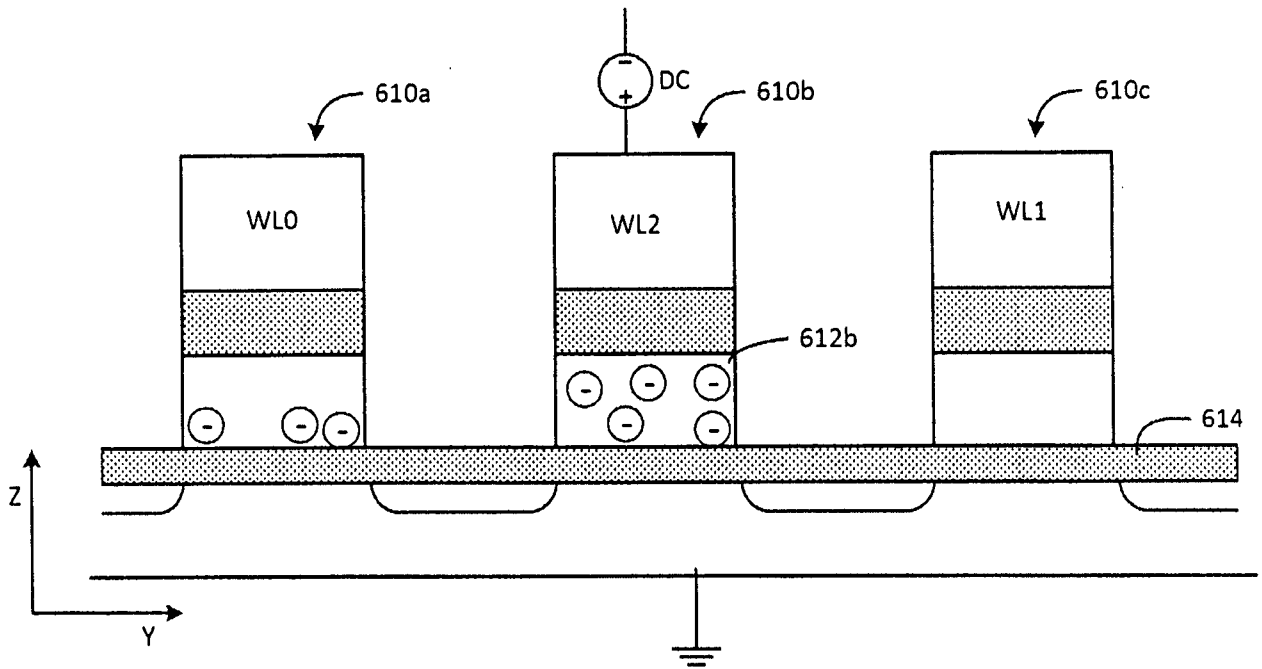


圖 6

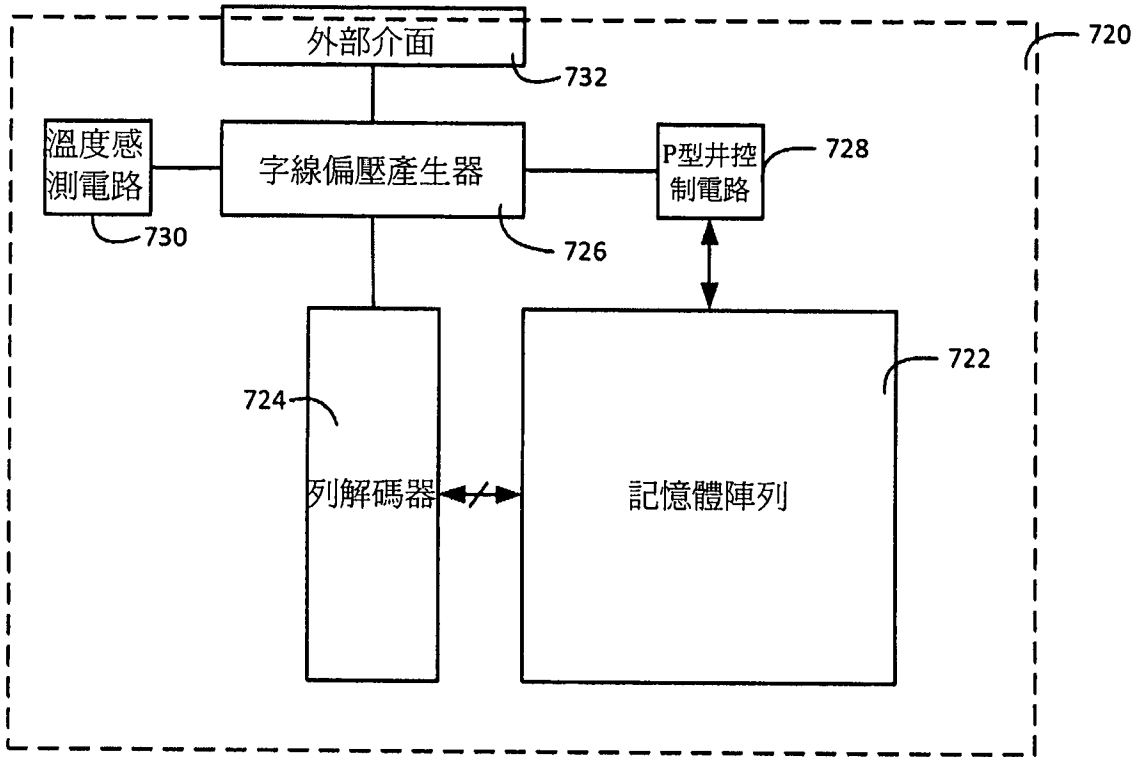


圖 7

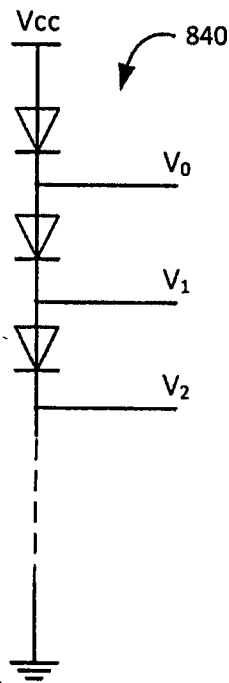


圖 8

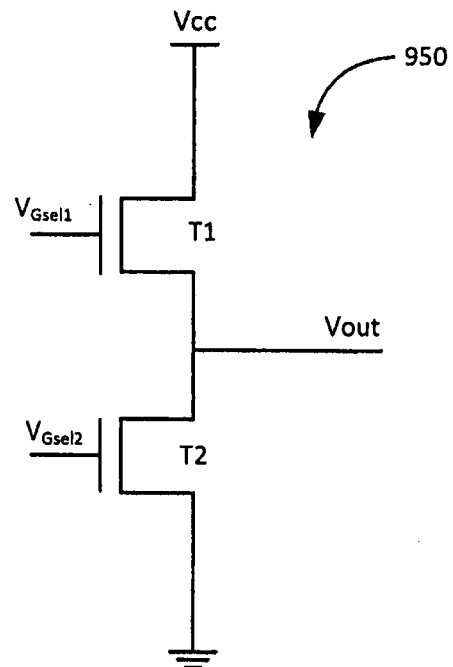


圖 9

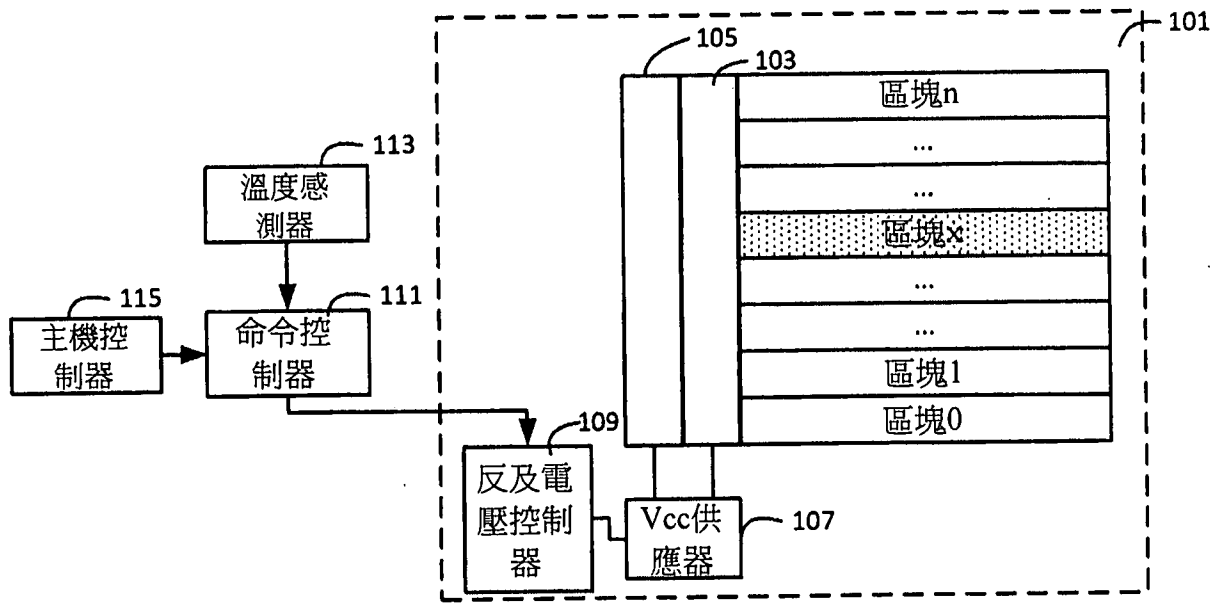


圖 10

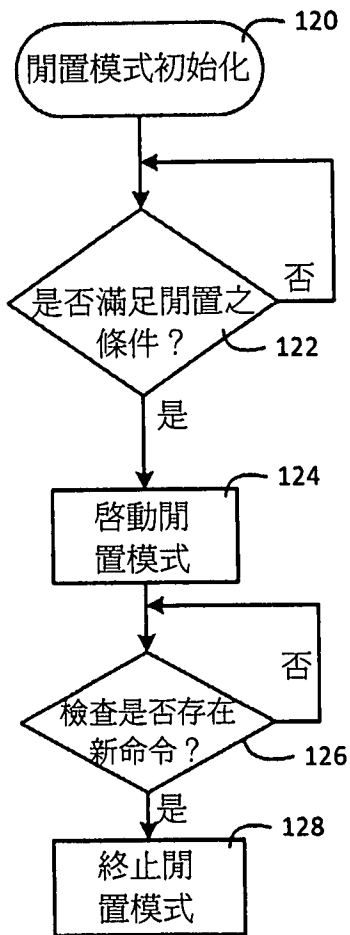


圖 11

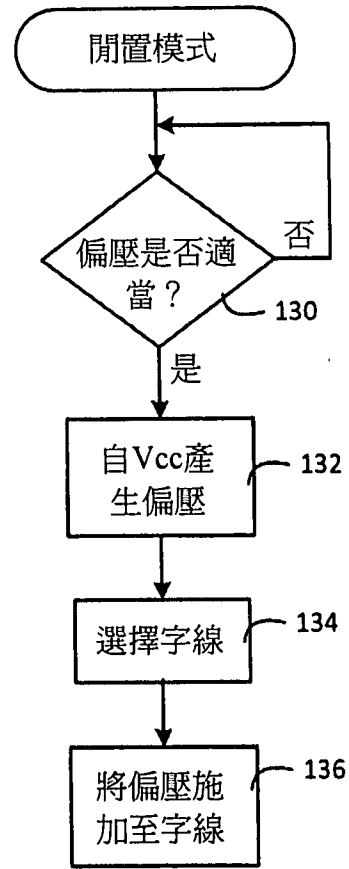


圖 12

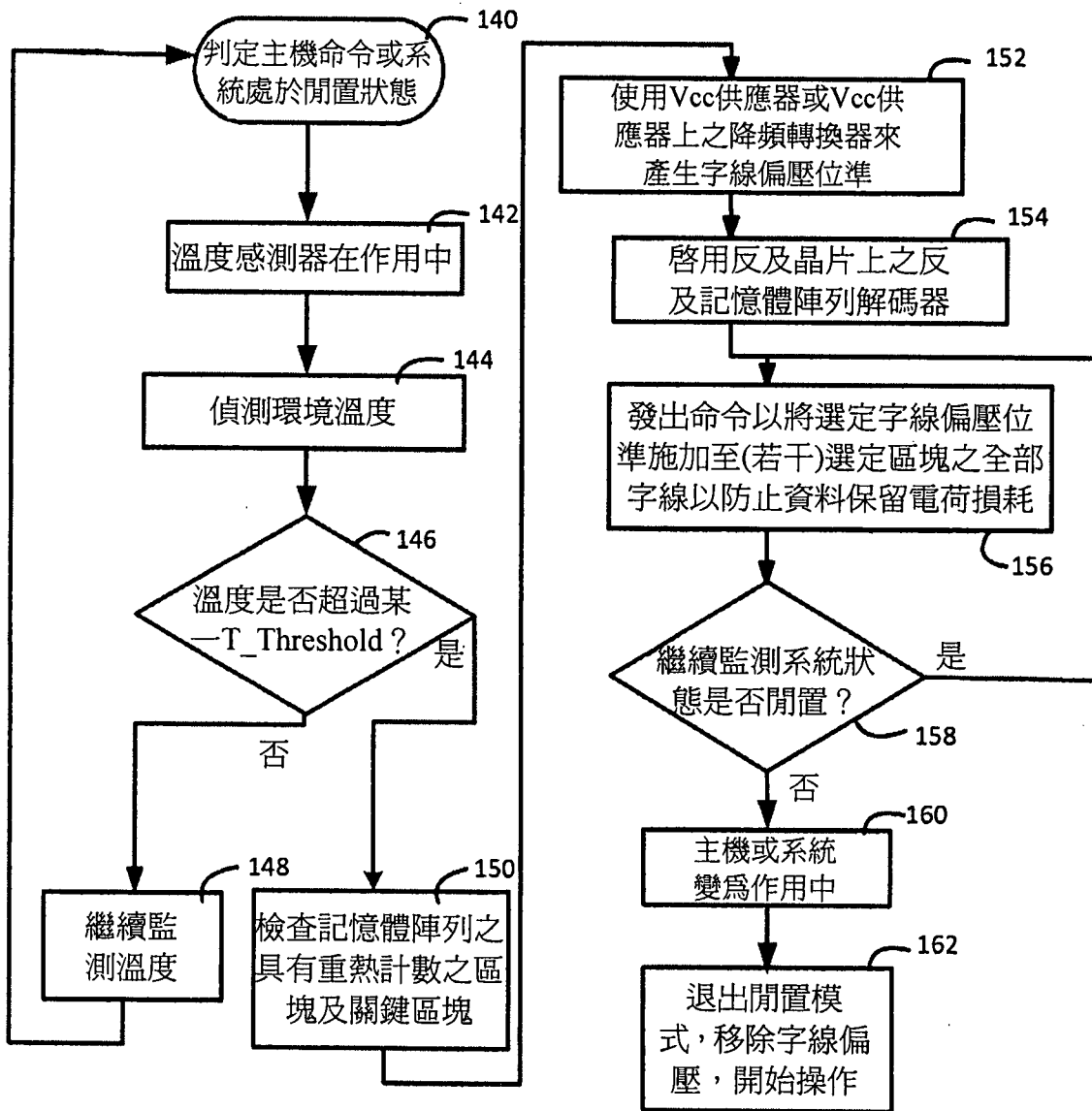


圖 13