

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-295653

(P2009-295653A)

(43) 公開日 平成21年12月17日(2009.12.17)

(51) Int.Cl. F I テーマコード (参考)
 H O 1 L 21/3205 (2006.01) H O 1 L 21/88 Z 5 F 0 3 3
 H O 1 L 23/52 (2006.01)

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2008-145372 (P2008-145372)
 (22) 出願日 平成20年6月3日(2008.6.3)

(71) 出願人 302062931
 N E Cエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100146178
 弁理士 浜田 満広
 (72) 発明者 押田 大介
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 N E Cエレクトロニクス株式会社内
 Fターム(参考) 5F033 HH08 HH11 HH21 HH32 KK11
 KK21 KK32 MM01 MM02 MM12
 MM13 MM29 PP15 PP27 PP33
 QQ09 QQ37 QQ48 QQ73 QQ93
 QQ96 RR04 RR06 UU03 VV04
 VV05 WW01 XX00 XX20 XX21
 XX31

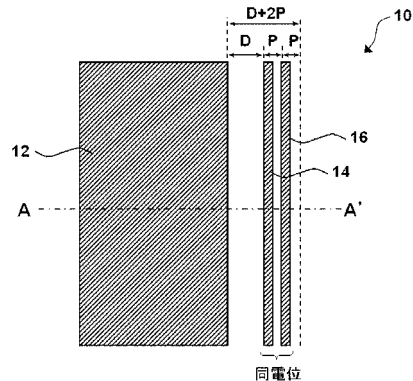
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】細幅配線間のT D D B寿命の低下、および細幅配線間のショートによる歩留まり低下を抑制する半導体装置を提供する。

【解決手段】半導体装置 1 0 は、ダマシン配線からなる配線層を有し、0 . 5 μ m以上の幅を有する第 1 の配線 1 2 と、前記第 1 の配線 1 2 に隣接し前記第 1 の配線 1 2 から 0 . 5 μ m未満の間隔で配置された第 2 の配線 1 4 と、前記第 2 の配線 1 4 に隣接し前記第 1 の配線 1 2 から 0 . 5 μ m以下の間隔で配置された第 3 の配線 1 6 と、を備え、前記第 2 および第 3 の配線は同電位を有するよう構成されている。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

ダマシン配線からなる配線層を有する半導体装置において、
 0.5 μm 以上の幅を有する第1の配線と、
 前記第1の配線に隣接し前記第1の配線から0.5 μm 未満の間隔で配置された第2の配線と、
 前記第2の配線に隣接し前記第1の配線から0.5 μm 以下の間隔で配置された第3の配線と、を備え、
 前記第2および第3の配線は同電位を有するよう構成されていることを特徴とする半導体装置。

10

【請求項 2】

請求項1に記載の半導体装置において、
 前記第1の配線と前記第2の配線の間隔が0.2 μm 以上である半導体装置。

【請求項 3】

請求項1または2に記載の半導体装置において、
 前記第1、第2、および第3の配線は平行に配置されている半導体装置。

【請求項 4】

請求項1乃至3いずれかに記載の半導体装置において、
 前記第2の配線と前記第3の配線の配線ピッチが、0.15 μm 未満である半導体装置

20

【請求項 5】

請求項1乃至4いずれかに記載の半導体装置において、
 前記第2および第3の配線は、最小ピッチ配線である半導体装置。

【請求項 6】

請求項1乃至5いずれかに記載の半導体装置において、
 前記第2および第3の配線は接地電位を有する半導体装置。

【請求項 7】

請求項1乃至5いずれかに記載の半導体装置において、
 前記第2および第3の配線は電源電位を有する半導体装置。

【請求項 8】

請求項1乃至7いずれかに記載の半導体装置において、
 前記第1、第2、および第3の配線は、銅含有金属である半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。特に、ダマシン配線を備える半導体装置に関する。

【背景技術】

【0002】

図9は従来のダマシン配線を有する半導体装置の配線層の平面図である。また、図10は図9のB-B'線に沿った断面図である。半導体装置100は、半導体基板(不図示)上に形成された層間絶縁膜108に、太幅配線102と、互いに隣接する細幅配線104、106と、を含む配線層が設けられている。互いに隣接する細幅配線104、106には、通常は異電位が与えられる。細幅配線と太幅配線は、ダマシンプロセスにより形成される。一般に、ダマシンプロセスにおいては、表面の平坦化工程であるCMP(Chemical Mechanical Polishing)が必須の工程である。なお、半導体装置100は、通常は多層配線層を有するが、図9、図10では多層配線層中のうち1層の配線層を示している。

40

【0003】

このような構成の半導体装置100において、近年の半導体集積回路の微細化の進展に伴い、従来にはなかった問題が生じている。

50

【 0 0 0 4 】

図 9 のような配線レイアウトにおいて、近年の集積回路の微細化の進展に伴い、距離 D および細幅配線の配線ピッチ P が小さくなってきている。すると、互いに隣接する細幅配線 104、106 の間の T D D B (Time - Dependent Dielectric Breakdown) 寿命の低下が起きる、あるいは互いに隣接する細幅配線がショートして、半導体装置の歩留まりを低下させるといった問題が発生する。

【 0 0 0 5 】

特許文献 1 には、太幅配線と細幅配線が隣接する配線レイアウトを有する半導体装置において、太幅配線と細幅配線が同電位である場合の配線間隔よりも、異電位である場合の配線間隔を広くとる構成が開示されている。これにより、半導体集積装置の配線パターンの集積度を上げることができるとしている。

10

【 0 0 0 6 】

【特許文献 1】特開 2006 - 165091 号公報

【特許文献 2】特開 2004 - 193544 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

本発明では、ダマシン配線からなる配線層を有する半導体装置において、互いに隣接する細幅配線と、該細幅配線に隣接する太幅配線とを含む配線層で、細幅配線間の T D D B 寿命の低下、および細幅配線間のショートによる歩留まり低下を抑制する半導体装置を提供することを目的とする。

20

【課題を解決するための手段】

【 0 0 0 8 】

本願の発明者は鋭意検討の結果、上述の問題点はダマシン配線で必須の工程である C M P 工程において太幅配線から発生する金属の有機物からなる導電性の異物が配線層表面に付着することが原因であることを見出した(図 7)。さらに、本願の発明者は、C M P 工程の種々に実験データによる知見に基づき、本発明をするに至った。

【 0 0 0 9 】

本発明による半導体装置は、ダマシン配線からなる配線層を有する半導体装置において、 $0.5 \mu\text{m}$ 以上の幅を有する第 1 の配線と、前記第 1 の配線に隣接し前記第 1 の配線から $0.5 \mu\text{m}$ 未満の間隔で配置された第 2 の配線と、前記第 2 の配線に隣接し前記第 1 の配線から $0.5 \mu\text{m}$ 以下の間隔で配置された第 3 の配線と、を備え、前記第 2 および第 3 の配線は同電位を有するよう構成されていることを特徴とする。

30

【 0 0 1 0 】

このような構成をとることにより、第 2 および第 3 の配線が同電位を有するため、配線層の表面に導電性の異物が付着したとしても、配線間の T D D B 寿命の低下、および配線間のショートによる歩留まり低下を抑制できる。

【発明の効果】

【 0 0 1 1 】

本発明によれば、ダマシン配線からなる配線層を有する半導体装置において、互いに隣接する細幅配線と、該細幅配線に隣接する太幅配線とを含む配線層で、細幅配線間の T D D B 寿命の低下、および細幅配線間のショートによる歩留まり低下を抑制する半導体装置を提供することができる。

40

【発明を実施するための最良の形態】

【 0 0 1 2 】

以下、図面を参照しつつ、本発明の好適な実施形態について詳細に説明する。なお、図面の説明においては、同一要素には同一符号を付し、重複する説明を省略する。

【 0 0 1 3 】

図 1 は、本実施形態の半導体装置の構成を示す平面図である。また、図 2 は図 1 の A - A' 線に沿った断面図である。

50

【0014】

半導体装置10は、半導体基板（不図示）の上に設けられた層間絶縁膜18と、該層間絶縁膜18に設けられた配線12、14、16を備えている。配線12、14、16は同一配線層に設けられている。本実施形態において、配線12、14、16はCu配線である。配線12（第1の配線）は太幅配線であり、0.5 μ m以上の幅を有する。

【0015】

配線14（第2の配線）と配線16（第3の配線）は細幅配線である。配線14は、配線12に隣接し、配線12から0.5 μ m未満の間隔で配置されている。また、配線16は、配線14に隣接して、配線12から0.5 μ m以下の間隔で配置されている。

【0016】

本実施形態においては、配線12と配線14は0.3 μ mの間隔で配置した。また、配線14および配線16の幅を0.07 μ m、配線間隔を0.07 μ m、つまり配線ピッチを0.14 μ mとして配置した。ここで、配線ピッチは配線幅と配線間隔の和で定義される。また、配線14および配線16は、例えば最小ピッチ配線としてもよい。

10

【0017】

さらに、配線14と配線16は、同電位を有するように構成されている。例えば、配線14と配線16は、いずれも接地電位を有するように構成されていてもよい。この場合、配線14と配線16は、共通の接地線（不図示）に接続される。同様に、配線14と配線16は、いずれも電源電位を有するように構成されていてもよい。この場合、配線14と配線16は、共通の電源線（不図示）に接続される。

20

【0018】

なお、本明細書において、「同電位を有する」とは、配線抵抗による電圧降下により生じる電位差は含まないものとする。具体的には、配線14と配線16が共通の電源線に接続されていれば、配線抵抗による電圧降下によって、両配線間に電位差を生じたとしても、その電位差が電源電圧の30%以下、好ましくは10%以下であれば、本願の効果を十分に得ることができる。例えば、電源電圧が1Vの場合には、0.3V以下、好ましくは0.1V以下の電位差であれば本願の効果を十分に得ることができる。

【0019】

次に、図3～図6を用いて、半導体装置10の製造方法を説明するとともに、金属（本実施形態ではCu）の有機物が配線層表面に付着するメカニズムを説明する。

30

【0020】

まず、図3(a)に示すように、半導体基板（不図示）上に、周知の技術により層間絶縁膜18が形成され、その層間絶縁膜18に配線溝20、22、24が形成される。層間絶縁膜18としては、例えば、SiO₂膜や、low-k膜を用いることができる。

【0021】

次に、スパッタ法にバリア膜（不図示）が形成される。バリア膜には、例えば、Ta/TaNを用いることができる。次に、Cuシード層（不図示）をスパッタ法により形成した後、Cu膜をめっき法により堆積してから、結晶化のためのアニールを行う（図3(b)）。

40

【0022】

続いて、CMP工程を行う。この工程において、CMP法によりCu膜とバリア膜を除去して、Cu配線を形成し、図2の構造が形成される。その後、拡散防止のためのキャップ層として、例えばSiN膜を形成し、そのキャップ層上に上層の配線層を形成するための層間絶縁膜を形成する。次に、層間絶縁膜にビアホールが形成され、上述の配線と同様の方法により、ビアが形成される。以降、このような工程を繰り返すことにより、ダマシンプ配線からなる多層配線構造が形成される。

【0023】

ここで、本明細書におけるCMP工程は、Cu膜およびバリア膜の研磨工程、洗浄工程、酸化防止被膜形成工程、乾燥工程を含むものとする。図4～図6は、CMP工程の詳細な工程断面図と、本願の発明者が新たに見出した、有機物からなる異物の生成メカニズムを

50

示している。

【0024】

図4(a)は、バリア膜の研磨まで終了した時点での半導体装置10の断面図である。太幅配線である配線12が研磨されることで発生したCu(またはCuイオン)30が付着している。また、バリア層のCMP研磨に使用する研磨剤には、酸化防止剤が含まれている。この酸化防止剤は、Cu配線の表面に被膜28を形成して、Cuの酸化を防ぐ働きをする。さらに、この酸化防止剤に含まれる有機物は、表面に付着した一部のCuと結合して、Cuと有機物を含む錯体32を形成する。

【0025】

次に、超純水に晒すことにより、表面の研磨を行う。この工程を経ると、図4(b)に示すように、Cuと有機物を含む錯体32と、錯体を形成していないCu30とが凝集して、巨大な異物に成長する。この異物は、半導体装置の通常の検査工程で使用される自動外観検査装置でも検知可能なサイズとなっている。

10

【0026】

次に、図5(a)に示すように第1の洗浄工程を行う。該第1の洗浄工程は、研磨後に残留する大きな不純物を除去することが目的である。本洗浄工程は、例えばキレート剤や還元剤によって洗浄を行う事ができる。この工程を経ると、図5(a)のように、錯体を形成していなかったCuも、Cuと有機物を含む錯体32を形成する。

【0027】

次に、図5(b)に示すように第2の洗浄工程を行う。本洗浄工程は、研磨後に残留する非常に小さな、例えばイオン性の不純物や金属を除去することが目的である。本洗浄工程は、例えばキレート剤や還元剤によって洗浄を行う事ができる。この工程により、図5(b)のように、Cuと有機物を含む錯体の一部は、配線層の表面から除去される。しかし、完全に除去されるわけではなく、太幅配線である配線12上およびその近傍にはCuと有機物を含む錯体32は残留している。

20

【0028】

次に、図6(a)に示すように酸化防止剤の塗布工程、続いて図6(b)の乾燥工程を行う。これにより、Cu配線表面に酸化防止膜34を形成し、Cu配線の酸化を抑制する。図6(a)で塗布する酸化防止剤は有機物を含んでいる。よって、図6(b)までのCMP工程終了時点において、太幅配線である配線12上にはCuと有機物を含む錯体32が吸着している。なお、酸化防止剤の塗布工程については、例えば特許文献2に記載された方法を用いることができる。

30

【0029】

Cuと有機物からなる錯体は太幅配線である配線12上だけではなく、例えば図7のように細幅配線である配線14と配線16の間に吸着することもある。この場合、配線14と配線16が異電位を有していると、配線間のTDD寿命が低下する。あるいはCuと有機物からなる錯体が配線14と配線16をショートしてしまい、半導体装置の動作不良を生じて歩留まりを低下させることがある。

【0030】

図8は、本実施形態の半導体装置において、太幅配線の幅と、異物(Cuと有機物からなる錯体)の検出率を測定した実験データである。横軸は、太幅配線である配線12の幅であり、縦軸が異物の検出率を示している。なお、横軸で「パッド部」と表示したデータは、配線幅が十分広い場合の検出率をリファレンスとして示したものである。異物(Cuと有機物を含む錯体)の検出率の測定は、自動外観検査装置により行った。

40

【0031】

図8から明らかのように、太幅配線の幅90nm、210nmでは錯体は検出されないが、配線幅が500nmを超えると錯体が検出される。さらに、検出率は配線幅が太くなるほど高くなる。したがって、太幅配線である配線16の幅が0.5μm以上である場合に、配線14と配線16が同電位を有するように構成する必要がある。

【0032】

50

次に、配線幅 $0.5 \mu\text{m}$ 以上の太幅配線から、どのくらいの距離まで Cu と有機物を含む錯体により、配線層表面が汚染されているかを調べた。

【0033】

配線幅 $0.5 \mu\text{m}$ 以上の太幅配線からの距離 $0.3 \mu\text{m}$ 、 $0.5 \mu\text{m}$ 、 $0.7 \mu\text{m}$ 、 $1.4 \mu\text{m}$ の位置において、オージェ分光分析装置 (FE- AES) により、Cu 濃度の測定を行った。測定条件は、加速電圧を 20 kV とし、ビーム径は約 50 nm とした。

【0034】

その結果は、

距離 $0.3 \mu\text{m}$: 3 atmic %

距離 $0.5 \mu\text{m}$: 検出限界以下

距離 $0.7 \mu\text{m}$: 検出限界以下

距離 $1.4 \mu\text{m}$: 検出限界以下

であった。したがって、太幅配線である配線 12 と細幅配線である配線 14 との間隔が $0.5 \mu\text{m}$ 未満で配置され、かつ太幅配線である配線 12 と細幅配線である配線 16 との間隔が $0.5 \mu\text{m}$ 以下で配置された場合に、配線 14 と配線 16 が同電位を有するように構成する必要がある。

【0035】

さらに、SEM (Scanning Electron Microscope) 像から異物 (Cu と有機物からなる錯体) のサイズを測定した。その結果、Cu と有機物からなる錯体のサイズは $0.1 \sim 0.3 \mu\text{m}$ であり、平均は $0.2 \mu\text{m}$ であった。したがって、太幅配線である配線 12 と、細幅配線である配線 14 の間隔は、 $0.2 \mu\text{m}$ 以上、好ましくは $0.3 \mu\text{m}$ 以上であれば、配線 12 と配線 14 のショートを効果的に防止することができる。

【0036】

次に、細幅配線である配線 14 と配線 16 の配線ピッチについて説明する。図 1 において、配線 12 から少なくとも $D + 2P$ 離れた領域が、Cu と有機物からなる錯体が付着している領域内にある時には、配線 14 と配線 16 を同電位にすることが必要である。上述のように、太幅配線である配線 12 から $0.5 \mu\text{m}$ より近い領域では Cu と有機物からなる錯体が検出されている。したがって、 $D + 2P < 0.5 \mu\text{m}$ で、 $D = 0.2 \mu\text{m}$ (異物の平均サイズ) とおくと、 $P < 0.15 \mu\text{m}$ となる。よって、細幅配線である配線 14 と配線 16 が、配線ピッチ $0.15 \mu\text{m}$ 未満の場合に、配線 14 と配線 16 が同電位を有するように構成する必要がある。

【0037】

より好ましくは、図 1 において、配線 12 と配線 16 の距離に相当する領域 ($D + P$) が、Cu と有機物からなる錯体が付着している範囲内にある時に配線 14 と配線 16 を同電位にすることにより、TDD B 寿命や半導体装置の歩留まりをよりいっそう向上させることができる。この場合、 $D + P < 0.5 \mu\text{m}$ で、 $D = 0.2 \mu\text{m}$ (異物の平均サイズ) とおくと、 $P < 0.3 \mu\text{m}$ となる。しかしながら、集積度や配線設計の自由度とのバランスの観点から、実用上、配線 14 と配線 16 の配線ピッチが $0.15 \mu\text{m}$ 未満の場合に、配線 14 と配線 16 が同電位を有するように構成することが望ましい。逆に、配線 14 と配線 16 の配線ピッチ $0.15 \mu\text{m}$ 以上の場合には、配線 14 と配線 16 が異電位であっても、TDD B 寿命には影響しないレベルであることが実験的に確認されている。

【0038】

本発明の半導体装置 10 は、配線 14 と配線 16 が同電位を有するように構成されている。これにより、配線 12 の幅が $0.5 \mu\text{m}$ 以上、配線 12 と配線 14 の間隔が $0.5 \mu\text{m}$ 未満、配線 12 と配線 16 の間隔が $0.5 \mu\text{m}$ 以下、配線 14 と配線 16 の配線ピッチが $0.15 \mu\text{m}$ 未満という、Cu と有機物からなる錯体による影響が大きな場合であっても、配線 14 と配線 16 の間の TDD B 寿命が低下や、配線 14 と配線 16 のショートを防ぐことができるという有利な効果を得ることができる。

【0039】

10

20

30

40

50

さらに、太幅配線である配線 1 2 と、細幅配線である配線 1 4 の間隔を、 $0.2 \mu\text{m}$ 以上、好ましくは $0.3 \mu\text{m}$ 以上とすることにより、配線 1 2 と配線 1 4 の T D D B 寿命低下やショートをより効果的に防止することができる。

【0040】

本発明による半導体装置は、上記実施形態に限定されるものではなく、様々な変形が可能である。例えば、上述の実施形態では、シングルダマシンプロセスを用いた場合を例示したが、デュアルダマシンプロセスを用いた場合でも、同様の効果を得ることができる。

【0041】

また、上述の実施形態においては、配線を形成する材料がいずれも Cu である場合を例に説明したが、配線の材料はこれには限られず、銅含有金属その他の金属材料、たとえばアルミニウム (Al) であってもよい。

【図面の簡単な説明】

【0042】

【図 1】本発明による半導体装置の実施形態を示す平面図である。

【図 2】図 1 の A - A' 線に沿った断面図である。

【図 3】(a)、(b) は本発明による半導体装置の製造方法を示す工程断面図である。

【図 4】(a)、(b) は本発明による半導体装置の製造方法を示す工程断面図である。

【図 5】(a)、(b) は本発明による半導体装置の製造方法を示す工程断面図である。

【図 6】(a)、(b) は本発明による半導体装置の製造方法を示す工程断面図である。

【図 7】本発明による半導体装置の実施形態を示す平面図である。

【図 8】本発明の実施形態の太幅配線の幅と異物検出率の実験データを示す図である。

【図 9】従来の半導体装置を示す平面図である。

【図 10】図 9 の B - B' 線に沿った断面図である。

【符号の説明】

【0043】

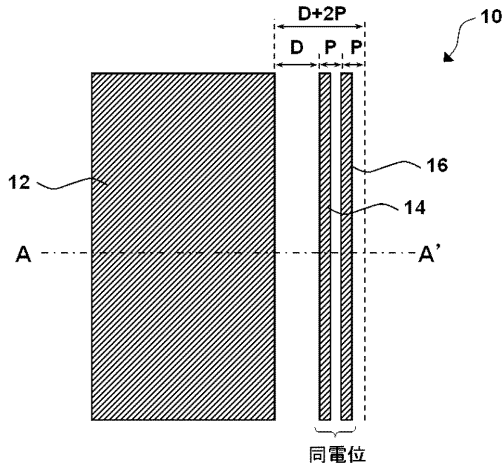
- 10 半導体装置
- 12 配線 (第 1 の配線)
- 14 配線 (第 2 の配線)
- 16 配線 (第 3 の配線)
- 18 層間絶縁膜
- 20 配線溝
- 22 配線溝
- 24 配線溝
- 26 Cu 膜
- 28 酸化防止膜
- 30 Cu
- 32 Cu と有機物を含む錯体
- 34 酸化防止膜

10

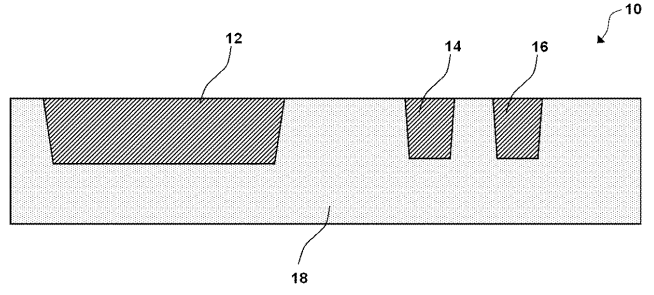
20

30

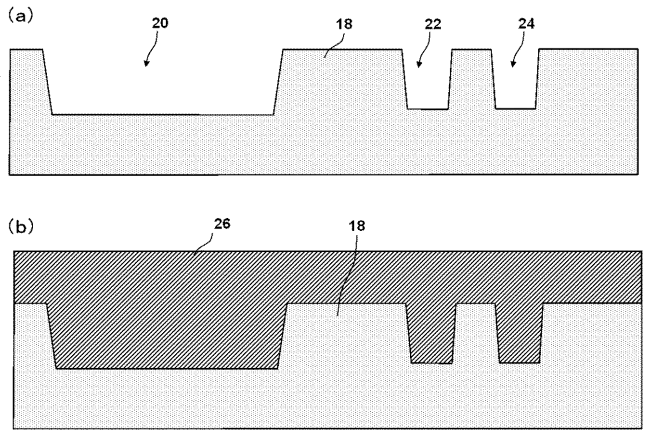
【 図 1 】



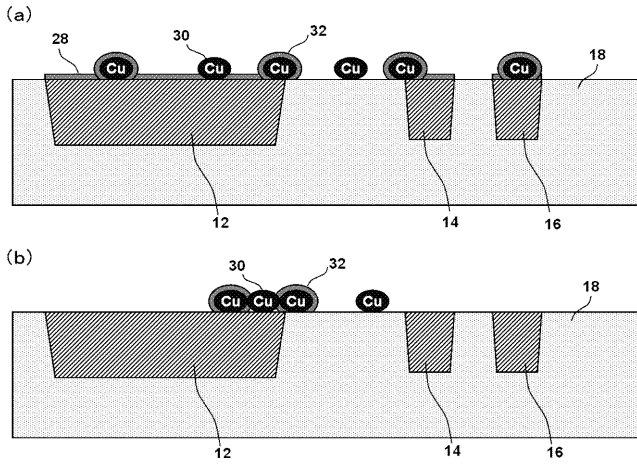
【 図 2 】



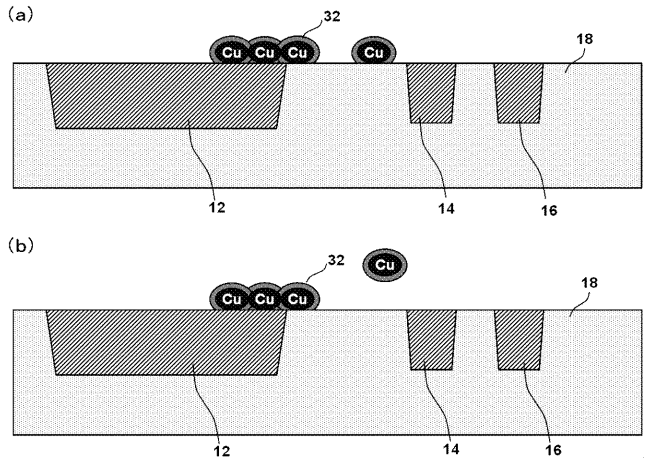
【 図 3 】



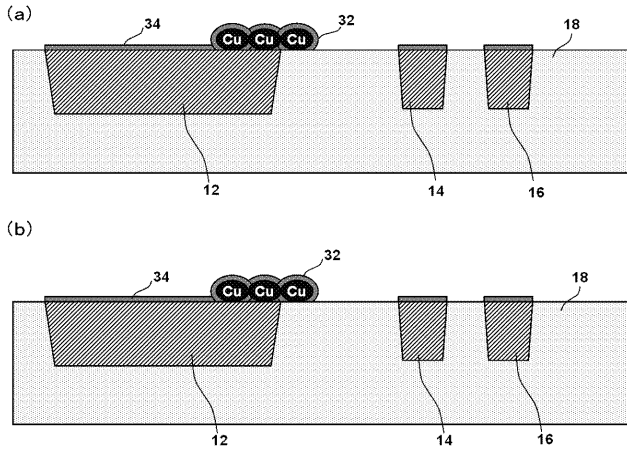
【 図 4 】



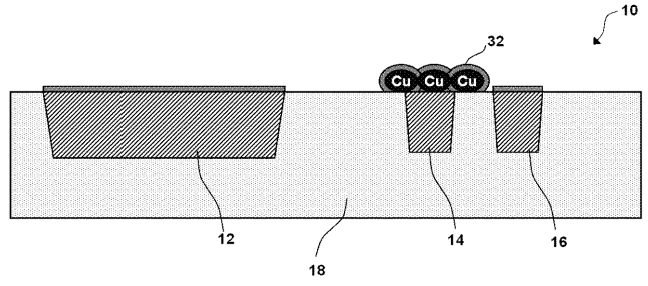
【 図 5 】



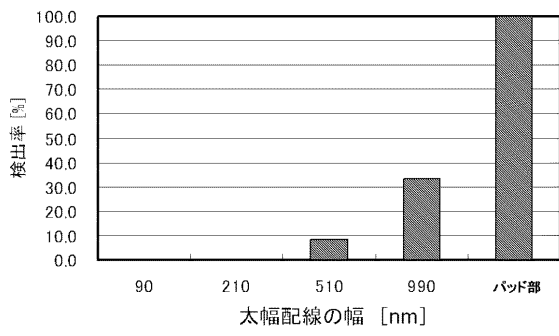
【図6】



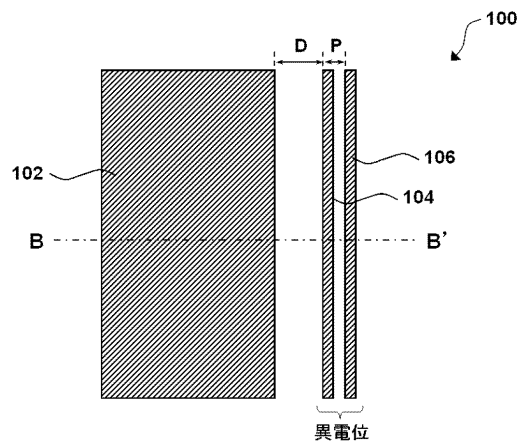
【図7】



【図8】



【図9】



【図 10】

