

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 2 月 2 日 (02.02.2023)



(10) 国际公布号
WO 2023/005162 A1

(51) 国际专利分类号:
H01L 27/108 (2006.01) **H01L 21/8242** (2006.01)

(21) 国际申请号: PCT/CN2022/071821

(22) 国际申请日: 2022 年 1 月 13 日 (13.01.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110844690.9 2021 年 7 月 26 日 (26.07.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 金星 (JIN, Xing); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京名华博信知识产权代理有限公司 (BOXIN CHINA INTELLECTUAL PROPERTY); 中国北京市海淀区黑泉路 8 号 1 幢 4 层 101-10 号, Beijing 100192 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告 (条约第 21 条 (3))。

(54) **Title:** BIT LINE STRUCTURE, SEMICONDUCTOR STRUCTURE, AND METHOD FOR MANUFACTURING BIT LINE STRUCTURE

(54) 发明名称: 位线结构、半导体结构及位线结构的制作方法

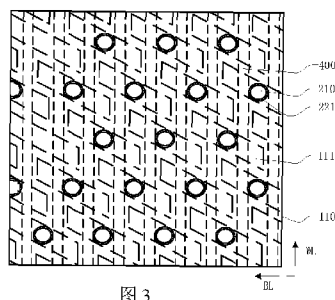


图 3

(57) **Abstract:** The present disclosure provides a bit line structure, a semiconductor structure, and a method for manufacturing the bit line structure. The bit line structure is disposed on a substrate. The bit line structure comprises: a contact portion, having the bottom surface connected to the substrate; a barrier layer, comprising an extension portion, the extension portion covering the top surface and the outer sidewall surface of the contact portion; and a conductive layer, covering part of the barrier layer.

(57) **摘要:** 本公开提供一种位线结构、半导体结构及位线结构的制作方法, 所述位线结构设置于衬底, 所述位线结构包括: 接触部, 其底面与衬底连接; 阻挡层, 其包括延伸部, 延伸部覆盖接触部的顶面和外侧壁面; 导电层, 覆盖部分阻挡层。



WO 2023/005162 A1

位线结构、半导体结构及位线结构的制作方法

本公开基于申请号为 202110844690.9, 申请日为 2021 年 07 月 26 日, 申请名称为“位线结构、半导体结构及位线结构的制作方法”的中国专利申请提出, 并要求该中国专利申请的优先权, 该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及但不限于一种位线结构、半导体结构及位线结构的制作方法。

背景技术

在 DRAM(Dynamic Random Access Memory, 动态随机存取存储器)器件中, 位线(Bitline)和晶体管(Transistor)、电容器(Capacitor)连接, 在 DRAM 的制造过程中, 需要沉积多晶硅(polysilicon, 简称 poly)以形成位线接触(Bit line contact)导电结构, 位线的接触电阻影响位线的导电性能, 影响器件的电流大小, 进而影响器件导通能力。随着集成电路的尺寸微缩, 对位线的接触导电结构的要求越来越高。

发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

本公开提供一种位线结构、半导体结构及位线结构的制作方法。

本公开的第一方面提供一种位线结构, 所述位线结构设置于衬底, 所述位线结构包括:

接触部, 其底面与所述衬底连接;

阻挡层, 其包括延伸部, 所述延伸部覆盖所述接触部的顶面和外侧壁面;

导电层, 覆盖部分所述阻挡层。

根据本公开的一些实施例, 所述接触部包括第一部分和第二部分, 所述第一部分位于所述衬底内部, 所述第二部分位于所述衬底的上方;

所述阻挡层还包括主体部, 所述接触部的第二部分贯穿所述主体部并延伸至所述导电层内;

所述导电层覆盖所述主体部, 以及所述延伸部的部分表面。

根据本公开的一些实施例, 所述主体部与所述延伸部连为一体。

根据本公开的一些实施例, 所述主体部覆盖所述衬底上方的第一介质层;

所述接触部的第二部分贯穿所述第一介质层。

根据本公开的一些实施例, 沿所述延伸部的周向方向, 所述延伸部的第一部分外侧壁与所述衬底接触连接, 所述延伸部的第二部分外侧壁设置绝缘部。

根据本公开的一些实施例, 所述绝缘部与所述第一介质层连为一体。

根据本公开的一些实施例, 所述衬底中埋设有平行设置的多条字线, 所述接触部设置在相邻的所述字线之间。

根据本公开的一些实施例, 所述延伸部在所述衬底上的投影呈方形, 以平行于所述字线且垂直于所述衬底的平面为第一截面, 所述延伸部的第二部分外侧壁与所述第一截面相互垂直。

根据本公开的一些实施例, 所述延伸部的第一部分外侧壁的厚度大于所述延伸部的第二部分外侧壁的厚度。

本公开的第二方面提供一种半导体结构, 所述半导体结构包括本公开所述的位线结构。

本公开的第三方面提供一种位线结构的制作方法, 所述制作方法包括以下步骤:

提供基底, 所述基底包括衬底和覆盖在所述衬底上的第一初始介质层;

在所述基底内形成初始接触孔, 所述初始接触孔的底壁暴露所述衬底, 所述初始接触孔贯穿所述第一初始介质层;

在所述初始接触孔中形成接触部和覆盖所述接触部的外侧壁的第二初始介质单元，所述接触部的底面与所述衬底相连，所述第二初始介质单元的侧壁与所述衬底和所述第一初始介质层相连；

刻蚀部分所述第一初始介质层，形成第一介质层，所述第一介质层暴露所述第二初始介质单元的部分侧壁；

沉积第三初始介质层和初始层叠结构，所述第三初始介质层覆盖所述第一介质层和所述第二初始介质单元的侧壁，以及所述接触部的顶面和所述第二初始介质单元的顶面，所述第三初始介质层与所述第二初始介质单元连为一体，所述初始层叠结构覆盖所述第三初始介质层；

刻蚀所述初始层叠结构、所述第三初始介质层和所述第二初始介质单元，被保留的初始层叠结构形成层叠结构，所述层叠结构包括导电层；被保留的所述第二初始介质单元和所述第三初始介质层连为一体形成阻挡层，包覆所述接触部的被保留的所述第二初始介质单元和所述第三初始介质层形成所述阻挡层的延伸部；

形成第四介质层，所述第四介质层覆盖所述层叠结构和部分所述延伸部。

根据本公开的一些实施例，所述在所述初始接触孔中形成覆盖所述接触部的外侧壁的第二初始介质单元，包括：

沉积第二初始介质层，所述第二初始介质层覆盖所述第一初始介质层和所述初始接触孔的侧壁和底壁；

刻蚀覆盖在所述第一初始介质层上的所述第二初始介质层，包括所述第一初始介质层，刻蚀覆盖在所述初始接触孔的底壁的所述第二初始介质层，暴露所述衬底，形成所述第二初始介质单元。

根据本公开的一些实施例，在所述初始接触孔中形成接触部，包括：

沉积接触介质层，所述接触介质层覆盖所述第二初始介质单元的内壁面和所述第一初始介质层，以及所述初始接触孔暴露的所述衬底；

去除部分所述接触介质层，保留所述接触介质层在所述初始接触孔中的部分，形成所述接触部，所述接触部的顶面与所述第一初始介质层的顶面平齐。

根据本公开的一些实施例，沉积所述初始层叠结构包括：

沉积初始导电层，所述初始导电层覆盖所述第三初始介质层；

沉积初始隔离层，所述初始隔离层覆盖所述初始导电层。

根据本公开的一些实施例，所述方法还包括：

在所述初始隔离层上形成掩膜层。

根据本公开的一些实施例，所述刻蚀所述初始层叠结构、所述第三初始介质层和所述第二初始介质单元，包括：

刻蚀所述初始隔离层，被保留的与所述掩膜层定义的图形对应的所述初始隔离层形成所述隔离层；

刻蚀所述初始导电层，被保留的与所述图形对应的所述初始导电层形成所述导电层；

刻蚀所述第三初始介质层，被保留的与所述图形对应的所述第三初始介质层的一部分作为所述延伸部的一部分，被保留的与所述图形对应的所述第三初始介质层的另一部分作为所述阻挡层的主体部；

刻蚀所述第二初始介质单元，被保留的与所述图形对应的所述第二初始介质单元作为所述延伸部的另一部分。

根据本公开的一些实施例，所述第四介质层与所述第一介质层连为一体；

位于所述第二初始介质单元与所述衬底之间的部分所述第四介质层形成绝缘部。

本公开实施例所提供的位线结构，阻挡层覆盖接触部的顶面和外侧壁面，阻挡层保护接触部的侧壁不被氧化，减小了位线的接触电阻。

在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

并入到说明书中并且构成说明书的一部分的附图示出了本公开的实施例，并且与描述一起用于解释本公开实施例的原理。在这些附图中，类似的附图标记用于表示类似的要素。下面描述中的附图是本公开的一些实施例，而不是全部实施例。对于本领域技术人员来讲，在不付出创造性劳动的前提下，可以根据这些附图获得其他的附图。

图 1 是本公开一个示例性实施例示出的位线结构在平行于 WL 方向上的截面示意图。

图 2 是本公开一个示例性实施例示出的位线结构在 BL 方向上的截面示意图。

图 3 是根据一示例性实施例示出的一种位线结构的接触部在衬底上的投影图。

图 4 是根据一示例性实施例示出的一种位线结构的制作方法的流程图。

图 5 是根据一示例性实施例示出的一种位线结构的制作方法中在初始接触孔中形成覆盖接触部的外侧壁的第二初始介质单元的流程图。

图 6 是根据一示例性实施例示出的一种位线结构的制作方法中在初始接触孔中形成接触部的流程图。

图 7 是根据一示例性实施例示出的一种位线结构的制作方法中沉积初始层叠结构的流程图。

图 8 是根据一示例性实施例示出的一种位线结构的制作方法的流程图。

图 9 是根据一示例性实施例示出的一种位线结构的制作方法中刻蚀初始层叠结构、第三初始介质层和第二初始介质单元的流程图。

图 10-a 是根据一示例性实施例示出的基底在平行于 WL 方向的截面示意图。

图 10-b 是根据一示例性实施例示出的基底在 BL 方向的截面示意图。

图 11-a 是根据一示例性实施例示出的形成光刻胶掩膜层在平行于 WL 方向的截面示意图。

图 11-b 是根据一示例性实施例示出的形成光刻胶掩膜层在 BL 方向的截面示意图。

图 12-a 是根据一示例性实施例示出的形成初始接触孔在平行于 WL 方向的截面示意图。

图 12-b 是根据一示例性实施例示出的在基底内形成初始接触孔在 BL 方向的截面示意图。

图 13-a 是根据一示例性实施例示出的沉积第二初始介质层在平行于 WL 方向的截面示意图。

图 13-b 是根据一示例性实施例示出的沉积第二初始介质层在 BL 方向的截面示意图。

图 14-a 是根据一示例性实施例示出的形成第二初始介质单元在平行于 WL 方向的截面示意图。

图 14-b 是根据一示例性实施例示出的形成第二初始介质单元在 BL 方向的截面示意图。

图 15-a 是根据一示例性实施例示出的沉积接触介质层在平行于 WL 方向的截面示意图。

图 15-b 是根据一示例性实施例示出的沉积接触介质层在 BL 方向的截面示意图。

图 16-a 是根据一示例性实施例示出的形成接触部在平行于 WL 方向的截面示意图。

图 16-b 是根据一示例性实施例示出的形成接触部在 BL 方向的截面示意图。

图 17-a 是根据一示例性实施例示出的形成第一介质层在平行于 WL 方向的截面示意图。

图 17-b 是根据一示例性实施例示出的形成第一介质层在 BL 方向的截面示意图。

图 18-a 是根据一示例性实施例示出的形成第三初始介质层在平行于 WL 方向的截面示意图。

图 18-b 是根据一示例性实施例示出的形成第三初始介质层在 BL 方向的截面示意图。

图 19-a 是根据一示例性实施例示出的形成初始导电层在平行于 WL 方向的截面示意图。

图 19-b 是根据一示例性实施例示出的形成初始导电层在 BL 方向的截面示意图。

图 20-a 是根据一示例性实施例示出的形成初始隔离层在平行于 WL 方向的截面示意图。

图 20-b 是根据一示例性实施例示出的形成初始隔离层在 BL 方向的截面示意图。

图 21-a 是根据一示例性实施例示出的形成掩膜层在平行于 WL 方向的截面示意图。

图 21-b 是根据一示例性实施例示出的形成掩膜层在 BL 方向的截面示意图。

图 22-a 是根据一示例性实施例示出的形成层叠结构在平行于 WL 方向的截面示意图。

图 22-b 是根据一示例性实施例示出的形成层叠结构在 BL 方向的截面示意图。

图 23-a 是根据一示例性实施例示出的沉积第四介质层在平行于 WL 方向的截面示意图。

图 23-b 是根据一示例性实施例示出的沉积第四介质层在 BL 方向的截面示意图。

图 24 是根据一示例性对比例示出的位线结构在平行于 WL' 方向上的截面示意图。

图 25 是根据一示例性对比例示出的位线结构在 BL' 方向上的截面示意图。

图 26 是根据一示例性对比例示出的一种位线结构的接触部在衬底中的投影图。

附图标记：

10、光刻胶掩膜层；11、第一图案；110、衬底；101、初始接触孔；102、接触孔；111、有源区；120、第一初始介质层；121、第一介质层；130、第二初始介质单元；131、第二初始介质层；140、第三初始介质层；150、接触介质层；160、初始导电层；170、初始隔离层；180、掩膜层；190、第四介质层；200、位线结构；210、接触部；211、第一部分；212、第二部分；220、阻挡层；221、延伸部；2211、第一部分外侧壁；2212、第二部分外侧壁；222、主体部；230、导电层；240、隔离层；300、绝缘结构；310、绝缘部；400、字线；500、初始层叠结构；600、层叠结构；

110'、120'、绝缘层；200'、位线结构；衬底；210'、接触部；220'、阻挡金属层；230'、导电层；240'、隔离层；300'、绝缘结构。

具体实施方式

下面将结合本公开实施例中的附图，对公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

位线结构的接触部通过导电层和晶体管电容器连接，其中，接触部的电阻对位线的导电性影响最大。目前，为了减小位线的接触电阻，在接触部顶面还设置有氮化钛等具有高耐熔性的金属或金属化合物的阻挡金属层以减小其电阻。

如图 24-26 所示，参照图 26 中示出的方位，如图 24 示出了位线结构在平行于字线方向（即图 26 中 WL' 方向）的截面示意图。图 25 示出了位线结构在位线结构方向（即图 26 中 BL' 方向）的截面示意图。图 26 示出了位线结构的接触部 210' 在衬底 110' 上的投影图。相关技术中的位线结构 200' 设置在衬底 110' 中，位线结构包括接触部 210'、阻挡金属层 220'、导电层 230' 以及隔离层 240'，接触部 210' 设置在衬底 110' 中，接触部 210' 的底部与衬底 110' 连接、接触部 210' 的顶面与衬底 110' 上的绝缘层 120' 平齐，阻挡金属层 220' 覆盖接触部 210' 的顶面，导电层 230' 位于衬底 110' 上并覆盖阻挡金属层 220'，隔离层 240' 覆盖导电层 230'。位线结构 200' 外覆盖绝缘结构 300'。

接触部 210' 的顶面通过阻挡金属层 220' 与导电层 230' 电连接，接触部 210' 和导电层 230' 的接触面积为接触部 210' 的顶面面积。但是，该位线结构 200' 在制程过程中，在接触部 210' 的侧壁面形成绝缘部时，接触部 210' 的侧壁容易被氧化，增加接触部 210' 的电阻。

而且，集成电路向高集成度及高密度方向发展，集成电路的尺寸缩小，集成电路中的字线（Wordline）间距缩小，位线的尺寸缩小，接触部的接触面积缩小，位线电阻值可能大幅增加。

本公开示例性的实施例，如图 1-3 所示，提供了一种位线结构，设置于衬底 110，图 1 示出了本实施例的位线结构平行于图 3 中 WL 方向上（即字线的延伸方向）的截面示意图；图 2 示出了本实施例的位线结构在图 3 中 BL 方向（即位线结构的延伸方向）的截面示意图；图 3 示出了本实施例的位线

结构的接触部 210 在衬底 110 上的投影图。

如图 1、图 2 所示，位线结构 200 包括：底面与衬底 110 连接的接触部 210、覆盖部分接触部 210 的阻挡层 220 以及覆盖部分阻挡层 220 的导电层 230。其中，阻挡层 220 包括覆盖接触部 210 的顶面和外侧壁面的延伸部 221。

如图 3 所示，衬底 110 包括阵列形式排布的有源区 111，接触部 210 的底面和衬底中的有源区 111 接触连接。其中，衬底 110 为包括含硅物质的半导体衬底，例如，半导体衬底可以为硅衬底、硅锗衬底或 SOI（silicon on insulator，绝缘体上硅）衬底。接触部 210 包括多晶硅。

阻挡层 220 可以为单层或叠层结构，阻挡层 220 包括导电金属、导电金属氮化物、导电合金中的一种或二种以上，例如，导电金属可以为钛（Titanium）、钽（tantalum）、钨（Tungsten）。

导电层 230 可以为单层或叠层结构，导电层 230 包括导电金属、导电金属氮化物、导电合金中的一种或二种以上，例如，导电金属可以为钛（Titanium）、钽（tantalum）、钨（Tungsten）。

如图 1、图 2 和图 3 所示，本实施例的位线结构 200，在接触部 210 的顶面和外侧壁面均覆盖阻挡层 220，避免出现在位线制程中，接触部 210 的顶面和外侧壁面被氧化，进而增加接触电阻的问题。采用本实施例中的位线结构降低了接触部 210 的接触电阻，提高位线结构的电性能。

根据一个示例性实施例，本实施例的位线结构的大部分内容和上述实施例相同，本实施例与上述实施例之间的区别之处在于，如图 1、图 2 所示，接触部 210 包括第一部分 211 和第二部分 212，第一部分 211 位于衬底 110 内部，第二部分 212 位于衬底 110 的上方。阻挡层 220 还包括主体部 222，接触部 210 的第二部分 212 贯穿主体部 222 并延伸至导电层 230 内，导电层 230 覆盖阻挡层 220 的主体部 222 以及延伸部 221 的部分表面。

本实施例改进了位线结构，将接触部 210 设置为第一部分 211 埋入在衬底 110 中，接触部 210 的第二部分 212 延伸至衬底 110 外部并延伸到导电层 230 内，接触部 210 与导电层 230 接触的面积为接触部 210 的顶壁与接触部 210 延伸到导电层 230 内的第二部分 212 的侧壁的面积之和，增加了接触部 210 与导电层 230 的接触面积。

本实施例通过增加了接触部 210 与导电层 230 的接触面积，减小接触部 210 与导电层 230 的接触电阻，位线的接触部 210 和导电层 230 的电连接性能更高，电流的导通速度更快，能够提高器件的电性能。

根据一个示例性实施例，本实施例的位线结构的大部分内容和上述实施例相同，本实施例与上述实施例之间的区别之处在于，如图 1、2 所示，主体部 222 覆盖衬底 110 上方的第一介质层 121，接触部 210 的第二部分 212 贯穿第一介质层 121。

示例性的，第一介质层 121 的材料可以包括氮化硅或氮氧化硅等绝缘性能良好的材料。第一介质层 121 覆盖在衬底 110 的表面，对衬底 110 内部的结构进行绝缘和隔离。

根据一个示例性实施例，本实施例的位线结构的大部分内容和上述实施例相同，本实施例与上述实施例之间的区别之处在于，如图 1、2 所示，沿延伸部 221 的周向方向，延伸部 221 的第一部分外侧壁 2211 与衬底 110 接触连接，延伸部 221 的第二部分外侧壁 2212 设置绝缘部 310。

其中，沿延伸部 221 的周向方向，延伸部 221 的第一部分外侧壁 2211 为覆盖在接触部 210 周向第一方向的延伸部 221，延伸部 221 的第二部分外侧壁 2212 为覆盖在接触部 210 周向第二方向的延伸部 221。其中，第二方向为位线结构 200 的延伸方向（即图 3 中 BL 方向）。

设置绝缘部 310 覆盖延伸部 221 的第二部分外侧壁 2212 对延伸部 221 内的接触部 210 起到了良好的防护和保护作用。在本实施例中，绝缘部 310 与衬底表面上的第一介质层 121 连为一体，以对延伸部 221 的第二部分外侧壁 2212 起到更好的保护作用。

根据一个示例性实施例，本实施例的位线结构的大部分内容和上述实施例相同，其中，如图 3 所

示, 实施例的位线结构 200, 在衬底 110 中埋设有平行设置的多条字线 400, 接触部 210 设置在相邻的字线 400 之间。

如图 3 所示, 字线 400 为掩埋字线, 字线 400 埋入式设置在衬底 110 中, 字线 400 和有源区 111 相交, 字线 400 的顶面不高于衬底 110 的表面。在本实施例中, 衬底 110 中的有源区 111 阵列排布, 衬底 110 内的多条字线 400 也呈阵列平行排布, 每条字线 400 均与至少一个有源区 111 相交。

接触部 210 设置在相邻的字线 400 之间的衬底 110 中, 接触部 210 的底面与有源区 111 接触连接, 充分利用了衬底 110 有限的空间。

在本公开部分实施例中, 延伸部 221 在衬底 110 上的投影呈方形, 以平行于字线 400 且垂直于衬底 110 的平面为第一截面, 延伸部 221 的第二部分外侧壁 2212 与第一截面相互垂直。

本实施例中, 延伸部 221 的第二部分外侧壁 2212 与第一截面相互垂直, 延伸部 221 的第二部分外侧壁 2212 的方向为位线结构 200 的延伸方向 (即图 3 中示出的 BL 方向), 位线 200 的延伸方向 (即图 3 中示出的 BL 方向) 和字线 400 的延伸方向 (即图 3 中示出的 WL 方向) 垂直。

延伸部 221 在衬底 110 上的投影呈方形, 也即延伸部 221 的第一部分外侧壁 2211 所在第一方向和第二方向垂直, 在本实施例中, 第一方向为图 3 中示出的 WL 方向。

本实施例充分的利用衬底 110 有限的空间, 设置更多的位线结构 200 和字线 400。

根据一个示例性实施例, 本实施例的位线结构 200 的大部分内容与上述实施例相同, 本实施例与上述实施例之间的区别之处在于, 如图 1、2 所述, 延伸部 221 的第一部分外侧壁 2211 的厚度大于延伸部 221 的第二部分外侧壁 2212 的厚度。

根据上述实施例可知, 延伸部 221 在衬底 110 上的投影呈方形, 延伸部 221 的第二部分外侧壁 2212 所在第二方向为位线结构 200 的延伸方向 (即图 3 中示出的 BL 方向), 延伸部 221 的第一部分外侧壁 2211 所在第一方向平行于字线 400 的延伸方向 (即图 3 中示出的 WL 方向)。

本实施例通过减薄延伸部 221 的第二部分外侧壁 2212 的厚度, 保持位线结构 200 的线型形状。

根据一个示例性实施例, 如图 1-3 所示, 本实施例的位线结构 200, 设置在衬底 110 中, 衬底 110 上覆盖有第一介质层 121, 衬底 110 中设置有阵列式有源区 111, 位线结构 200 包括: 底面与有源区 111 接触连接的接触部 210、覆盖部分接触部 210 的阻挡层 220、覆盖部分阻挡层 220 的导电层 230 以及覆盖导电层 230 顶面的隔离层 240。

隔离层 240 的材料可以包括氮化硅或氮氧化硅等绝缘性能良好的材料, 隔离层 240 覆盖在导电层 230 上, 起到保护位线结构 200 的作用。

如图 1、图 2 所示, 接触部 210 包括埋入设置在衬底 110 中的第一部分 211 和从衬底 110 中向外伸出的第二部分 212。阻挡层 220 包括覆盖接触部 210 的侧壁面和顶面的延伸部 221, 以及覆盖在第一介质层 121 上的主体部 222, 接触部 210 的第二部分 212 贯穿主体部 222 伸入到导电层 230 中, 覆盖在接触部 210 的第一部分 211 侧壁的延伸部 221 也埋入在衬底 110 中, 覆盖在接触部 210 的第二部分 212 侧壁的延伸部 221 和接触部 210 的第二部分 212 一起伸入到导电层 230 中。导电层 230 覆盖阻挡层 220 的主体部 222 以及伸入到导电层 230 中的延伸部 221 的表面。

在本实施例中, 位线结构 200 外侧还覆盖有绝缘结构 300, 绝缘结构 300 覆盖在位线结构 200 位于衬底 110 上方的两侧侧壁、隔离层 240 的顶面以及位于衬底 110 中接触部的第二部分外侧壁 2212。

本实施例的位线结构 200, 增加了接触部 210 与导电层 230 的接触面积, 减小接触部 210 与导电层 230 的接触电阻, 接触部 210 和导电层 230 的电连接效率更高, 在集成电路中, 位线结构的电流的导通速度更快, 提高了器件的电性能。并且, 本实施例中的位线结构还设置隔离层 240 和绝缘结构 300 保护位线结构, 使位线结构更加坚固、稳定。

根据本公开示例性的实施例, 提供了一种半导体结构, 半导体结构包括本公开上述实施例中的位

线结构 200。

根据本公开实施例的半导体结构可以被包括在存储器单元和存储器单元阵列中，通过本公开上述实施例中的位线结构 200 执行读取操作或写入操作。本公开实施例的半导体结构，位线结构的接触部的接触电阻小，电流导通速度快，半导体结构的读取和写入数据的速度更快，半导体结构的电性能和存储性能均得到提高。

存储器单元和存储器单元阵列可以被包括在存储器件中，存储器件可以用在动态随机存储器 DRAM (Dynamic Random Access Memory, DRAM) 中。然而，也可以应用于静态随机存储器 (Static Random-Access Memory, SRAM)、快闪存储器 (flash EPROM)、铁电随机存储器 (Ferroelectric Random-Access Memory, FeRAM)、磁性随机存储器 (Magnetic Random Access Memory, MRAM)、相变随机存储器 (Phase change Random-Access Memory, PRAM) 等。

本公开示例性的实施例中提供了一种位线结构的制作方法，如图 4 所示，图 4 示出了根据本公开一示例性的实施例提供的位线结构的制作方法的流程图，图 10-a 至图 23-b 为位线结构的制作方法的各个阶段的示意图，下面结合图 10-a 至图 23-b 对位线结构的制作方法进行介绍。

如图 4 所示，本公开一示例性的实施例提供的一种位线结构的制作方法，包括如下的步骤：

步骤 S110：提供基底，基底包括衬底和覆盖在衬底上的第一初始介质层。

图 10-a 是本实施例提供的基底在平行于 WL 方向（参照图 3）的截面示意图，图 10-b 是本实施例提供的基底在 BL 方向（参照图 3）的截面示意图。如图 10-a 和图 10-b 所示，提供基底 100 的过程中，首先提供衬底 110，接着在衬底 110 上沉积第一初始介质层 120，第一初始介质层 120 覆盖衬底 110 的顶面，形成基底 100。

其中，衬底 110 为包括含硅物质的半导体衬底，例如，半导体衬底可以为硅衬底、硅锗衬底或 SOI (silicon on insulator, 绝缘体上硅) 衬底。衬底 110 包括阵列形式排布的有源区 111（参照图 3）。如图 10-a 和图 10-b 所示，衬底 100 中还设置有多个平行排列的字线 400（参照图 3），字线 400 为掩埋字线，埋入式设置在衬底 100 中。其中，字线 400 沿第一方向（参照图 3 的 WL 方向）延伸，每条字线 400 和有源区 111 呈预定角度相交，但非垂直正交（参照图 3）。

第一初始介质层 120 的材料包括氮化硅或氮氧化硅等绝缘性能良好的材料。在本实施例中，第一初始介质层 120 的材料为氮化硅。

步骤 S120：在基底内形成初始接触孔，初始接触孔的底壁暴露衬底，初始接触孔贯穿第一初始介质层。

图 11-a 是本实施例中形成光刻胶掩膜层在平行于 WL 方向（参照图 3）的截面示意图，图 11-b 是本实施例中形成光刻胶掩膜层在 BL 方向（参照图 3）的截面示意图。图 12-a 是本实施例中形成初始接触孔在平行于 WL 方向（参照图 3）的截面示意图，图 12-b 是本实施例中形成初始接触孔在 BL 方向（参照图 3）的示意图。

如图 12-a 和图 12-b 所示，参照图 11-a 和图 11-b，在第一初始介质层 120 上形成光刻胶掩膜层 10，光刻胶掩膜层 10 上定义有第一图案 11，第一图案 11 在衬底 100 上的投影位于相邻的两条字线 400 之间，并且第一图案 11 在衬底 100 上的投影和有源区 111（参照图 3）在衬底 100 上的投影存在重合区域。根据第一图案 11 依次去除第一初始介质层 120、去除部分衬底 110，暴露出有源区 111，形成初始接触孔 101。

步骤 S130：在初始接触孔中形成接触部和覆盖接触部的外侧壁的第二初始介质单元，接触部的底面与衬底相连，第二初始介质单元的侧壁与衬底和第一初始介质层相连。

图 14-a 是本实施例中形成第二初始介质单元在平行于 WL 方向（参照图 3）的截面示意图，图 14-b 是本实施例中形成第二初始介质单元在 BL 方向（参照图 3）的示意图。如图 14-a 和图 14-b 所示，在初

始接触孔 101 中形成第二初始介质单元 130，第二初始介质单元 130 覆盖初始接触孔 101 的侧壁。

图 16-a 是本实施例中形成接触部在第二方向即图 3 中示出的平行于 WL 方向（参照图 3）的示意图，图 16-b 是本实施例中形成接触部在 BL 方向（参照图 3）的示意图。如图 16-a 和图 16-b 所示，在第二初始介质单元 130 中填充形成接触部 210，接触部 210 的底面和衬底 110 接触，第二初始介质单元、接触部 210 的顶面和第一初始介质层 120 的顶面平齐，接触部 210 的外侧壁被第二初始介质单元 130 覆盖。

其中，可以采用原子层沉积工艺(Atomic Layer Deposition, ALD)沉积第二初始介质单元 130，第二初始介质单元 130 的材料包括导电金属、导电金属氮化物、导电合金中的一种或二种以上，例如，导电金属可以为钛（Titanium）、钽（tantalum）、钨（Tungsten）。在本实施例中，第二初始介质单元 130 的材料为氮化钛。

可以采用原子层沉积工艺(Atomic Layer Deposition, ALD)沉积接触部 210，接触部 210 的材料可以为多晶硅。

步骤 S140：刻蚀部分第一初始介质层，形成第一介质层，第一介质层暴露第二初始介质单元的部分侧壁。

图 17-a 是本实施例中形成第一介质层在平行于 WL 方向（参照图 3）的截面示意图，图 17-b 是本实施例中形成第一介质层在 BL 方向（参照图 3）的截面示意图。如图 17-a 和图 17-b 所示，参照图 16-a 和图 16-b，可以通过干法刻蚀工艺或湿法刻蚀工艺，回刻去除预定厚度的第一初始介质层 120，形成第一介质层 121。第一介质层 121 的厚度相比第一初始介质层 120 减小预定厚度，原本和第一初始介质层 120 顶面平齐的接触部 210 的顶端形成凸出第一介质层 121 的顶面预定高度的凸部，凸部侧壁的第二初始介质单元 130 被暴露出来。

步骤 S150：沉积第三初始介质层和初始层叠结构，第三初始介质层覆盖第一介质层和第二初始介质单元的侧壁，以及接触部的顶面和第二初始介质单元的顶面，第三初始介质层与第二初始介质单元连为一体，初始层叠结构覆盖第三初始介质层。

图 18-a 是本实施例中形成第三初始介质层在平行于 WL 方向（参照图 3）的截面示意图，图 18-b 是本实施例中形成第三初始介质层在 BL 方向（参照图 3）的截面示意图。

如图 18-a 和图 18-b 所示，可以采用原子层沉积工艺(Atomic Layer Deposition, ALD)沉积第三初始介质层 140，第三初始介质层 140 的材料包括导电金属、导电金属氮化物、导电合金中的一种或二种以上，例如，导电金属可以为钛（Titanium）、钽（tantalum）、钨（Tungsten）。第三初始介质层 140 的材料可以和第二初始介质单元的材料相同或不同。在本实施例中，第三初始介质层 140 的材料和第二初始介质单元 130 的材料均为氮化钛。

第三初始介质层 140 覆盖在接触部 210 凸出于第一介质层 121 形成的凸部上、和第二初始介质单元 130 连接在一起，以使接触部 210 的全部侧壁和顶面均被覆盖。

图 19-a 是本实施例中形成初始导电层在平行于 WL 方向（参照图 3）的截面示意图，图 19-b 是本实施例中形成初始导电层在 BL 方向（参照图 3）的截面示意图。如图 19-a 和图 19-b 所示，并参照图 18-a 和图 18-b，第三初始介质层 140 的厚度小于接触部 210 的凸部的高度，在形成第三初始介质层 140 之后，凸部的顶面仍高于形成在第一介质层 121 上的第三初始介质层 140 的顶面，在形成初始层叠结构 500 后，接触部 210 的顶部及其上覆盖的第三初始介质层 140 共同延伸至初始层叠结构 500 中，接触部 210 的顶面及其延伸到初始层叠结构 500 中的侧壁的面积之和，为接触部 210 和初始层叠结构 500 的接触面积。

步骤 S160：刻蚀初始层叠结构、第三初始介质层和第二初始介质单元，被保留的初始层叠结构形成层叠结构，层叠结构包括导电层；被保留的第二初始介质单元和第三初始介质层连为一体形成阻挡

层，包覆接触部的被保留的第二初始介质单元和第三初始介质层形成阻挡层的延伸部。

导电层 230 的材料包括导电金属、导电金属氮化物、导电合金中的一种或二种以上，例如，导电金属可以为钛（Titanium）、钽（tantalum）、钨（Tungsten）。在本实施例中，导电层 230 的材料为钨。

图 22-a 是本实施例中形成的层叠结构在平行于 WL 方向（参照图 3）的截面示意图，图 22-b 是本实施例中形成的层叠结构在 BL 方向（参照图 3）的截面示意图。

如图 22-a 和图 22-b 所示，刻蚀去除部分初始层叠结构 500、第三初始介质层 140 和第二初始介质单元 130，直至暴露出第一介质层 121 或暴露出衬底 110，形成层叠结构 600，层叠结构 600 为沿第二方向（位线结构 200 的延伸方向，即图 3 中示出的 BL 方向）延伸的线性结构，其中，第二方向与字线 400 延伸的第一方向（即图 3 中示出的 WL 方向）垂直。

层叠结构 600 在第一方向（即图 3 中示出的 WL 方向）的任意截面的宽度是相等的。并且，在第一方向（即图 3 中示出的 WL 方向）上，层叠结构 600 的宽度大于接触部 210 的宽度、小于或等于初始接触孔 101 的宽度，以保证接触部 210 的两侧覆盖有阻挡层 220。

步骤 S170：形成第四介质层，第四介质层覆盖层叠结构和部分延伸部。

图 23-a 是本实施例中沉积第四介质层在平行于 WL 方向（参照图 3）的截面示意图，图 23-b 是本实施例中沉积第四介质层在 BL 方向（参照图 3）的截面示意图。如图 23-a 和图 23-b 所示，可以采用原子层沉积工艺(Atomic Layer Deposition, ALD)沉积第四介质层 190。第四介质层 190 的材料包括氮化硅或氮氧化硅等绝缘性能良好的材料。在本实施例中，第四介质层 190 的材料为氮化硅。

本实施例的制作方法，在初始接触孔侧壁覆盖第二初始介质单元，再形成接触部，形成的接触部的外侧壁被第二初始介质单元覆盖，然后形成覆盖接触部顶面的第三初始介质层，以将接触部的外侧壁和顶面均被覆盖，避免在位线制程中，接触部的外侧壁和顶面与空气接触氧化导致接触电阻增大。而且，回刻第一初始介质层成为第一介质层，接触部的顶部凸出于第一介质层，以使接触部的顶部延伸到层叠结构的导电层中，接触部与导电层接触的面积 of 接触部的顶壁与接触部延伸到导电层内的侧壁面积的总和，本实施例的制作方法，通过防止制程中接触部氧化电阻增加，增加了接触部与导电层的接触面积，减小接触部与导电层的接触电阻，位线结构的接触部和导电层的电连接效率更高，电流的导通速度更快，能够提高器件的电性能。

根据一个示例性实施例，本实施例是对上述实施例步骤 S120 的实施方式的说明。如图 5 所示，图 5 示出了根据本实施例提供的位线结构的制作方法中步骤 S120 中在初始接触孔中形成覆盖接触部的外侧壁的第二初始介质单元的流程图。

在初始接触孔中形成覆盖接触部的外侧壁的第二初始介质单元，包括以下步骤：

S121：沉积第二初始介质层，第二初始介质层覆盖第一初始介质层和初始接触孔的侧壁和底壁。

图 13-a 是本实施例中沉积第二初始介质层在平行于 WL 方向（参照图 3）的截面示意图，图 13-b 是本实施例中沉积第二初始介质层在 BL 方向（参照图 3）的截面示意图。如图 13-a 和图 13-b 所示，参照图 12-a、图 12-b，可以采用原子层沉积工艺(Atomic Layer Deposition, ALD)沉积第二初始介质层 131，在本实施例中，第二初始介质层 131 的材料为氮化钛。

S122：刻蚀覆盖在第一初始介质层上的第二初始介质层，包括第一初始介质层，刻蚀覆盖在初始接触孔的底壁的第二初始介质层，暴露衬底，形成第二初始介质单元。

如图 14-a 和图 14-b 所示，参照图 13-a、图 13-b，通过干法或湿法刻蚀，去除覆盖在第一初始介质层 120 顶面的第二初始介质层 131，去除覆盖在初始接触孔 101 的底壁的第二初始介质层 131 直至暴露出衬底 110，保留覆盖在初始接触孔 101 侧壁的第二初始介质层 131 作为第二初始介质单元 130。第二初始介质单元 130 和初始接触孔 101 暴露出的底壁围成接触孔 102。

本实施例中形成的接触孔 102 的侧壁面由第二初始介质单元 130 围成，以使形成的接触部 210 的底面与衬底 101 接触，而接触部 210 的侧壁与第二初始介质单元 130 连接，避免接触部 210 的侧壁直接暴露在空气中，避免在位线制造过程中接触部 210 的侧壁被空气氧化，避免接触部 210 氧化导致的电阻增加。

根据一个示例性实施例，本实施例是对上述实施例步骤 S130 的实施方式的说明。如图 6 所示，图 6 示出了根据本实施例提供的位线结构的制作方法中步骤 S130 中在初始接触孔中形成接触部的流程图。

在初始接触孔中形成接触部，包括以下步骤：

S131：沉积接触介质层，接触介质层覆盖第二初始介质单元的内壁面和第一初始介质层，以及初始接触孔暴露的衬底；

图 15-a 是本实施例示出的中沉积接触介质层在平行于 WL 方向（参照图 3）的截面示意图，图 15-b 是本实施例示出的中沉积接触介质层在 BL 方向（参照图 3）的截面示意图。如图 15-a 和图 15-b 所示，参照图 14-a、图 14-b，可以采用原子层沉积工艺(Atomic Layer Deposition, ALD)沉积接触介质层 150，接触介质层 150 填充接触孔 102 并覆盖第一初始介质层 120 的顶面，在本实施例中，接触介质层 150 的材料为氮化钛。

S132：去除部分接触介质层，保留接触介质层在初始接触孔中的部分，形成接触部，接触部的顶面与第一初始介质层的顶面平齐。

如图 16-a 和图 16-b 所示，参照图 15-a、图 15-b，通过干法或湿法刻蚀，去除第一初始介质层 120 上的接触介质层 150，直至暴露出第一初始介质层 120 的顶面，形成接触部 210，接触部 210 的顶面与第一初始介质层 120 的顶面平齐。

本示例性实施例，通过去除第一初始介质层顶面上的接触介质层形成接触部，在此过程中能够去除被空气氧化的顶层接触介质层，形成的接触部电阻更小，导电性能更好。

根据一个示例性实施例，本实施例是对上述实施例步骤 S150 的实施方式的说明。如图 7 所示，图 7 示出了根据本实施例提供的位线结构的制作方法中步骤 S150 中沉积初始层叠结构的流程图。

沉积初始层叠结构，包括以下步骤：

S151 沉积初始导电层，初始导电层覆盖第三初始介质层。

如图 19-a、图 19-b 所示，参照图 18-a、图 18-b，可以采用原子层沉积工艺(Atomic Layer Deposition, ALD)沉积初始导电层 160，初始导电层 160 覆盖第一初始介质层 120 的顶面、和第二初始介质单元 130 的侧壁，以及接触部 210 的顶面和第三初始介质层 140 的顶面，示例性的，初始导电层 160 的材料为钨。

S152 沉积初始隔离层，初始隔离层覆盖初始导电层。

图 20-a 是本实施例中形成初始隔离层在平行于 WL 方向（参照图 3）的截面示意图，图 20-b 是本实施例中形成初始隔离层在 BL 方向（参照图 3）的截面示意图。如图 20-a、图 20-b 所示，参照图 19-a、图 19-b，可以采用原子层沉积工艺(Atomic Layer Deposition, ALD)沉积初始隔离层 170，初始隔离层 170 覆盖初始导电层 160，在本实施例中，初始隔离层 170 的材料为氮化钛。

如图 20-a、图 20-b 所示，初始层叠结构 500 包括位于衬底上方的接触部 210、第二初始介质单元 130、第三介质层 140、初始导电层 160 以及初始隔离层 170。

本实施例中，沉积的初始层叠结构包括初始导电层和初始隔离层，制作得到的位线结构更加坚固、温度。

本公开示例性的实施例中提供一种位线结构的制备方法，如图 8 所示，图 8 示出了根据本公开一示例性的实施例提供的位线结构的制作方法的流程图，本实施例的步骤 S210-步骤 S250 和上述实施例

的步骤 S110-步骤 S150 均相同，本实施例的步骤 S270 和上述实施例的步骤 S160 相同，本实施例的步骤 S280 和上述实施例的步骤 S170 相同。

如图 8 所示，本实施例和上述实施例的区别之处在于，本实施例的位线结构的制作方法，在步骤 S250 沉积第三初始介质层和初始层叠结构之后，步骤 S270 刻蚀初始层叠结构、第三初始介质层和第二初始介质单元之前，还包括步骤 S260：在初始隔离层上形成掩膜层。

图 21-a 是本实施例中形成掩膜层在平行于 WL 方向（参照图 3）的截面示意图，图 21-b 是本实施例中形成掩膜层在 BL 方向（参照图 3）的截面示意图。如图 21-a、图 21-b 所示，参照图 20-a、图 20-b，掩膜层 180 对应设置在接触部 210 上方的初始隔离层 170 上，掩膜层 180 为沿第二方向（位线结构 200 的延伸方向，即图 3 中示出的 BL 方向）延伸的条形结构，且在第一方向（即图 3 中示出的 WL 方向）上，掩膜层 180 的宽度大于接触部 210 的宽度，小于或等于初始接触孔 101 的宽度，接触部 210 在衬底 110 上形成的投影位于掩膜层 180 在衬底 100 上形成的投影内。

在本实施例中，掩膜层 180 的宽度小于初始接触孔 101 的宽度，初始接触孔 101 在衬底 100 上形成的投影的两侧边缘从掩膜层 180 在衬底 100 上形成的投影两侧伸出。

本实施例中，将掩膜层的宽度限制在大于接触部的宽度、小于初始接触孔的宽度的范围中，初始接触孔的两侧均保留有超出掩膜层部分，保证根据本实施例的掩膜层刻蚀得到的位线结构具有良好的线型形状，并且，能够暴露出阻挡层的延伸部的部分侧壁面，以便于后续沉积的第四介质层能够覆盖在延伸部的暴露出的侧壁面上，对接触部加强防护。

根据一个示例性实施例，本实施例是对上述实施例步骤 S270 的实施方式的说明。如图 9 所示，图 9 示出了根据本实施例提供的位线结构的制作方法中步骤 S270 中刻蚀初始层叠结构、第三初始介质层和第二初始介质单元的流程。

刻蚀初始层叠结构、第三初始介质层和第二初始介质单元，包括以下步骤：

S271：刻蚀初始隔离层，被保留的与掩膜层定义的图形对应的初始隔离层形成隔离层。

S272：刻蚀初始导电层，被保留的与图形对应的所处初始导电层形成导电层。

S273：刻蚀第三初始介质层，被保留的与图形对应的第三初始介质层的一部分作为延伸部的一部分，被保留的与图形对应的第三初始介质层的另一部分作为阻挡层的主体部。

S274：刻蚀第二初始介质单元，被保留的与图形对应的第二初始介质单元作为延伸部的另一部分。

如图 22-a 和图 22-b 所示，参照图 21-a 和图 21-b，掩膜层 180 设置在初始隔离层 170 上，通过干法或湿法刻蚀去除未被掩膜层 180 定义的图形覆盖的初始隔离层 170，保留的部分初始隔离层 170 形成隔离层 240；掩膜层 180 定义的图形转移到初始导电层 160 上，通过干法或湿法刻蚀去除未被掩膜层 180 定义的图形覆盖的初始导电层 160，保留的部分初始导电层 160 形成导电层 230；掩膜层 180 定义的图形转移到第三初始介质层 140 上，通过干法或湿法刻蚀去除未被掩膜层 180 定义的图形覆盖的第三初始介质层 140，保留的第三初始介质层 140 作为阻挡层 220 的主体部 222 以及延伸部 221 的一部分；掩膜层 180 定义的图形转移到第二初始介质单元 130 上，通过干法或湿法刻蚀去除未被掩膜层 180 定义的图形覆盖的第二初始介质单元 130，直至暴露出衬底 110，被保留的第二初始介质单元 130 作为阻挡层 220 的延伸部 221 的另一部分。

在本示例性实施例中，在步骤 S280 中，形成的层叠结构的宽度小于初始接触孔 101 的宽度时，部分第二初始介质单元 130 被去除之后，暴露出初始接触孔 101 的两侧侧壁，如图 22-a、图 22-b 所示，在阻挡层 220 的延伸部 221 的两侧形成防护空间。在后续沉积第四介质层 190 时，部分第四介质层 190 覆盖衬底 100 上方的层叠结构 600（参照图 1、图 2），部分第四介质层 190 填充到延伸部 221 两侧的防护空间中形成绝缘部 310，覆盖衬底 100 上方的层叠结构 600 的第四介质层 190 和延伸部 221 两侧的绝缘部 310 共同作为绝缘结构 300，绝缘结构 300 与第一介质层 121 连为一体，为位线结构提供良好的

防护作用。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。

在本说明书的描述中，参考术语“实施例”、“示例性的实施例”、“一些实施方式”、“示意性实施方式”、“示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。

在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

在本公开的描述中，需要说明的是，术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

可以理解的是，本公开所使用的术语“第一”、“第二”等可在本公开中用于描述各种结构，但这些结构不受这些术语的限制。这些术语仅用于将第一个结构与另一个结构区分。

在一个或多个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的多个部分没有按比例绘制。此外，可能未示出某些公知的部分。为了简明起见，可以在一幅图中描述经过数个步骤后获得的结构。在下文中描述了本公开的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本公开。但正如本领域技术人员能够理解的那样，可以不按照这些特定的细节来实现本公开。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

工业实用性

本公开实施例所提供的位线结构，阻挡层覆盖接触部的顶面和外侧壁面，阻挡层保护接触部的侧壁不被氧化，减小了位线的接触电阻。

权利要求

- 1、一种位线结构，设置于衬底，所述位线结构包括：
接触部，其底面与所述衬底连接；
阻挡层，其包括延伸部，所述延伸部覆盖所述接触部的顶面和外侧壁面；
导电层，覆盖部分所述阻挡层。
- 2、根据权利要求1所述的位线结构，其中，所述接触部包括第一部分和第二部分，所述第一部分位于所述衬底内部，所述第二部分位于所述衬底的上方；
所述阻挡层还包括主体部，所述接触部的第二部分贯穿所述主体部并延伸至所述导电层内；
所述导电层覆盖所述主体部，以及所述延伸部的部分表面。
- 3、根据权利要求2所述的位线结构，其中，所述主体部与所述延伸部连为一体。
- 4、根据权利要求2所述的位线结构，其中，所述主体部覆盖所述衬底上方的第一介质层；
所述接触部的第二部分贯穿所述第一介质层。
- 5、根据权利要求4所述的位线结构，其中，沿所述延伸部的周向方向，所述延伸部的第一部分外侧壁与所述衬底接触连接，所述延伸部的第二部分外侧壁设置绝缘部。
- 6、根据权利要求5所述的位线结构，其中，所述绝缘部与所述第一介质层连为一体。
- 7、根据权利要求5所述的位线结构，其中，所述衬底中埋设有平行设置的多条字线，所述接触部设置在相邻的所述字线之间。
- 8、根据权利要求7所述的位线结构，其中，所述延伸部在所述衬底上的投影呈方形，以平行于所述字线且垂直于所述衬底的平面为第一截面，所述延伸部的第二部分外侧壁与所述第一截面相互垂直。
- 9、根据权利要求5所述的位线结构，其中，所述延伸部的第一部分外侧壁的厚度大于所述延伸部的第二部分外侧壁的厚度。
- 10、一种半导体结构，所述半导体结构包括如权利要求1至9任一项所述的位线结构。
- 11、一种位线结构的制作方法，其中，所述制作方法包括以下步骤：
提供基底，所述基底包括衬底和覆盖在所述衬底上的第一初始介质层；
在所述基底内形成初始接触孔，所述初始接触孔的底壁暴露所述衬底，所述初始接触孔贯穿所述第一初始介质层；
在所述初始接触孔中形成接触部和覆盖所述接触部的外侧壁的第二初始介质单元，所述接触部的底面与所述衬底相连，所述第二初始介质单元的侧壁与所述衬底和所述第一初始介质层相连；
刻蚀部分所述第一初始介质层，形成第一介质层，所述第一介质层暴露所述第二初始介质单元的部分侧壁；
沉积第三初始介质层和初始层叠结构，所述第三初始介质层覆盖所述第一介质层和所述第二初始介质单元的侧壁，以及所述接触部的顶面和所述第二初始介质单元的顶面，所述第三初始介质层与所

述第二初始介质单元连为一体，所述初始层叠结构覆盖所述第三初始介质层；

刻蚀所述初始层叠结构、所述第三初始介质层和所述第二初始介质单元，被保留的初始层叠结构形成层叠结构，所述层叠结构包括导电层；被保留的所述第二初始介质单元和所述第三初始介质层连为一体形成阻挡层，包覆所述接触部的被保留的所述第二初始介质单元和所述第三初始介质层形成所述阻挡层的延伸部；

形成第四介质层，所述第四介质层覆盖所述层叠结构和部分所述延伸部。

12、根据权利要求 11 所述的位线结构的制作方法，其中，所述在所述初始接触孔中形成覆盖所述接触部的外侧壁的第二初始介质单元，包括：

沉积第二初始介质层，所述第二初始介质层覆盖所述第一初始介质层和所述初始接触孔的侧壁和底壁；

刻蚀覆盖在所述第一初始介质层上的所述第二初始介质层，包括所述第一初始介质层，刻蚀覆盖在所述初始接触孔的底壁的所述第二初始介质层，暴露所述衬底，形成所述第二初始介质单元。

13、根据权利要求 12 所述的位线结构的制作方法，其中，在所述初始接触孔中形成接触部，包括：

沉积接触介质层，所述接触介质层覆盖所述第二初始介质单元的内壁面和所述第一初始介质层，以及所述初始接触孔暴露的所述衬底；

去除部分所述接触介质层，保留所述接触介质层在所述初始接触孔中的部分，形成所述接触部，所述接触部的顶面与所述第一初始介质层的顶面平齐。

14、根据权利要求 11 所述的位线结构的制作方法，其中，沉积所述初始层叠结构包括：

沉积初始导电层，所述初始导电层覆盖所述第三初始介质层；

沉积初始隔离层，所述初始隔离层覆盖所述初始导电层。

15、根据权利要求 14 所述的位线结构的制作方法，其中，所述制作方法还包括：

在所述初始隔离层上形成掩膜层。

16、根据权利要求 15 所述的位线结构的制作方法，其中，所述刻蚀所述初始层叠结构、所述第三初始介质层和所述第二初始介质单元，包括：

刻蚀所述初始隔离层，被保留的与所述掩膜层定义的图形对应的所述初始隔离层形成所述隔离层；

刻蚀所述初始导电层，被保留的与所述图形对应的所述初始导电层形成所述导电层；

刻蚀所述第三初始介质层，被保留的与所述图形对应的所述第三初始介质层的一部分作为所述延伸部的一部分，被保留的与所述图形对应的所述第三初始介质层的另一部分作为所述阻挡层的主体部；

刻蚀所述第二初始介质单元，被保留的与所述图形对应的所述第二初始介质单元作为所述延伸部的另一部分。

17、根据权利要求 11 所述的位线结构的制作方法，其中，所述第四介质层与所述第一介质层连为一体；

位于所述第二初始介质单元与所述衬底之间的部分所述第四介质层形成绝缘部。

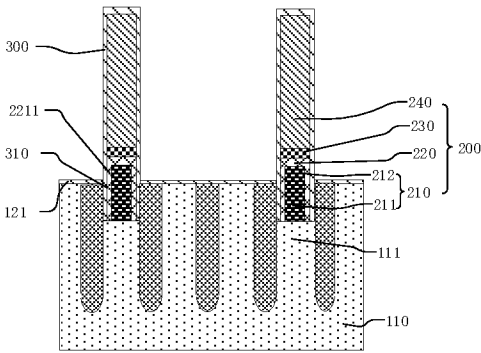


图 1

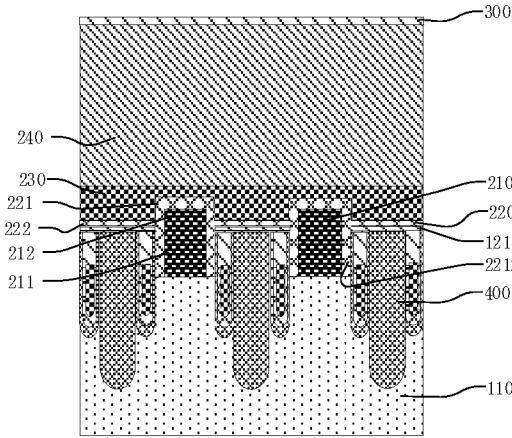


图 2

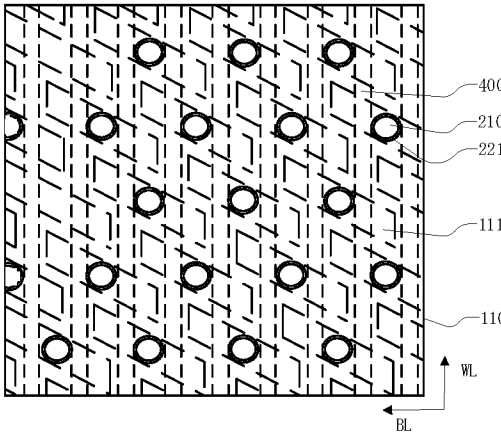
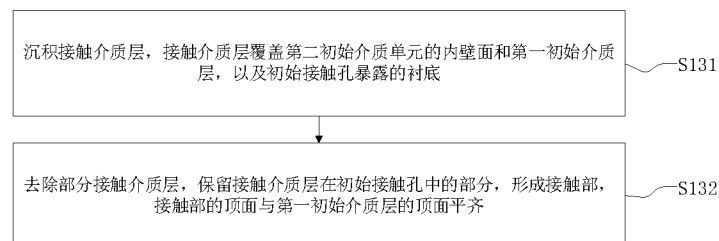
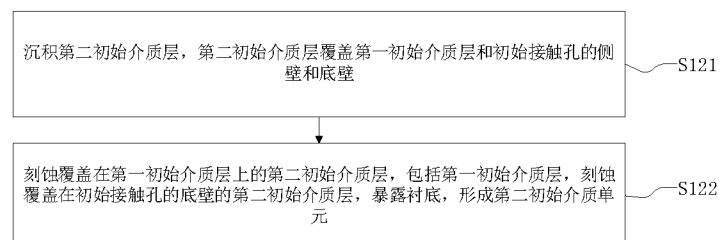
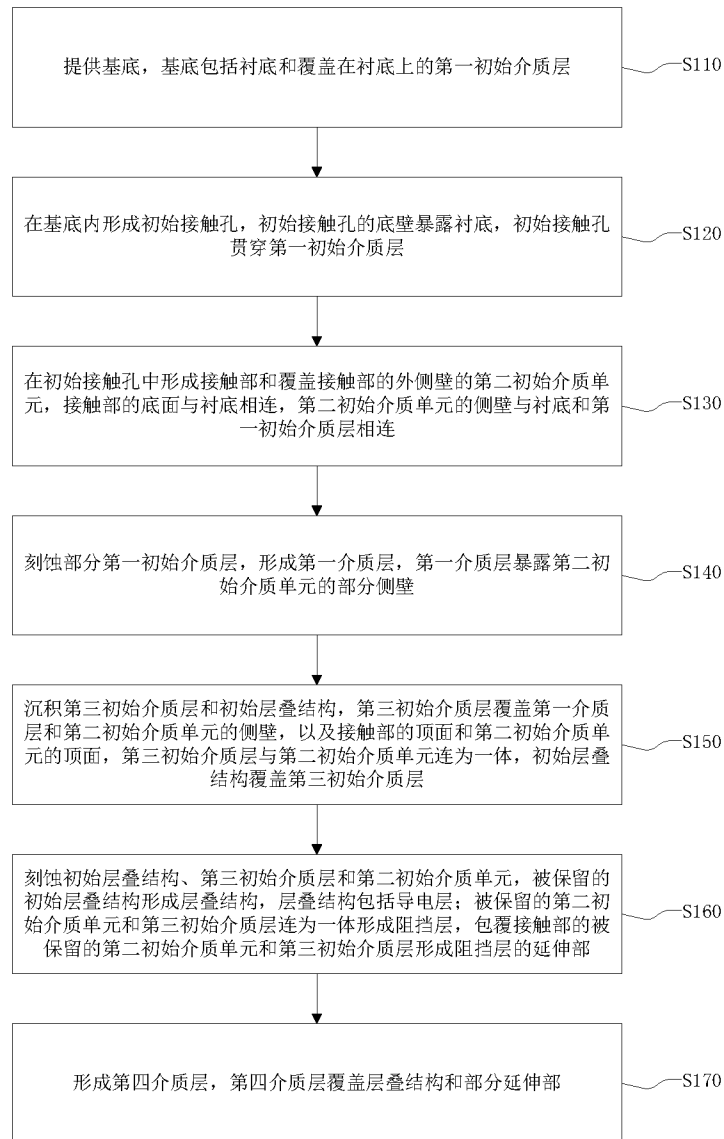


图 3



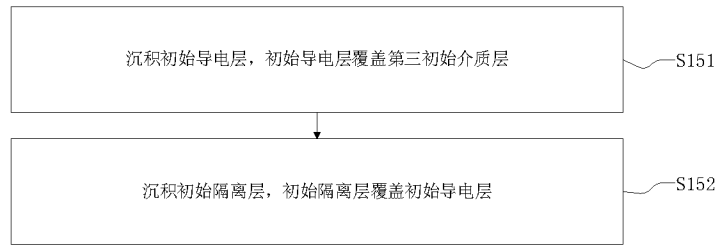


图 7

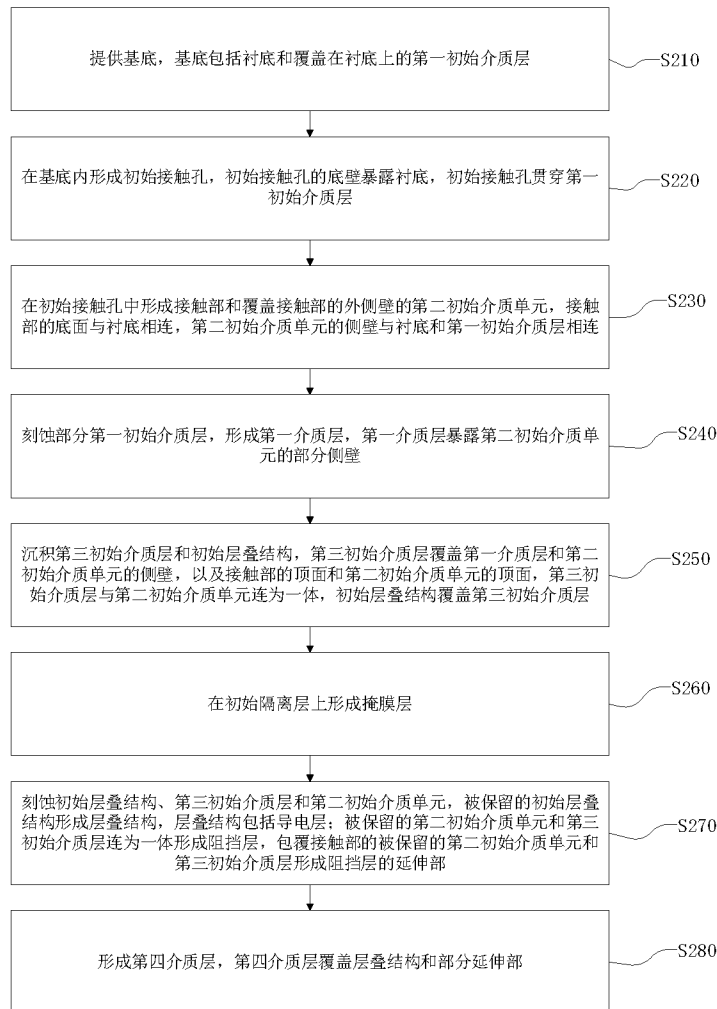


图 8

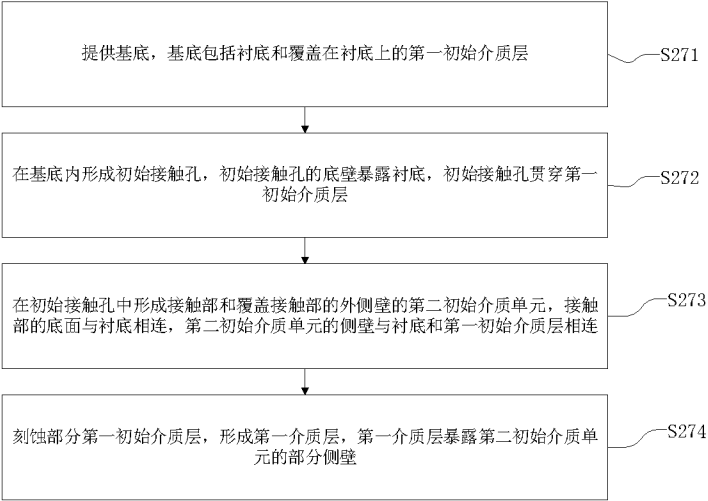


图 9

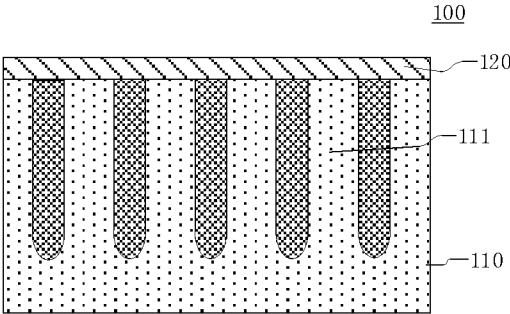


图 10-a

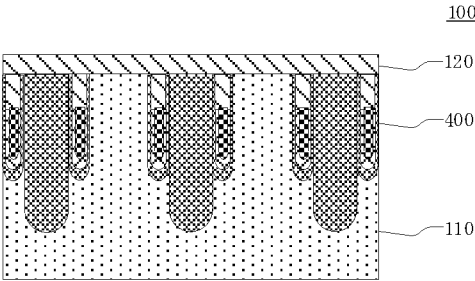


图 10-b

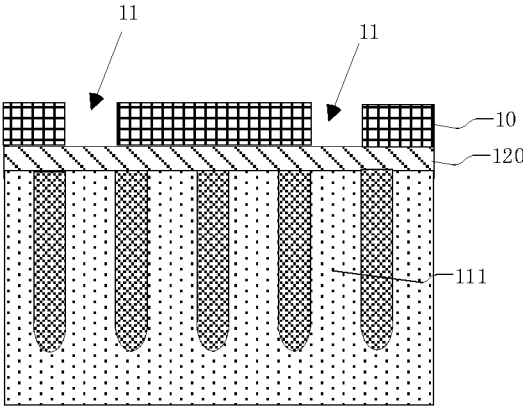


图 11-a

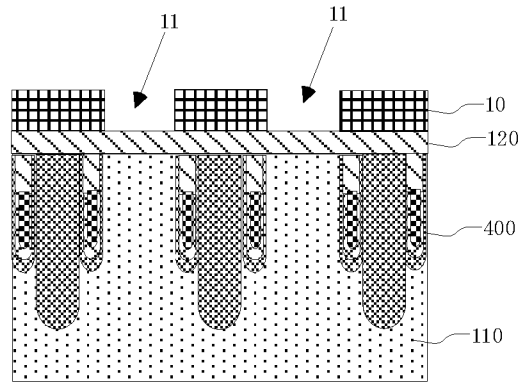


图 11-b

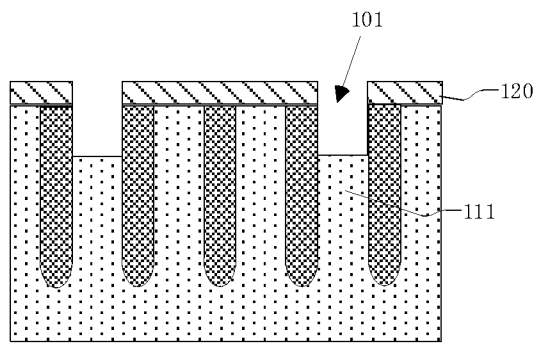


图 12-a

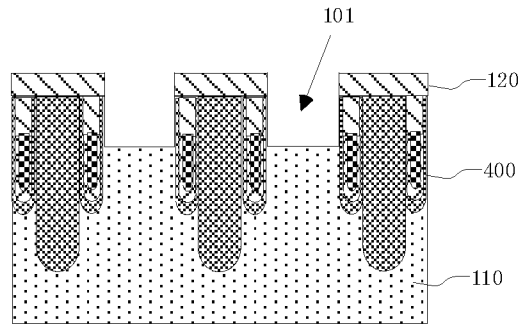


图 12-b

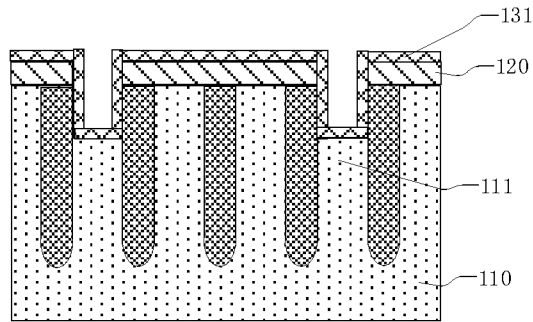


图 13-a

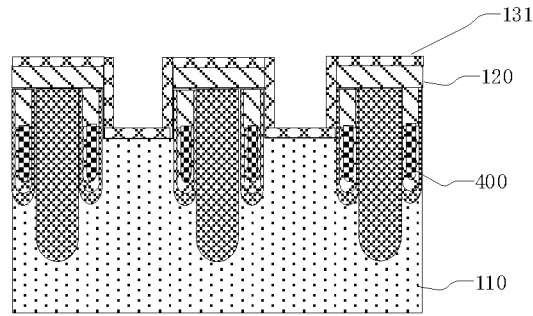


图 13-b

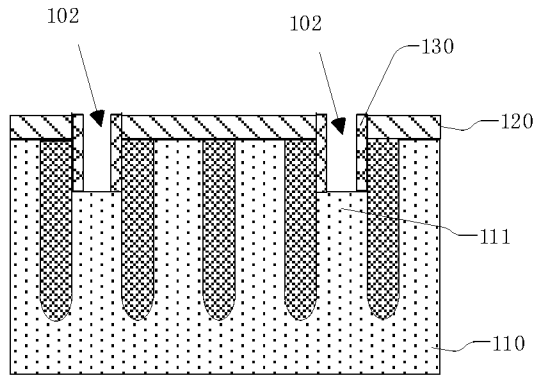


图 14-a

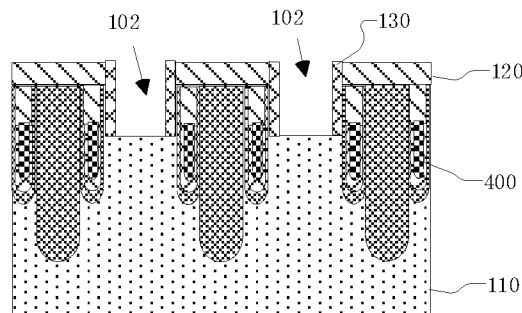


图 14-b

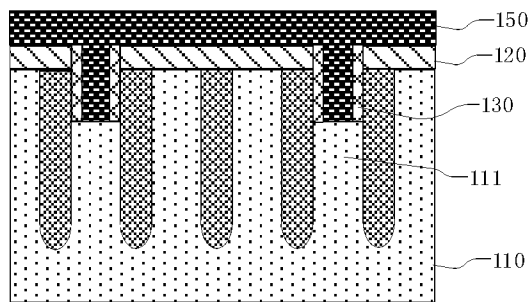


图 15-a

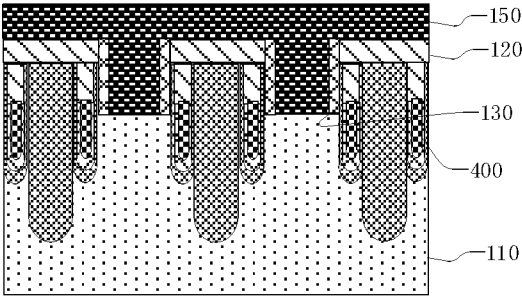


图 15-b

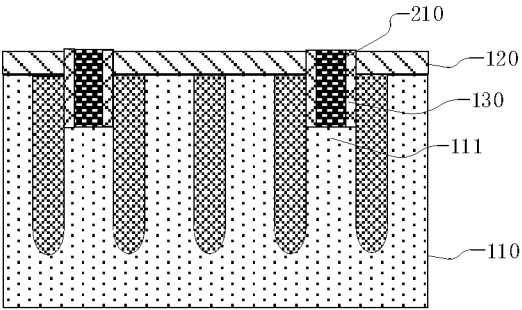


图 16-a

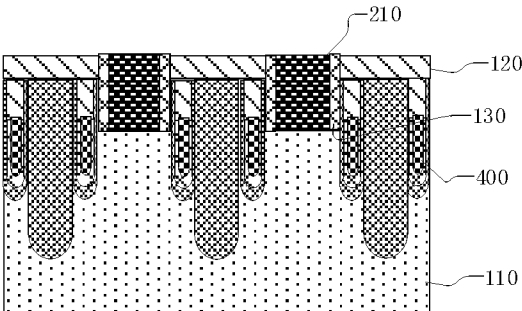


图 16-b

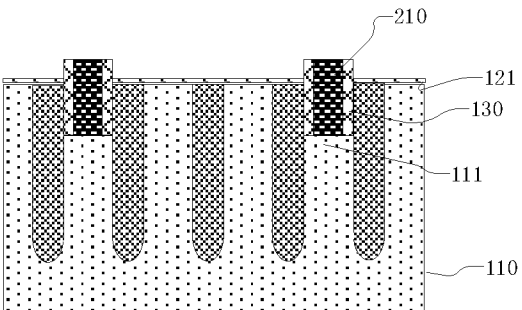


图 17-a

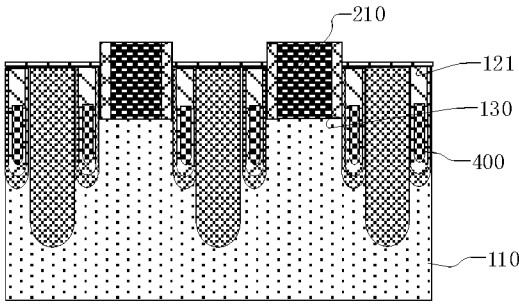


图 17-b

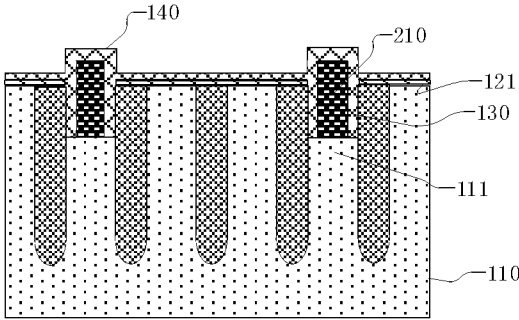


图 18-a

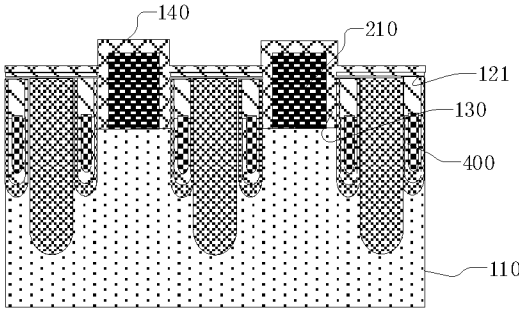


图 18-b

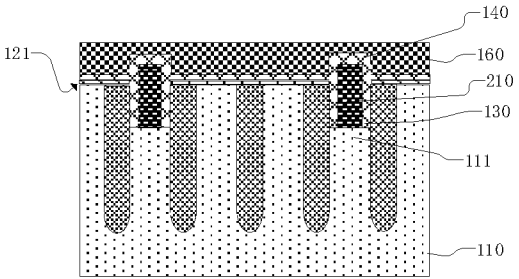


图 19-a

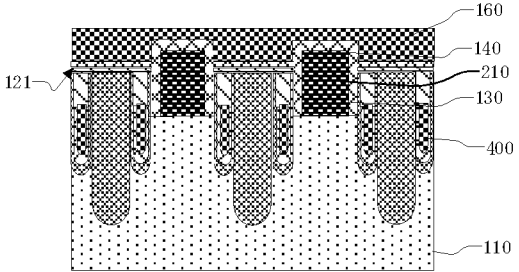


图 19-b

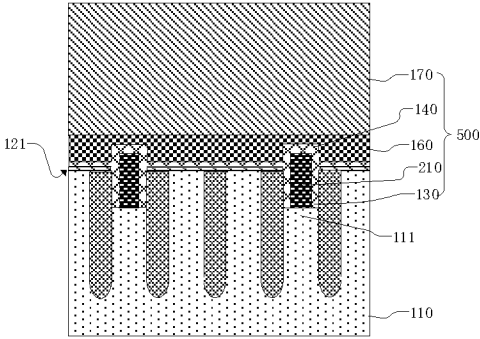


图 20-a

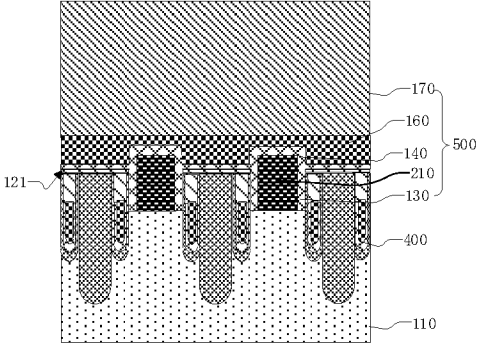


图 20-b

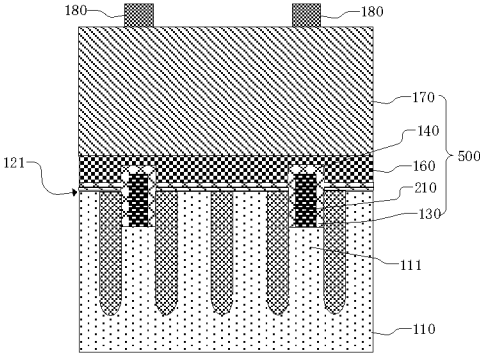


图 21-a

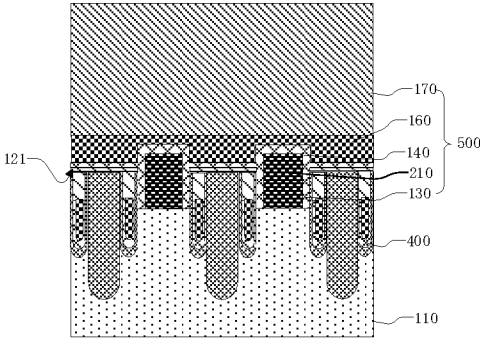


图 21-b

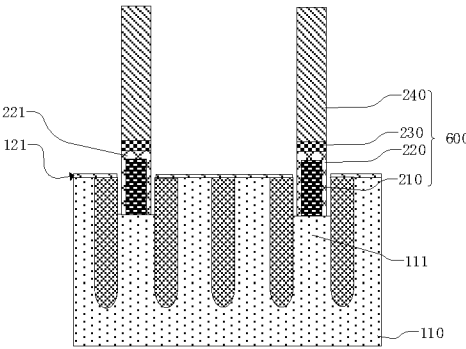


图 22-a

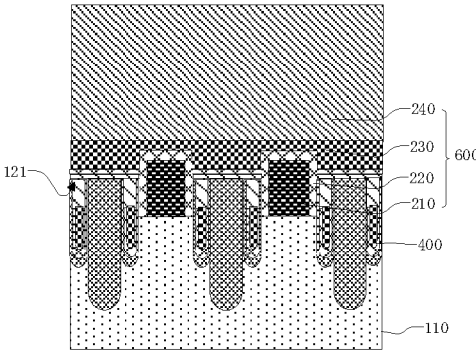


图 22-b

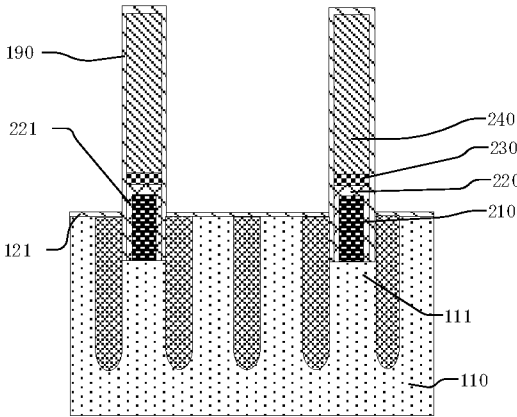


图 23-a

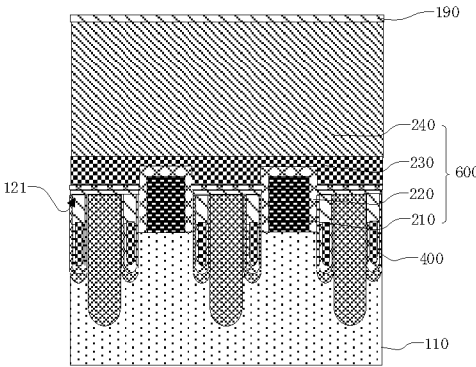


图 23-b

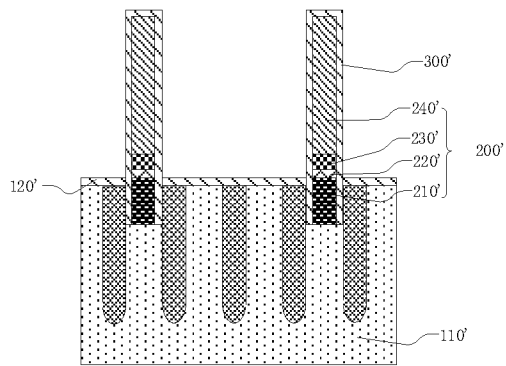


图 24

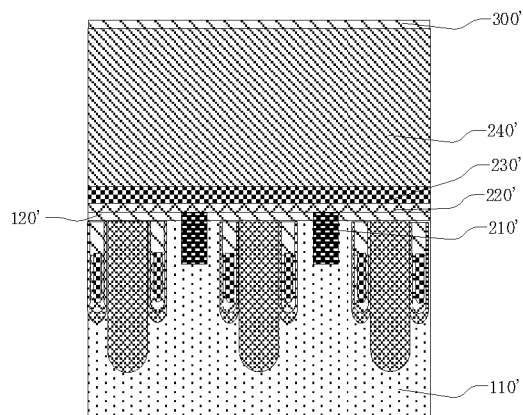


图 25

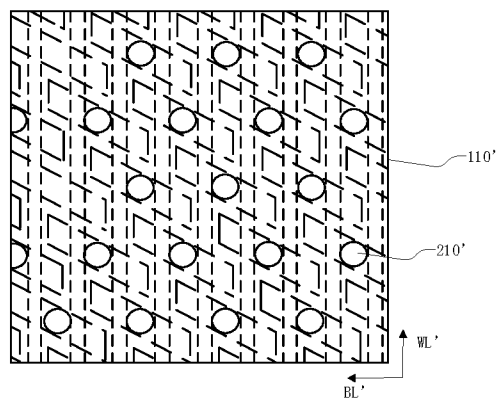


图 26

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/071821

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/108(2006.01)i; H01L 21/8242(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: 位线, 动态随机存取存储器, 阻挡, 外侧, 侧壁, 侧面, 覆盖, bit line, DRAM, barrier, blocking, sidewall, side, cover, cap

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1781156 A (MOTOROLA INC.) 31 May 2006 (2006-05-31) description, page 3, line 12-page 7, line 16, and figures 1-10	1, 10
PX	CN 113571521 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 29 October 2021 (2021-10-29) claims 1-17	1-17
A	CN 102543944 A (HYNIX SEMICONDUCTOR INC.) 04 July 2012 (2012-07-04) entire document	1-17
A	CN 112992775 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 18 June 2021 (2021-06-18) entire document	1-17
A	CN 104810390 A (SK HYNIX INC.) 29 July 2015 (2015-07-29) entire document	1-17
A	CN 102543880 A (HYNIX SEMICONDUCTOR INC.) 04 July 2012 (2012-07-04) entire document	1-17
A	US 2008227290 A1 (HYNIX SEMICONDUCTOR INC.) 18 September 2008 (2008-09-18) entire document	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 April 2022

Date of mailing of the international search report

26 April 2022

Name and mailing address of the ISA/CN

**China National Intellectual Property Administration (ISA/
CN)**
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/071821

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	1781156	A	31 May 2006	KR	20040091703	A	28 October 2004
				WO	03077258	A2	18 September 2003
				AU	2003212447	A1	22 September 2003
				JP	2005519482	A	30 June 2005
				US	2005263400	A1	01 December 2005
				TW	200304666	A	01 October 2003
				US	2003170976	A1	11 September 2003
				EP	1483762	A2	08 December 2004
CN	113571521	A	29 October 2021	None			
CN	102543944	A	04 July 2012	KR	20120078255	A	10 July 2012
				US	2012168899	A1	05 July 2012
				US	2014217545	A1	07 August 2014
CN	112992775	A	18 June 2021	WO	2021109504	A1	10 June 2021
CN	104810390	A	29 July 2015	US	2015214313	A1	30 July 2015
				US	2017069735	A1	09 March 2017
				KR	20150090674	A	06 August 2015
CN	102543880	A	04 July 2012	US	2012168854	A1	05 July 2012
				US	2014264570	A1	18 September 2014
				US	2016225900	A1	04 August 2016
				KR	20120078917	A	11 July 2012
				TW	201230251	A	16 July 2012
US	2008227290	A1	18 September 2008	KR	20080084426	A	19 September 2008
				CN	101266942	A	17 September 2008

国际检索报告

国际申请号

PCT/CN2022/071821

A. 主题的分类 H01L 27/108(2006.01)i; H01L 21/8242(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																										
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI, EPDOC, CNPAT, CNKI, IEEE: 位线, 动态随机存取存储器, 阻挡, 外侧, 侧壁, 侧面, 覆盖, bit line, DRAM, barrier, blocking, sidewall, side, cover, cap																										
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 1781156 A (摩托罗拉公司) 2006年5月31日 (2006 - 05 - 31) 说明书第3页第12行-第7页第16行, 附图1-10</td> <td>1, 10</td> </tr> <tr> <td>PX</td> <td>CN 113571521 A (长鑫存储技术有限公司) 2021年10月29日 (2021 - 10 - 29) 权利要求1-17</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 102543944 A (海力士半导体有限公司) 2012年7月4日 (2012 - 07 - 04) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 112992775 A (长鑫存储技术有限公司) 2021年6月18日 (2021 - 06 - 18) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 104810390 A (爱思开海力士有限公司) 2015年7月29日 (2015 - 07 - 29) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 102543880 A (海力士半导体有限公司) 2012年7月4日 (2012 - 07 - 04) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>US 2008227290 A1 (HYNIX SEMICONDUCTOR INC.) 2008年9月18日 (2008 - 09 - 18) 全文</td> <td>1-17</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 1781156 A (摩托罗拉公司) 2006年5月31日 (2006 - 05 - 31) 说明书第3页第12行-第7页第16行, 附图1-10	1, 10	PX	CN 113571521 A (长鑫存储技术有限公司) 2021年10月29日 (2021 - 10 - 29) 权利要求1-17	1-17	A	CN 102543944 A (海力士半导体有限公司) 2012年7月4日 (2012 - 07 - 04) 全文	1-17	A	CN 112992775 A (长鑫存储技术有限公司) 2021年6月18日 (2021 - 06 - 18) 全文	1-17	A	CN 104810390 A (爱思开海力士有限公司) 2015年7月29日 (2015 - 07 - 29) 全文	1-17	A	CN 102543880 A (海力士半导体有限公司) 2012年7月4日 (2012 - 07 - 04) 全文	1-17	A	US 2008227290 A1 (HYNIX SEMICONDUCTOR INC.) 2008年9月18日 (2008 - 09 - 18) 全文	1-17
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
X	CN 1781156 A (摩托罗拉公司) 2006年5月31日 (2006 - 05 - 31) 说明书第3页第12行-第7页第16行, 附图1-10	1, 10																								
PX	CN 113571521 A (长鑫存储技术有限公司) 2021年10月29日 (2021 - 10 - 29) 权利要求1-17	1-17																								
A	CN 102543944 A (海力士半导体有限公司) 2012年7月4日 (2012 - 07 - 04) 全文	1-17																								
A	CN 112992775 A (长鑫存储技术有限公司) 2021年6月18日 (2021 - 06 - 18) 全文	1-17																								
A	CN 104810390 A (爱思开海力士有限公司) 2015年7月29日 (2015 - 07 - 29) 全文	1-17																								
A	CN 102543880 A (海力士半导体有限公司) 2012年7月4日 (2012 - 07 - 04) 全文	1-17																								
A	US 2008227290 A1 (HYNIX SEMICONDUCTOR INC.) 2008年9月18日 (2008 - 09 - 18) 全文	1-17																								
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																										
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																									
国际检索实际完成的日期		国际检索报告邮寄日期																								
2022年4月11日		2022年4月26日																								
ISA/CN的名称和邮寄地址		受权官员																								
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		李勇 电话号码 (86-10) 53961453																								

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/071821

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1781156	A	2006年5月31日	KR	20040091703	A	2004年10月28日
				WO	03077258	A2	2003年9月18日
				AU	2003212447	A1	2003年9月22日
				JP	2005519482	A	2005年6月30日
				US	2005263400	A1	2005年12月1日
				TW	200304666	A	2003年10月1日
				US	2003170976	A1	2003年9月11日
				EP	1483762	A2	2004年12月8日
CN	113571521	A	2021年10月29日	无			
CN	102543944	A	2012年7月4日	KR	20120078255	A	2012年7月10日
				US	2012168899	A1	2012年7月5日
				US	2014217545	A1	2014年8月7日
CN	112992775	A	2021年6月18日	WO	2021109504	A1	2021年6月10日
CN	104810390	A	2015年7月29日	US	2015214313	A1	2015年7月30日
				US	2017069735	A1	2017年3月9日
				KR	20150090674	A	2015年8月6日
CN	102543880	A	2012年7月4日	US	2012168854	A1	2012年7月5日
				US	2014264570	A1	2014年9月18日
				US	2016225900	A1	2016年8月4日
				KR	20120078917	A	2012年7月11日
				TW	201230251	A	2012年7月16日
US	2008227290	A1	2008年9月18日	KR	20080084426	A	2008年9月19日
				CN	101266942	A	2008年9月17日