

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5520937号
(P5520937)

(45) 発行日 平成26年6月11日(2014.6.11)

(24) 登録日 平成26年4月11日(2014.4.11)

(51) Int.Cl.

F 1

H04N 5/374 (2011.01)

H04N 5/335 740

H04N 5/376 (2011.01)

H04N 5/335 760

H01L 27/146 (2006.01)

H01L 27/14 A

請求項の数 8 (全 14 頁)

(21) 出願番号 特願2011-511595 (P2011-511595)
 (86) (22) 出願日 平成21年5月12日 (2009.5.12)
 (65) 公表番号 特表2011-522483 (P2011-522483A)
 (43) 公表日 平成23年7月28日 (2011.7.28)
 (86) 國際出願番号 PCT/US2009/002921
 (87) 國際公開番号 WO2009/145867
 (87) 國際公開日 平成21年12月3日 (2009.12.3)
 審査請求日 平成24年5月2日 (2012.5.2)
 (31) 優先権主張番号 12/129,999
 (32) 優先日 平成20年5月30日 (2008.5.30)
 (33) 優先権主張国 米国(US)

(73) 特許権者 510215606
 オムニヴィジョン テクノロジーズ イン
 コーポレイテッド
 アメリカ合衆国 カリフォルニア州 95
 054 サンタ クララ バートン ドラ
 イヴ 4275
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (74) 代理人 100107766
 弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】 ウエルバウンスが減少したイメージセンサ

(57) 【特許請求の範囲】

【請求項 1】

画素のアレイ並びに該画素のアレイに係るサンプリング及び読み出し回路を有するイメージセンサであって、

前記画素のアレイは複数の画素を有し、

前記複数の画素のうちの少なくとも1つは：

感光性素子と電荷検出部との間に設けられて、伝送信号を受信するように備えられたゲート端子を有する第1トランジスタ；

前記電荷検出部と接続するゲート端子と、画素の電源ラインと接続する第1拡散領域と、画素の出力ラインと接続する第2拡散領域を有する第2トランジスタ；

前記電荷検出部と前記第1拡散領域との間に設けられて、リセット信号を受信するように備えられたゲート端子を有する第3トランジスタ；

を有し、

前記感光性素子、並びに、第1、第2、及び第3のトランジスタの各々は、第2伝導型の基板上の第1伝導型のウエル内に形成され、

前記画素のアレイのうちの選ばれた画素の群に含まれる1つ以上の画素の読み出しの際に、

前記画素のアレイの画素電源ライン信号は非アクティブ状態からアクティブ状態へ遷移し、かつ、

前記画素のアレイのうちの選ばれていない画素の群のリセット信号は、前記画素の出力

10

20

電源信号が非アクティブ状態からアクティブ状態へ遷移する前に、所定期間内にアクティブ状態から非アクティブ状態へ遷移し、

前記画素の電源ライン及び前記リセット信号におけるそれぞれの遷移に係るウエルでの推定電荷変位を特定する電荷バランスの式を満足するように備えられ、

前記電荷バランスの式が、 $C_{RG} V_{RG} + C_{PP} V_{PP} = 0$ で与えられ、

前記式において、

C_{RG} は前記第3トランジスタのゲート端子と前記ウエルとの間のキャパシタンスで、

C_{PP} は前記画素の電源ラインと前記ウエルとの間のキャパシタンスで、

V_{RG} は前記リセット信号がアクティブ状態から非アクティブ状態へ遷移する際の電圧レベルの変化で、かつ

V_{PP} は前記画素の電源ライン信号が非アクティブ状態からアクティブ状態へ遷移する際の電圧レベルの変化で、

前記電荷バランスの式が与えられることにより、前記所定期間が500ナノ秒以下のときに、前記式における2つの電荷変位が互いに打ち消し合う、

イメージセンサ。

【請求項 2】

前記サンプリング及び読み出し回路はたとえば制御可能な信号発生装置を有し、かつ

前記制御可能な信号発生装置は、前記画素のアレイと結合し、かつ前記画素の電源ライン信号及び前記リセット信号のうちの少なくとも1つを発生させるように備えられる、

請求項1に記載のイメージセンサ。

10

【請求項 3】

前記画素のうちの1つ以上の読み出しが完了した際に前記画素の電源ライン信号がアクティブ状態から非アクティブ状態へ遷移し、かつ、

前記の画素の電源ライン信号がアクティブ状態から非アクティブ状態へ遷移した後の所定期間に前記リセット信号が非アクティブ状態からアクティブ状態へ遷移する、

請求項1に記載のイメージセンサ。

20

【請求項 4】

複数の画素からなる選択された群に属する1つ以上の画素の読み出しは、複数の画素からなる選択された行に属する複数の画素の読み出しを有し、かつ

前記リセット信号は、複数の画素からなる選択されていない1つ以上の行に係る複数のリセットトランジスタの各々に印加される、

請求項1に記載のイメージセンサ。

30

【請求項 5】

2つの大きさ $|C_{RG} V_{RG}|$ と $|C_{PP} V_{PP}|$ の差異が25%以内である場合に、前記式の近似は満たされる、請求項1に記載のイメージセンサ。

【請求項 6】

デジタル撮像装置内に含まれる、請求項1に記載のイメージセンサ。

【請求項 7】

請求項1に記載の画素のアレイを有するイメージセンサの使用方法であって：

前記画素のアレイのうちの選ばれた画素の群に含まれる1つ以上の画素の読み出しの際に、

40

前記画素のアレイの画素電源ライン信号を制御して非アクティブ状態からアクティブ状態へ遷移させる手順；及び

前記画素の出力電源信号が非アクティブ状態からアクティブ状態へ遷移する前の所定期間に、前記画素のアレイのうちの選ばれていない画素の群のリセット信号を制御してアクティブ状態から非アクティブ状態へ遷移させる手順；

を有し、

当該イメージセンサは、前記電荷バランスの式を満足するように備えられ、

前記電荷バランスの式が与えられることにより、前記所定期間が500ナノ秒以下のときに、前記式における2つの電荷変位が互いに打ち消し合う、

50

方法。

【請求項 8】

前記画素のうちの1つ以上の読み出しが完了した際に前記画素の電源ライン信号を制御してアクティブ状態から非アクティブ状態へ遷移させる手順；及び

前記の画素の電源ライン信号がアクティブ状態から非アクティブ状態へ遷移した後の所定期間内に前記リセット信号を制御して非アクティブ状態からアクティブ状態へ遷移させる手順；

を有する、請求項7に記載の方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は概してデジタルカメラ及び他の種類の撮像装置に用いられる電子イメージセンサに関し、より詳細には電子イメージセンサで用いられるサンプリング及び読み出し手法に関する。

【背景技術】

【0002】

一般的な電子イメージセンサは、2次元アレイ状に配列された多数の感光性画像素子（「画素」）を有する。係るイメージセンサは、前記画素全体にわたって適切なカラーフィルタアレイ(CFA)を形成することによって有色画像を生成するように備えられて良い。この種類のイメージセンサの例は特許文献1に開示されている。

20

【0003】

周知なように、イメージセンサは相補的金属・酸化物・半導体(CMOS)回路を用いることによって実装されて良い。係る構成では、各画素は一般的に1つのフォトダイオードと多数のトランジスタを有する。フォトダイオードとトランジスタが一般的にp型基板上のn型ウエル領域内に形成される場合には、前記画素のトランジスタはp型MOS(pMOS)トランジスタであって良い。あるいはその代わりに、フォトダイオードとトランジスタが一般的にn型基板上のp型ウエル領域内に形成される場合には、前記画素のトランジスタはn型MOS(nMOS)トランジスタであって良い。

【0004】

上述の種類のn型ウエル領域又はp型ウエル領域内に形成された画素を有するCMOSイメージセンサで生じる問題は、「ウエルバウンス」として知られている。これは意図しないウエル電圧の変化である。そのような意図しないウエル電圧の変化は一般的に、前記画素のアレイ周辺を取り囲むリング内のウエルコンタクトを介して導入されるウエルバイアス電圧に起因する。これらのウエルコンタクトは前記アレイの端部の画素には近いが、前記アレイの中心の画素からは遠い。その結果、前記アレイの端部から中心へのウエルの抵抗は非常に大きくなるので、画素のサンプリング及び読み出しに係るスイッチング動作の際にウエルバウンスが生じてしまう恐れがある。

30

【0005】

前記ウエルバウンス問題を緩和する試みとして多数の手法が開発されてきた。そのような手法のうちの一は、特許文献2に記載されているように、ウエルの伝導度を増大させる手順を有する。しかしこの種類の手法はプロセスの変更を必要とするため、製造コスト及び複雑さが増大し、かつ如何なる場合でもウエルバウンスを十分に減少させることはできない。他の手法は、特許文献3に記載されているように、前記画素のアレイ内部にウエルコンタクトを追加する手順を有する。残念なことにこのような前記画素のアレイ内部でのウエルコンタクトの追加は、光の検知に利用することができたはずの限られた領域をも使ってしまうので、当該イメージセンサの性能に悪影響を及ぼす。さらに他の手法は、前記画素のサンプリング及び読み出しに係る特定の信号のクロック速度を減少させる手順を有する。たとえば特許文献4を参照して欲しい。しかしクロック速度が遅くなるということは、所与の画像に係る画素データの読み出しに時間がかかるようになることを意味する。

40

50

【先行技術文献】**【特許文献】****【0006】**

【特許文献1】米国特許出願公開第2007/0024931号明細書

【特許文献2】米国特許第6271554号明細書

【特許文献3】米国特許第7016089号明細書

【特許文献4】米国特許出願公開第2005/0001915号明細書

【発明の概要】**【発明が解決しようとする課題】****【0007】**

従って必要なことは、上述した従来技術に係る欠点を回避しながらウエルバウンスを顕著に減少又は除去する手法である。

【課題を解決するための手段】**【0008】**

本発明の図示された実施例は、上述の手法の問題を生じさせることなくCMOSイメージセンサにおけるウエルバウンスを実質的に減少させるサンプリング及び読み出し手法を供する。

【0009】

本発明の一の態様によると、イメージセンサは、画素のアレイ並びに該画素のアレイに係るサンプリング及び読み出し回路を有する。前記画素のアレイのうちの選ばれた画素の群に含まれる1つ以上の画素の読み出しの際に、前記画素のアレイの画素電源ライン信号は非アクティブ状態からアクティブ自体へ遷移し、かつ、前記画素のアレイのうちの選ばれていない画素の群のリセット信号は、前記の画素出力電源信号が非アクティブ状態からアクティブ状態へ遷移する前に、所定期間に内にアクティブ状態から非アクティブ状態へ遷移する。当該イメージセンサは、前記画素のうちの1つ以上の読み出しが完了した際に前記画素の電源ライン信号がアクティブ状態から非アクティブ状態へ遷移し、かつ、前記の画素の電源ライン信号がアクティブ状態から非アクティブ状態へ遷移した後の所定期間に内に前記リセット信号が非アクティブ状態からアクティブ状態へ遷移するように備えられても良い。前記画素の電源ライン信号が非アクティブ状態からアクティブ状態へ遷移する前の所定期間、及び前記画素の電源ライン信号がアクティブ状態から非アクティブ状態へ遷移した後の所定期間はそれぞれたとえば500ns以下であって良い。

【0010】

前記サンプリング及び読み出し回路はたとえば制御可能な信号発生装置を有して良い。前記制御可能な信号発生装置は、前記画素のアレイと結合し、かつ前記画素の電源ライン信号及び前記リセット信号のうちの少なくとも1つを発生させるように備えられる。

【0011】

図示された実施例では、前記画素のアレイは、行と列に配列された複数の画素、前記画素の電源ライン信号を受信するように備えられた画素の電源ライン、及び前記列のうちの各々に係る画素出力を有する。前記画素のうちの所与の1つは、フォトダイオード又は他の感光性素子、並びに、該感光性素子と電荷検出部との間で結合するソース端子とドレイン端子、及び伝送信号を受信するように備えられたゲート端子を有する第1トランジスタを有する。前記画素のアレイはさらに、前記画素の電源ラインと前記画素の出力ラインのうちの1つとの間で結合するソース端子とドレイン端子を有する第2トランジスタ、並びに、前記画素の電源ラインと前記電荷検出部との間で結合するソース端子とドレイン端子、及び、前記リセット信号を受信するように備えられたゲート端子を有する第3トランジスタを有する。ここで前記感光性素子、並びに、第1、第2、及び第3のトランジスタは、第2伝導型の基板上の第1伝導型のウエル内に形成される。

【0012】

この実施例では、当該イメージセンサは、前記画素の電源ライン及び前記リセット信号におけるそれぞれの遷移に係るウエルでの推定電荷変位を特定する電荷バランスの式を満

10

20

30

40

50

足するように備えられていることが好ましい。前記電荷バランスの式はたとえば、前記第3トランジスタのゲート端子と前記ウエルとの間でのキャパシタンス C_{RG} 、前記画素の電源ラインと前記ウエルとの間でのキャパシタンス C_{PP} 、前記リセット信号がアクティブ状態から非アクティブ状態へ遷移する際に生じる前記リセット信号の電圧レベルの変化 V_{RG} 、及び、前記画素の電源ライン信号が非アクティブ状態からアクティブ状態へ遷移する際に生じる前記画素の電源ライン信号の電圧変化 V_{PP} のうちの1つ以上を調節することによって満足することができる。

【発明の効果】

【0013】

本発明によるイメージセンサは、デジタルカメラ又は他の種類の撮像装置内で有利となるように実装されて良く、かつウエルバウンスを実質的に減少させることによって当該撮像装置の性能を改善させる。

10

【図面の簡単な説明】

【0014】

【図1A】本発明の図示された実施例によるサンプリング及び読み出し回路を内蔵するイメージセンサを有するデジタルカメラのブロック図である。

【図1B】図1Aのイメージセンサのブロック図である。

【図2】図1Bのイメージセンサ内での実装が可能なpMOS画素回路の概略図である。

【図3】図1Bのイメージセンサ内での実装が可能なnMOS画素回路の概略図である。

【図4】当該イメージセンサのp型基板上のnウエル内に形成された図2のpMOS画素回路を有するイメージセンサの一部の断面図である。

20

【図5】本発明の図示された実施例による調節が可能なキャパシタンスを有する図2と同様のpMOS画素回路の概略図である。

【図6】図5のpMOS画素回路の動作を表すタイミング図である。

【図7】図5の画素回路をnMOSにした場合の動作を表すタイミング図である。

【図8】nMOS画素回路の一例を表す画素のアレイの一部の概略図である。図中、複数の画素が出力トランジスタとリセットトランジスタを共有している。

【発明を実施するための形態】

【0015】

本発明の上記及び他の目的、特徴、及び利点は、以降の詳細な説明と図を参照することで明らかとなる。図中、同一参照番号は - 可能な場合には - 複数の図で共通する同一部材を指称するのに用いられる。

30

【0016】

本発明は、本明細書において、デジタルカメラ、イメージセンサ、並びに関連するサンプリング及び読み出し技術に係る特定の実施例と共に説明される。しかしこれらの図示された配置は、単なる例示として与えられているものに過ぎず、図示された配置のように本発明の技術的範囲を限定するものと解してはならないことに留意して欲しい。開示された配置が、広範囲にわたる他の種類の撮像装置、イメージセンサ、並びに関連するサンプリング及び読み出し手法で用いるには、特別なことをすることなく単純に採用すれば良いことを当業者は認識する。

40

【0017】

図1Aは本発明の図示された実施例に係るデジタルカメラ10を図示している。デジタルカメラ10では、対象物の光景からの光が撮像ステージ12へ入力される。撮像ステージ12は従来の素子 - たとえばレンズ、中性密度フィルタ、絞り、減光フィルタ、及びシャッターを有して良い。その光は撮像ステージ12によって集束されることで、イメージセンサ14上に像を生成する。イメージセンサ14は入射光を電気信号に変換する。デジタルカメラ10は、処理装置16、メモリ18、ディスプレイ20、及び1つ以上の追加の入出力(I/O)装置22をさらに有する。

【0018】

イメージセンサ14は、本実施例においてはCMOSであると仮定されているが、他の種類の

50

イメージセンサが本発明の実施に用いられても良い。図1Bに図示されているように、イメージセンサ14はより詳細には、画素のアレイ30、制御可能な信号発生装置32、及び信号処理回路34を有する。他の実施例では、素子32及び/又は素子34はイメージセンサ14の外部に配置されても良い。

【0019】

画素のアレイ30は一般的に、行と列に配列された複数の画素を有する。図2、3、5、及び8と併せて後述するように、前記画素のアレイはまた、デジタルカメラ10のサンプリング及び読み出し回路の少なくとも一部を内蔵しても良い。たとえばサンプリング及び読み出し回路の少なくとも一部は、たとえばフォトダイオード及び当該画素のアレイの他の素子を有する共通集積回路上で、当該画素のアレイと一体となるように形成されて良い。素子32及び素子34はまたデジタルカメラ10のサンプリング及び読み出し回路の一部と見なされて良い。素子32及び/又は素子34は当該画素のアレイと一体となるように形成されて良い。上記の構成の代わりに又は上記の構成とともに、デジタルカメラ10のサンプリング及び読み出し回路の一部は、処理装置16内でも実装されても良い。従って本明細書において用いられている「サンプリング及び読み出し回路」という語は、デジタルカメラ10のサンプリング及び読み出し機能に係る如何なる回路をも含むように広く解され、かつ係る回路の一部はデジタルカメラ10のイメージセンサ14内部又はデジタルカメラ10内の他の場所に備えられて良い。明らかなように、本明細書において記載されている所与の読み出しプロセスは一般的にサンプリング動作を含んでいるので、係るプロセスを実装する回路は「サンプリング及び読み出し回路」と指称される。この語は、サンプリングプロセスと読み出しプロセスとを分離すること、又はサンプリング回路と読み出し回路とを分離することを求めるものと解されてはならない。

10

【0020】

イメージセンサ14は典型的には、CFAパターンを有するカラーイメージセンサとして実装されて良い。イメージセンサ14との併用が可能なCFAパターンの例には、特許文献1に記載されたものが含まれる。とはいえた他のCFAパターンが本発明の他の実施例において用いられても良い。

20

【0021】

制御可能な信号発生装置32は、処理装置16の制御下で、画素のアレイ30のサンプリング及び読み出しに係る信号を発生させるように動作することができる。画素のアレイ30のサンプリング及び読み出しに係る信号にはたとえば、リセットゲート(RG)、伝送ゲート(TG)、及び画素の電源(VPP)信号が含まれる。処理のために当該画素のアレイの特定の行と列を選ぶのに用いられる他の種類の信号は、信号発生装置32によって発生させて良い。

30

【0022】

信号処理回路34はたとえば、当該画素のアレイ30から読み出されるアナログ信号を処理するアナログ信号処理装置、及び、係る信号を、処理装置16による処理に適したデジタル形式に変換するアナログ - デジタル変換器を有して良い。

【0023】

処理装置16はたとえば、マイクロプロセッサ、中央演算処理装置(CPU)、用途特定集積回路(ASIC)、デジタル信号処理装置(DSP)、若しくは他の処理装置、又はこれらの結合を有して良い。撮像ステージ12の様々な素子及びイメージセンサ14は、処理装置16から供給されるタイミング信号又は他の信号によって制御されて良い。

40

【0024】

メモリ18は如何なる種類のメモリ - たとえばランダムアクセスメモリ(RAM)、リードオンリーメモリ(ROM)、フラッシュメモリ、ディスクベースのメモリ、若しくは他の種類の記憶素子、又はこれらの結合 - を有しても良い。

【0025】

本明細書に記載されたサンプリング及び読み出し手法は、メモリ18内に記憶されて処理装置16によって実行されるソフトウェアの少なくとも一部で実装されて良い。

【0026】

50

イメージセンサ14によって捕獲される所与の像は、処理装置16によってメモリ18内に記憶され、かつディスプレイ20上に表示されて良い。ディスプレイ20は典型的にはアクティブラマトリックスカラー液晶ディスプレイ(LCD)だが、他の種類のディスプレイが用いられても良い。追加のI/O素子22はたとえば、様々なスクリーン上の制御、ボタン、又は他のユーザーインターフェース、メモリカードインターフェース等を有して良い。

【0027】

図1Aに図示された種類のデジタルカメラの動作に関する追加的な詳細はたとえば、特許文献1で見ることができる。

【0028】

図1Aに図示されたデジタルカメラは、当業者に知られている種類の追加素子又は代替素子を有して良いことに留意して欲しい。本明細書において具体的に図示又は記載されていない素子は当技術分野において知られたものから選ばれて良い。前述したように、本発明は、広範囲にわたる他の種類のデジタルカメラ又は画像取得装置で実装されて良い。また上述したように、本明細書に記載された実施例のある特定の態様は、画像取得装置の1つ以上の処理素子によって実行されるソフトウェアの少なくとも一部で実装されて良い。係るソフトウェアは、当業者には明らかなように、本明細書で供された教示で与えられたように単純に実装されて良い。

10

【0029】

図1Bに図示されているようにイメージセンサ14はシリコン基板又は他の種類の基板上に製造されて良い。典型的なCMOSイメージセンサでは、当該画素のアレイの各画素はフォトダイオード及びその画素での光のレベルを測定する回路を有する。

20

【0030】

図2は図1Bのイメージセンサの画素のアレイ30中の所与の画素100に係る回路の図示された実施例を示している。この実施例の画素は、当該イメージセンサのp型基板上のnウエル内に形成されたものとされている。画素100は、フォトダイオード102及び該フォトダイオードに係る3つのpMOSトランジスタP1,P2,P3を有する。第1トランジスタP1は、収集された電荷を、フォトダイオード102から、伝送ゲート(TG)信号に応答する電荷検出部(FD)へ伝送する。第1トランジスタP1自体はまた伝送ゲートとも広く指称されている。第2トランジスタP2は、前記電荷検出部での信号を増幅し、かつ前記の増幅された信号を出力電圧列ラインVOUTへ供給するように備えられた出力トランジスタである。第3トランジスタP3は、前記電荷検出部と、リセットゲート(RG)信号に応答する画素の電源供給電圧V_{PP}とを結合することによって、前記電荷検出部をリセットする。

30

【0031】

図2の構成のように、各画素は自身のリセットトランジスタ及び出力トランジスタを有していないことに留意して欲しい。一般的には所与のリセットトランジスタと所与の出力トランジスタでは複数の画素が共有されている。係る共有配置の例が以降の図8で説明されている。従って本明細書において用いられている「画素」という語はたとえば、102、P1、P2、及びP3のような回路素子の一のまとまり、又は、画素100が他の画素とP2及びP3を共有するような実施例において102とP1を有する他のまとまりを含むものと解される。画素回路の多数の代替配置が、本発明のこれら及び他の実施例で用いられて良い。

40

【0032】

図2の素子Rは、画素100と最近接nウエルコンタクトとの間のnウエルの抵抗を表す。前述したように、ウエルバイアス電圧は一般的には、画素のアレイの周辺を取り囲む輪内のウエルコンタクトを介して導入される。これらのウエルコンタクトは当該アレイの端部の画素には近いが、当該アレイの中心の画素からは離れている。よって当該アレイの中心付近の画素についてのRの値は非常に大きくなる恐れがある。そのため以降で詳述するようにして解決されるウエルバウンス問題が発生する。

【0033】

当該アレイ30の他の画素の各々について、図2の画素の回路の少なくとも一部は繰り返されて良い。当該アレイの同一行に属する複数の画素は共通のRG信号を共有する一方で、

50

当該アレイの同一列に属する複数の画素は出力電圧列ラインVOutを共有する。前述したように、前記画素の回路の出力トランジスタP2及びリセットトランジスタP3は多数の画素間で共有されて良い。

【0034】

図3は、図2で説明したpMOS画素100と等価なnMOS画素を図示している。この実施例では、nMOS画素110はフォトダイオード112並びにnMOSトランジスタN1、N2、及びN3を有する。これらの素子は、イメージセンサ14のn型基板上のpウエル内に形成されるものと仮定されている。nMOS画素の動作は前述したpMOS画素100の動作と類似している。

【0035】

図4は、図2のpMOS画素100の断面図を示している。フォトダイオード102及び3つのpMOSトランジスタがp型基板122上のnウエル120内に形成されているのが分かる。図示されているようにp+拡散領域124、126、及び128を利用するトランジスタP1、P2、及びP3が形成されている。VNwellはn+コンタクトを介してnウエル120へ印加されるバイアス電圧を表す。上述したように、画素100のバイアス電圧コンタクトと回路との間には、図4の矢印132に示すように大きな間隔が存在すると考えられる。図2のRで表されるこの大きな抵抗はnウエル電圧を不安定にすることで、前述のウエルバウンス問題を生じさせる恐れがある。

【0036】

上述した種類のpMOS又はnMOS画素を内蔵するイメージセンサでのウエルバウンスは、RG信号ラインとnウエルとの間での容量結合の関数であり、またVPP信号とnウエルとの間での容量結合の関数でもあると我々は判断した。たとえば行の読み取りの際にRG信号とVPP信号とが切り替わるとき、これらの容量結合は過剰なウエルバウンスを引き起こす恐れがある。そのようなウエルバウンスを除去するか、さもなければ緩和することができる方法について図5-7を参照しながら説明する。

【0037】

図5はpMOS画素100'を図示している。pMOS画素100'は図2及び図4のpMOS画素と似ているが、本発明の実施例によって調節可能なキャパシタンスを有する。キャパシタンスC_{PP}はVPP信号ラインとnウエル120との間のキャパシタンスを表す。キャパシタンスC_{PP}は、より具体的には、たとえばリセットトランジスタP3と出力トランジスタP2に係るp+拡散領域126と前記ウエルとの間のキャパシタンスを表して良い。キャパシタンスC_{RG}はリセットトランジスタP3とnウエル120との間のキャパシタンスを表す。

【0038】

図6は、図5のように構成されたpMOS画素100'を用いて構築された画素のアレイ30についての典型的な行読み出しプロセスを表している。所与の行を読み出す前では当該画素のアレイの各行についてのRG信号はすべてアクティブ状態である。これにより、すべての電荷検出部は、非アクティブ状態であるVPPラインと接続する。よってすべての出力トランジスタP2は非アクティブ状態である。なぜならP2の入力は非アクティブ状態だからである。

【0039】

本明細書において「アクティブ状態」と及び「非アクティブ状態」は、所与の信号、信号ライン、トランジスタ、又は電荷検出部の2値論理状態を指称するのに用いられる。トランジスタのアクティブ状態及び非アクティブ状態はそれぞれ、一般的に「オン」と「オフ」に対応すると見なすことができる。pMOSトランジスタ - たとえばP1、P2、及びP3 - については、論理的に低い入力信号はこれらのデバイスをオン状態にし、論理的に高い入力信号はこれらのデバイスをオフ状態にする。よって図5のpMOS画素回路におけるTG、RG、及びVPP信号、並びにこれらに係る信号ラインのアクティブ状態は低電圧に対応する。またこれらの信号及びこれらの信号に係る信号ラインは高電圧に対応する。

【0040】

電荷検出部から伝送ゲート全体にわたってフォトダイオード102へ電荷が漏れるのを防止するため、所与の信号又は信号ラインの非アクティブ状態に係る高電圧レベルは一般的にはnウエルのバイアス電圧よりもわずかに低い。たとえばnウエルバイアス電圧が2.7Vで

10

20

30

40

50

ある場合には、所与の非アクティブ状態の電圧レベルは約2.2Vのオーダーであって良い。

【0041】

読み出し用の所与の行を選ぶため、前記所与の列についてのRG信号以外のすべてのRG信号が、時間T1にて非アクティブ状態に切り替わる。続いて時間T2にてVPP電圧がアクティブ状態に切り替わる。前記の選ばれた行のRG信号は依然としてアクティブであるので、前記行のすべての電荷検出部及び出力トランジスタもアクティブ状態に切り替わる。他すべての行の電荷検出部及び出力トランジスタは非アクティブ状態のままである。

【0042】

前記の選ばれた行のRG信号以外のすべてのRG信号にとって、VPP信号が非アクティブ状態からアクティブ状態に遷移する前に、アクティブ状態から非アクティブ状態へ遷移することが望ましい。これにより、選ばれていない行のすべての電荷検出部が非アクティブ状態のままであることが保証される。これは有利となるようにウエルバウンスを緩和しようとする。一般的には前記の選ばれた行のRG信号以外のRG信号のうちの少なくとも1つは、VPPラインが非アクティブ状態からアクティブ状態に遷移する前に、所定期間内にアクティブ状態から非アクティブ状態に遷移する。このVPPラインが非アクティブ状態からアクティブ状態へ遷移する前の所定期間は約500ナノ秒(ns)であることが好ましい。たとえば200nsオーダーの値が所与の実施例において用いられて良い。

【0043】

前記の選ばれた行のRG信号は続いて時間T3にて非アクティブ状態に切り替わり、かつ出力電圧列ラインVOutは、第1出力電圧レベル150を得るようにサンプリングされる。次に、前記の選ばれた行のTG信号が、非アクティブ状態からアクティブ状態となり、また非アクティブ状態へ戻るパルス信号として発生する。これにより、前記行のフォトダイオードから該フォトダイオードに係る電荷検出部へ電荷が伝送される。続いて出力電圧列ラインVOutは、第2電圧レベル160を得るように再度サンプリングされる。第1電圧レベル150と第2電圧レベル160との差は、対応するフォトダイオードの電荷の大きさの指標を提供する。この差異はたとえば、イメージセンサ14に係る他の回路 - たとえば信号処理回路34 - 、又は図1Aのデジタルカメラの他の素子 - たとえば処理装置16 - 内において判断されて良い。前記の選ばれた行での他のフォトダイオードについての電荷の大きさは同様にして決定される。

【0044】

行の読み取りプロセスを完了させるため、VPP電圧は時間T6にて非アクティブ状態に戻るように切り替えられ、その後すべてのRG信号が時間T7にてアクティブ状態に切り替えられる。VPP信号にとって、RG信号が非アクティブ状態からアクティブ状態に遷移する前に、アクティブ状態から非アクティブ状態へ遷移することが望ましい。このことは、選ばれていない行の電荷検出部が電圧を変化させるのを防止し、再びウエルバウンスを減少させようとする。一般的には前記の選ばれた行のRG信号以外のRG信号のうちの少なくとも1つが、VPPラインがアクティブ状態から非アクティブ状態へ遷移した後の所定期間に、非アクティブ状態からアクティブ状態へ遷移する。このVPPラインがアクティブ状態から非アクティブ状態へ遷移した後の所定期間は約500ns以下であることが好ましい。繰り返しになるが、200nsオーダーの値が、一の特別な例としての所与の実施例において用いられて良い。ただし他の値が用いられても良い。

【0045】

ここまででは、当該画素のアレイ中の所与の選ばれた行を構成する画素についての読み出しプロセスについて説明してきた。読み出し用の当該画素のアレイの他の行は同様にして選ばれて良い。また開示された手法は、所与の行に属するすべての画素よりも少ない画素 - たとえばある行の指定された部分 - を読むのに単純に適用されて良い。複数の行 (の一部) 以外の選ばれた群は代替実施例において用いられて良い。

【0046】

ウエルバウンスのさらなる減少は、以降で説明するように図示された実施例において電荷バランスを利用することで実現することができる。上述したように、図6の読み出しブ

10

20

30

40

50

口セスにおいて、時間T1にて選ばれた行以外のすべての行のRG信号がアクティブ状態から非アクティブ状態へ遷移する。これにより、前記の選ばれた行以外のすべての行のリセットトランジスタP3がオフ状態になる。選ばれていない行の所与の画素100'のリセットトランジスタP3をオフ状態にすることによって変位するnウエル内の電荷量は、 $C_{RG} V_{RG}$ と推定することができる。ここで図6に示されているように、 V_{RG} はRG信号の電圧レベルの変化である。同様に前記画素のVPP信号が非アクティブ状態からアクティブ状態へ遷移することによって変位するnウエル内での電荷量は $C_{PP} V_{PP}$ と推定することができる。ここで図6に示されているように、 V_{PP} はVPP信号の電圧レベルの変化である。T2とT1が十分短い期間 - たとえば上述のように500ns以下 - だけ離れている場合、2つの電荷変位は、次式で表されるように実質的に互いに打ち消される。

$$C_{RG} V_{RG} + C_{PP} V_{PP} = 0$$

この式は、本明細書においてより一般的に電荷バランスの式と指称される式の一例である。

【0047】

T6とT7が十分短い期間 - たとえば上述のように500ns以下 - だけ離れている場合、同様の電荷バランスを実現することができる。この場合、VPP信号が時間T6にてアクティブ状態から非アクティブ状態へ遷移し、それに続いて時間T7にて当該アレイのすべての行のRG信号が非アクティブ状態からアクティブ状態へ遷移する。もう一度繰り返すが、反対の極性を有するRGとVPPがほぼ同時に遷移することで、キャパシタンス C_{PP} 及び C_{RG} によって引き起こされたnウエル上の電荷変位が打ち消される。

【0048】

電荷バランスの式は、キャパシタンス C_{PP} 及び C_{RG} のうちの1つ以上及び/又は電圧 V_{RG} 及び V_{PP} のうちの1つ以上を調節することによって満たすことができる。よって本発明のある実施例は、電荷バランスの式を満たすように、画素のキャパシタンス C_{PP} 及び C_{RG} の値が、は電圧レベル変化 V_{RG} 及び V_{PP} の所与の値に基づいて調節することができるよう構成されて良い。キャパシタンス C_{PP} はたとえば、リセットトランジスタ又は出力トランジスタに係るソース拡散領域のサイズを変化させることによって調節されて良い。キャパシタンス C_{RG} はたとえば、前記リセットトランジスタのゲート端子の面積を変化させることによって、又は前記リセットトランジスタを追加のp+拡散領域に接続することによって、調節されて良い。あるいはその代わりにキャパシタンス C_{PP} 及び C_{RG} はたとえば、イメージセンサ14内部の既知の寄生容量値に基づいて与えられて良い。また電圧レベル変化 V_{RG} 及び/又は V_{PP} は、電荷バランスの式を満たすように調節されて良い。電圧レベル変化の調節はたとえば、制御可能な信号発生装置32、又は、イメージセンサ14に係る若しくは内蔵される他の信号発生回路でRG及びVPP信号の発生を適切に制御することによって実現されて良い。たとえば多数の異なる選択可能な信号レベルが供されて良い。ここで所与のイメージセンサで用いられる特定レベルの選択はウエルバランスの検出されたレベルに基づく。

【0049】

キャパシタンス又は電圧レベル変化における所与のそのような調節は当該画素のアレイ全体にわたって均一に行われて良い。また係る調節は、当該アレイのうちの特定の部分 - たとえばウエルバランス問題の影響をより受けやすい中心部分 - についてのみ行うことも可能である。

【0050】

上述の典型的な電荷バランスの式は代わりに以下のように表すことができる。

$$|C_{RG} V_{RG}| = |C_{PP} V_{PP}|$$

ここで2つの大きさ $|C_{RG} V_{RG}|$ と $|C_{PP} V_{PP}|$ が互いに指定された割合の範囲内 - たとえば25%以内 - である場合に、上の近似は満たされる。RG及びVPP信号における遷移に係るウエルでの推定電荷変位を特定する他の電荷バランスの式が、必要なだけウエルバランスを減少させるために他の実施例において用いられても良い。

【0051】

10

20

30

40

50

上述したように、本発明はpMOSではなくnMOS画素を用いることによって実装されて良い。図7は概ね図6と同じタイミング図を示している。ただし図7のタイミング図はnMOSの実施例に係るものである。図7のタイミング図での電圧レベルは図6のタイミング図での電圧レベルとは相補的だが、信号が遷移するタイミング及び基本動作は同一である。

【0052】

また上述したように、所与の画素は、当該画素のアレイの他の1つ以上の画素と、リセットトランジスタ及び出力トランジスタを共有して良いことにも留意して欲しい。図8は、4つの画素からなる1つの群によって出力トランジスタN2' とリセットトランジスタN3' とが共有されるように備えられたnMOS画素の回路の一類型を図示している。図示されているように、4つの画素はそれぞれの画素に対応するフォトダイオード812-0、812-1、812-2、及び812-3を有する。前記フォトダイオード812-0、812-1、812-2、及び812-3は、各対応する伝送ゲートN1-0、N1-1、N1-2、及びN1-3と結合する。この実施例における抵抗R' は、フォトダイオード及びnMOSトランジスタが生成されているpウエルの抵抗を表す。pMOS回路の同様な組も相補的に形成されて良い。当然のこととして、多数の画素で、出力トランジスタ、リセットトランジスタ、電荷検出部、又は他の種類の画素の回路を共有する多数の代替構成が用いられて良い。たとえば4つ以外の画素数が、画素の回路を共有するように備えられた所与の群の一部であっても良い。

【0053】

上述の図示された実施例は有利となるように、nMOS又はpMOS画素を有するイメージセンサにおけるウエルバウンスを減少させる。他の実施例では、様々な種類の画素回路だけではなく、様々な種類の信号タイミングや電荷バランスをとる構成が用いられて良い。

【0054】

イメージセンサ14は追加のサンプリング及び読み出し回路を有して良い。追加のサンプリング及び読み出し回路とはたとえば、画素のアレイのサンプリング及び読み出しに広く利用されてきた従来の行回路及び列回路のようなものである。そのような追加の回路は当業者にはよく理解されているので、本明細書では詳述しない。

【符号の説明】

【0055】

10	デジタルカメラ	30
12	撮像ステージ	
14	イメージセンサ	
16	処理装置	
18	メモリ	
20	ディスプレイ	
22	入出力(I/O)装置	
30	画素のアレイ	
32	制御可能な信号発生装置	
34	信号処理回路	
100	pMOS画素	
102	フォトダイオード	40
110	nMOS画素	
112	フォトダイオード	
120	nウエル	
122	p型基板	
124	p+拡散領域	
126	p+拡散領域	
128	p+拡散領域	
130	n+コンタクト	
150	第1出力電圧レベル	
160	第2出力電圧レベル	50

800 画素の回路

812 フォトダイオード

P1 pMOS伝送トランジスタ

P2 pMOS出力トランジスタ

P3 pMOSリセットトランジスタ

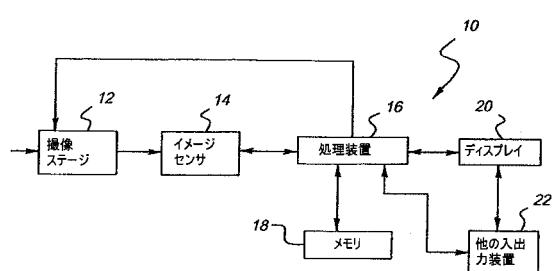
N1 nMOS伝送トランジスタ

N2 nMOS出力トランジスタ

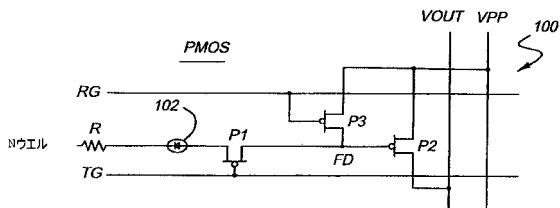
N3 nMOSリセットトランジスタ

R ウエルの抵抗

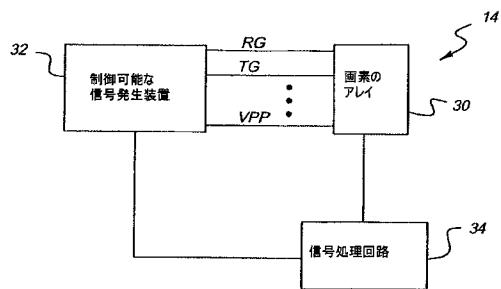
【図1A】



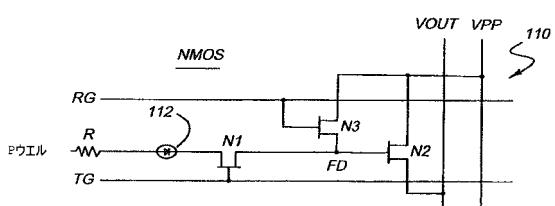
【図2】



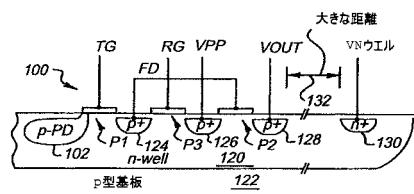
【図1B】



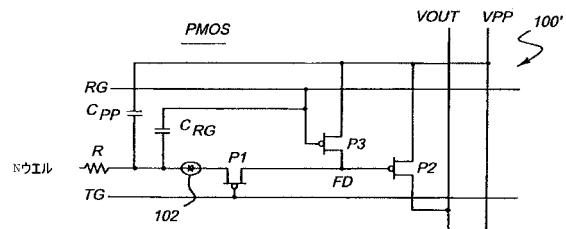
【図3】



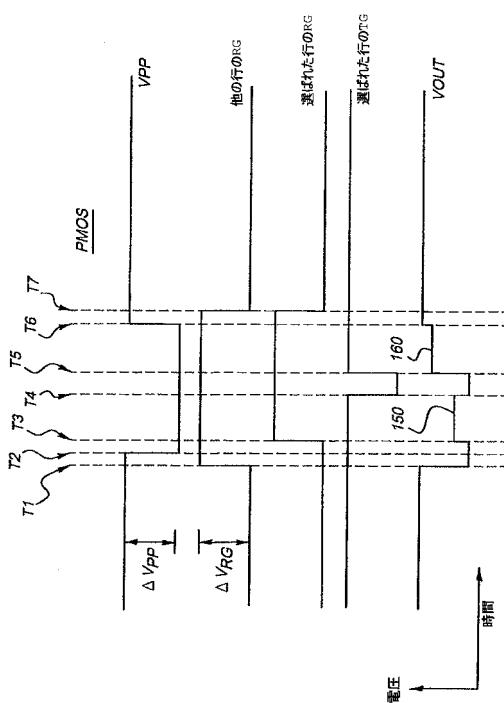
【図4】



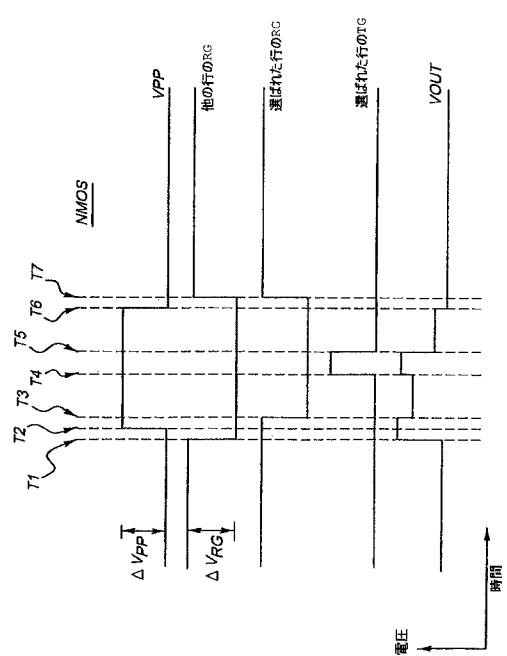
【図5】



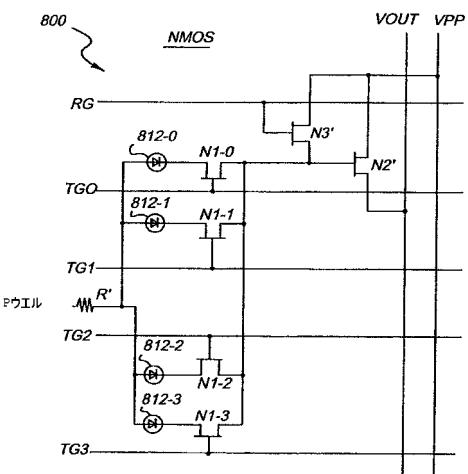
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 パークス , クリストファー

アメリカ合衆国 ニューヨーク州 14650 ロチェスター ステイト・ストリート 343

(72)発明者 シ , ギヤング

アメリカ合衆国 ニューヨーク州 14650 ロチェスター ステイト・ストリート 343

審査官 鈴木 肇

(56)参考文献 特開2004-343529 (JP, A)

特開2004-129256 (JP, A)

特開2004-320592 (JP, A)

特開昭62-178077 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H04N 5/30 - 5/378

H01L 21/339

H01L 27/14 - 27/148

H01L 29/762