

(12) 发明专利

(10) 授权公告号 CN 101501818 B

(45) 授权公告日 2011. 09. 14

(21) 申请号 200680022402. 5

H01L 21/205 (2006. 01)

(22) 申请日 2006. 05. 18

(56) 对比文件

(30) 优先权数据

11/136, 834 2005. 05. 25 US

WO 2005/018005 A1, 2005. 02. 24, 说明书第 [0026]-[0061] 段, 权利要求 1-20, 附图 1-5.

(85) PCT申请进入国家阶段日

2007. 12. 21

US 5216262 A, 1993. 06. 01, 说明书第 5 栏第 39-51 行, 附图 1-5.

(86) PCT申请的申请数据

PCT/US2006/019290 2006. 05. 18

审查员 甄丽娟

(87) PCT申请的公布数据

W02008/036062 EN 2008. 03. 27

(73) 专利权人 梅尔斯科技公司

地址 美国马萨诸塞

(72) 发明人 迈尔柯·伊萨

罗伯特·约翰·史蒂芬森

斯科特·A·克瑞普斯

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51) Int. Cl.

H01L 21/20 (2006. 01)

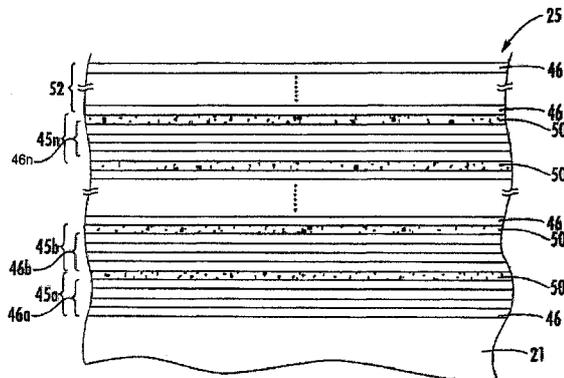
权利要求书 2 页 说明书 9 页 附图 10 页

(54) 发明名称

利用中间退火制造包括能带工程超晶格的半导体器件的方法

(57) 摘要

一种用于制造半导体器件的方法, 可以包括形成包括多个叠加的层组的超晶格, 每个层组包括用于限定基础半导体部分的多个叠加的基础半导体单层和限制于相邻的基础半导体部分内的至少一个非半导体单层。本方法也可以包括在完成超晶格的形成之前, 进行至少一次退火。



1. 一种用于制造半导体器件的方法,包括:

形成包括多个叠加的层组的超晶格,每个层组包括限定基础半导体部分的多个叠加的基础半导体单层和限制于相邻的基础半导体部分的晶格内的选自包括氧、氮、氟和碳-氧的组中的至少一个非半导体单层;以及

在完成所述超晶格的形成之前,在 550 到 750°C 范围内的温度下进行至少一次退火。

2. 根据权利要求 1 所述的方法,其中形成所述超晶格包括通过所述多个基础半导体单层的连续的沉积来形成每个组;并且其中进行所述至少一次退火包括在完成至少一个层组内的所有的多个基础半导体单层的沉积之前,进行所述至少一次退火。

3. 根据权利要求 2 所述的方法,其中进行所述至少一次退火包括在完成至少一个层组内的所述多个基础半导体单层的至少一个的沉积之后,进行所述至少一次退火。

4. 根据权利要求 2 所述的方法,其中进行所述至少一次退火包括在完成不多于 8 个基础半导体单层的沉积之后,进行所述至少一次退火。

5. 根据权利要求 2 所述的方法,其中进行所述至少一次退火包括在完成不多于 4 个基础半导体单层的沉积之后,进行所述至少一次退火。

6. 根据权利要求 1 所述的方法,其中进行所述至少一次退火包括在 625 到 675°C 范围内的温度下进行所述至少一次退火。

7. 根据权利要求 1 所述的方法,其中进行所述至少一次退火包括进行至少一次持续在 1 到 30 分钟范围内的时长的退火。

8. 根据权利要求 1 所述的方法,其中进行所述至少一次退火包括进行至少一次持续在 5 到 15 分钟范围内的时长的退火。

9. 根据权利要求 1 所述的方法,其中至少一个非半导体单层中的每个是单个单层厚。

10. 根据权利要求 1 所述的方法,其中每个基础半导体部分是小于 8 个单层厚。

11. 根据权利要求 1 所述的方法,其中所述超晶格还包括位于最上部的层组上的基础半导体覆盖层。

12. 根据权利要求 1 所述的方法,其中所有的基础半导体部分具有相同数量的单层的厚度。

13. 根据权利要求 1 所述的方法,其中所述基础半导体部分中至少一些具有不同数量的单层的厚度。

14. 根据权利要求 1 所述的方法,其中每个基础半导体部分包括选自包括第 IV 族半导体、第 III-V 族半导体以及第 II-VI 族半导体的组中的基础半导体。

15. 根据权利要求 1 所述的方法,其中形成所述超晶格包括在基片上形成所述超晶格。

16. 根据权利要求 1 所述的方法,还包括用其内的至少一种导电率掺杂剂对所述超晶格进行掺杂。

17. 根据权利要求 1 所述的方法,其中所述超晶格限定了用于所述半导体器件的沟道,并且,该方法还包括:

形成与所述超晶格沟道横向相邻的源区和漏区;以及

形成位于所述超晶格沟道上的栅极。

18. 一种用于制造半导体器件的方法,包括:

形成包括多个连续沉积的层组的超晶格,每个层组包括用于限定基础硅部分的多个连

续沉积的基础硅单层和限制于相邻的基础硅部分的晶格内的至少一个非半导体单层；以及在完成至少一个层组内的所有的多个基础硅单层的沉积之前，在 550 到 750℃ 范围内的温度下进行至少一次退火。

19. 根据权利要求 18 所述的方法，其中进行所述至少一次退火包括在完成不多于 4 个基础硅单层的沉积之后，进行所述至少一次退火。

20. 根据权利要求 18 所述的方法，其中进行所述至少一次退火包括在 625 到 675℃ 范围内的温度下进行所述至少一次退火。

21. 一种用于制造半导体器件的方法，包括：

形成包括多个叠加的层组的超晶格，每个层组包括用于限定基础硅部分的多个叠加的基础硅单层和限制于相邻的基础硅部分的晶格内的至少一个氧单层；以及

在完成所述超晶格的形成之前，在约 550 到 750℃ 范围内的温度下进行至少一次持续在 1 到 30 分钟范围内的时长的退火。

22. 根据权利要求 21 所述的方法，其中形成所述超晶格包括通过多个基础硅单层的连续沉积来形成每个组；并且其中进行所述至少一次退火包括在完成至少一个层组内的所有的多个基础硅单层的沉积之前，进行所述至少一次退火。

23. 根据权利要求 21 所述的方法，其中进行所述至少一次退火包括在完成至少一个层组内的所述多个基础硅单层的至少一个的沉积之后，进行所述至少一次退火。

24. 根据权利要求 21 所述的方法，其中进行所述至少一次退火包括在完成不多于 4 个基础硅单层的沉积之后，进行所述至少一次退火。

25. 一种用于制造半导体器件的方法，包括：

形成包括多个叠加的层组的超晶格，每个层组包括用于限定基础半导体部分的多个叠加的基础半导体单层和限制于相邻的基础半导体部分的晶格内的至少一个非半导体单层，并且相邻的层组内的相对的基础半导体单层以化学形式结合在一起；以及

在完成所述超晶格的形成之前，在 550 到 750℃ 范围内的温度下进行至少一次退火。

26. 根据权利要求 25 所述的方法，其中形成所述超晶格包括通过所述多个基础半导体单层的连续沉积来形成每个组；并且，其中进行所述至少一次退火包括在完成至少一个层组内的所有的多个基础半导体单层的沉积之前，进行所述至少一次退火。

27. 根据权利要求 26 所述的方法，其中进行所述至少一次退火包括在完成至少一个层组内的所述多个基础半导体单层的至少一个的沉积之后，进行所述至少一次退火。

28. 根据权利要求 26 所述的方法，其中进行所述至少一次退火包括在完成不多于 8 个基础半导体单层的沉积之后，进行所述至少一次退火。

29. 根据权利要求 26 所述的方法，其中进行所述至少一次退火包括在完成不多于 4 个基础半导体单层的沉积之后，进行所述至少一次退火。

30. 根据权利要求 25 所述的方法，其中进行所述至少一次退火包括在 625 到 675℃ 范围内的温度下进行所述至少一次退火。

## 利用中间退火制造包括能带工程超晶格的半导体器件的方法

### 技术领域

[0001] 本发明涉及半导体领域,更具体地,涉及具有基于能带工程的增强特性的半导体及其相关方法。

### 背景技术

[0002] 人们已经提出了用于增强半导体器件性能的结构和技术,诸如通过提高电荷载流子的迁移率。例如,Currie 等人的第 2003/0057416 号美国专利申请披露了硅、硅-锗以及松弛硅的应变材料层,并且,该应变材料层还含有无杂质区,否则将会导致性能退化。在上硅层内所得到的总双轴应变改变了载流子迁移率,使较高的速度和 / 或较低的功率器件成为可能。Fitzgerald 等人的公开的第 2003/0034529 号美国专利申请披露了同样是基于类似应变硅技术的 CMOS 逆变器。

[0003] Takagi 的第 6,472,685 B2 号美国专利披露了包括硅层和夹在硅层之间的碳层的半导体器件,使得第二硅层的导带和价带接收弹性应变。具有较小的有效质量并由施加到栅极电极的电场感应所产生的电子,被限制在第二硅层内,从而断定 n 沟道 MOSFET 具有更高的迁移率。

[0004] Ishibashi 等人的第 4,937,204 号美国专利披露了这样一种超晶格,其中多个层(少于 8 个单层,且包含片段或二元化合物半导体层)交替且外延地生长。主电流的方向与超晶格的各层垂直。

[0005] Wang 等人的第 5,357,119 号美国专利披露了具有通过降低超晶格内的合金散射而获得的较高迁移率的 Si-Ge 短程超晶格。沿着上述路线,Candelaria 的第 5,683,934 号美国专利披露了包括沟道层的提高迁移率的 MOSFET,其中沟道层包含由硅和以将沟道层置于弹性应力之下的百分比替代性地存在于硅晶格中的第二种材料形成的合金。

[0006] Tsu 的第 5,216,262 号美国专利披露了一种量子阱结构,该量子阱结构包括两个阻挡层区和夹在阻挡层之间的薄的外延生长的半导体层。每个阻挡层区包括具有厚度通常在 2 到 6 个单层范围内的 SiO<sub>2</sub>/Si 的交替层。在阻挡层之间夹有更厚的硅部分。

[0007] 也是 Tsu 的一篇标题为“硅纳米结构器件中的现象 (phenomenain silicon nanostructure devices)”的文章披露了硅和氧的半导体-原子超晶格 (SAS),该文章于 2000 年 9 月 6 日在 Applied Physics and Materials Science & Processing 第 391-402 页在线发表。据披露, Si/O 超晶格被披露用于在硅量子 and 发光器件中。具体地,构建并测试了绿色电致荧光二极管结构。二极管结构中的电流是垂直的,即,与 SAS 的层是垂直的。所披露的 SAS 可以包括由被吸收的核素诸如氧原子以及 CO 分子所分离的半导体层。超出被吸收的氧单层的硅生长被描述为具有相当低的缺陷密度的外延生长。一个 SAS 结构包括大约为 8 个硅原子层的 1.1nm 厚的硅部分,另一个结构具有两倍于上述硅厚度的厚度。发表于 Physical Review Letters 第 89 卷第 7 期 (2002 年 8 月 12 日) 的 Luo 等人的一篇标题为“直接带隙发光硅的化学设计 (Chemical Design of Direct-gap Light-Emitting

Silicon) ”的文章,进一步讨论了 Tsu 的 8 个发光 SAS 结构。

[0008] Wang、Tsu 和 Lofgren 的公开的第 WO 02/103,767 A1 号的国际专利申请披露了由薄硅和氧、碳、氮、磷、锑、砷或氢形成的阻挡层构建区,从而使垂直流过晶格的电流降低超过 4 个数量级。绝缘层 / 阻挡层允许低缺陷外延生长硅紧邻绝缘层沉积。

[0009] Mears 等人的公开的第 2,347,520 号 GB 专利申请披露了非周期光子能带隙 (APBG) 结构的原理可以适用于电子能带隙工程。具体地,该申请披露了可以调整材料参数,例如,能带最小值的位置、有效质量等,以产生具有理想能带结构特征的新的非周期材料。披露了将其他参数诸如电导率、热导率和介电常数或导磁率设计到材料中去也是可能的。

[0010] 尽管在材料工程上付出相当大的努力以提高半导体器件中的电荷载流子的迁移率,对更大的改进仍有着需求。更高的迁移率可以增加器件速度和 / 或降低器件功耗。尽管不断地向更小的器件特征转变,有了更高的迁移率,也可以保持器件的性能。

## 发明内容

[0011] 鉴于前述背景,因此,本发明的目的是提供用于制造(例如)具有更高电荷载流子迁移率的半导体器件的方法。

[0012] 通过用于制造半导体器件的方法提供本发明的上述和其他目的、特征和优势,所述方法包括形成含有多个叠加的层组的超晶格,其中,每个层组包括用于限定基础半导体部分的多个叠加的基础半导体单层和限制于相邻的基础半导体部分的晶格内的至少一个非半导体单层。更具体而言,本发明还可以包括在完成超晶格的形成前,进行至少一次退火。

[0013] 形成超晶格可以包括通过连续沉积多个基础半导体单层来形成每个组。另外,进行所述至少一次退火可以包括在完成至少一个层组内的所有多个基础半导体单层的沉积之前,进行所述至少一次退火。进行所述至少一次退火可以包括在完成至少一个层组内的多个基础半导体单层中的至少一个的沉积之后,进行所述至少一次退火。例如,进行所述至少一次退火可以包括在完成不多于 8 个基础半导体单层的沉积之后,以及,更优选地,在完成不多于 4 个基础半导体单层之后,进行所述至少一次退火。

[0014] 进行所述至少一次退火可以包括在大约 550 到 750°C 的范围内的温度下,以及,更优选地,在大约 625 到 675°C 的范围内的温度下,进行所述至少一次退火。可以进行至少一次持续在大约 1 到 30 分钟的范围内(更优选地,在大约 5 到 15 分钟的范围内)的时长的退火。

[0015] 每个基础半导体部分可以包含硅,在一些实施例中,所述至少一个非半导体单层中的每一个可以包含氧。例如,每个非半导体单层可以是单个单层厚。另外,每个基础半导体部分可以是小于 8 个单层厚。

[0016] 超晶格可以还包括位于最上面的层组上的基半导覆盖层。在一些实施例中,所有的基础半导体部分可以具有相同数量的单层的厚度。在其他实施例中,有些基础半导体部分可以具有不同数量的单层厚度。

[0017] 每个基础半导体部分可以包含选自包括第 IV 族半导体、第 III-V 族半导体以及第 II-VI 族半导体的组中的基础半导体。另外,每个非半导体单层可以包含选自包括氧、氮、氟和碳-氧中的组的非半导体。

[0018] 形成超晶格可以包括在基片上形成超晶格。该方法还包括用至少一种导电率对所剂超晶格进行掺杂。

[0019] 在一些有利的实施例中,超晶格可以限定半导体器件的沟道。因此,该方法还可以包括形成与所述超晶格沟道横向相邻的源区和漏区、以及形成位于所述超晶格沟道上面的栅极。

#### 附图说明

[0020] 图 1 是示出根据本发明的用于制造包括超晶格的半导体器件的方法的流程图。

[0021] 图 2 是根据本发明形成的包括超晶格的半导体器件的横截面示意图。

[0022] 图 3 是如图 2 中所示的超晶格的极大地放大的横截面示意图。

[0023] 图 4 是图 2 中所示的超晶格的一部分的透视原子的示意图。

[0024] 图 5 是可以用于图 2 的器件中的超晶格的另一实施例的极大地放大的横截面示意图。

[0025] 图 6A 是关于现有技术中的体硅和图 2-4 中所示的 4/1 Si/0 超晶格的从伽马点 (G) 计算所得的能带结构的图。

[0026] 图 6B 是关于现有技术中的体硅和图 2-4 中所示的 4/1 Si/0 超晶格的从 Z 点计算所得的能带结构的图。

[0027] 图 6C 是关于现有技术中的体硅和图 5 中所示的 5/1/3/1 Si/0 超晶格的伽马点和 Z 点计算所得的能带结构的图。

[0028] 图 7 和 8 分别是根据本发明在没有中间退火的情况下形成的 3 层和 6 层的超晶格基础半导体层组的透射电镜 (TEM) 图。

[0029] 图 9 和 10 分别是根据本发明在有中间退火的情况下形成的 3 层和 8 层的超晶格基础半导体层组的 TEM 图。

#### 具体实施方式

[0030] 以下将参照附图对本发明进行更加全面的描述,在附图中示出了本发明的优选实施例。然而,本发明可以用许多不同的形式实施,并且不应当被理解为受限于本文所阐述的实施例。更确切地说,提供上述实施例,使得本公开内容将是全面的、完整的,并将向本领域的技术人员充分地传达本发明的范畴。在本文中,相似的标号表示相似的元件,撇号用来表示可替换的实施例中的类似元件。

[0031] 本发明涉及在原子或分子水平上控制半导体材料的特性,以在半导体器件内获得改善的性能。此外,本发明涉及对用于半导体器件的导电通道内的改进的材料的确定的产生和使用。

[0032] 申请人在不希望被束缚的情况下提出了下述理论:此处所描述的某些超晶格降低了电荷载流子的有效质量,从而这导致了更高的电荷载流子迁移率。在文献中以各种定义描述了有效质量。作为测量有效质量中的改进的方法,申请人分别使用了关于电子和空穴的“导电率倒易有效质量张量” $M_e^{-1}$  和  $M_h^{-1}$ ,其定义如下:

[0033] 对电子而言,

$$[0034] \quad M_{e,i,j}^{-1}(E_F, T) = \frac{\sum_{E > E_F} \int_{B.Z.} (\nabla_{\mathbf{k}} E(\mathbf{k}, n))_i (\nabla_{\mathbf{k}} E(\mathbf{k}, n))_j \frac{\partial f(E(\mathbf{k}, n), E_F, T)}{\partial E} d^3 \mathbf{k}}{\sum_{E > E_F} \int_{B.Z.} f(E(\mathbf{k}, n), E_F, T) d^3 \mathbf{k}}$$

[0035] 对空穴而言：

$$[0036] \quad M_{h,i,j}^{-1}(E_F, T) = \frac{-\sum_{E < E_F} \int_{B.Z.} (\nabla_{\mathbf{k}} E(\mathbf{k}, n))_i (\nabla_{\mathbf{k}} E(\mathbf{k}, n))_j \frac{\partial f(E(\mathbf{k}, n), E_F, T)}{\partial E} d^3 \mathbf{k}}{\sum_{E < E_F} \int_{B.Z.} (1 - f(E(\mathbf{k}, n), E_F, T)) d^3 \mathbf{k}}$$

[0037] 其中  $f$  是费米 - 狄拉克分布,  $E_F$  是费米能量,  $T$  是温度,  $E(\mathbf{k}, n)$  是电子在与波矢量  $\mathbf{k}$  和第  $n$  个能带相对应的状态下的能量, 指数  $i$  和  $j$  指笛卡儿坐标  $x$ 、 $y$  和  $z$ , 对布里渊散射区 (B. Z.) 进行积分, 分别对电子和空穴的具有高于和低于费密能级的能带进行求和。

[0038] 申请人对导电率倒易有效质量张量的定义是这样的: 材料的导电率的张量分量对于导电率倒易有效质量张量的对应分量的较大值来说是较大的。此外, 申请人在不希望被限定于上述范围的情况下, 提出了下述理论: 此处所描述的超晶格设定了导电率倒易有效质量张量的值, 以增强材料的导电特性, 诸如通常是关于电荷载流子传输的优选方向上的导电特性。合适的张量元素的逆被称为导电率有效质量。换言之, 为了描述半导体材料结构的特征, 以上所描述的且在沿所预定的载流子传输方向上计算所得的电子 / 空穴的导电率有效质量被用于辨别改进的材料。

[0039] 较高的电荷载流子迁移率可以是由于载流子在平行方向上比存在的其他方向上的导电率有效质量低而产生的。该导电率有效质量可以小于在其他情况下出现的导电率有效质量的三分之二。当然, 超晶格还可以在其中包含至少一种导电率掺杂剂。

[0040] 利用上述手段, 人们可以选择具有用于特殊目的的改进的能带结构的材料。一个这样的实例就是用于半导体器件中的沟道区的超晶格 25 材料。现在参照图 2 首先描述包括根据本发明的超晶格 25 的平面 MOSFET 20。然而, 本领域的技术人员将会理解此处所确定的材料将用于许多不同类型的半导体器件中, 诸如分立器件和 / 或集成电路。

[0041] 所示出的 MOSFET 20 包括基片 21、轻掺杂的源 / 漏扩展区 22、23、较重掺杂的源 / 漏区 26、27 和由超晶格 25 提供的位于源 / 漏区之间的沟道区。本领域技术人员将会理解的是, 源 / 漏硅化物层 30、31 和源 / 漏接触区 32、33 位于源 / 漏区上面。栅极 35 示例性地包括与由超晶格 25 所提供的沟道相邻的栅极绝缘层 36 和位于栅极绝缘层上的栅极电极层 38。在所示出的 MOSFET 20 内还提供侧壁分隔片 40、41, 并且在栅极电极层 38 之上提供硅化物层 34。为了清楚地说明, 在图 2 中利用点划线示出将栅极绝缘层 36, 用虚线示出被由轻掺杂的源 / 漏扩展区 22、23 的注入而注入掺杂剂的超晶格 25 的各区。

[0042] 申请人已经确定了改进的材料或结构以及用于制造 MOSFET 20 的沟道区的方法。更具体而言, 申请人已经确定了具有下述能带结构的材料或结构: 关于电子和 / 或空穴的合适的导电率有效质量基本上小于硅的对应值。

[0043] 现在再参照图 2 和 3, 材料或结构的形式为超晶格 25, 其结构在原子或分子的水平上受控并可以利用已知的原子或分子层沉积技术形成。超晶格 25 包括以叠层关系排列的多个层组 45a-45n, 具体参照图 3 的示意的横切面图也许可以最好地理解这一点。

[0044] 超晶格 25 的每个层组 45a-45n 包括用于限定各自的基础半导体部分 46a-46n 的

多个叠加的基础半导体单层 46 及其上的能带修改层 50。为了说明清楚,在图 3 中以点划线表示能带修改层 50。

[0045] 能带修改层 50 示例性地包括限制于相邻的基础半导体部分的晶格内的一个非半导体单层。即,相邻层组 45a-45n 内的相对的基础半导体单层 46 通过化学键结合在一起。例如,就硅单层 46 而言,组 45a 的上部或顶部单层内的有些硅原子将与组 45b 的下部或底部单层内的硅原子以共价键形式结合在一起。这使得晶格沿层组继续拓展,尽管存在非半导体单层(例如,一个或多个氧单层)。当然,随着上述层的每一个内的某些硅原子将与非半导体原子(即,本实例中的氧)键合,相邻组 45a-45n 的相对硅层 46 之间将没有完全的或纯粹的共价键,这一点应该会被本领域的技术人员所理解。

[0046] 在其他实施例中,一个以上的这样的单层是可能的。应当注意的是此处参照非半导体或半导体单层意味着用于单层的材料如果以块状形成,应是非半导体或半导体。即,材料诸如半导体的单个单层可能不一定表现出与以块状或以相对来说较厚的层形成的单层相同的特性,这一点会为本领域的技术人员所理解。

[0047] 申请人在不希望受限的情况下提出了下述理论:能带修改层 50 和相邻的半导体部分 46a-46n 导致超晶格 25 在平行的层方向上比所存在的其他方向上具有较低的合适的电荷载流子的导电率有效质量。考虑到其他方式,上述平行方向与叠加方向垂直。能带修改层 50 也可以导致超晶格 25 具有普通的能带结构。

[0048] 同样,提出了这样的理论,即半导体器件,诸如所示的 MOSFET 20,基于比在其他情况下所存在的较低导电率有效质量,具有较高的电荷载流子迁移率。在某些实施例中,作为本发明所取得的能带工程的结果,超晶格 25 还可以具有对光电子器件来说可能尤其有利的基本上直接的能带隙,例如,转让给本受让且其全部内容以引用方式并入本文的共同未决的申请标题为“包括具有能带工程的超晶格的有源光学器件的集成电路”(INTEGRATED CIRCUIT COMPRISING AN ACTIVE OPTICAL DEVICE HAVING AN ENERGY BANDENGINEERED SUPERLATTICE)、第 10/936,903 号美国专利申请所阐述的那些器件。

[0049] MOSFET 20 的源/漏区 22/26、23/27 和栅极 35 可以被看作是促使电荷载流子穿过相对于叠加的组 45a-45n 中的各层的平行方向上的超晶格 25 进行传输的区域,这一点会被本领域的技术人员所理解。本发明也考虑了其他这样的区域。

[0050] 超晶格 25 也示例性地包括位于上层组 45n 上的覆盖层 52。覆盖层 52 可以包括多个基础半导体单层 46。覆盖层 52 的基础半导体单层可以在 2 到 100 个范围内,更优选在 10 到 50 个单层之间。

[0051] 每个基础半导体部分 46a-46n 可以包括选自含有第 IV 族半导体、第 III-V 族半导体以及第 II-VI 族半导体的组中的基础半导体。当然,术语组 IV 半导体也包括第 IV-IV 族半导体,这一点会被本领域的技术人员所理解。更具体而言,例如基础半导体可以包含硅和锗中的至少一种。

[0052] 例如每个能带修改层 50 可以包括选自包括氧、氮、氟以及碳-氧的组中的非半导体。通过下一层的沉积从而方便制造,非半导体在热稳定上也是理想的。在其他实施例中,非半导体可以是与给定的半导体处理相兼容的其他的无机或有机元素或化合物,这一点会为本领域的技术人员所理解。更具体而言,例如基础半导体可以包括硅和锗中的至少一种。

[0053] 应当注意,术语单层是指包括单个原子层以及单个分子层。同样应当注意,由单个

单层提供的能带修改层 50 也指包括其内部不是所有可能的位置都被占据的单层。例如,尤其是参照图 3 的原子图,说明了作为基础半导体材料的硅以及作为能带修改材料的氧的 4/1 的重复结构。氧的仅仅一半的可能位置被占据。

[0054] 在其他实施例中中和 / 或在采用不同材料的情况中,上述一半占据并不一定是本领域技术人员所理解的那样。事实上,甚至可以从该示意图中看出,给定单层中的氧的单个原子不会沿平面被准确地排列以直线,这也是原子沉积领域的技术人员所理解的。作为实例,优选的占据范围从完全占满的可能氧位置的大约 1/8 到一半,尽管其他数量可以用在某些实施例中。

[0055] 目前硅和氧被广泛地用于传统的半导体处理中,因此,制造商能够容易地使用此处所描述的上述材料。现在原子或单层沉积也被广泛地使用。因此,可以容易地采用和实现包含根据本发明的超晶格 25 的半导体器件,这一点会被本领域的技术人员所理解。

[0056] 申请人在不希望受限的情况下提出了这样的理论,即对于超晶格诸如 Si/O 超晶格,例如,硅单层的数量在理想情况下应当为 7 个或更少以便超晶格的能带在整个范围内是一样的或相对一致的,以获得理想的优势。然而,可以在其他实施例中使用 8 个或更多个层,这取决于给定的应用。已经对图 3 和 4 中所示的 Si/O 的 4/1 重复结构建立模型,以表示电子和空穴在 X 方向上的提高了的迁移率。例如,对于电子来说,计算所得的导电率有效质量(对于体硅来说是各向同性的)为 0.26,对于 4/1 SiO 超晶格在 X 方向来说为 0.12,从而得到 0.46 的比值。类似地,对于体硅来说,对空穴计算所得出的值为 0.36,对于 4/1Si/O 超晶格来说为 0.16,从而得到 0.44 的比值。

[0057] 尽管在某些半导体器件中,上述方向优先特征可能是理想的,但是其他器件可能受益于在平行于层组的任何方向上的迁移率的更加一致的增加。对电子或空穴来说,或仅仅上述类型的电荷载流子中的一种来说,具有提高的迁移率也是有利的,这一点会被本领域的技术人员所理解。

[0058] 超晶格 25 的 4/1 Si/O 实施例的较低导电率有效质量可以小于其他情况下出现的导电率有效质量的三分之二,这既适用于电子也适用于空穴。当然,超晶格 25 还可以包括掺杂于其中的至少一种导电率掺杂剂,这一点会被本领域的技术人员所理解。

[0059] 实际上,现在再参照图 5,现在描述根据本发明的具有不同特性的超晶格 25' 的另一实施例。在该实施例中,示出了重复模式 3/1/5/1。更具体而言,最下层的基础半导体部分 46a' 具有三个单层,次最下层的基础半导体部分 46b' 具有五个单层。这种模式在整个超晶格 25' 范围内重复。能带修改层 50' 可以均包括单个单层。对于包括 Si/O 的上述超晶格 25' 来说,电荷载流子迁移率的提高不依赖于层平面内的取向。没有具体提及的图 5 的上述其他元件与参照图 3 的上述元件相似,此处不需要进一步的讨论。

[0060] 在某些器件实施例中,超晶格的所有基础半导体部分可以具有相同数量的单层的厚度。在其他实施例中,至少有些基础半导体部分可以具有不同数量的单层的厚度。在其他实施例中,所有基础半导体部分可以具有不同数量的单层的厚度。

[0061] 在图 6A-6C 中,给出了利用密度函数理论 (DFT) 计算所得的能带结构。在本领域中众所周知 DFT 低估了能带隙的绝对值。因此,可以通过适当的“剪裁修正”偏移带隙之上的所有能带。然而,已经知道能带的形状更加地可靠。应当从这个角度说明垂直的能轴。

[0062] 图 6A 显示了由伽马点 (G) 计算所得的体硅(以连续线表示)和图 3-4 中所示的

4/1 Si/0 超晶格 25 (以点线表示) 的能带结构。尽管图中的 (001) 方向与 Si 的惯用晶胞的 (001) 方向对应, 但是该方向是指 4/1Si/0 结构的晶胞, 而不是 Si 的惯用晶胞, 从而显示了 Si 导带最低值的期望位置。图中的 (100) 和 (010) 方向与 Si 惯用晶胞的 (110) 和 (-110) 方向对应。本领域的技术人员会理解, 图上的 Si 能带被折叠而将它们在 4/1 Si/0 结构的适当的倒易点阵方向上表示出来。

[0063] 可以看出, 与体硅 (Si) 不同的是, 4/1 Si/0 结构的导带最低值位于伽马点处, 而价带最低值发生在 (001) 方向上的布里渊散射区的边缘, 我们称之为 Z 点。有人可能也会注意到, 与 Si 的导带最低值的曲率相比, 4/1 Si/0 结构的导带最低值的曲率较大, 这要归因于由额外的氧层引入的扰动而产生的能带分离。

[0064] 图 6B 显示了由 Z 点计算所得的体硅 (连续线) 和 4/1 Si/0 超晶格 25 (点线) 的能带结构。该图说明了价带在 (100) 方向上的增加的曲率。

[0065] 图 6C 显示了由伽马点和 Z 点计算所得的体硅 (连续线) 和图 4 的超晶格 25' 的 5/1/3/1 Si/0 结构 (点线) 的能带结构。由于 5/1/3/1 Si/0 结构的对称性, 在 (100) 和 (010) 方向上计算所得的能带结构是相等的。因此, 导电率有效质量和迁移率被期望在平行于层的即垂直于 (001) 叠层方向上平面内呈现各向同性。注意在 5/1/3/1 Si/0 实例中, 导带最低值和价带最大值都位于或靠近 Z 点。

[0066] 尽管曲率的增加表示有效质量的减小, 但是可以通过导电率倒易有效质量张量的计算进行适当的比较和区分。这导致申请人进一步提出 5/1/3/1 超晶格 25' 应当基本上为直接能带隙的理论。光过渡的适当矩阵元是直接和间接能带隙行为之间的差别的另一指示。

[0067] 现在再参照图 1, 现在将描述用于制造包括超晶格 25 的半导体器件诸如 MOSFET 20 的方法。超晶格 25 可以形成于硅基片 21 上。作为实例, 基片 21 可以是 8 英寸晶圆的具有 <100> 晶向的轻掺杂 P 型或 N 型单晶硅, 尽管也可以使用其他适合的基片。

[0068] 超晶格 25 材料形成于基片 21 的整个上表面或其部分上。一般来讲, 在完成超晶格 25 之前, 有利地进行一次或多次退火。即, 在超晶格 25 的形成过程中间进行的一次或多次退火, 而不是在其完成后简单地对整个超晶格进行退火。申请人在不希望受限的情况下提出了这样的理论, 即进行上述中间退火使与能带修改层 50 交界的界面处的原子结构能够提供更少的缺陷和更光滑的表面, 这使得超晶格 25 更适合器件的集成, 这一点将在以下进行进一步讨论。更具体而言, 退火允许氧进入夹在两个硅层之间的氧的较低能量位置 (即, “体”硅 - 氧 - 硅的最低能量与位于表面上的氧的关系)。然而, 顶部的硅层足够薄, 尽管限制了氧的位置, 但是它可以再排列以占据位于氧之下的硅层的晶体结构配置或取向。

[0069] 应当注意, 如果顶部的硅层太厚 (例如, 超过 8 个单层), 再排列起来可能太刚性或受到限制。此外, 如果它位于表面上或硅矩阵内, 氧的最低能量位置 (即, 键合配置) 是不同的, 这一点会被本领域的技术人员所理解。理想的情况是在其硅矩阵环境位置内具有氧键, 这是由于这样允许重新开始外延硅生长。

[0070] 以框 100 开始, 在框 101, 例如在基片 21 上形成非半导体单层。作为实例, 就氧而言, 暴露时间可以优选在小于 8 秒的范围内, 尽管也可以使用其他暴露时间。然后, 在框 102, 通过连续的原子层沉积形成一个或多个基础半导体单层 46。例如可以利用硅烷、乙硅烷、丙硅烷或其他适合的沉积制剂, 在大约 425 到 625°C 范围内的温度下以及在大约 20 到

80 托范围内的压力下进行沉积。氮或氢可以用作具有大约 20 到 40SLM 的传输制剂。

[0071] 然后,在框 103,进行中间退火。通常,应当在进行退火之前形成的组 46a-46n 的基础半导体单层 46 的数量取决于给定组内的基础半导体单层的总数。即,对于具有相对较小数量的基础半导体单层 46(例如,4 个或更小)的组 46a-46n 而言,可能仅需要在沉积组内的所有单层后进行退火。

[0072] 另一方面,如果组 46a-46n 具有相对较大数量的基础半导体单层 46(例如,大于 4 个),那么,在沉积该组中的所有层之前进行退火是理想的。作为实例,在重复的 8/1 结构中,在形成每个组的底部的 4 层后进行退火可能是理想的。优选地,应当在完成不多于 8 个基础半导体单层的沉积后,更优选地,在完成不多于 4 个基础半导体单层之后,进行退火。

[0073] 应当注意,在所有实施例中,不需要对超晶格 25 中的每个组 46a-46n 进行各自的退火步骤。例如,在有些应用中,每隔一组,或仅对下和 / 或上组等进行退火是理想的。

[0074] 可以通过停止沉积气体(例如,硅烷)流动和使温度增加到大约 550 到 750°C 的范围内,更优选地,在 625 到 675°C 范围内,进行退火。每次退火可以进行大约 1 到 30 分钟范围内的时长,更优选地,在大约 5 到 15 分钟范围内的时长。例如,可以利用快速热处理灯进行退火,尽管也可以使用本领域技术人员所知的其他合适的技术。一旦在框 104 完成退火,如果目前组中的任何基础半导体单层 46 保持形成,这在框 105-106 以上述的相同方式进行。如果在框 107 要形成更多的组 46a-46n,则重复前述的步骤以形成下一组。否则,基础半导体覆盖层 52 可以可任选地形成于最上层组 45n 上以在框 108 处完成超晶格,从而结束所说明的方法(框 109)。

[0075] 参照图 7-10 中所示的透射电镜(TEM)图像,将更加充分地理解由上述的中间退火所得到的缺陷降低和相关的光滑度的提高。具体地说,图 7 显示了包括已经在氧下暴露一秒钟而没有首先退火的三层基础硅单层的组。对于已经在氧下类似地暴露一秒钟而没有首先退火的图 8 中所示的 6 层基础硅单层的组来说,致使上述结构上的表面粗糙的缺陷变得甚至更加明显。

[0076] 然而,在上述的氧层形成之前的退火提供了显著的缺陷降低,从而提高了表面的光滑度。图 9 中所示的结构是与图 7 中所示的相同的三个基础硅单层组,但在氧暴露前在其上进行过退火。在所图示的实例中,氧暴露时间为 2 秒钟。图 10 中示出了 8 个基础硅单层组,其中在最初的 4 个基础硅单层的沉积后以及在氧暴露(在本实例中氧暴露时间为 1.5 秒)之前进行退火。

[0077] 图 1 中没有图示的其他方法步骤可以包括形成与由超晶格 25 所提供的沟道横向相邻的源和漏区 22/26、23/27、以及形成位于超晶格沟道上的栅极 35 和图 1 中所示的其余结构特征。利用众所周知的半导体技术可以容易地进行上述步骤,这一点会被本领域中的技术人员所理解。例如,在美国专利申请序列号第 10/940,426 号的标题为“在源区和漏区的上方包括垂直分级的超晶格的半导体器件”(SEMICONDUCTOR DEVICE COMPRISING A SUPERLATTICE CHANNEL VERTICALLY STEPPED ABOVE SOURCE AND DRAIN REGIONS)的共同未决的申请中,可以发现关于上述步骤的其他细节,该专利申请转让给本受让人并且其全部内容以引用的方式并入本文。

[0078] 受益于前面的描述和相关的附图中所给出的教导,本领域的技术人员将会想到本发明的许多修改和其他实施例。因此,应当理解,本发明不限于所披露的具体的实施例,并

---

且上述修改和实施例应当被涵盖于所附的权利要求的范畴内。

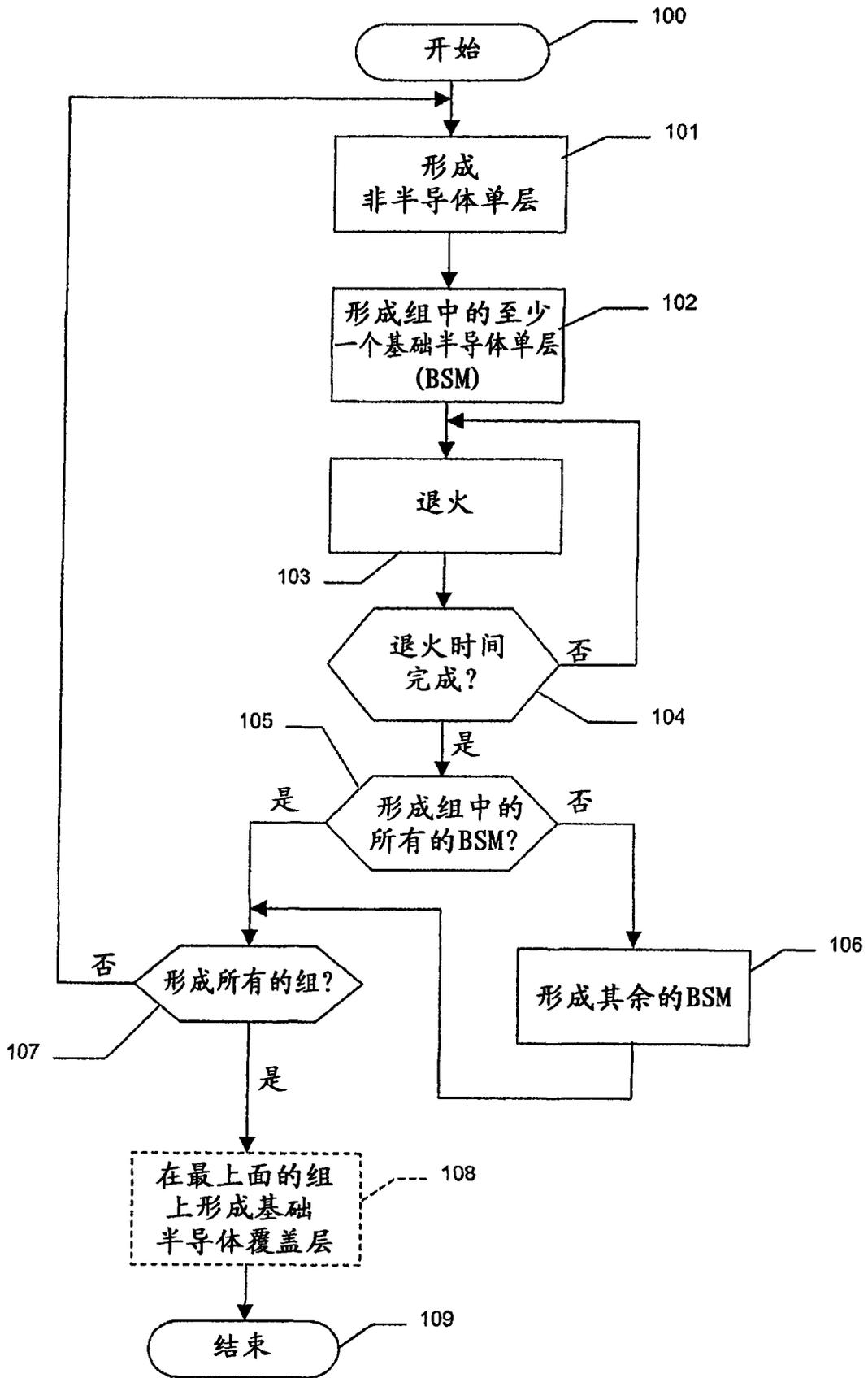


图 1

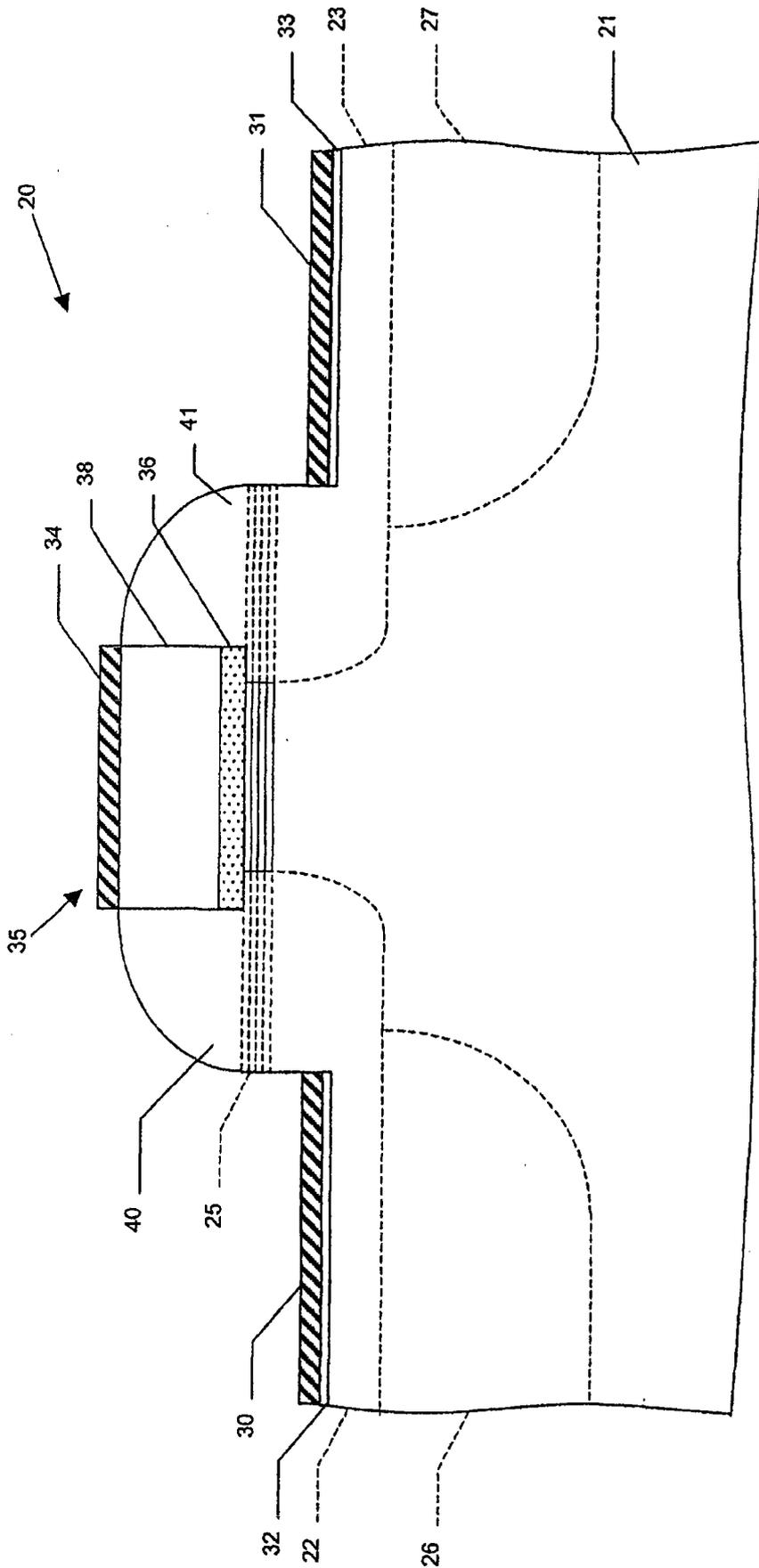


图 2

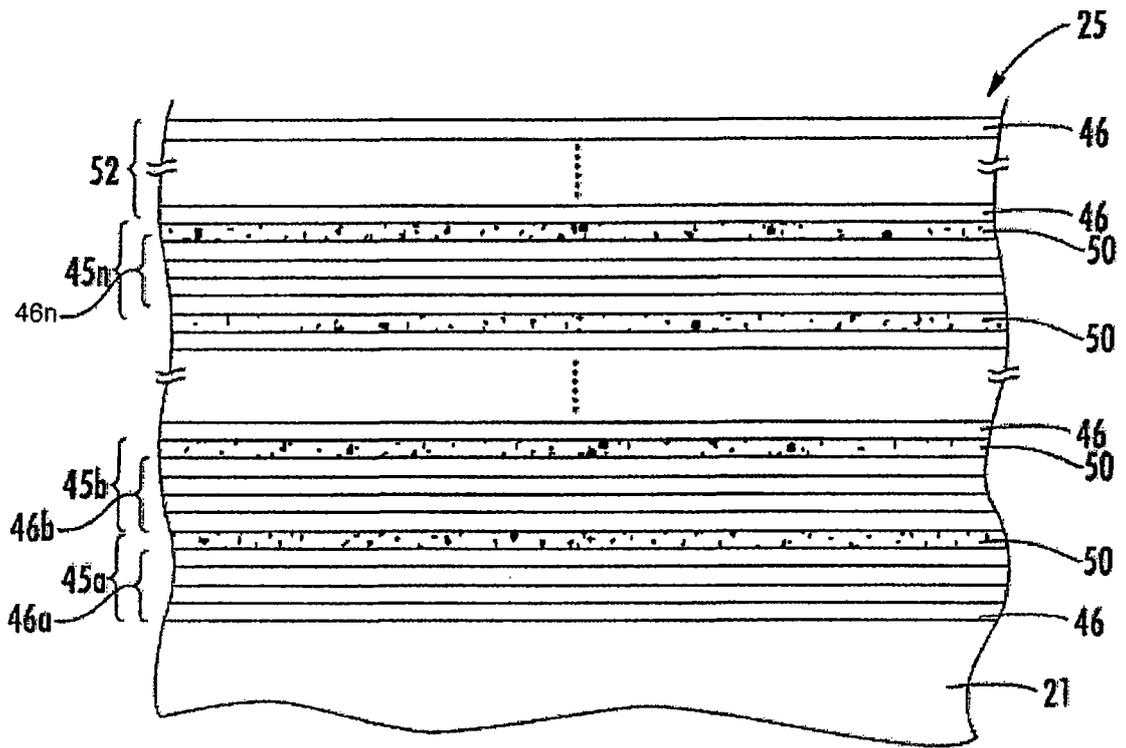


图 3

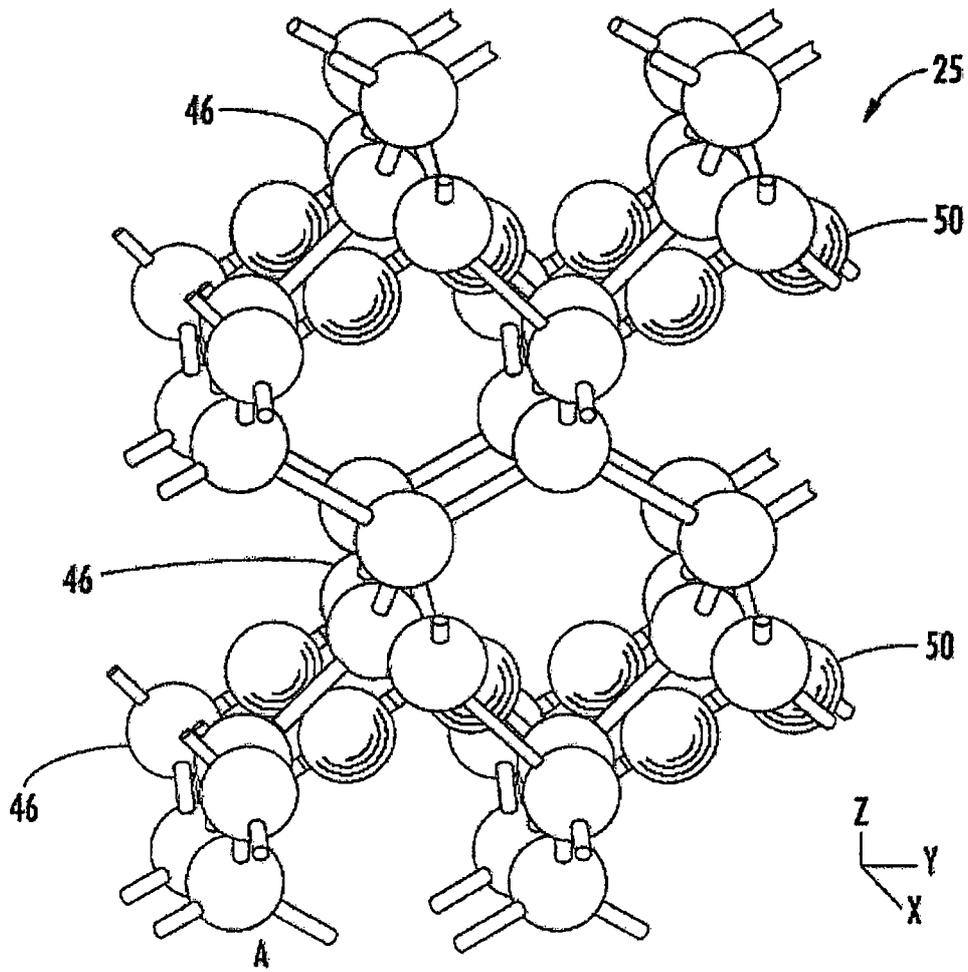


图 4

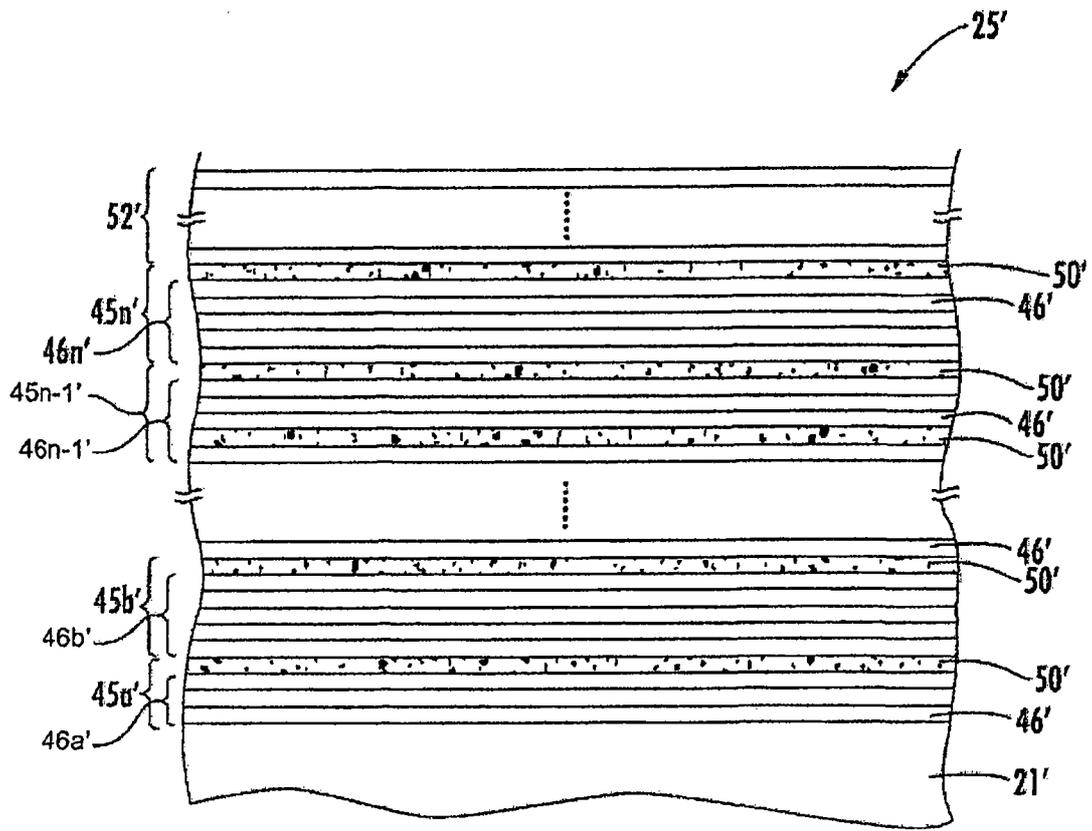


图5

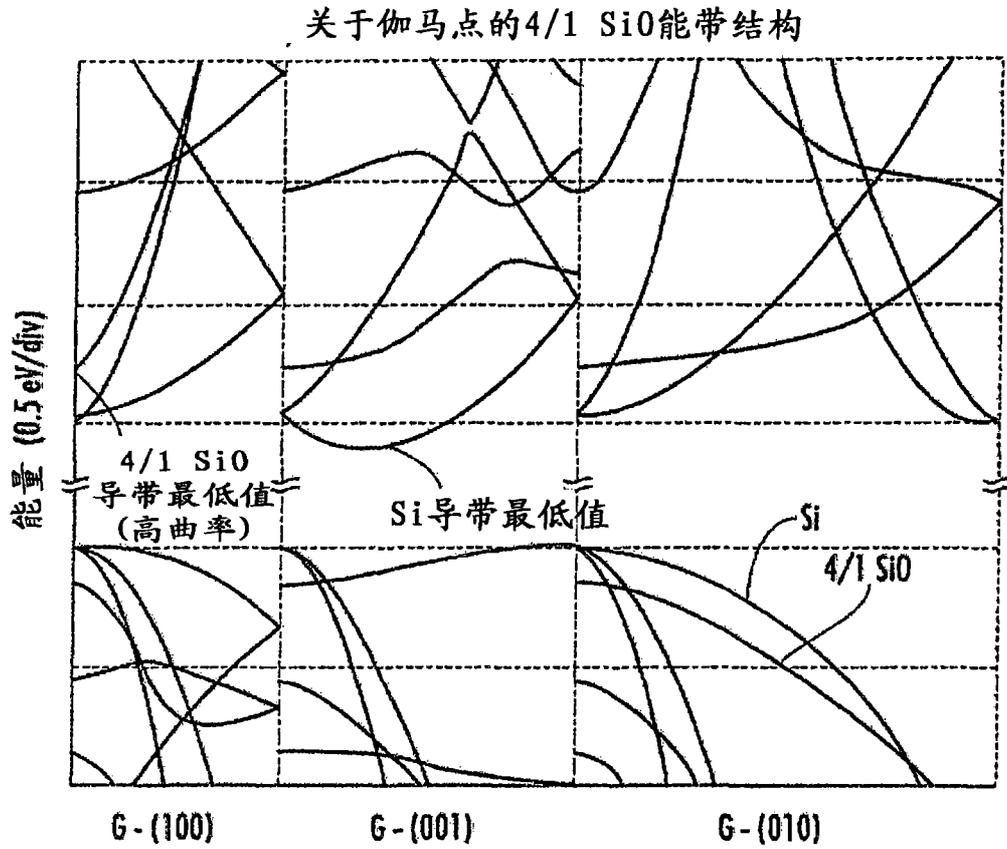


图6A

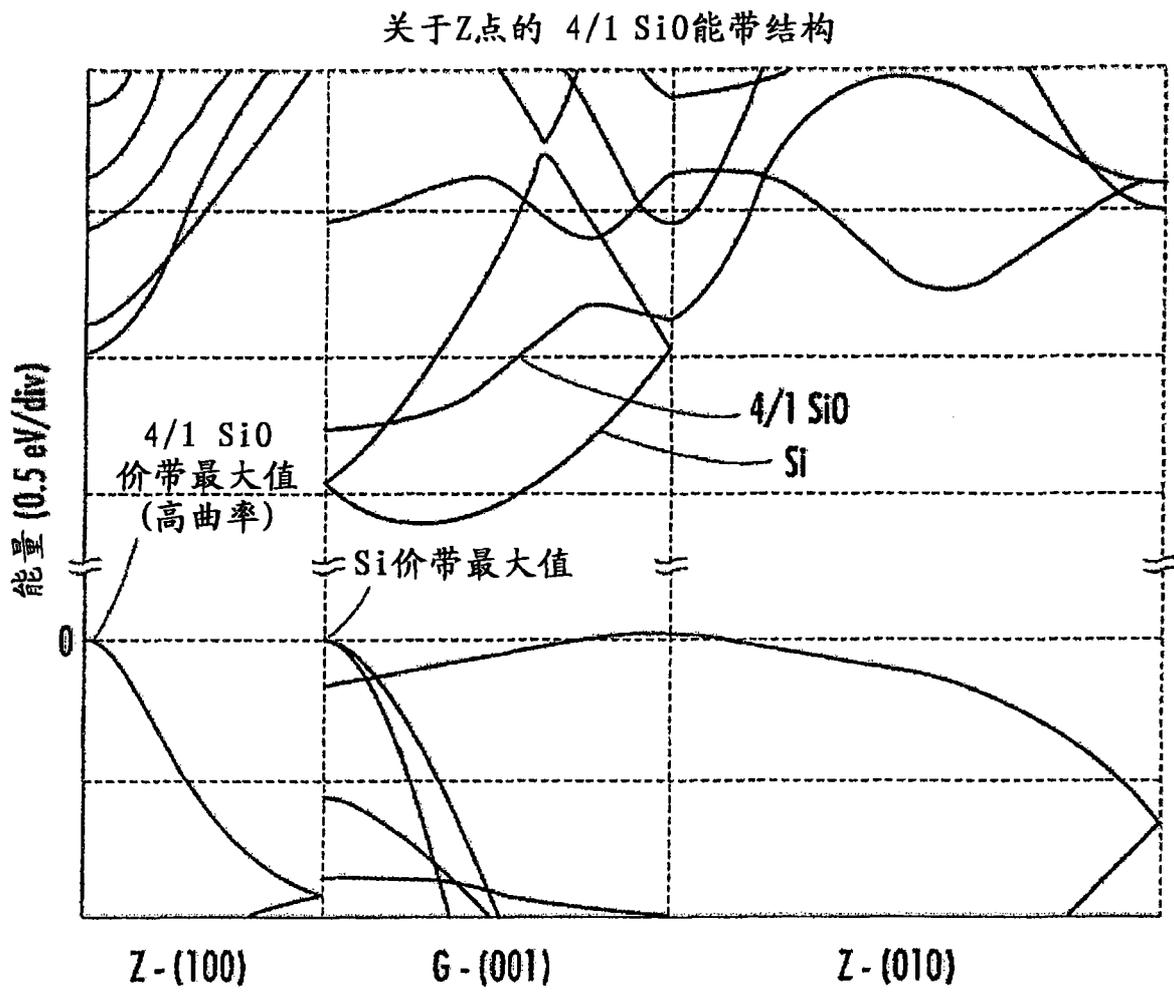


图 6B

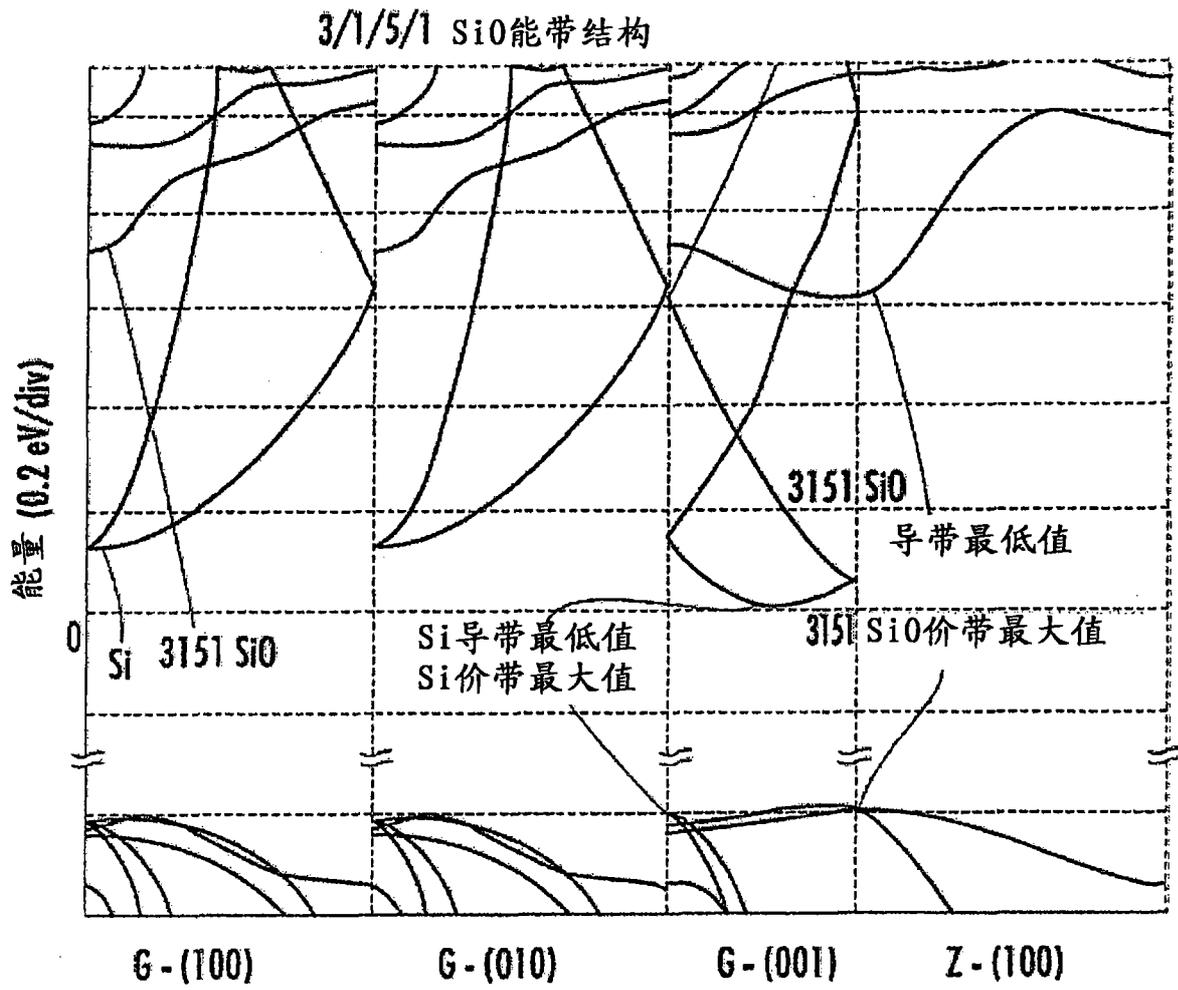


图6C

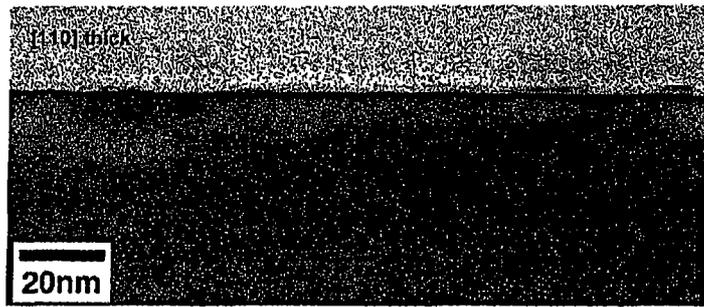


图7

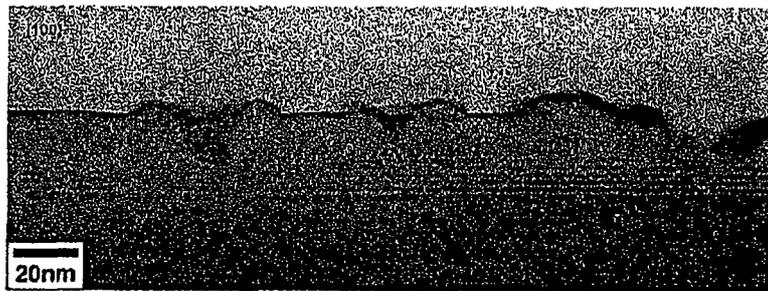


图8

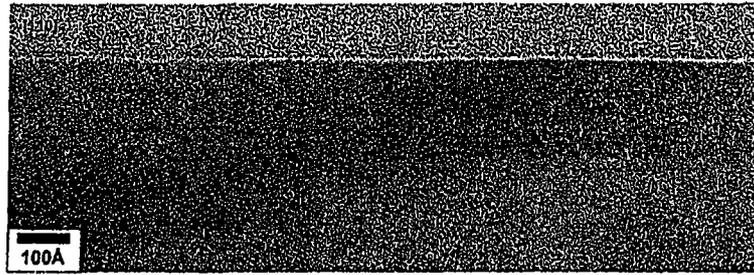


图9

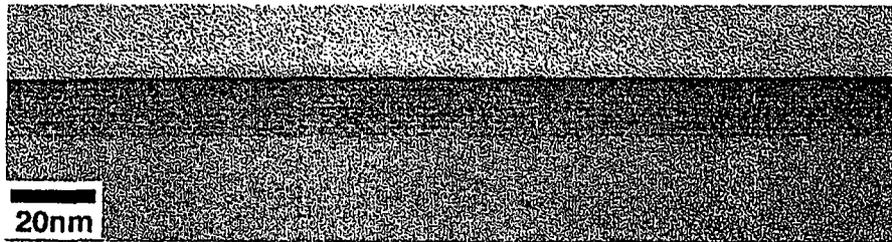


图10