



(12) 发明专利申请

(10) 申请公布号 CN 102770743 A

(43) 申请公布日 2012. 11. 07

(21) 申请号 201180007177. 9

代理人 徐殿军

(22) 申请日 2011. 01. 21

(51) Int. Cl.

(30) 优先权数据

G01L 9/00 (2006. 01)

2010-018984 2010. 01. 29 JP

H01L 29/84 (2006. 01)

(85) PCT申请进入国家阶段日

2012. 07. 26

(86) PCT申请的申请数据

PCT/IB2011/000081 2011. 01. 21

(87) PCT申请的公布数据

W02011/092563 JA 2011. 08. 04

(71) 申请人 松下电器产业株式会社

地址 日本大阪府

(72) 发明人 新村雄一 野边武 西川英男

加藤史仁

(74) 专利代理机构 永新专利商标代理有限公司

72002

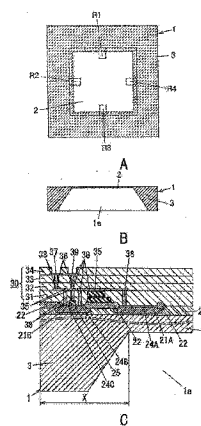
权利要求书 1 页 说明书 6 页 附图 8 页

(54) 发明名称

压力传感器

(57) 摘要

一种压力传感器,在单一的半导体基板上形成将压力转换为电信号的压力转换部、和对该压力转换部所转换的电信号进行处理的信号处理电路而成。上述压力转换部包括使上述半导体基板部分地变薄而成的隔膜、和形成在该隔膜的表面的多个压电电阻元件,上述信号处理电路由形成在 p 型导电型区域的 CMOS 集成电路构成,该 p 型导电型区域设置在上述半导体基板表面中的上述隔膜的周围,上述压电电阻元件通过在设置于上述隔膜的表面的 p 型导电型区域中形成因 n 型的杂质扩散而产生的 n 型的导电型区域、并且使 p 型的杂质扩散至该 n 型导电型区域而形成。



1. 一种压力传感器,在单一的半导体基板上形成将压力转换为电信号的压力转换部、和对由该压力转换部所转换的电信号进行处理的信号处理电路而成,

上述压力转换部包括使上述半导体基板部分地变薄而成的隔膜、和形成在该隔膜的表面的多个压电电阻元件,

上述信号处理电路由形成在 p 型导电型区域的 CMOS 集成电路构成,该 p 型导电型区域设置在上述半导体基板表面的上述隔膜的周围,

上述压电电阻元件通过在设置于上述隔膜的表面的 p 型导电型区域中形成因 n 型的杂质扩散而产生的 n 型的导电型区域、并且使 p 型的杂质扩散至该 n 型导电型区域而形成。

2. 如权利要求 1 所述的压力传感器,

在上述压电电阻元件的形成区域以外将在上述信号处理电路的制造工序中形成于表面侧的薄膜层除去而形成上述压力转换部。

3. 如权利要求 2 所述的压力传感器,

将包含上述压电电阻元件的形成区域在内的上述薄膜层除去而形成上述压力转换部。

4. 如权利要求 1 ~ 3 中任一项所述的压力传感器,

在上述隔膜的表面形成有保护膜和用以对该保护膜的应力进行调整的应力调整膜。

5. 如权利要求 1 ~ 3 中任一项所述的压力传感器,

在上述压电电阻元件的表面形成绝缘薄膜层,在上述绝缘薄膜层的表面形成有导体薄膜层。

6. 如权利要求 5 所述的压力传感器,

上述导体薄膜层与供电至上述信号处理电路的电源电压的高电位侧或低电位侧电连接。

7. 如权利要求 1 ~ 6 中任一项所述的压力传感器,

上述压电电阻元件通过杂质扩散区域与其它压电电阻元件以及上述信号处理电路电连接,该杂质扩散区域具有比该压电电阻元件的电阻值更低的电阻值、并形成在上述半导体基板表面。

8. 如权利要求 1 ~ 7 中任一项所述的压力传感器,

形成有上述压电电阻元件的上述 n 型导电型区域与供电至上述信号处理电路的电源电压的高电位侧电连接。

9. 如权利要求 1 ~ 8 中任一项所述的压力传感器,

上述压力转换部被由绝缘体薄膜构成的保护膜覆盖。

压力传感器

技术领域

[0001] 本发明涉及一种压力传感器,本发明尤其涉及一种在单一的半导体基板上形成有将压力转换为电信号的压力转换部、和对由该压力转换部所转换的电信号进行处理的信号处理电路的压力传感器。

背景技术

[0002] 以往,已提供有各种压力传感器,该压力传感器在单一的半导体基板上形成有由隔膜(diaphragm)及压电电阻元件构成的压力转换部、和对压力转换部所转换的电信号进行处理的信号处理电路。

[0003] 例如,专利文献1所揭示的压力传感器,在单晶硅基板上形成隔膜及压电电阻元件,并且在该隔膜的周围形成有信号处理电路。在该以往例中,通过同时进行形成压电电阻元件的工序与形成信号处理电路的工序,可减小制造成本。

[0004] [专利文献1]日本特开平8-97439号公报

[0005] 然而,在专利文献1所揭示的以往例中,在p型的单晶硅基板的主表面侧形成n型的外延硅层,在该n型的外延硅层形成由p型的杂质扩散区域构成的压电电阻元件。而且,在n型的外延硅层形成p阱区域,在该p阱区域内形成信号处理电路的n沟道型MOS(Metal Oxide Semiconductor,金属氧化物半导体)构造,并且在n型的外延硅层内同时形成p沟道型MOS构造,从而构成CMOS(Complementary Metal Oxide Semiconductor,互补金属氧化物半导体)集成电路。

[0006] 然而,当如上述以往例般,在n型的外延硅层形成p阱区域、进而而在该p阱区域内形成n沟道型MOS构造时,会产生如下的问题:n沟道型MOS构造的专有面积增加了与p阱区域相当的量;若在n型的外延硅层形成p阱区域,则p阱的浓度变得过高,使n沟道型MOS构造的性能降低。

发明内容

[0007] 发明概要

[0008] 本发明是鉴于上述情形而做出的,本发明提供一种能够实现信号处理电路相对于半导体基板的专有面积减少和性能提高的压力传感器。

[0009] 根据本发明的一个方式,提供一种压力传感器,在单一的半导体基板上形成将压力转换为电信号的压力转换部、和对由该压力转换部所转换的电信号进行处理的信号处理电路而成,上述压力转换部包括使上述半导体基板部分地变薄而成的隔膜、和形成在该隔膜的表面的多个压电电阻元件,上述信号处理电路由形成在p型导电型区域的CMOS集成电路构成,该p型导电型区域设置在上述半导体基板表面中的上述隔膜的周围,上述压电电阻元件通过在设置于上述隔膜的表面的p型导电型区域中形成因n型的杂质扩散而产生的n型的导电型区域、并且使p型的杂质扩散至该n型导电型区域而形成。

[0010] 根据如上所述的构成,上述信号处理电路形成于在上述半导体基板中在隔膜的周

围的表面设置的 p 型的导电型区域,在该 p 型导电型区域形成因 n 型的杂质扩散而产生的 n 型的导电型区域,并且通过在 n 型导电型区域扩散 p 型的杂质而形成上述压电电阻元件,因此,与在 n 型的导电型区域中形成压电电阻元件以及信号处理电路的以往例相比,可实现信号处理电路相对于半导体基板的专有面积减少和性能提高。

[0011] 对上述压力转换部而言,可以在上述压电电阻元件的形成区域以外将在上述信号处理电路的制造工序中形成于表面侧的薄膜层除去。

[0012] 根据如上所述的构成,可抑制由于薄膜层引起的压力转换部的灵敏度降低。

[0013] 对上述压力转换部而言,可以将包含上述压电电阻元件的形成区域在内的上述薄膜层除去。

[0014] 由此,可进一步抑制由于薄膜层引起的压力转换部的灵敏度降低。

[0015] 也可以在上述隔膜的表面形成保护膜和用以对该保护膜的应力进行调整的应力调整膜。

[0016] 由此,可利用应力调整膜的应力来将产生在保护膜的应力抵消。

[0017] 也可以在上述压电电阻元件的表面形成绝缘薄膜层,在上述绝缘薄膜层的表面形成导体薄膜层。

[0018] 由此,导体薄膜层成为屏蔽(shield),从而可抑制由外部电场所引起的压电电阻元件的电阻值变化。

[0019] 上述导体薄膜层也可与供电至上述信号处理电路的电源电压的高电位侧或低电位侧电连接。

[0020] 上述压电电阻元件也可通过杂质扩散区域与其它压电电阻元件以及上述信号处理电路电连接,该杂质扩散区域具有比该压电电阻元件的电阻值更低的电阻值、并形成在上述半导体基板表面。

[0021] 由此,可使压电电阻元件以外的部分的电阻值变化的影响减小,使检测精度提高。

[0022] 形成有上述压电电阻元件的上述 n 型导电型区域也可与供电至上述信号处理电路的电源电压的高电位侧电连接。

[0023] 上述压力转换部也可被由绝缘体薄膜构成的保护膜覆盖。

[0024] 由此,可电气性、化学性、及物理性地保护压力转换部。

附图说明

[0025] 本发明的目的以及特征基于与以下的附图一起被提供的后述的优选的实施方式的说明而变得明确。

[0026] 图 1 表示本发明的实施方式 1,图 1 (a) 是俯视图,图 1 (b) 是侧视剖视图,图 1 (c) 是主要部分剖视图。

[0027] 图 2 是上述实施方式 1 中的信号处理电路的电路构成图。

[0028] 图 3 表示本发明的实施方式 2,图 3 (a) 是俯视图,图 3 (b) 是将图 3 (a) 的一部分予以省略的 A-A 线剖面箭视图,图 3 (c) 是将图 3 (a) 的一部分予以省略的 B-B 线剖面箭视图。

[0029] 图 4 表示本发明的实施方式 3,图 4 (a) 是俯视图,图 4 (b) 是将图 4 (a) 的一部分予以省略的 A-A 线剖面箭视图,图 4 (c) 是将图 4 (a) 的一部分予以省略的 B-B 线剖面

箭视图。

[0030] 图 5 表示本发明的实施方式 4, 图 5 (a) 是适用于实施方式 1 的主要部分剖视图, 图 5 (b) 是适用于实施方式 2 的主要部分剖视图, 图 5 (c) 是适用于实施方式 3 的主要部分剖视图。

[0031] 图 6 是本发明的实施方式 5 的主要部分剖视图。

[0032] 图 7 是表示形成有本发明的实施方式 6 中的压电阻元件的区域的主要部分俯视图。

具体实施方式

[0033] 以下, 参照图式来详细地对本发明的实施方式进行说明。在附图整体中, 对相同或类似的部分标记相同的部件符号且省略与此相关的重复说明。

[0034] (实施方式 1)

[0035] 图 1 (a) 是本实施方式的压力传感器的俯视图, 图 1 (b) 是本实施方式的压力传感器的剖视图, 图 1 (c) 是本实施方式的压力传感器的主要部分剖视图。该压力传感器具备压力转换部 10 (参照图 2), 该压力转换部 10 在由单晶硅基板构成的半导体基板 1 的隔膜 2 的主表面侧(图 1 (b) 中的上表面侧), 形成四个压电阻元件(以下简称为压电阻) R1、R2、R3、R4。隔膜 2 通过利用各向异性蚀刻技术等, 在半导体基板 1 的背面侧(图 1 (b) 中的下表面侧) 设置侧面观察时大致呈角锥台形状的凹处 1A 而形成。再者, 以下将半导体基板 1 中具有均匀的厚度的隔膜 2 的外侧的部分称为框架 3。

[0036] 四个压电阻 R1、R2、R3、R4 从半导体基板 1 的厚度方向(图 1 (b) 中的上下方向) 观察时, 配置在隔膜 2 的四个边的大致中央。并且如图 2 所示, 压力转换部 10 在电路方面是由四个压电阻 R1、R2、R3、R4 的桥接电路构成。

[0037] 通过信号处理电路 B 来对压力转换部 10 的输出电压 V_s 进行放大。信号处理电路 B 具备: 运算放大器 OP1, 其非反转输入端子与压力转换部 10 的一个输出端即压电阻 R3 和压电阻 R4 的连接点连接; 以及运算放大器 OP2, 其非反转输入端子与压力转换部 10 的另一个输出端即压电阻 R1 和压电阻 R2 的连接点连接。通过另外的运算放大器 OP3 来对这两个运算放大器 OP1、OP2 的输出进行差动放大。信号处理电路 B 由上述三个运算放大器 OP1、OP2、OP3、电阻 R11 ~ R14、以及电阻 R12' ~ R14' 构成。此处, 电阻 R12 与电阻 R12' 被设计为成为相同的电阻值, 同样地, 电阻 R13 与电阻 R13' 被设计为成为相同的电阻值, 电阻 R14 与电阻 R14' 被设计为成为相同的电阻值。再者, 压力转换部 10 经由在半导体基板 1 的主表面侧形成的未图示的焊垫电极等而与电源 VDD 和接地 GND 连接。

[0038] 因此, 图 2 所示的信号处理电路 B 的输出电压 V_{out} 为, $V_{out} = V_s (1 + 2R_{12}/R_{11}) \times (R_{14}/R_{13})$ (V_s 为施加至运算放大器 OP1、OP2 的非反转输入端子的输入电压差)。并且, 信号处理电路 B 是按照所期望的传感器特性, 在数百 PPM 至数千 PPM 的范围内, 分别适当地对电阻 R11 以及电阻 R12 的电阻温度系数进行设定(概括地说, 使电阻 R11 与电阻 R12 的电阻温度系数有所不同), 从而利用电阻 R11 与电阻 R12 来构成温度补偿电路。同样地, 利用电阻 R11 与电阻 R12' 来构成温度补偿电路。也就是说, 信号处理电路 B 具有对压力转换部 10 的输出进行放大的功能与进行温度补偿的功能。并且, 上述信号处理电路 B 的电阻 R11 ~ R14、电阻 R12' ~ R14' 由扩散电阻构成。进而, 上述各运算放大器 OP1 ~ OP3

分别由 MOSFET(Metal Oxide Semiconductor Field Effect Transistor,金属氧化物半导体场效应晶体管)等构成。但是,上述信号处理电路 B 的功能以及电路构成分别仅为一例,当然亦可追加其它功能,或利用另外的电路构成来实现相同的功能。

[0039] 然而,如图 1(c)所示,上述信号处理电路 B 包含通过以往已众所周知的 CMOS 工序而形成在半导体基板 1 的主表面侧的 CMOS 集成电路。再者,信号处理电路 B 仅形成在半导体基板 1 中的与框架 3 相对应的区域 X(参照图 1(a)以及图 1(c))。

[0040] 如图 1(c)所示,在半导体基板 1 的整个主表面侧形成 p 型导电型区域(例如, p 型的外延硅层)20,进而将形成在 p 型导电型区域 20 的氧化膜 22 图案化(patterning),在利用图案化除去氧化膜 22 的部分的 p 型导电型区域 20 内形成 n 型的杂质扩散区域 21A、21B。接着,上述 n 型杂质扩散区域(n 型导电型区域)21A、21B 中扩散 p 型的杂质,由此,在一个 n 型导电型区域 21A 中形成构成压电电阻 R_i ($i=1,2,3,4$) 的 p 型杂质扩散区域 24A,在另一个 n 型导电型区域 21B 中形成成为 p 型 MOSFET 的漏极区域及源极区域的 p 型杂质扩散区域 24B、24C。再者,在 p 型杂质扩散区域 24B、24C 所夹持的 n 型导电型区域 21B 的表面侧(图 1(a)~图 1(c)中的上表面侧),形成成为上述 p 型 MOSFET 的栅极区域的多晶硅层 25。如此,可通过 CMOS 工序同时形成压电电阻 $R_1 \sim R_4$ 与信号处理电路 B。其中,虽省略图示,但在 p 型导电型区域 20 中亦同时形成有 n 型的 MOSFET 构造。另外,形成有压电电阻 R_i 的 n 型导电型区域 21A 通过后述的层间布线 38 等而与电源 VDD 的高电位侧连接。

[0041] 而且,在 p 型导电型区域 20 的表面侧形成有布线用的薄膜层 30。该薄膜层 30 包括:由硅氧化膜构成的第 1~第 4 绝缘薄膜层 31~34、由形成在第 1~第 3 绝缘薄膜层 31~33 的表面(与第 2~第 4 绝缘薄膜层 32~34 的界面)的金属薄膜构成的第 1~第 3 导体薄膜层 35~37、以及将上述第 1~第 3 导体薄膜层 35~37 彼此电连接的层间布线 38。再者,压电电阻 R_i 与信号处理电路 B 经由层间布线 38,通过第 1 导体薄膜层 35 而电连接。

[0042] 这里,在专利文献 1 所揭示的以往例中,在 p 型的半导体基板的主表面侧形成 n 型的导电型区域(n 型的外延硅层),在该 n 型导电型区域形成有压电电阻元件以及 CMOS 集成电路。因此,存在如下的问题:n 沟道型 MOS 构造的专有面积增加;若在 n 型导电型区域中形成 p 阱区域,则 p 阱的浓度变得过高,n 沟道型 MOS 构造的性能降低。

[0043] 相对在此,在本实施方式中,如上所述,在半导体基板 1 的主表面侧形成 p 型导电型区域 20,在该 p 型导电型区域 20 形成 CMOS 集成电路,在该 p 型导电型区域 20 形成因 n 型的杂质扩散而产生的 n 型导电型区域 21A,并且在该 n 型导电型区域 21A 通过 p 型的杂质扩散而形成有上述压电电阻 R_i ,因此,可解决专利文献 1 的以往例中的上述问题,实现信号处理电路 B 相对半导体基板 1 的专有面积减少和性能提高。

[0044] (实施方式 2)

[0045] 在实施方式 1 中,包含隔膜 2 在内,在半导体基板 1 的整个主表面侧形成有薄膜层 30。在该情形时,会产生如下所述的问题。

[0046] 1)隔膜 2 的实质性厚度因薄膜层 30 而增加,因此,隔膜 2 难以弯折,检测灵敏度降低。

[0047] 2)通过在压电电阻 R_i 上设置薄膜层 30 等,从压力传感器的垂直剖面观察,压电电阻 R_i 位在中间附近的位置,因此,与压电电阻 R_i 位于压力传感器的表面时相比较,对于相

同压力的弯折量变小,检测灵敏度降低。

[0048] 3)即使在未自外部施加压力时,隔膜 2 也由于薄膜层 30 的内部应力而弯折,因此,导致压力转换部 10 的输出电压 V_s 的偏移(off set)变大。

[0049] 4)由于薄膜层 30 的内部应力的影响,压力转换部 10 的输出电压 V_s 不与自外部施加的压力的大小成比例。

[0050] 因此,在本实施方式中,如图 3 所示,利用蚀刻等适当的方法将形成在隔膜 2 的主表面侧的薄膜层 30 中、压电电阻 R_i 的形成区域以外的薄膜层 30 (图 3 (a)中的斜线部分)除去。亦即,对压力转换部 10 而言,如图 3 (b)所示,仅压电电阻 R_i 的形成区域被薄膜层 30 覆盖,如图 3 (c)所示,在除去压电电阻 R_i 的形成区域以外的隔膜 2 的主表面侧露出有 p 型导电型区域 20。

[0051] 而且,通过将隔膜 2 的主表面侧的薄膜层 30 除去,可解决上述 1)~4)的全部的问题。然而,为了电气性、化学性、及物理性地保护隔膜 2,优选地是如后述的图 4 (b)以及图 4 (c)所示,利用由绝缘体薄膜(氧化膜)构成的保护膜,将露出至隔膜 2 的主表面侧的 p 型导电型区域 20 覆盖。

[0052] (实施方式 3)

[0053] 在实施方式 2 中,将形成在隔膜 2 的主表面侧的薄膜层 30 中、压电电阻 R_i 的形成区域以外的薄膜层 30 除去。相对在此,本实施方式的特征在于:如图 4 所示,包含压电电阻 R_i 的形成区域在内,将形成在隔膜 2 的主表面侧的薄膜层 30 (图 4 (a)中的斜线部分)除去。而且,如上所述,通过将压电电阻 R_i 的形成区域的薄膜层 30 除去,可进一步改善上述 1)、2)的问题。其中,为了电气性、化学性、及物理性地保护隔膜 2 以及压电电阻、薄膜层 30 的端面,优选的是利用由绝缘体薄膜(氧化膜)构成的保护膜 40 将隔膜 2 以及压电电阻、薄膜层 30 的端面覆盖(参照图 4 (b)、图 4 (c))。

[0054] (实施方式 4)

[0055] 如已经说明的那样,当在隔膜 2 的主表面侧形成薄膜层 30 时,由在薄膜层 30 的绝缘薄膜层 31~34 产生的压缩应力而产生如下的问题:

[0056] 3)即使在未自外部施加压力时,隔膜 2 也由于薄膜层 30 的内部应力而弯折,因此,导致压力转换部 10 的输出电压 V_s 的偏移变大;

[0057] 4)由于薄膜层 30 的内部应力的影响,压力转换部 10 的输出电压 V_s 不与自外部施加的压力的大小成比例。再者,上述 3)、4)的问题也会因介于薄膜层 30 与 p 型导电型区域 20 之间的氧化膜 22 而产生。

[0058] 因此,在本实施方式中,如图 5 (a)所示,为了将产生在薄膜层 30 的绝缘薄膜层 31~34 或氧化膜 22 的压缩应力抵消,而在与隔膜 2 对置的绝缘薄膜层 31~34 的层间形成产生拉伸应力的应力调整膜 41。再者,可使用氮化硅膜作为应力调整膜 41,根据该氮化硅膜形成时的条件或膜厚来对拉伸应力的大小进行调整。并且,有时会由于为了电气性、化学性、及物理性地保护隔膜 2 以及压电电阻、薄膜层 30 的剖面而设置的保护膜 40 而产生应力,本实施方式的应力调整膜 41 也可抵消由保护膜 40 产生的应力。

[0059] 如上所述,根据本实施方式,通过产生在应力调整膜 41 的拉伸应力来将产生在保护膜 40、绝缘薄膜层 31~34 或氧化膜 22 的压缩应力抵消,从而可解决上述 3)、4)的问题。再者,应力调整膜 41 不仅可为图 5 (a)所示的实施方式 1 的构造,而且可为图 5 (b)所示

的实施方式 2 的构造以及图 5 (c) 所示的实施方式 3 的构造中的任一个构造。例如,如图 5 (b)所示,可在压电电阻与将氧化膜 22 覆盖的绝缘膜层 31 之间形成应力调整膜 41,或如图 5 (c) 所示,可在压电电阻与将氧化膜 22 和隔膜 2 的上侧覆盖的保护膜 40 之间设置应力调整膜 41。

[0060] (实施方式 5)

[0061] 然而,当将外部电场(在外部电源 VDD 的供电路径的周围产生的电场或外来噪声等)施加在压力转换部 10 的压电电阻 R_i 时,有可能压电电阻 R_i 的电阻值发生变化而产生检测误差。

[0062] 因此,在本实施方式中,如图 6 所示,在压电电阻 R_i 的表面(上表面)形成绝缘薄膜层 43,并且在该绝缘薄膜层 43 的表面(上表面)形成导体薄膜层 42。而且,将该导体薄膜层 42 与供电至信号处理电路 B 的电源电压 VDD 的高电位侧或低电位侧(GND)电连接。

[0063] 而且,导体薄膜层 42 能够成为屏蔽而抑制由外部电场的影响所引起的压电电阻 R_i 的电阻值变化,并防止压力传感器的检测误差(输出变动)。再者,本实施方式的构造不仅可适用于图 6 所示的实施方式 1 的构造,而且亦可适用于实施方式 2 ~ 4 中的任一个的构造。

[0064] (实施方式 6)

[0065] 如图 7 所示,实际的压电电阻 R_i 为如下的构成,即,一个以上的压电电阻元件部 50 通过元件间连接部 51 而电气串联连接,并且通过一对电路连接部 52 而与信号处理电路 B 以及电源(VDD)、接地(GND)电连接。此处,元件间连接部 51 或电路连接部 52 作为导电路径而发挥功能,因此,优选地是施加压力时产生的电阻值的变化少。

[0066] 因此,在本实施方式中,使形成元件间连接部 51 及电路连接部 52 的杂质扩散区域的杂质浓度充分地高于压电电阻元件部 50 的杂质浓度,使元件间连接部 51 及电路连接部 52 的电阻值下降。结果,由在元件间连接部 51 及电路连接部 52 的电阻值在压电电阻 R_i 的电阻值中所占的比例降低,因此,可使压力传感器的检测灵敏度提高。再者,本实施方式的构造可适用于实施方式 1 ~ 5 的全部的构造。

[0067] 以上,对本发明的优选实施方式进行了说明,但本发明并不限于这些特定的实施方式,可进行不脱离权利要求的范畴的各种变更以及变形,这些变更以及变形亦属在本发明的范畴内。

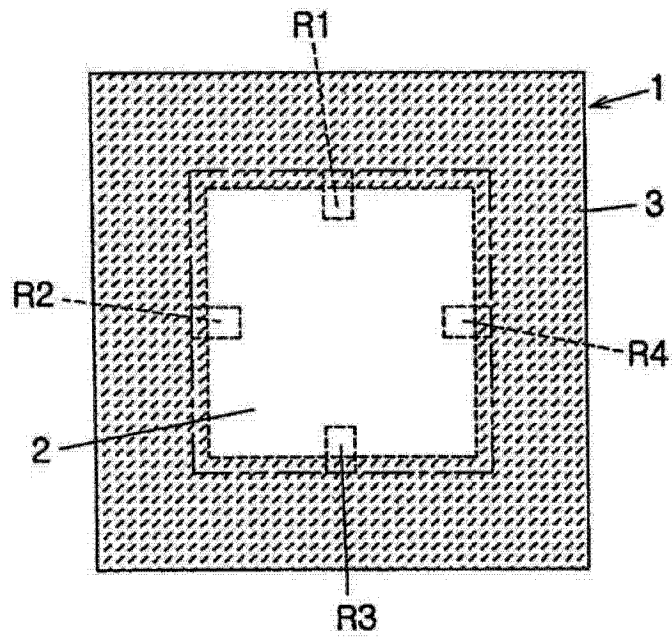


图 1A

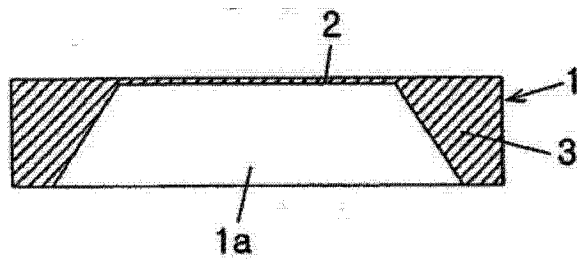


图 1B

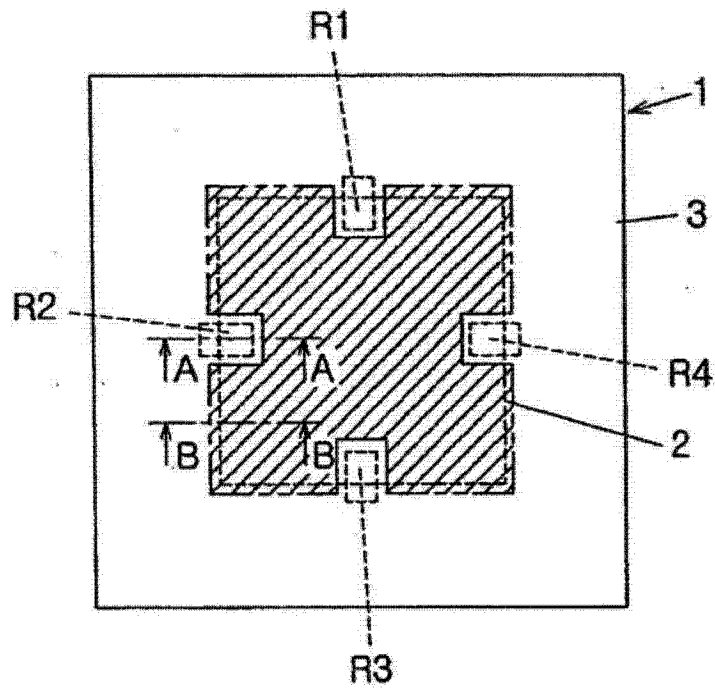


图 3A

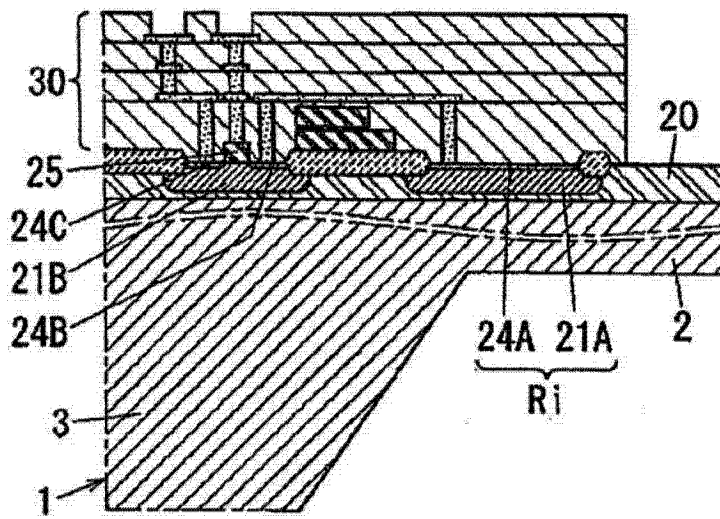


图 3B

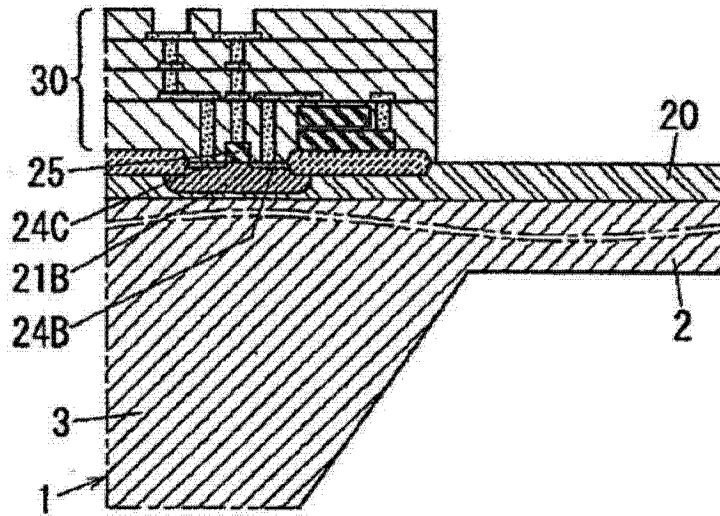


图 3C

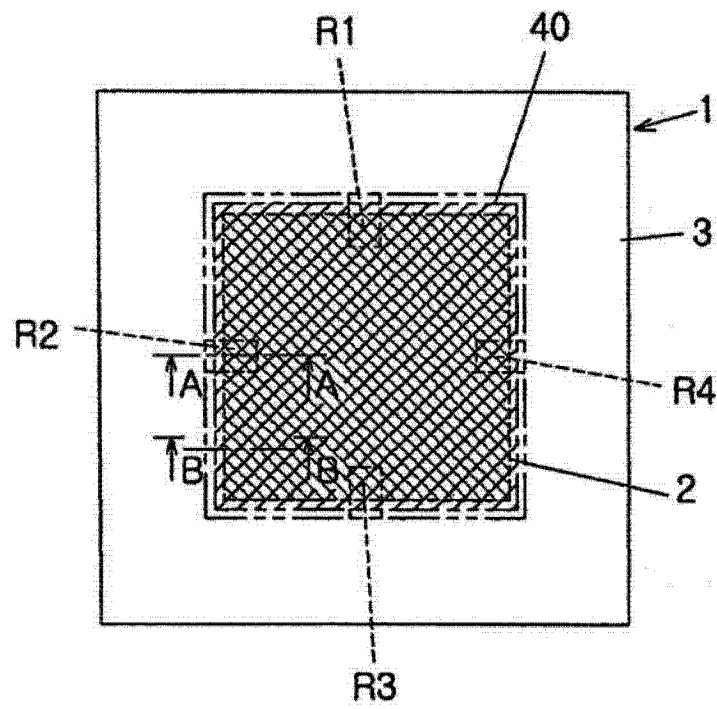


图 4A

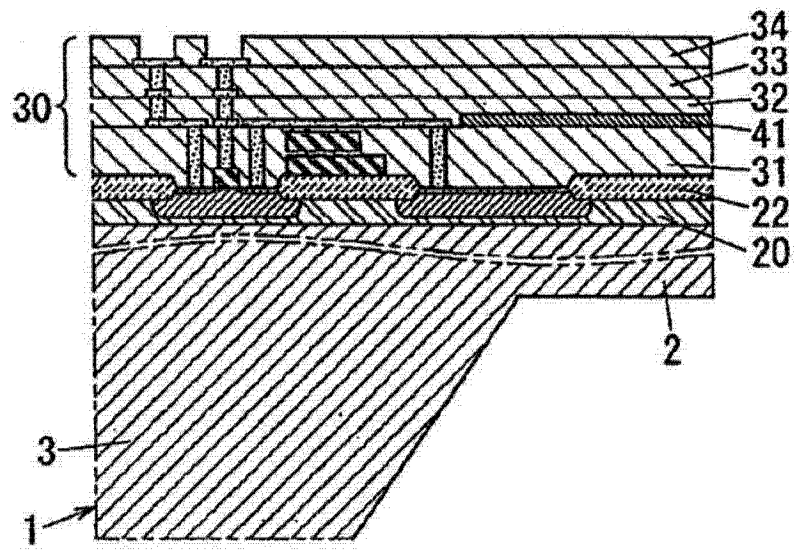


图 5A

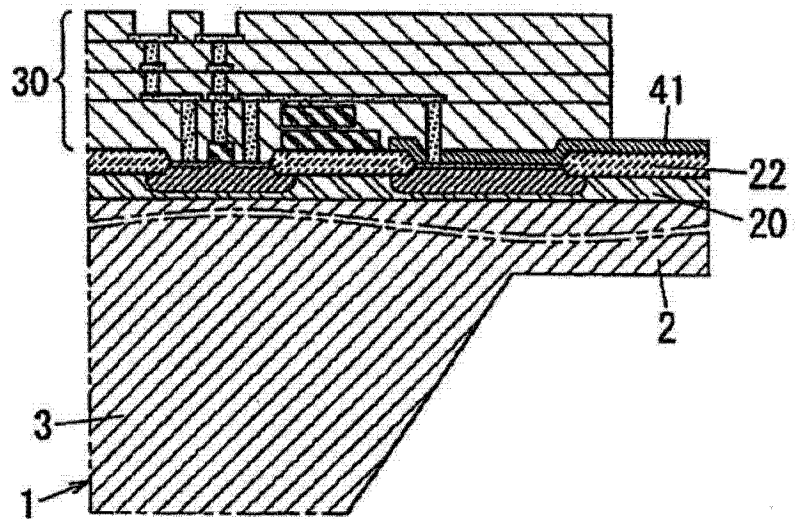


图 5B

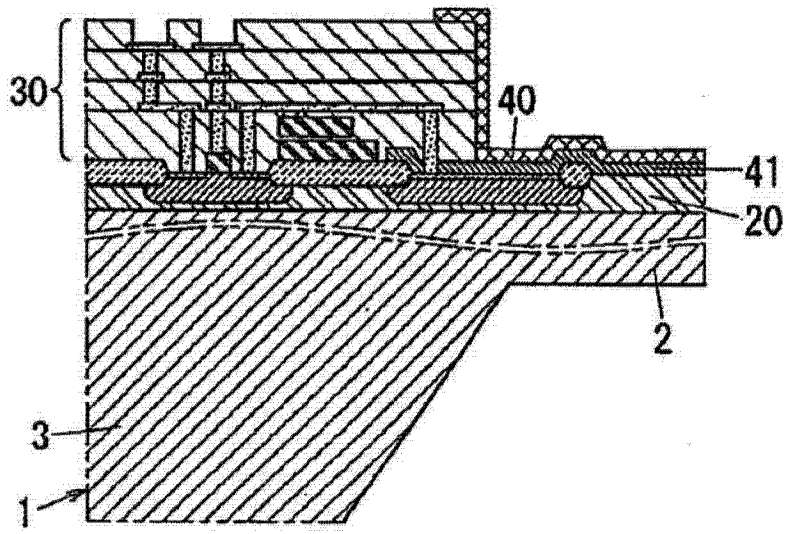


图 5C

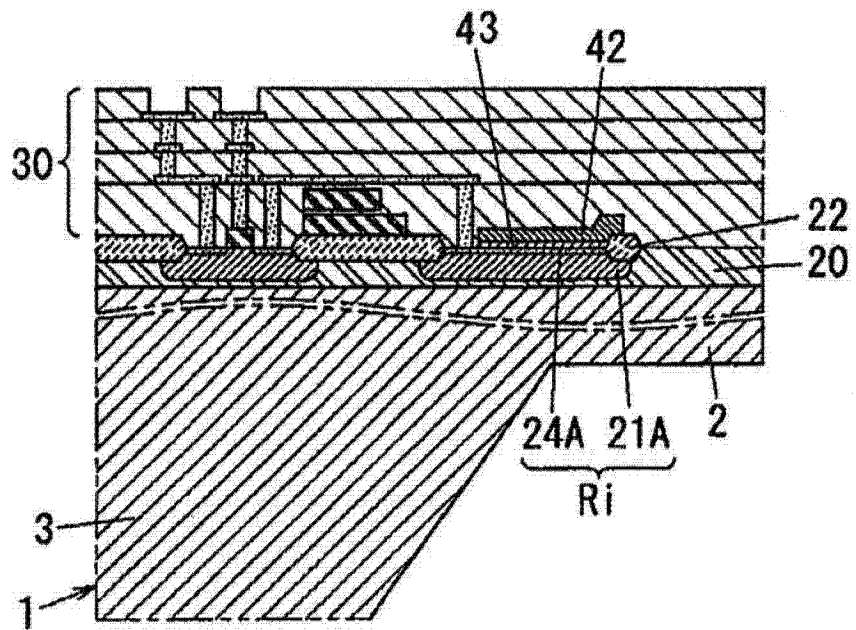


图 6

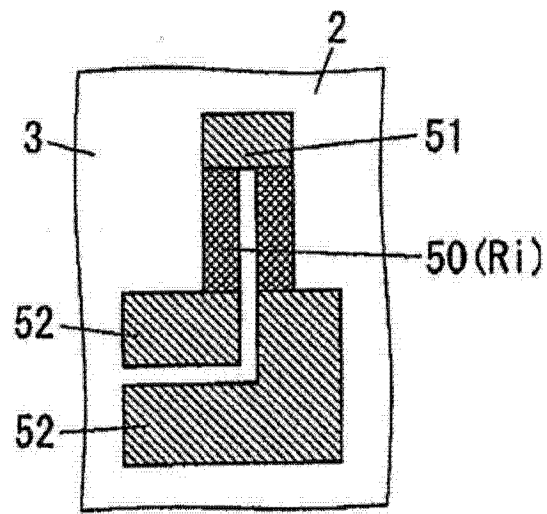


图 7