



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0138657  
(43) 공개일자 2013년12월19일

(51) 국제특허분류(Int. Cl.)  
*H01L 29/06* (2006.01) *B82Y 15/00* (2011.01)  
*H01L 33/12* (2010.01) *H01L 21/02* (2006.01)  
(21) 출원번호 10-2012-7034303  
(22) 출원일자(국제) 2011년06월27일  
심사청구일자 없음  
(85) 번역문제출일자 2012년12월28일  
(86) 국제출원번호 PCT/SE2011/050845  
(87) 국제공개번호 WO 2011/162715  
국제공개일자 2011년12월29일  
(30) 우선권주장  
1050700-2 2010년06월24일 스웨덴(SE)

(71) 출원인  
글로 에이비  
스웨덴 룬드 에스-223 70 이데온 싸이언스 파크  
쉬일레페겐 17  
(72) 발명자  
울슨, 요나  
스웨덴, 에스0212 13 말뫼, 콩스가탄 33  
(74) 대리인  
박경재

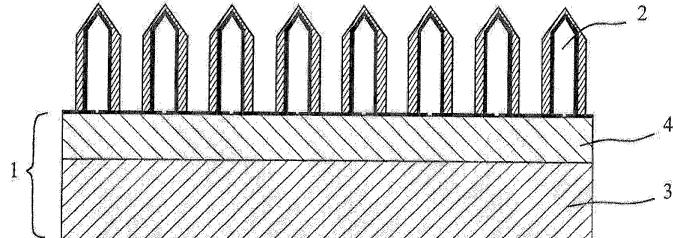
전체 청구항 수 : 총 45 항

(54) 발명의 명칭 배향된 나노와이어 성장을 위해 베퍼 층을 갖는 기판

### (57) 요 약

본 발명은, 베퍼 층(4)의 표면에 동일 방향으로 배향된 다수의 나노와이어(2)를 성장시키기 위해 벌크 층(3) 및 상기 벌크 층(3)에 배열된  $2\mu\text{m}$  미만의 두께를 갖는 베퍼 층(4)을 갖는 기판(1)을 제공한다. 나노와이어 구조, 기판(1)을 포함하는 나노와이어 발광 다이오드, 및 나노와이어 구조를 제조하기 위한 제조 방법이 또한 제공된다. 상기 제조 방법은, 베퍼 층(4)을 형성하기 위한 비-에피택셜 방법을 사용한다.

대 표 도 - 도1



## 특허청구의 범위

### 청구항 1

버퍼 층(4)의 표면(5)에 하나의 동일 방향으로 배향된 다수의 나노와이어(2)의 성장을 위해 벌크 층(3) 및 상기 벌크 층(3)에 배열된 상기 버퍼 층(4)을 갖는 기판(substrate)(1)에 있어서,

상기 버퍼 층(4)은  $2\mu\text{m}$  미만의 두께를 갖는, 기판.

### 청구항 2

제 1항에 있어서, 상기 버퍼 층(4)은  $0.2 \sim 2\mu\text{m}$ 의 두께를 갖는, 기판.

### 청구항 3

제 1항 또는 제 2항에 있어서, 상기 버퍼 층(4)은 복수의 서브층(4a, 4b, 4c)을 포함하는, 기판.

### 청구항 4

제 1항 내지 제 3항 중 어느 한 항에 있어서, 상기 버퍼 층(4) 또는 하나 이상의 상기 서브층(4a, 4b, 4c)은 반도체 물질로 만들어진, 기판.

### 청구항 5

제 4항에 있어서, 상기 버퍼 층(4) 또는 하나 이상의 상기 서브층(4a, 4b, 4c)은 질화물계 III-V 반도체 물질을 포함하는, 기판.

### 청구항 6

제 1항 내지 제 5항 중 어느 한 항에 있어서, 상기 버퍼 층(4) 또는 하나 이상의 상기 서브층(4a, 4b, 4c)은 금속 또는 금속 합금으로 만들어진, 기판.

### 청구항 7

제 1항 내지 제 6항 중 어느 한 항에 있어서, 상기 버퍼 층(4) 또는 하나 이상의 상기 서브층(4a, 4b, 4c)은 절연체로 만들어진, 기판.

### 청구항 8

제 1항 내지 제 7항 중 어느 한 항에 있어서, 상기 버퍼 층(4) 또는 하나 이상의 상기 서브층(4a, 4b, 4c)은 그레핀(graphene)으로 만들어진, 기판.

### 청구항 9

제 1항 내지 제 8항 중 어느 한 항에 있어서, 상기 버퍼 층(4) 또는 하나 이상의 상기 서브층(4a, 4b, 4c)은 TiN으로 만들어진, 기판.

### 청구항 10

제 1항 내지 제 9항 중 어느 한 항에 있어서, 상기 버퍼 층(4) 및 하나 이상의 상기 서브층 각각은, LPCVD, APCVD, PECVD, ALD, PVD, MOVPE, 또는 HVPE의 그룹으로부터 선택된 증착 기술을 사용하여 증착되는, 기판.

### 청구항 11

제 1항 내지 제 10항 중 어느 한 항에 있어서, 상기 버퍼 층(4) 또는 하나 이상의 상기 서브층(4a, 4b, 4c)은 방사된 광에 대한 반사체(reflector)로 기능하는, 기판.

### 청구항 12

제 1항 내지 제 11항 중 어느 한 항에 있어서, 상기 버퍼 층(4) 또는 하나 이상의 상기 서브층(4a, 4b, 4c)은

$10^{-10}/\text{cm}^2$ 보다 큰 결함(defect) 또는 전위 밀도(dislocation density)를 갖는, 기판.

### 청구항 13

제 1항 내지 제 12항 중 어느 한 항에 있어서, 상기 베퍼 층(4) 또는 하나 이상의 상기 서브층(4a, 4b, 4c)은 에피택셜하게 성장되지만  $10^{-10}/\text{cm}^2$ 보다 큰 결함 또는 전위 밀도를 갖는, 기판.

### 청구항 14

제 1항 내지 제 13항 중 어느 한 항에 있어서, 상기 벌크 층(3)은 Si(100)인, 기판.

### 청구항 15

제 1항 내지 제 13항 중 어느 한 항에 있어서, 상기 벌크 층(3)은 Si(111)인, 기판.

### 청구항 16

제 1항 내지 제 15항 중 어느 한 항에 있어서, 상기 베퍼 층(4) 또는 적어도 가장 바깥쪽의 상기 서브층(4c)은 상기 벌크 층(3)과 다른 배향을 갖는, 기판.

### 청구항 17

제 1항 내지 제 15항 중 어느 한 항에 있어서, 상기 베퍼 층(4) 또는 상기 서브층은 상기 벌크 층(3)의 배향을 보존하는, 기판.

### 청구항 18

제 1항 내지 제 15항 중 어느 한 항에 있어서, 상기 베퍼 층(4) 또는 상기 서브층 중 적어도 하나는 다결정질(polycrystalline)인, 기판.

### 청구항 19

제 1항 내지 제 18항 중 어느 한 항에 있어서, 상기 기판은 복수의 서브층에 의해 형성된 다중 적층 브래그 반사체(multiple, stacked Bragg reflector)를 포함하고, 각 브래그 반사체는 개별 광 방출 파장(light emitting wavelength)을 반사하는, 기판.

### 청구항 20

제 1항 내지 제 19항 중 어느 한 항에 있어서,  $50\text{km}^{-1}$  미만, 바람직하게는  $40\text{km}^{-1}$  미만의 웨이퍼 곡률(wafer curvature)을 나타내는, 기판.

### 청구항 21

제 1항 내지 제 19항 중 어느 한 항에 있어서,  $30\text{km}^{-1}$  미만, 바람직하게는  $20\text{km}^{-1}$  미만의 웨이퍼 곡률을 나타내는, 기판.

### 청구항 22

제 1항 내지 제 21항 중 어느 한 항에 기재된 기판과 상기 베퍼 층(4)의 상기 표면(5)에 성장된 하나 이상의 나노구조(2)를 포함하는, 구조.

### 청구항 23

제 22항에 있어서, 상기 나노구조(2)는 GaN을 포함하는, 구조.

### 청구항 24

제 22항 또는 제 23항에 있어서, 상기 구조는, 상기 베퍼 층(4) 또는 상기 하나 이상의 서브층(4a, 4b, 4c) 중 적어도 하나에 의해 형성된 공통 측면 접촉부(common lateral contact)에 의해 전기적으로 연결된 복수의 나노구조(1)를 포함하는, 구조.

**청구항 25**

제 22항 내지 제 24항 중 어느 한 항의 구조를 포함하는 나노와이어 LED 구조에 있어서, 각 나노구조(2)는 사용시 광의 발생을 위한 활성 영역의 형성에 기여하는, 나노와이어 LED 구조.

**청구항 26**

제 25항에 있어서, 각 나노구조는 나노와이어 코어와 셀을 포함하고, 상기 코어만이 셀이 제공되는 나노와이어와 같은 나노구조를 구성하며, 상기 셀은 전형적인 나노와이어 셀보다 큰 치수를 갖는, 나노와이어 LED 구조.

**청구항 27**

제 26항에 있어서, 상기 나노구조는 복수의 면(facet)을 포함하는, 나노와이어 LED 구조.

**청구항 28**

제 27항에 있어서, 상기 셀은 피라미드 면 및/또는 수직 측벽 면을 나타내는, 나노와이어 LED 구조.

**청구항 29**

제 26항 내지 제 28항 중 어느 한 항에 있어서, 각 개별 장치는 상부에서 더 좁고 기부에서 더 넓은 피라미드 형상 내지 선단과 기부에서 거의 동일한 폭인 기둥 형상의 모양으로부터 선택된 형상을 갖는, 나노와이어 LED 구조.

**청구항 30**

제 26항 내지 제 29항 중 어느 한 항에 있어서, 각 개별 장치는 상기 장치의 장축에 수직인 원형 또는 6각형 또는 다른 다각형 단면을 갖는, 나노와이어 LED 구조.

**청구항 31**

제 26항 내지 제 30항 중 어느 한 항에 있어서, 각 개별 장치의 상기 기부의 폭은, 100nm 내지 5μm, 바람직하게 100nm 내지 1 마이크론 미만이고, 높이는 수 100nm 내지 10μm인, 나노와이어 LED 구조.

**청구항 32**

동일 방향으로 배향된 다수의 나노와이어를 포함하는 구조를 형성하기 위한 방법(1)에 있어서,

- 벌크 층(3)을 제공하는 단계와,
- 상기 벌크 층(3)에 2μm 미만의 두께를 갖는 버퍼 층(4)을 증착하는 단계와,
- 상기 버퍼 층(4)에 하나 이상의 나노와이어(2)를 성장시키는 단계를 포함하는, 방법.

**청구항 33**

제 32항에 있어서, 상기 버퍼 층은 비-에피택셜 물질(non-epitaxial material)을 사용하여 성장되는, 방법.

**청구항 34**

제 33항에 있어서, 상기 버퍼 층의 성장에 사용된 상기 비-에피택셜 물질은 상기 성장 온도를 견딜 수 있는 물질, 바람직하게는 상기 장치의 열 특성을 개선하는 배향 특성을 갖는 물질 중에서 선택되는, 방법.

**청구항 35**

제 34항에 있어서, 상기 비-에피택셜 물질은, AlN, TiN, 그래핀(graphene), 및 다른 다결정질 또는 부분적으로 비정질 탄소 막에서 선택되는, 방법.

**청구항 36**

제 32항에 있어서, 버퍼 층(4)을 증착하는 단계는, 하나 이상의 서브층(4a, 4b, 4c)을 증착하는 단계를 포함하는, 방법.

### 청구항 37

제 32항 또는 제 33항에 있어서, 상기 버퍼 층(4)의 증착은 상기 멀크 층(3)의 배향을 보존하는, 방법.

### 청구항 38

제 32항 또는 제 33항에 있어서, 상기 버퍼 층(4)의 증착은 상기 멀크 층(3)의 배향을 바꾸는, 방법.

### 청구항 39

제 32항 내지 제 38항 중 어느 한 항에 있어서, 상기 버퍼 층(4) 또는 하나 이상의 상기 서브층(4a, 4b, 4c)은 LPCVD, APCVD 또는 PECVD에 의해 증착되는, 방법.

### 청구항 40

제 32항 내지 제 39항 중 어느 한 항에 있어서, 상기 버퍼 층(4) 또는 하나 이상의 상기 서브층(4a, 4b, 4c)은 ALD에 의해 증착되는, 방법.

### 청구항 41

제 32항 내지 제 40항 중 어느 한 항에 있어서, 상기 버퍼 층(4) 또는 하나 이상의 상기 서브층(4a, 4b, 4c)은 PVD에 의해 증착되는, 방법.

### 청구항 42

제 32항 내지 제 41항 중 어느 한 항에 있어서, 상기 버퍼 층(4) 또는 하나 이상의 상기 서브층(4a, 4b, 4c)은 MOVPE 또는 HVPE에 의해 성장되는, 방법.

### 청구항 43

제 32항 내지 제 42항 중 어느 한 항에 있어서, 나노와이어 성장을 위한 개구로 기능하는 본 발명에 따른 상기 버퍼 층에 배열된 마스크 층 내 구멍이 사용되고, 상기 구멍 직경은 200nm 미만인, 방법.

### 청구항 44

제 33항 내지 제 43항 중 어느 한 항에 있어서, 상기 버퍼 층과 상기 서브층을 위해 증착된 상기 물질은, 반도체 물질, 예를 들어, 질화물계 III-V 반도체, 금속 또는 금속 합금, 절연체, 및 그레핀으로 이루어진 그룹으로부터 선택되는, 방법.

### 청구항 45

나노와이어 기반 LED 어레이를 제조하는 방법에 있어서,

제 1항에 기재된 기판을 제공하는 단계와,

발광 다이오드를 위한 코어를 형성하는 나노와이어를 성장시키는 단계와,

상기 나노와이어 상에 셀을 성장시키는 단계를

포함하고,

상기 셀의 형상과 크기는, 상부 또는 선단에서 더 좁고 기부에서 더 넓은 피라미드 형상 내지 상기 선단과 기부에서 거의 동일한 폭인 기둥 형상의 모양을 형성하기 위해 제어되는, 방법.

## 명세서

### 기술 분야

[0001] 본 발명은, 나노와이어 기반 장치에 관한 것이고, 보다 구체적으로는 나노와이어 성장을 위한 기판에 관한 것이

다.

## 배경기술

[0002]

나노와이어 기반 발광 다이오드(LED)와 같은 나노와이어 기반 장치에서, 복수의 나노와이어 기반 구조는 일반적으로 기판 상에 배열된 어레이로 배열된다. 기판은 흔히 다수의 목적, 즉, 나노와이어 성장을 위한 템플릿이고, 장치 내 나노와이어를 위한 캐리어이고, 나노와이어를 이의 일측 상에 전기적으로 연결하는 목적을 갖는다. 모든 구조가 나란하고 동일 방향으로 배향된, 나노와이어 기반 구조의 배열된 어레이의 성장을 위한 상이한 기술이 공지되어 있다. 예를 들어, 반도체 나노와이어는, 예를 들어, WO 2007/102781에 기술된 바와 같이, 전형적으로 패터닝된 성장 마스크를 기판 상에 배열한 선택적 영역 성장에 의해 기판의 고품질의 단결정질 반도체층 상에 에피택셜하게 성장될 수 있다. 또 다른 일반적인 방법은 US 7,335,908에 기술된 바와 같이 나노와이어를 성장시키기 위해 흔히 Au인 측면 입자의 패턴이 사용되는 소위 VLS(vapour-liquid-solid) 기술이다.

[0003]

GaN, InN, 및 AlN, 및 다양한 조성의 이들의 GaInN, GaAlN, GaInAlN 조합과 같은 질화물 반도체는 청색, 녹색, 및 UV LED 및 이들의 얇은 다이렉트 밴드 캡에 기인한 기타 광전자 용도에 사용된다. 전형적으로, 이들 장치의 질화물 반도체는 기판 상에 평면의 층으로 성장된다. 그러나, 기판과 질화물 반도체 사이에 오정합, 예를 들어, 격자 오정합은 성장된 물질 내에 해가 되는 결함 균열을 야기한다. 종래 기술에서는 에피택셜 기판 또는 에피택셜 베퍼 층을 갖는 기판을 사용함으로써 전위(dislocation)가 억제되었다. 상용 GaN 기반 장치는 사파이어, Si 또는 SiC 기판을 사용하는데, 이들은 GaN에 고도로 격자 오정합되며, 따라서 변형(strain) 수용층으로서 그리고 위에 장치를 성장시키기 위한 고품질의 에피택셜 토대로서 기능하기 위해서 수  $\mu\text{m}$  두께의 베퍼 층이 기판 상에 에피택셜하게 성장된다. 에피택셜 베퍼 층의 사용의 예는 다음 문헌에서 발견될 수 있다.

[0004]

US 6,523,188 B2는 GaN과 Si 사이에 큰 격자 오정합을 보상하기 위해 GaN 층을 성장시키기 전에 Si(111) 기판 상에 AlN로 만들어진 에피택셜 베퍼 층의 에피택셜 성장을 개시한다. 에피택셜 베퍼 층은 평탄한 GaN 층을 얻기 위해서 바람직하게  $0.2\mu\text{m}$  미만이다.

[0005]

US 6,818,061 B2에서는 GaN과 Si 사이에 큰 격자 오정합을 보상하기 위해 GaN 층을 성장시키기 전에 Si(111) 기판 상에 약 40nm의 두께를 갖는 AlN을 포함하는 얇은 에피택셜 베퍼 층의 에피택셜 성장을 개시한다. 또한, GaN 층은 AlN 및 GaN 층이 번갈아 있는 중간층을 포함한다.

[0006]

US 6,617,060 B2에서는 GaN 층 내 균열 형성을 방지하기 위해서 Si 기판과 GaN 층 사이에 GaN 합금으로 만들어진 조성적으로 점진적인 전이층, 및 선택적으로 추가적으로 일반적으로 자신의 두께 전체에 걸쳐 일정한 조성을 갖는 얇은 에피택셜 변형 수용층이 사용될 수 있음이 개시되어 있다. 이 조성적으로 점진적인 전이층이 없으면, 층 균열은 쉽게 방지될 수 없다.

[0007]

US 7,365,374 B2는 기판 상에 변형(strain) 흡수층의 사용을 개시한다. 변형 흡수층은 위에 놓인 층이 아래에 놓인 기판과의 에피택셜 관계를 갖도록 10nm 미만의 두께를 가져야 한다.

[0008]

종래 기술의 방법에서 베퍼 층은 두꺼운 단일의 결정질의 고품질의 에피택셜 베퍼 층을 형성하기 위해 에피택셜 성장 방법에 의해 성장됨을 위에 예로부터 알 수 있다. 에피택셜 베퍼 층 상에 성장된 GaN 장치 층과 더불어 3  $\mu\text{m}$  이상의 두께를 갖는 에피택셜 층이 형성된다.

[0009]

최근에, 나노와이어 기반 장치를 위한 질화물 반도체의 사용은 WO 2008/085129 A1에 기술된 바와 같이, 나노와이어가 낮은 결합 밀도를 갖는 질화물 반도체를 성장시킬 수 있게 하기 때문에 상당한 관심을 받았다. 그러나, 나노와이어가 사용되더라도, 고품질의 질화물 반도체, 예를 들어, GaN의 성장은 템플릿으로서 고품질 에피택셜 층을 사용하여 수행된다. 고품질의 에피택셜 층의 사용은 나노와이어 성장을 위한 최적의 에피택셜 템플릿을 보장하며, 나노와이어에서 계속될 수 있는 결합의 밀도를 최소화하며, 기판과 나노와이어 사이에 낮은 전기적 저항을 가능하게 한다. 그러나, 종래 기술에 따른 베퍼 층은 기판에 대해 열 프로파일을 급진적으로 변경시키는 변형(strain)에 기인하여 기판 휨(bowing)을 야기한다. 나노와이어 성장에 있어서, 성장 동안 기판에 높은 열 균일성을 LED와 같은 나노와이어 구조의 제조를 위해 중대하다. 기판 휨의 문제는 기판의 크기를 증가시킴으로써 향상되지만, 이에 따라 큰 기판 상에 GaN 장치의 대규모 가공에 대해 장애가 된다. 베퍼 층의 성장은 시간 소비적 과정이며 흔히 두꺼운 AlN이 베퍼 층에 사용되어 이것은 수직 도전률을 제한시킨다. 또한, 많은 광전자 장치, 예를 들어, LED에 있어서, 기판은 흔히 제거되어, 최종의 장치에서 베퍼 층만을 남기고 이에 의해 고가의 기판 물질만이 성장 단계를 위해 사용된다.

[0010]

LED에서, LED에서 밖으로 광을 배향하기 위해 광 방출 영역 아래에 반사체가 사용될 수 있다. Ag 미러로서 금속

반사체의 사용이 가장 일반적이다. 브래그 반사체는 a를 형성하는 서로 상이한 굴절률을 갖는 반복된 에피택셜 반도체층을 포함한다. 브래그 반사체는 협 범위의 파장 및 입사광 각도에 대해 이들의 반사율이 제한되며 넓은 파장 영역에서 광을 방출하는 장치용으로 적합하지 않다. 좁은 최적의 파장 윈도우는 LED가 좁은 파장의 광을 방출하기 때문에 덜 문제가 된다. 그러나, 브래그 반사체의 성장은 시간 소비적이며, 효율적인 반사체를 만들기 위해 결정 품질이 높아야 하기 때문에 격자 오정합된 기판에 대해 특히 어렵다.

## 발명의 내용

### 해결하려는 과제

[0011]

전술한 바에 비추어, 발명의 한 가지 목적은, 동일 방향으로 배향된 다수의 나노와이어를 성장시키기 위한 기판을 제공하는 것으로, 이들 기판은 고가의 시간 소비적인 에피택시를 요구하지 않으며 최근에 사용되는 것과는 다른 기판 물질을 사용할 수 있게 한다. 특히 발명의 한 가지 목적은 일반적으로 에피택셜 성장 기술로 얻어지는 것보다 높은 결함 및 전위(dislocation) 밀도를 갖고 형성된 물질을 사용할 수 있게 하는 것이다.

### 과제의 해결 수단

[0012]

본 발명의 목적은 독립항에 정의된 기판 및 방법에 의해 달성된다.

[0013]

본 발명에 따른 기판은 벼파 층의 표면 상에 동일 방향으로 배향된 다수의 나노와이어의 성장을 위해 벌크 층 및 벌크 층에 배열된 벼파 층을 포함한다. 기판 상에 중착되는 벼파 층의 두께는 바람직하게  $2\mu\text{m}$  미만이다. 나노와이어를 성장시키기 위한 기판의 종래 기술의 벼파 층에서, 변형 수용 벼파 층 두께는  $3 \sim 10\mu\text{m}$ 의 범위이며 가능한 한 벼파 층에 고 결정 품질로서 제공하기 위해서 에피택시를 사용하여 성장된다.

[0014]

기판은 벼파 층으로부터 돌출한 하나 이상의 나노와이어 기반 구조를 포함하는 구조를 형성하기 위해 사용될 수 있다. 이 구조는 나노와이어 기반 구조가 광 발생을 위해 이용되는 나노와이어 기반 발광 다이오드 구조일 수 있다.

[0015]

본 발명에 따라 동일 방향으로 배향된 다수의 나노와이어 구조를 포함하는 구조를 형성하기 위한 방법은 벌크 층을 제공하는 단계; 벌크 층 상에  $2\mu\text{m}$  미만의 두께를 갖는 벼파 층을 중착하는 단계; 벼파 층 상에 하나 이상의 나노와이어를 성장시키는 단계를 포함한다.

[0016]

본 발명은, 사파이어, 석영, 및 Si와 같은 기판 상에 서브- $\mu\text{m}$  두께 질화물, 산소, 및 탄소 함유 벼파 층을 포함하지만, 이에 제한되지 않는다. 벼파 층은 반사체부를 포함할 수 있고 벼파 층은 나노와이어 장치와 전기적으로 통합되기 위해서 측방으로 도통하여 있을 수 있다.

[0017]

또한, 본 발명은 나노와이어를 위한 이전의 벼파 층에 비해 휨이 상당히 감소된 대면적 웨이퍼를 제조하는 방법을 교시한다. 본원에서는 곡률로서 표현되며, 측정된 웨이퍼 곡률은  $50\text{km}^{-1}$ , 바람직하게  $40\text{km}^{-1}$  미만이며, 일부 실시예에서 곡률은  $30\text{km}^{-1}$ , 바람직하게  $20\text{km}^{-1}$  미만이다.

[0018]

나노와이어의 본연의 1차원적 본질은 나노와이어의 성장이 다른 기판 물질 또는 저 품질의 기판 상에 가능할 것이라고 주장하는 것을 합리적이게 한다. 이것이 아직은 입증되지 않았으나, 이것은 예를 들어, WO 2004/004927 A2에서, 나노와이어가 평면 모드에서 성장된 동일 조성의 구조보다 결정 결함을 야기함이 없이 고도로 격자 오정합된 측방향 변화에 대해 맞출 수 있는 훨씬 큰 능력이 있다는 것이 보여졌다. 발명의 덕택으로 낮은 결정질 품질 및 심지어 다결정질의 벼파 층을 갖는 벼파 층을 사용하는 것이 가능하다.

[0019]

벼파 층의 특성은 장치 향상 특성과 성장 활성화 특성으로 나누어질 수 있다. 장치의 최종 용도 및 최종 구성에 따라, 열전도율, CTE, 투명성, 굴절률, 흡수 및 전기적 도전률로서 파라미터가 중요하다. 성장 활성화 특성은 사용되는 성장 온도에 대한 열 저항, 복수의 나노와이어에 일반적 방향을 제공하는 기판의 능력, 변형(strain)으로 유발된 기판의 휨, 및 기판 상에 NW 물질의 핵을 형성하는 가능성이다. 질화물 기반 III-V 반도체는 N, O, 또는 C를 포함하는 많은 물질 상에 핵을 형성하는 것이 가능함을 보였다. 그러나, 핵형성 단계 그 자체는 항시 배향이 제약되는 방식으로 만들어질 수 없고, 따라서 일반적으로 이 단계를 가능한 한 짧게 유지하는 것이 편리하다.

[0020]

통상적으로, 장치의, 평탄하고 선택적으로 성장된 질화물 기반 반도체 장치를 위한 벼파 층은 두껍고, 종종 복수의 단계로 에피택셜하게 성장되고, 복수의 III-N 물질을 포함하며, 이들 모두는 장치 성능을 증가시키기 위한

것이었다. 장치 품질은 기판의 결정 품질에 직접적으로 의존하였다. 또한, 기판 물질 선택은, SiC, Si 및  $Al_2O_3$ 의 고 결정질 물질의 사용으로 제한되었으며 기판의 선택이 베퍼 층 품질 및 따라서 장치의 품질을 직접적으로 결정하였다.

### 발명의 효과

- [0021] 본 발명의 기판 내 베퍼 층의 한 가지 이점은 기판의 물질 선택 및 물질 순서가 상당히 완화되고, 기판을 나노 와이어 어레이에 전기적으로 통합하는 새로운 선택을 갖게 하고 기판에 비-브래그 반사체 또는 다파장 브래그 반사체를 사용할 수 있게 한다는 것이다.
- [0022] 부분적으로 방향성 특성만을 갖는 부분적으로 결정질인 베퍼를 사용할 수 있게 됨으로써, 기판 물질의 가능한 선택이 더욱 증가되었으며, 기판으로부터 방향 정보조차 필요로 하지 않는 베퍼 층 물질, 이를테면 AlN, 몇몇 탄소막, TiN 및 유사한 것이 사용된다.
- [0023] 예를 들어, 나노와이어 제조 방법의 교시를 위해 참조문헌으로 본원에 포함된 Seifert 등의 미국 특허 7,829,443에 기술된 바와 같이 본원에 기술된 본원의 전유 나노와이어 제조방법을 사용하여, 베퍼 층 및 따라서 기판에 대한 위에서 기술된 제약을 줄일 수 있음을 발견하였다. 이것은 다른 나노와이어 성장 방법으로 달성하는 것이 가능할 수 있음이 본 출원인에 의해서 조사되지 않았더라도 가능할 수 있다.
- [0024] 이 발명을 가능하게 하는 메커니즘의 완전한 이해는 아직 달성되지 않았다. 그러나, 나노와이어의 작은 폭과 더불어 NW 성장의 고유한 방향성은 성장의 초기 단계에서 결합의 방향을 바꾸거나 방향을 돌리기 위한 선택을 결정체에 주는 것으로서 이것이 주요 역할을 하는 것으로 이해된다. 결정의 에너지 최소화는 증가된 결정 완벽성에 의해 달성된다. 전위를 소진하기 위해 표면의 부근과 더불어 성장 동안 모든 방향에서 결정이 완화될 수 있는 가능성은 중요한 것으로 이해된다.
- [0025] 본 발명에 또 다른 이점은 나노와이어 성장을 위해 어떠한 두꺼운 변형 수용 베퍼 층도 사용되지 않는다는 것이다. 두꺼운 변형 수용 베퍼 층에 있어선 가공으로 자주 기판이 훼어지게 되는데, 이것은 기판에 금이 가게 할 수 있고 또는 적어도 최종 장치의 성능을 열화시키는 것인 기판에 대해 불균일한 성장 상태를 유발한다.
- [0026] Si(111) 기판, 및 특히 Si(100) 기판과 같은 저렴한 기판 상에, 또한 비정질 기판 상에도 배향된 나노와이어를 성장시키는 것을 가능해지게 하는 것이 발명의 또 다른 이점이며, 주요 전제조건은 선택된 공정 온도를 견딜 수 있는 기판이다.
- [0027] 본 발명의 또 다른 이점은 최종 장치에 남을 수 있는 나노와이어를 성장시키기 위한 기판을 제공하는 것이다. 예를 들어, 위에 언급된 바와 같이, LED 구조에서 기판은 이것이 장치에서 사용될 수 없기 때문에, 또는 불충분한 열적 특성에 기인하여 일반적으로 제거된다. 예를 들어, Si 기판에서 기판은 남겨져 사용될 수 있다.
- [0028] 본 발명에 또 다른 이점은 가공에서 비용이 들고 시간 소비적인 에피택시 단계가 회피된다는 것이다.
- [0029] 나노와이어를 성장시키기 위한 기판 및 발명의 나노와이어를 성장시키기 위한 방법에 덱트으로, 질화물 기반의 반도체 장치, 특히 GaN-기반의 장치, 즉 LED의 개발에서 다음 단계가 가능해질 것이다.
- [0030] 그래서, 일면에서 발명은 나노와이어 LED 구조를 제공하며, 각 나노와이어는 사용시 광의 발생을 위한 활성영역의 형성에 기여한다.
- [0031] 본 발명의 실시예는 종속 청구항에 정의된다. 발명의 다른 목적, 이점, 및 신규한 특징은 동반된 도면 및 청구 항들과 함께 고찰되었을 때 발명의 다음 상세한 설명으로부터 명백해지게 될 것이다.
- [0032] 본 발명의 바람직한 실시예는 이제 첨부된 도면을 참조로 기술될 것이다.

### 도면의 간단한 설명

- [0033] 도 1은, 종래 기술에 따른 기판을 갖는 나노와이어 구조를 개략적으로 도시한 도면.
- 도 2는, 본 발명에 따라 기판을 갖는 나노와이어 구조를 개략적으로 도시한 도면.
- 도 3은, 본 발명에 따라 베퍼 층에 다층 구조를 포함하는 나노와이어 구조를 개략적으로 도시한 도면.
- 도 4는, 본 발명에 따라 Si 기판 상에 저 품질의 베퍼 층 상에 형성된 GaN 나노와이어의 나노와이어 어레이를 도시한 도면.

도 5는, 본 발명에 따라 저 품질의 베피 층을 도시한 도면.

도 6은, 코어와 셀을 포함하는 나노구조를 개략적으로 도시한 도면.

### 발명을 실시하기 위한 구체적인 내용

- [0034] 수직, 측면 등에 대한 모든 언급은 단지 용이한 이해를 위해 도입된 것이며 특정 배향으로 제한하는 것으로 간주되지 않아야 한다. 또한, 도면에서 구조의 치수는 반드시 축척에 맞는 것은 아니다.
- [0035] 다음에서 본 발명의 바람직한 실시예가 주로 나노와이어 발광 다이오드(LED) 및 이러한 구조에 대한 필요성 면에서 기술될지라도, 다른 광전자 장치 및 전자장치를 제조하고 이들의 필요성을 이행하기 위해 발명의 기판 및 베피 층 및 이 위에 나노와이어 성장이 사용될 수 있음을 알아야 한다.
- [0036] LED에 있어서는 적어도 광을 발생하는 장치의 부분용으로 질화물 기반 반도체 물질이 매우 관심이 있다. 전형적인 GaN 나노와이어 LED 제조는 약 1000°C의 높아진 성장 온도를 포함한다. 기판/베피 층 물질은 이 열 엔벨로프(thermal envelope)에 따라 선택되어야 한다. 이러한 물질의 예는, Al<sub>2</sub>O<sub>3</sub>{격리체(isolator)}, AlN, GaN, Si, (반도체), 및 W(금속)이다. 1000°C보다 훨씬 아래의 용융점을 갖는 공용 2원 화합물을 형성할 수 있는 층의 인접된 조합이 되게 각별히 주의해야 한다. 장벽층으로서는 중간층 조합이 사용될 수도 있다. 당업자는 이를 위험을 잘 알고 있기 때문에 이를 장벽층은 실시예에서 명시적으로 개시되지 않는다.
- [0037] 도 1은, 20 ~ 1000 $\mu$ m 범위의 두께를 갖는 벌크 층(3) 및 3 ~ 10 $\mu$ m 범위의 두께를 갖는 에피택셜 변형 수용 베피 층(4)을 갖는 기판(1)을 포함하는 종래 기술의 나노와이어 기반 구조를 개략적으로 도시한다. 나노와이어(2)는 베피 층(4)으로부터 돌출한다. 나노와이어(2)는 베피 층(4)의 결정 배향에 의해 결정되는 한 방향으로 정렬된다. 도 2는 20 ~ 1000 $\mu$ m 범위의 두께를 갖는 벌크 층(3) 및 바람직하게 2 $\mu$ m 미만, 더 바람직하게 0.2 ~ 2 $\mu$ m 범위의 두께를 갖는 에피택셜 변형 수용 베피 층(4)을 갖는 기판(1)을 포함하는 발명에 따른 구조를 개략적으로 도시한 것이다. 나노와이어(2)는 베피 층(4)으로부터 돌출한다. 나노와이어(2)는 베피 층(4)의 배향에 의해 결정되는 한 방향으로 정렬된다.
- [0038] 베피 층의 일반적인 결정 구조는 흔히 나노와이어 결정 구조와 동일하거나 적어도 이와 유사하다. 그러나, 결국에 나노와이어를 단방향으로만 성장하게 하는 것은 베피 층 구조의 원자 구성이다. 나노와이어의 바람직한 일반적인 정렬의 변경은 다음에 설명되는 바와 같이 공정 단계로 실현될 수 있다. 이러한 경우, 나노와이어 결정의 배향은 일반적으로 베피 층 결정 배향에 맞게 수정된다.
- [0039] 예로서, 도 2에 구조에서, 나노와이어 기반 구조는 나노와이어 기반 LED 구조를 형성하는 방사상(radial) 코어-셀 구조를 포함한다. 코어-셀 구조는 n-형 GaN 나노와이어 코어와 p-형 GaN 셀을 포함할 수 있고 중간 양자 웨일층은 AlGaN, InGaN 및/또는 GaN의 서브층을 포함한다. 도 2는 성장 마스크를 사용한 선택적 영역 성장을 사용하여 성장된 나노와이어를 도시한 것이지만 그러나 이것으로 제한되는 것은 아니다.
- [0040] 도 3은, 하나 이상의 서브층(4a, 4b, 4c)을 갖는 베피 층(4)을 포함하는 발명의 일 실시예를 개략적으로 도시한다. 베피 층(4) 또는 상기 하나 이상의 서브층(4a, 4b, 4c)은 서로 다른 층에 반도체 물질, 금속/금속 합금 및/또는 절연체를 포함할 수 있다. 장치의 열 특성을 개선하며 성장 온도를 견딜 수 있는 배향 특성을 갖는 비-에피택셜 물질이 바람직하고, AlN, TiN, 그레핀, 및 그외 다결정질 또는 부분적으로 비정질인 탄소막으로 예시되지만 이것으로 한정되지 않는다.
- [0041] 본 발명의 일 실시예에서, 베피 층 또는 서브층 각각은 이의 두께 전체에 걸쳐, 동질의 조성을 갖는다. 적어도 조성은 의도적으로 변경되지 않는다.
- [0042] 요망되는 광학적 및/또는 전기적 특성을 얻기 위해서 서로 다른 물질이 조합될 수 있다. 예를 들어, 하나 이상의 반사체 층은 베피 층(4)의 서브층 적층에 포함될 수 있다. 예를 들어, 구조의 나노와이어를 연결하는 전류 확산층을 제공하기 위해 측방향으로 높은 도전률을 갖게 하기 위해서 수직 및 측방향으로 전기적 도전률이 재단될 수 있다.
- [0043] 나노와이어 구조는 베피 층(4) 또는 상기 하나 이상의 서브층(4a, 4b, 4c) 중 적어도 하나에 의해 형성된 공통 측면 접촉부에 의해 전기적으로 연결된다.
- [0044] 저 결합 밀도와 고 결정 완벽성이 필요하지 않을 때 베피 층(4) 또는 서브층(4a, 4b, 4c)의 형성을 위해 사용될 수 있는 가용한 몇 가지 증착 방법이 있다. 서로 다른 서브층에 대해 서로 다른 증착 방법이 사용될 수 있다.

- [0045] 원자 층 증착(ALD)에 의해 증착된 베퍼 층은 우수한 배향 특성을 갖는다.
- [0046] 플라즈마-인핸스드 화학 증기 증착(PECVD), 저압 화학 증기 증착(LPCVD) 및 대기압 화학 증기 증착(APCVD)이 사용될 수 있다. 예를 들어, 배향된 AlN은 LPCVD 및 APCVD로 성장될 수 있고, 그레핀, 및 그외 다결정질 또는 부분적 비정질 탄소막도 LPCVD 또는 RF-CVD을 이용함으로써 증착될 수 있다. 일반적으로 PECVD는 다른 두 가지와 비교했을 때 열등한 배향 능력을 갖는다.
- [0047] 스퍼터링 또는 증발에 기초한 물리 증기 증착 기술도 사용될 수 있지만, 스퍼터링은 배향된 증착용으로는 일반적으로 가능하지 않다. 금속 또는 금속 합금의 배향된 증착을 위해선 진공 증발 방법이 종종 바람직하다. 적합한 예는, 일반적으로 그레인 크기의 변화가 큰 다결정질일지라도 기판에 수직인 균일한 (111) 배향을 갖고 쉽게 성장/증발되는 알루미늄층이다. 그러나, 660°C에 낮은 용융점은 알루미늄의 사용을 제한시킨다.
- [0048] 격자 오정합 층은 에피택셜 방법으로 성장될 수도 있다. 금속 유기 화학증기 증착(MOCVD) 또는 수소 기상 에피택시(HVPE)와 같은 에피택시 방법은 일반적으로 매우 높은 완벽성의 결정 및 결정 계면을 제조하기 위해 사용된다. 그러나, 격자 오정합된 기판 상에 성장을 위해 사용될 때는 층의 전위 밀도가 높다. 베퍼 층(4) 또는 하나 이상의 서브층(4a, 4b, 4c)은  $10^{-10} / \text{cm}^2$  보다 큰 결합 또는 전위 밀도를 가질 수 있고 여전히 상용 장치용으로 사용될 수 있다.
- [0049] 층 품질은 흔히 저온에서 두꺼운 변형 수용 베퍼 층을 성장시킴으로써 어느 정도까지 증가될 수 있다. 결정 완벽성의 제약이 없다면, 두꺼운 변형 수용 베퍼 층은 불필요해(redundant) 진다.
- [0050] 배향된 베퍼 층의 산화는 원 기판의 배향을 보존할 수 있다. 도시된 예는 배향을 보존한 채로 Al<sub>2</sub>O<sub>3</sub>로 산화될 수 있는 증발된 알루미늄이다. 그러나, 베퍼 층의 증착은 배향을 변경할 수 있다.
- [0051] 동일 방향으로 배향된 다수의 나노와이어 구조를 포함하는 구조를 형성하기 위한 방법은,
- 벌크 층(3)을 제공하는 단계;
  - 벌크 층(3)에  $2\mu\text{m}$  미만의 두께를 갖는 베퍼 층(4)을 증착하는 단계;
  - 베퍼 층(4)에 하나 이상의 나노와이어(2)를 성장시키는 단계를 포함한다.
- [0055] 본 발명의 방법은, 브래그 반사체 및 일반적인 반사체 층 모두를 제조할 수 있게 한다. 에피택시가 아닌 증착에 의해 만들어지는 브래그 반사체는 에피택셜 브래그 반사체보다 제조하기 더 쉽고 저렴하다. 그러므로, 이 방법은 복수의 서브층에 의해 형성된 다중 적층 브래그 반사체를 사용한 복수의 유색 장치의 제조에 적합하며, 각 브래그 반사체는 기판 위에 유색 발광원과 함께 사용되어 개별 발광 파장을 반사시킨다. 그러나, 각 브래그 반사체는 베퍼 층의 두께에 대략  $0.5\mu\text{m}$ 을 더하여 베퍼 층을 단일의 유색 장치에서보다 두꺼워지게 한다.
- [0056] 증착 방법은 위에 예시되어 있다. 원론적으로, 발명에 따른 2가지 유형의 증착이 있는데, (i) 벌크 층의 배향의 보존; 및 (ii) 우선적 배향 없이 또는 다른 배향을 갖고, 일반적으로 기판이라 표기된 벌크 층 상에 소정의 결정 배향을 갖는 나노와이어의 성장을 위한 배향된 베퍼 층의 생성.
- [0057] 제 1 유형 (i)에서 반도체 나노와이어는 일반적으로 (111)(입방체 섬아연관) 또는 (0001)(6각형 우르짜이트) 방향으로 성장된다. 나노와이어 어레이의 배향된 성장을 위해서 (111) 또는 (0001) 기판이 일반적으로 사용되므로, 나노와이어는 기판 표면에 수직인 배향으로 놓여질 것이다. 배향에 관하여 결정질 기판 상에 물질의 제어된 증착은 배향을 보존할 수 있게 할 것이며, 이것은 다층 구조 상에 배향된 성장을 용이하게 한다.
- [0058] 제 2 유형 (ii)에서, LPCVD or APCVD로 제조된 AlN, 또는 진공 증발된 Al와 같은 몇몇 물질 및 증착 방법에서 물질 층 자체는 우세한 (111) 방향으로 정렬하는 경향이 있다. 이것은 TiN에 대해서도 마찬가지며, 이 경우 많은 대면적 증착 방법이 사용될 수 있다. 이러한 물질의 사용은 나노와이어 핵형성을 위해 지정되는 마지막 층에 방향 정보가 도입될 수 있기 때문에 하지의 층에 대한 선택 자유도를 증가시킨다.
- [0059] 나노와이어가 다양한 물질 상에 핵이 형성될 수 있을지라도, 동질의 핵형성은 이들을 서로 유사한 물질 기판 상에 성장시킴으로써 매우 용이해진다. GaN 나노와이어와 같은 질화물 기반 구조들에 있어서, 성장을 위한 최적의 기판 표면은 GaN, InN 또는 AlN 및 이들의 조합들과 같은 질화물 기반 반도체이다. AlN, 그러나 TiN도 SiO, TiO 또는 SiN의 인접한 서브층을 허용한다. 우선적 종단층 AlN 또는 일련의 GaN 및 AlN이 ALD, CVD 및 MOCVD 방법으로 쉽게 성장될 수 있다. 이 경우에, 방향 정보를 향상시키기 위해 AlN 또는 TiN이 사용될 수 있고 종단 표면층에 Ga의 추가는 핵형성 동질성을 향상시킬 것이다.

- [0060] 나노와이어를 성장시키기 위해, 예를 들어, LPCVD를 사용하여, 그래핀, 다결정질 탄소 또는 부분적으로 비정질 탄소의 층을 증착함으로써, 기판에 수직인 성장 방향이 얻어질 수 있다. 이에 대한 이유는 고온 저항성의 탄소 막의 결정학적 특성으로서, 즉 다이아몬드 유사 또는 그래핀 유사 물질의 그레인을 제공하기 때문이다. Si 또는 C와 같은 물질 상에 GaN과 같은 이온 물질의 성장을 개시하기 위해서 특별한 핵형성 단계 및 핵형성 온도가 흔히 요구된다. 그러나, 핵형성 단계는 흔히 성장 조건에 방향성 제약을 줄일 것이며 일반적으로 짧게 유지되어야 한다. "너무 랜덤한" 그레인 구조가 막의 방향성 특성 및 온도 저항을 제한시키더라도 그레인 구조는 나노와이어와 막 사이에 격자 변형(strain)을 완화시키는데 도움을 줄 수 있다. 버퍼 층에 또는 버퍼 층에 하나 이상의 서브층에 탄소막을 사용하는 또 다른 이점은 이들의 본연의 투명성뿐만 아니라, 이들의 우수한 열 전도 특성이다.
- [0061] WO 2008/085129은 질화물 나노와이어 및 이를 제조하는 방법에 관한 것이다. 이 출원의 방법은 본 발명에 따라 버퍼 층 상에 성장을 위해 구현될 수 있다. 특히, 질화물 기반 반도체 나노와이어는 선택적 영역 성장 기술에 의해 발명에 따라 버퍼 층 상에 달성될 수 있고 질소원 유속은 실질적으로 나노와이어 형성 동안 일정하다. 성장 동안 III/V-비를 변경함으로써, 적어도 부분적으로 나노와이어를 둘러싸는 셀 층이 얻어질 수 있다. 발명에 덕택으로, Si 기판과 같은 저렴한 기판 상에 그리고 단결정질이 아니거나 극히 낮은 레벨의 결함을 갖는 버퍼 층을 사용하여 나노와이어를 성장시키기 위해 WO 2008/085129의 방법을 사용하는 것이 가능하다.
- [0062] 도 4는 발명에 따라 Si 기판 상에 저 품질의 버퍼 층 상에 형성된 GaN 나노와이어의 나노와이어 어레이를 도시한다.
- [0063] 도 5는 발명에 따른 저품질의 버퍼 층을 도시한다.
- [0064] 본 발명의 일 실시예에서, 나노와이어 성장을 위한 개구로 기능하는 발명에 따른 버퍼 층에 배열된 마스크 층 내 구멍을 이용하는 선택적 영역 성장 기술이 사용된다. 구멍 직경의 선택은 단결정질의 전위가 없는 나노와이어를 얻기 위해 중요하다. 구멍 직경이 너무 크다면, 나노와이어는 너무 넓어 전위를 몰아내지 못하거나 단결정질이 되지 않을 수 있다. 결정적인 구멍 직경은 나노와이어 핵형성 및 성장 동안 나노와이어 및 상태의 조성뿐만 아니라, 버퍼 층 품질 및 조성에 따르지만, 일반적으로 구멍 직경은 바람직하게 200nm 미만, 더 바람직하게 150nm 미만이다. 발명의 실시예에서, 구멍 직경은 바람직하게 100nm 미만, 더 바람직하게 50nm 미만이다.
- [0065] 본원에 기술된 제조 방법이 예를 들어, 나노와이어 제조 방법의 교시를 위해 참조문헌으로서 본원에 포함된 Seifert 등의 미국 특허 7,829,443에 기술된 바와 같이 LED를 형성하는 코어-셀 나노와이어 기반의 구조를 형성하기 위해 코어 상에 반도체 셀 층을 성장시키기 위해 바람직하게 나노와이어 코어를 이용할지라도, 발명은 이것으로 제한되는 것은 아님에 유의한다. 예를 들어, 이하 기술되는 바와 같이, 대안적 실시예에서, 코어만이 나노구조(예를 들어, 나노와이어)를 구성하며 셀은 선택적으로 전형적인 나노와이어 셀보다 큰 치수를 가질 수 있다. 또한, 장치는 많은 면(facet)을 포함하는 형상을 가질 수 있고, 서로 다른 유형의 면 사이에 영역 비가 제어될 수 있다. 이것은 "피라미드" 면 및 수직 측벽 면에 의해 도 6에 예시된다. 도 6의 (a)는 나노와이어 코어 (62) 및 셀(64)을 포함하는 기둥 형상의 나노구조(60)를 도시한 것이며, 도 6의 (b)는 피라미드(66)를 형성하기 위해 나노와이어 코어(62)에 셀이 성장되는 또 다른 변형예를 도시한 것이다. 도 6은 단지 개략적 도시이며 축척에 맞는 것은 아니며 단일 층으로서 도시되었지만 셀은 몇 개의 층을 포함할 수도 있을 것임에 유의한다. LED는 방출층이 우세한 피라미드 면 또는 측벽 면을 갖는 템플릿 상에 형성되도록 제조될 수 있다. 방출층의 형상에 관계없이, 접촉층에 대해서도 마찬가지이다.
- [0066] 순차적인(예를 들어, 셀) 층의 사용은 장치의 장축에 수직인 원형 또는 6각형 또는 그외 다각형 단면을 갖는 형상의 기둥(예를 들어, 선단 및 기부에서 거의 동일한 폭) 내지는 피라미드 형상(즉, 상부 또는 선단에선 좁고 기부에선 넓은) 사이의 어딘가의 형상을 최종의 개별 장치(예를 들어, pn 또는 pin 장치)가 가질 수 있음을 제공한다. 이에 따라, 완전한 셀을 갖는 개별 장치는 다양한 크기를 가질 수 있다. 예를 들어, 크기는 100 nm 내지 수(예를 들어, 5)  $\mu\text{m}$ , 이를테면 100 nm 내지 1 마이크론 미만과 같은 범위의 기부의 폭, 및 수 100 nm 내지 수(예를 들어, 10)  $\mu\text{m}$  범위의 높이로 다양할 수 있다.
- [0067] 본 발명에 따른 방법으로 나노와이어를 위한 이전의 버퍼 층과 비교했을 때 휨이 상당히 감소된 대면적 웨이퍼를 만드는 것이 가능하다. 본원에서 휨은 곡률로서 표현되는데, 측정된 웨이퍼 곡률은  $50\text{km}^{-1}$ , 바람직하게  $40\text{km}^{-1}$  미만이며, 일부 실시예에서 곡률은  $30\text{km}^{-1}$ , 바람직하게  $20\text{km}^{-1}$  미만이다. 본원에서 사용되는 바와 같은 곡률은 E. armour et al, "LED growth compatibility between s", 4" and 6" Sapphire" in "Semiconductor TODAY Compounds & advanced Silicon", Vol. 4, Issue 3, April/May 2009, p 82~86 논문에 정의되어 있고, 이 논문은

참조문헌으로 전체 기재 내용이 본 명세서에 포함된다 (도 4 참조).

[0068] 그래서, 휨(B) 및 곡률(K)은 다음과 같이 관계된다:

[0069]  $K = 1/R$

[0070]  $B = K * D^2/8$

[0071] 상기 식에서,

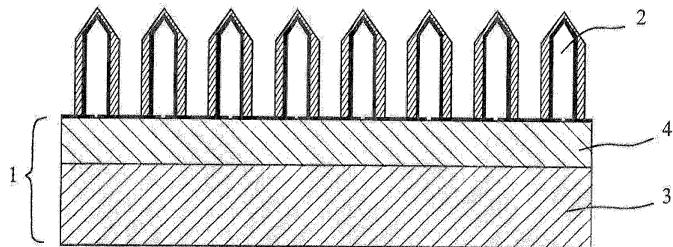
[0072] R은 웨이퍼의 곡률반경이고,

[0073] D는 기판의 직경(예를 들어, 2, 4, 또는 6 인치)이다.

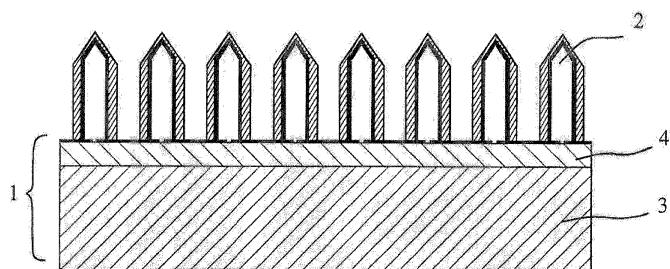
[0074] 본 발명은 가장 실용적이고 바람직한 실시예로 현재 간주된 것과 관련하여 기술되었지만, 본 발명은 기재된 실시예에 한정되지 않고, 그 반대로, 첨부된 청구항의 범위 내에 여러 수정에 및 이와 동일한 배열을 포함하는 것으로 의도됨을 이해하여야 한다.

## 도면

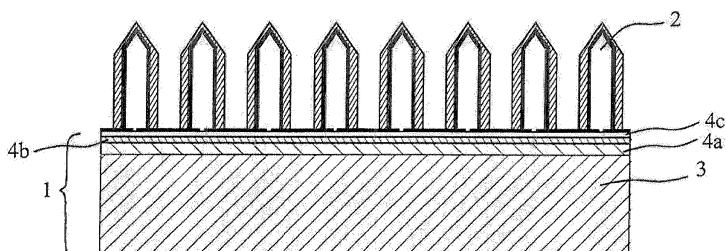
### 도면1



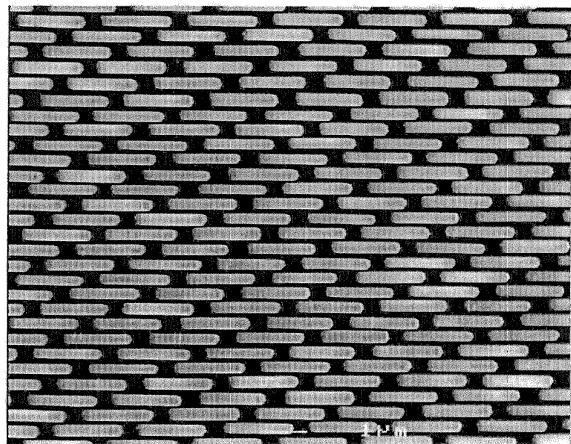
### 도면2



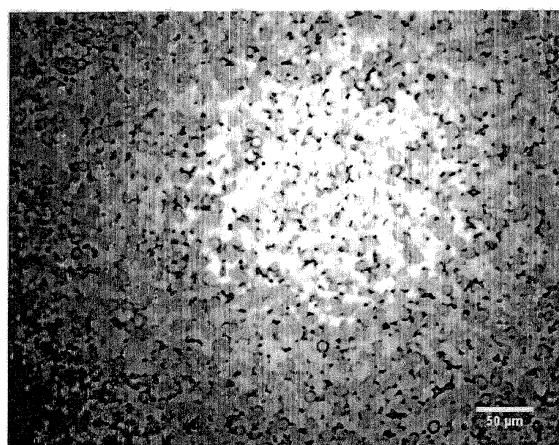
### 도면3



도면4



도면5



도면6

