

公告本

91年4月11日 修正補充

申請日期	90. 3. 14
案 號	90105954
類 別	H01L 2/00 ; 2/8

A4  
C4

(以上各欄由本局填註)

493208

第 90105954 號		<b>發 明 專 利 說 明 書</b>		修 正 本 91 年 4 月 11 日
一、發明 名稱	中 文	半導體積體電路裝置		
	英 文	SEMICONDUCTOR INTEGRATED CIRCUIT		
二、發明 人	姓 名	(1)後藤邦彦 (3)木谷和弘 (2)相澤克明 (4)草割正健		
	國 籍	日 本		
三、申請人	住、居所	(1)日本國神奈川縣川崎市中原區上小田中4丁目1番1號 (2)日本國神奈川縣川崎市中原區上小田中4丁目1番1號 (3)日本國神奈川縣川崎市中原區上小田中4丁目1番1號 (4)日本國神奈川縣川崎市中原區上小田中4丁目1番1號		
	姓 名 (名稱)	日商・富士通股份有限公司		
三、申請人	國 籍	日 本		
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號		
	代 表 人 姓 名	秋草直之		

裝 訂 線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： 有 無主張優先權  
2000.6.12 特願2000-176041

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 (1)

### [發明所屬之技術領域]

本發明係有關半導體積體電路裝置，尤其是關於適用於母片方式之半導體積體電路裝置之I/O電路有用技術。

通常，以互補型金氧半導體(CMOS)所構成之半導體積體電路裝置多設置有保護電路以保護I/O電路免受靜電之破壞。如此CMOS電晶體構成該保護電路時，保護電路之MOS電晶體有被靜電破壞之虞，因此另需保護電路之MOS電晶體之元件。

### [先前技術]

第23圖為表示具備有先前之保護電路之I/O電路之電路圖。該I/O電路係由P通道MOS電晶體11，N通道MOS電晶體12以及輸入緩衝器13所構成。在P通道MOS電晶體11之閘極端子與N通道MOS電晶體12之閘極端子被供給以內部電路10之輸出信號。

P通道MOS電晶體11之汲極端子與N通道MOS電晶體12之汲極端子係經由信號線18共同連接到衰減器(pad)19。對於P通道MOS電晶體11之源極端子及N通道MOS電晶體12之源極端子分別施加第1電源電壓VDD及第2電源電壓VSS( $VSS < VDD$ )。輸入緩衝器13之輸入端子及輸出端子分別連接到衰減器19及內部電路10。

以下說明第23圖所示之構成之I/O電路之作用。假設以第1電源電壓VDD做為基準電位，由靜電等將大於第1電源電壓VDD之過大之高電壓施加於衰減器19。此時，P通道MOS電晶體11之未圖示寄生二極體(parasitic diode)及P通

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 2 )

道MOS電晶體11會成為導通狀態。因此，被輸入之過大高壓電便受第1電源電壓VDD限制而輸入至內部電路10。

另一方面，假如以第2電源電壓VSS做為基準電位並由負方向施加以過大之高電壓於衰減器19時也相同。亦即，此時，N通道MOS電晶體12之未圖示寄生二極體及N通道MOS電晶體12會成為導通狀態。因此，施加於內部電路10之電壓成為第2電源電壓。

如上所述，P通道MOS電晶體11與N通道MOS電晶體12可以動作成防止超過第1電源電壓VDD之過大電壓或在負方向超過第2電源電壓VSS之過大電壓施加於內部電路之保護電路。

另外，在第23圖所示之構造之電路中，在連接到衰減器19之信號線18與P通道MOS電晶體11之汲極端子，或N通道MOS電晶體12之汲極端子之間分別具備未圖示之寄生電阻。該寄生電阻在對衰減器19在正方向施加以比第1電源電壓VDD過大之電壓時，即發揮保護元件之功能以防止對P通道MOS電晶體11及其寄生二極體直接施加過大電平之輸入電壓。

然而，近年來，為謀求IC之急劇之微細化或高速化，由於使用矽化物處理法(silicide process)，電晶體之源極或汲極之寄生電阻被壓低。因此，寄生電阻之大小做為保護P通道MOS電晶體11或N通道MOS電晶體12之閘極氧化膜已變得不充分。

因之，如第24圖所示，近來之I/O電路中，在信號線18

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (3)

與P通道MOS電晶體11之汲極端子或N通道MOS電晶體12之汲極端子之間插入與閘極相同由多晶矽(polysilicon)所構成之電阻15, 16。該等電阻15, 16之大小為數 $10\Omega$ 左右。

## [發明擬解決之課題]

惟在驅動能力特別大之I/O電路中，插入數 $10\Omega$ 左右之電阻15, 16時，由於流經該等電阻15, 16之電流所導致之電壓下降，來自衰減器19之輸出電平有變動而招致輸出特性之惡化之問題。例如，在流通電阻15, 16之電阻值為 $50\Omega$ 而輸出 $12\text{mA}$ 之電流之輸出電路時，則由於該電壓下降所導致輸出電平之變動量即成為 $1.2\text{V}$ 。因此，具備該種保護電路之I/O電路中如要驅動與其相關之其他之電路時，即成為不利之特性。

本發明係鑑及上述之問題而創，其目的在提供一種半導體積體電路裝置，其不必變更輸出電路之特性即可有效防止用於防止因靜電等所導致之閘極氧化膜之破壞之保護電路之保護用電晶體之破壞。

## [解決課題之方法]

為達成上述之目的，本發明之半導體積體電路裝置係在主片方式之I/O電路中，將對內部20之保護電路配置成可多個並聯至由P通道金氧半電晶體，電阻元件以及N通道金氧化電晶體所構成之保護元件列之狀態，並依照企望之驅動能力將適當數目之保護元件列並聯者。

第1圖為表示本發明之半導體積體電路裝置之原理之

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 4 )

電路圖。此種半導體積體電路裝置為主片方式之I/O電路，內部電路20與衰減器29之間配置有多個保護元件列2，2，.....。而且在該I/O電路中，為了獲得企望之驅動能力，可以變更配線之連接圖俾將適當數目之保護元件列2，2.....並聯連接。第1圖中，表示適當數目之保護元件列2，2.....並聯之情形。此外，第1圖中之符號23為輸入緩衝器。

各保護元件列之構造相同。保護元件列2具備P通道MOS電晶體21，兩個電阻元件25，26及N通道MOS電晶體22。P通道MOS電晶體21之源極端子連接到供應第1電源電壓VDD之第1電源電壓端子。P通道MOS電晶體21之閘極端子係連接到內部電路20之輸出端子。P通道MOS電晶體21之汲極端子係連接到第1電阻元件25之一端。

第1電阻元件25之另一端係連接到連接於衰減器29之信號線28及第2電阻元件26之一端。第2電阻元件26之另一端係連接到N通道MOS電晶體22之汲極端子。N通道MOS電晶體22之閘極端子與P通道MOS電晶體21之閘極端子共同連接到內部電路20之輸出端子。N通道MOS電晶體22之源極端子係連接到供應第2電源電壓VSS( $VSS < VDD$ )之第2電源電壓端子。

第1電阻元件25及第2電阻元件26也可以由形成於半導體基板之擴散電阻構成之，也可以為多晶矽(polysilicon)所構成，也可以形成於半導體基板之井電阻(well resistor)構成。此外，所有之保護元件列2，內部電路20及衰減器29皆形成於相同之半導體基板上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (5)

本發明之半導體積體電路裝置構造上可經由變更布線圖即可獲得上述構造之I/O電路。因此，根據本發明即可將保護元件列2，2.....並聯適當數目而獲得企望之驅動能力。

而且，縱使由靜電等在正方向對衰減器29施加過大之高電壓，在P通道MOS電晶體21只被電阻元件25施加以比輸入電壓電平僅低電壓下降部分之低電壓。在衰減器29被施加負方向之過大之高壓時也相同，在N通道MOS電晶體22被電阻元件26施加以僅比輸入電壓電平低電壓下降部分低之電壓。從而，可以防止保護元件列2之各MOS電晶體21，22之破壞。

另外，由於多個保護元件列2，2.....係並聯連接，縱使將在各保護元件列2之電阻元件25，26之電阻值為防止MOS電晶體21，22之破壞而充分增大，保護電路整體之電阻值也變小。因此，可以抑制來自衰減器29之輸出電平之變動，所以不致使輸出特性變差。

[發明之實施形態]

以下要參照圖式說明本發明之實施形態之半導體積體電路裝置。

(實施形態1)

第2圖為表示本發明之半導體積體電路裝置之實施形態1之電路圖。第2圖所示，實施形態1在構造上，為例如可以在主片方式之I/O電路上將7列之保護元件列2並聯連接者。亦即，該半導體積體電路裝置具備例如7列以上之可互相

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 (6)

並聯之保護元件列2。該半導體積體電路裝置之詳細構造與第1圖相關之說明中之原理構造相同，所以對於與第1圖相同之構造附以相同之符號省略其贅述。

另外，在第2圖中，表示已經利用配線將例如7列之保護元件列2並聯連接之情形。在第2圖中，並未圖示預先設置8列以上保護元件列2時之其他剩餘的保護元件。

根據實施形態1，因為半導體積體電路裝置構造上可依照企望之驅動能力藉由變更配線圖將7列之保護元件列2，2.....並聯連接，所以藉由將7列之保護元件列2，2.....並聯連接，將第1電阻元件25及第2電阻元件26分別並聯7個。

因此，縱使將該等電阻元件25，26之電阻值充分增大以防止各保護元件列2之MOS電晶體21，22之破壞，保護電路整體之電阻值分別成為第1電阻元件25或第2電阻元件26之7分之1。因此，向外界之輸出特性不致變差，進而可以防止構成各保護元件列2之MOS電晶體21，22之破壞。

另外，本發明並不限於實施形態1，而可有各種變更。例如，如第3圖所示，在各保護元件列2中，可以僅在N通道MOS電晶體22與信號線28之間設置電阻元件26，或如第4圖所示，僅在P通道MOS電晶體21與信號線28之間設置電阻元件25也可以。

在第3圖所示之構造之I/O電路對於N通道MOS電晶體22由於在負方向施加過大之高電壓而容易受到破壞時有效。第4圖所示之構造之I/O電路對於P通道MOS電晶體21由於在正方向施加過大之高電壓而容易破壞時有效。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 7 )

## (實施形態2)

第5圖為表示本發明之半導體積體電路裝置之實施形態2之電路圖。如第5圖所示，實施形態2係在第2圖所示之實施形態1中之各保護元件列2附加由兩個PN接合二極體(以下簡稱二極體)31, 32所構成之電流通路者。其他之構造與實施形態1相同，所以對於與實施形態1相同之構造附以相同之符號而省略其說明。

在各保護元件2中，第1二極體31之陽極端子係連接到保護元件列2與信號線28之連接點。第1二極體31之陰極端子係連接到供應第1電源電壓VDD之第1電源電壓端子。另外，第2二極體32之陽極端子係連接到供給第2電源電壓VSS之第2電源電壓端子。第2二極體32之陰極端子係連接到保護元件列2與信號線28之連接點。該等第1及第2二極體31, 32係形成於與內部電路20與保護元件列2等之相同半導體基板上。

根據實施形態2，如對衰減器29於正方向施加過大之高電壓時，電流會流向第1二極體31。另一方面，如對衰減器29於負方向施加過大之高電壓時，電流會流向第2二極體32。因此，可以比實施形態1更有效地防止對構成各保護元件列2之MOS電晶體21, 22之破壞。

另外，如第6圖所示，也可以僅在各保護元件列2之N通道MOS電晶體22側設置二極體32。或如第7圖所示，僅在P通道MOS電晶體21側設置二極體31。另外，在僅於N通道MOS電晶體22側設置電阻元件26之構造之保護元件列2

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 (8 )

中，如第8圖所示，附加第1及第2之二極體31，32也可以，如第9圖所示，僅在N通道MOS電晶體22側設置二極體32也可以。如第10圖所示，僅在P通道MOS電晶體21側設置二極體31也可以。

同樣地，在僅於P通道MOS電晶體21側設置電阻元件25之構造之保護元件之2中，如第11圖所示，附加第1及第2二極體31，32也可以，如第12圖所示，僅在N通道MOS電晶體22側設置二極體32也可以，如第13圖所示，僅在P通道MOS電晶體21側設置二極體31也可以。

### (實施形態3)

第14圖為表示本發明之半導體積體電路裝置之實施形態3之電路圖。如第14圖所示，實施形態3係在第3圖所示之實施形態1中之各保護元件列2附加由兩個場效電晶體(field transistor)41，42所構成之電流通路(current path)者。其他之構成與實施形態1相同，所以對於與實施形態1相同之構造附以相同之符號而省略其說明。

在各保護元件列2中，第1場效電晶體41之汲極端子係連接到保護元件列2與信號線28之連接點。第1之場效電晶體41之源極端子被短路在該閘極端子，同時連接到供應第1電源電壓VDD之第1電源電壓端子。

另外，第2場效電晶體42之汲極端子係連接到保護元件列2與信號線28之連接點。第2場效電晶體42之源極端子被短路在該閘極端子，同時連接到供應第2電源電壓VSS之第2電源電壓端子。該等第1及第2場效電晶體41，42係與內部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (9 )

電路20與保護元件例2等形成於相同之半導體基板上。

根據實施形態2，如對衰減器29於正方向施加過大之高電壓時，電流即流向第1場效電晶體41。另一方面，如對衰減器29於負方向施加過大之高電壓時，電流即流向第2場效電晶體42。因此，可以比實施形態1更有效地防止對構成各保護元件列2之MOS電晶體21，22之破壞。

此外，在各保護元件2中，如第15圖所示，也可以僅在N通道MOS電晶體22側設置場效電晶體42，或如第16圖所示，僅在P通道MOS電晶體21側設置場效電晶體41。

又，在僅於N通道MOS電晶體22側設置電阻元件26之構造之保護元件列2中，如第17圖所示附加第1及第2場效電晶體41，42也可以，如第18圖所示，僅在N通道MOS電晶體22側設置場效電晶體也可以，或第19圖所示，僅在P通道MOS電晶體21側設置場效電晶體41也可以。

同樣地，在僅於P通道MOS電晶體21側設置電阻元件25之構造之保護元件列2中，如第20圖所示，附加第1及第2場效電晶體41，42也可以，如第21圖所示，在僅在MOS電晶體22側設置場效電晶體42也可以，又如第22圖所示，僅在P通道MOS電晶體21側設置場效電晶體41也可以。

如上所述本發明中，可以互相並聯之保護元件列2之數目並不侷限於7列，2至6列也可以，8列以上也可以。

### [發明之效果]

本發明在構造上可依企望之驅動能力變更布線圖形，將適當數目之保護元件列並聯連接，所以利用將適當數目

(請先閱讀背面之注意事項再填寫本頁)

## 五、發明說明 (10 )

之保護元件列並聯而將各保護元件列內之電阻元件並聯多數個。因此，可以防止對構成各保護元件列之MOS電晶體之破壞，而不惡化對外界之輸出特性。

圖式之簡單說明

第1圖為表示本發明之半導體積體電路裝置之原理之電路圖。

第2圖為表示本發明之半導體積體電路裝置之1之電路圖。

第3圖為表示實施形態1之第1變形例之電路圖。

第4圖為表示實施形態1之第2變形例之電路圖。

第5圖為表示本發明之半導體積體電路裝置之實施形態2之電路圖。

第6圖為表示實施形態2之第1變形例之電路圖。

第7圖為表示實施形態2之第2變形例之電路圖。

第8圖為表示實施形態2之第3變形例之電路圖。

第9圖為表示實施形態2之第4變形例之電路圖。

第10圖為表示實施形態2之第5變形例之電路圖。

第11圖為表示實施形態2之第6變形例之電路圖。

第12圖為表示實施形態2之第7變形例之電路圖。

第13圖為表示實施形態2之第8變形例之電路圖。

第14圖為表示本發明之半導體積體電路裝置之實施形態3之電路圖。

第15圖為表示實施形態3之第1變形例之電路圖。

第16圖為表示實施形態3之第2變形例之電路圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (11)

第17圖為表示實施形態3之第3變形例之電路圖。

第18圖為表示實施形態3之第4變形例之電路圖。

第19圖為表示實施形態3之第5變形例之電路圖。

第20圖為表示實施形態3之第6變形例之電路圖。

第21圖為表示實施形態3之第7變形例之電路圖。

第22圖為表示實施形態3之第8變形例之電路圖。

第23圖為表示具備先前之保護電路之I/O電路之電路圖。

第24圖為表示具備先前之保護電路之I/O電路之電路圖。

## [符號之說明]

2...保護元件列

19...衰減器

20...內部電路

21...P通道MOS電晶體

22...N通道MOS電晶體

25,26...電阻元件

28...信號線

29...衰減器

31,32...二極體

41,42...場效電晶體

(請先閱讀背面之注意事項再填寫本頁)

訂

## 四、中文發明摘要(發明之名稱: 半導體積體電路裝置)

[課題]一種半導體積體電路裝置，具備一種可以防止靜電等破壞金氧半電晶體(metal oxide semiconductor transistor)之閘極氧化膜之保護電路，其不必變更輸出電路之特性即可有效防止構成保護電路之保護用電晶體之破壞。

## [解決方法]

在主片(master slice)方式之I/O電路中，將對內部電路20之保護電路配置成可多個並聯至由P通道金氧半電晶體21，電阻元件25，26以及N通道金氧半電晶體所構成之保護元件列2之狀態，並依照企望之驅動能力將適當數目之保護元件列2並聯者。

## 英文發明摘要(發明之名稱: SEMICONDUCTOR INTEGRATED CIRCUIT)

A protection circuit in a semiconductor integrated circuit having a master slice I/O circuit comprises an internal circuit, a pad, and a desired number of protection elements connected in parallel between the internal circuit and the pad. Each protection element includes a P-channel MOS transistor which outputs a first power supply voltage level signal on the basis of an output signal of the internal circuit, a N-channel MOS transistor which outputs a second power supply voltage level signal on the basis of the output signal of the internal circuit, a resistor connected between a signal line connected to the pad and an output terminal of the P-channel MOS transistor, and a resistor connected between the signal line and an output terminal of the N-channel MOS transistor.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種半導體積體電路裝置，其特徵為藉變更對事先配置之多數個電晶體之配線即可獲得企望之驅動能力之母片方式之I/O電路中，

將根據內部電路之輸出信號將第1電源電壓電平之信號輸出之P通道MOS電晶體，根據上述輸出信號將第2電源電壓電平之信號輸出之N通道MOS電晶體，以及具有連接在連接到衰減器之信號線與上述P通道MOS電晶體之輸出端子之間之第1電阻元件與連接於上述信號線與上述N通道MOS電晶體之輸出端子之間之第2電阻元件之一或雙方之電阻元件之保護元件列，在該內部電路與該衰減器之間，配置成可以多個並聯之狀態。

2. 如申請專利範圍第1項之半導體積體電路裝置，其中上述各保護元件列具有在對上述衰減器於正方向施加過大之高電壓時，由上述信號線將電流流向供應上述第1電源電壓之電源電壓端子之電流通路，以及在對上述衰減器於負方向施加過大之高電壓時，由供應上述第2電源電壓之第2電源電壓端子對上述信號線流通電流之電流通路之一方或雙方。
3. 如申請專利範圍第2項之半導體積體電路裝置，其中上述電流通路係由PN接合二極體，或場效電晶體所構成之二極體所形成。
4. 如申請專利範圍第1項之半導體積體電路裝置，其中上述第1電阻元件及第2電阻元件係由形成於半導體基板之擴散電阻，多晶矽(polysilicon)所構成之電阻，或由

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

形成於半導體基板之井電阻(well resistor)所構成。

5. 如申請專利範圍第3項之半導體積體電路裝置，其中上述各保護元件列，內部電路，電流通路及上述衰減器係形成於同一半導體基板上。
6. 如申請專利範圍第4項之半導體積體電路裝置，其中上述各保護元件列，內部電路，電流通路及上述衰減器係形成於同一半導體積體電路上。
7. 一種半導體積體電路裝置，其特徵為藉變更對事先配置之多數個電晶體之配線即可獲得企望之驅動能力之母片方式之I/O電路中，

將根據內部電路之輸出信號將第1電源電壓電平之信號輸出之P通道MOS電晶體，根據上述輸出信號將第2電源電壓電平之信號輸出之N通道MOS電晶體，以及具有連接在連接到衰減器之信號線與上述P通道MOS電晶體之輸出端子之間之第1電阻元件與連接於上述信號線與上述N通道MOS電晶體之輸出端子之間之第2電阻元件之一或雙方之電阻元件之保護元件列，在該內部電路與該衰減器之間，連接成多個並聯。

(請先閱讀背面之注意事項再填寫本頁)

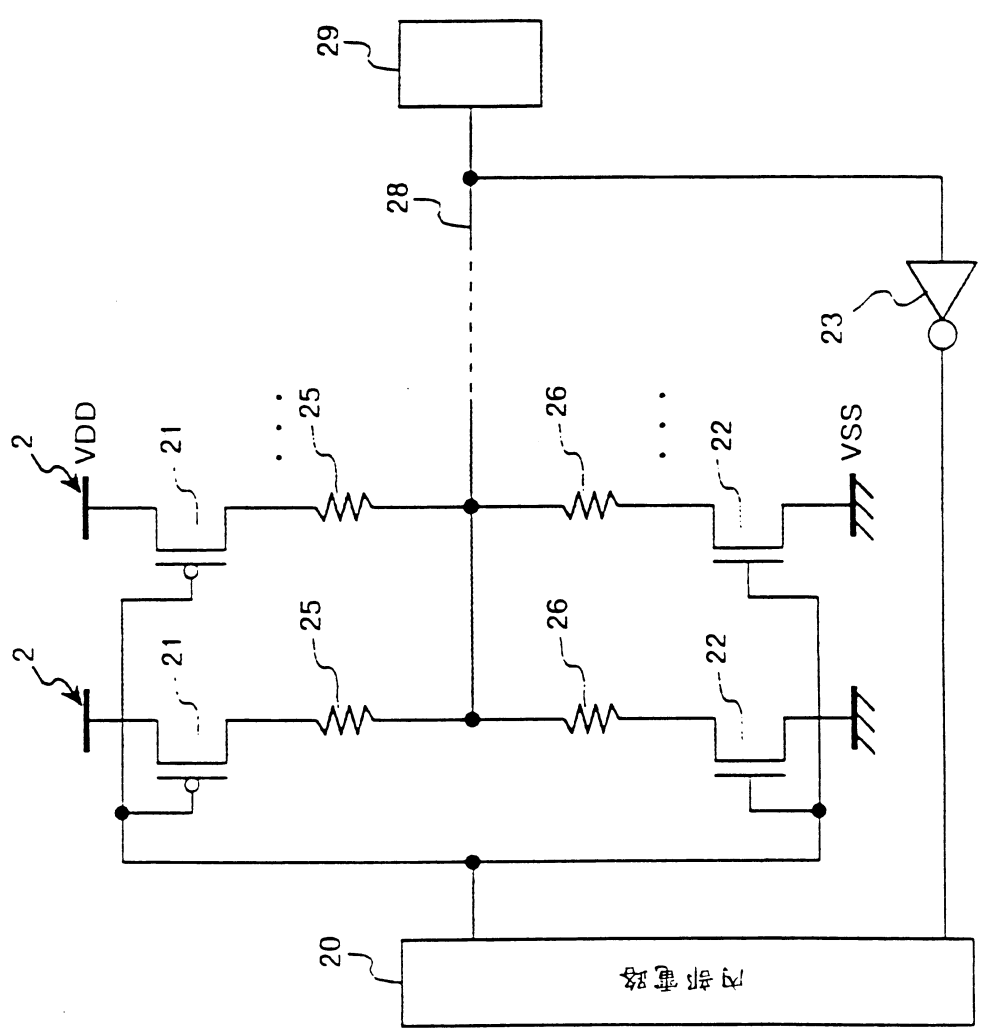
裝

訂

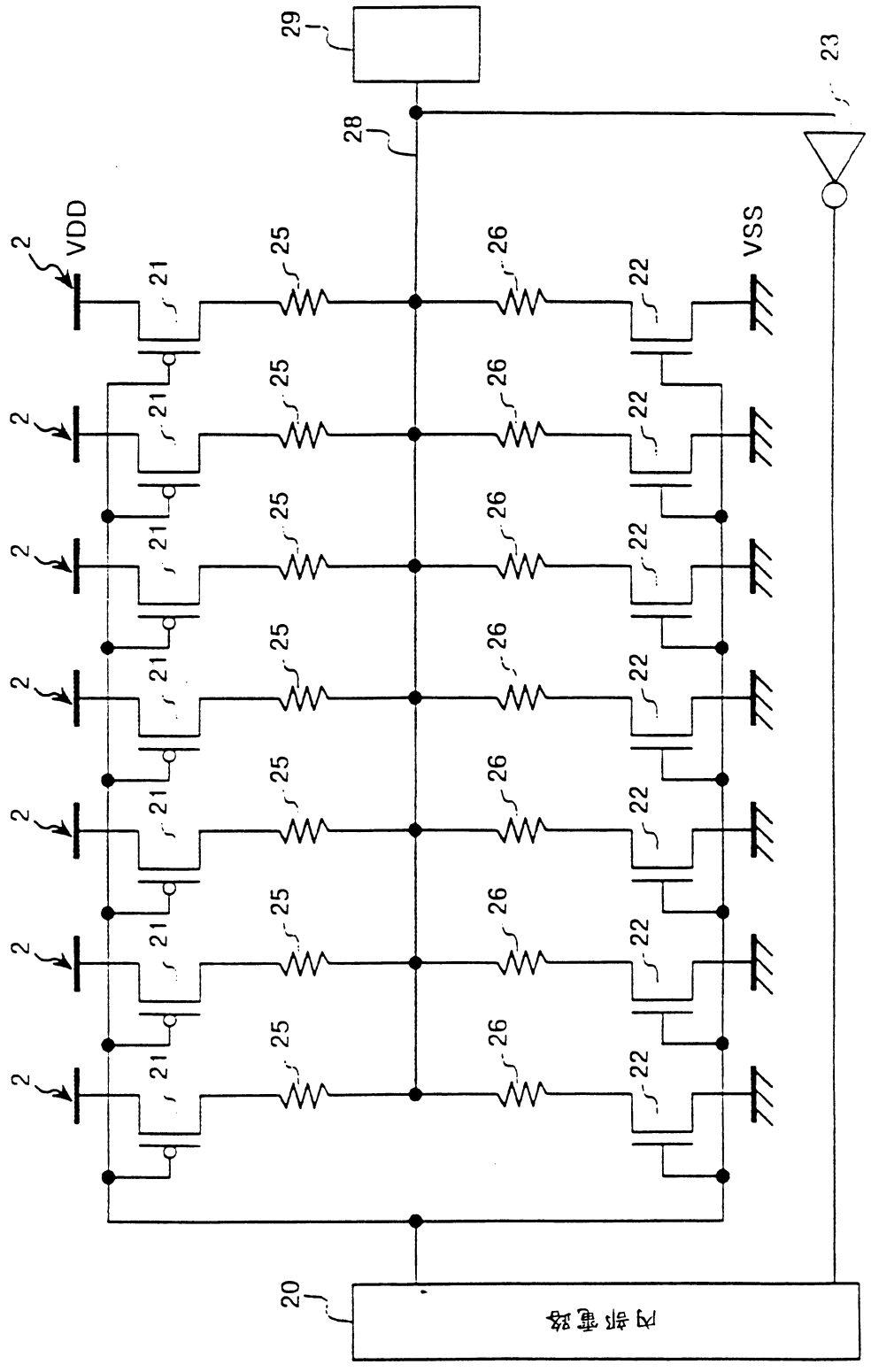
線

修正補充  
91年4月1日

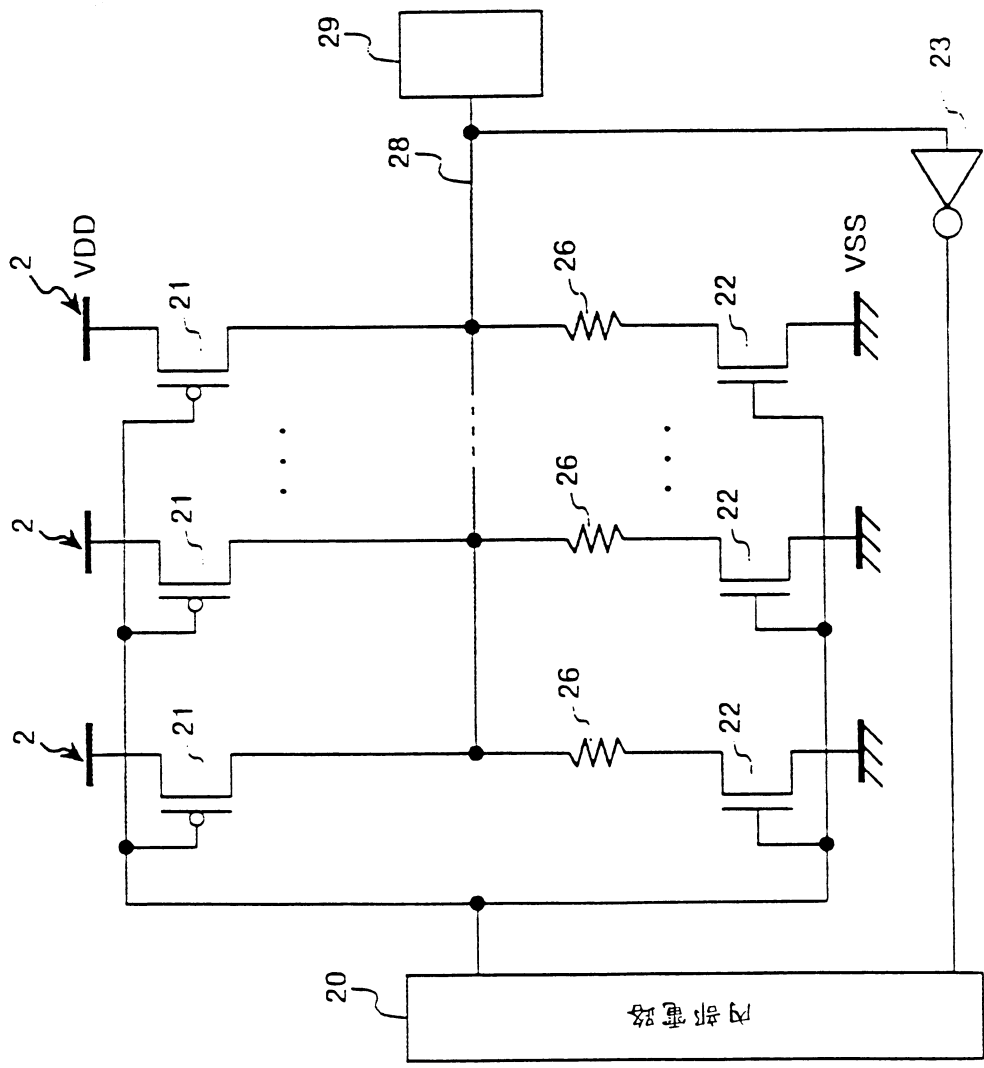
第 1 圖



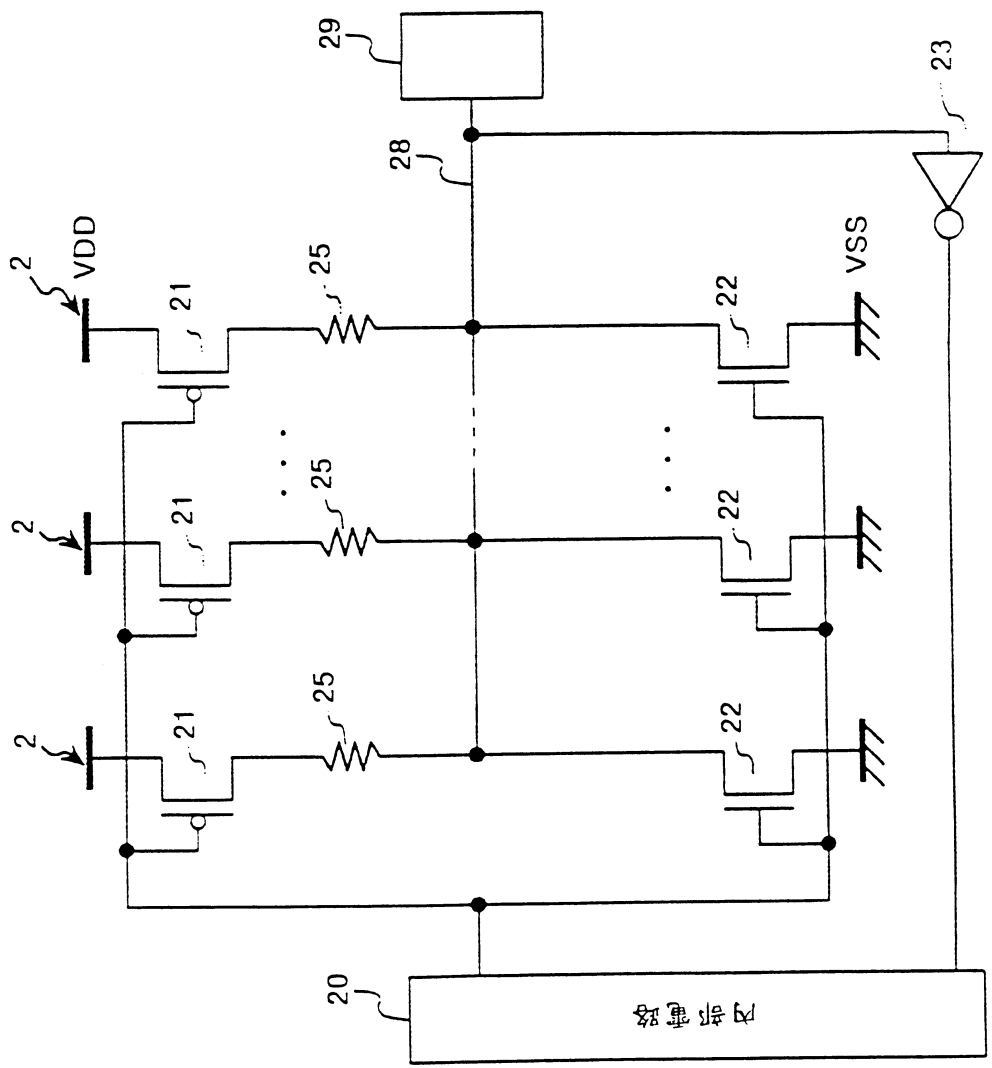
第 2 圖



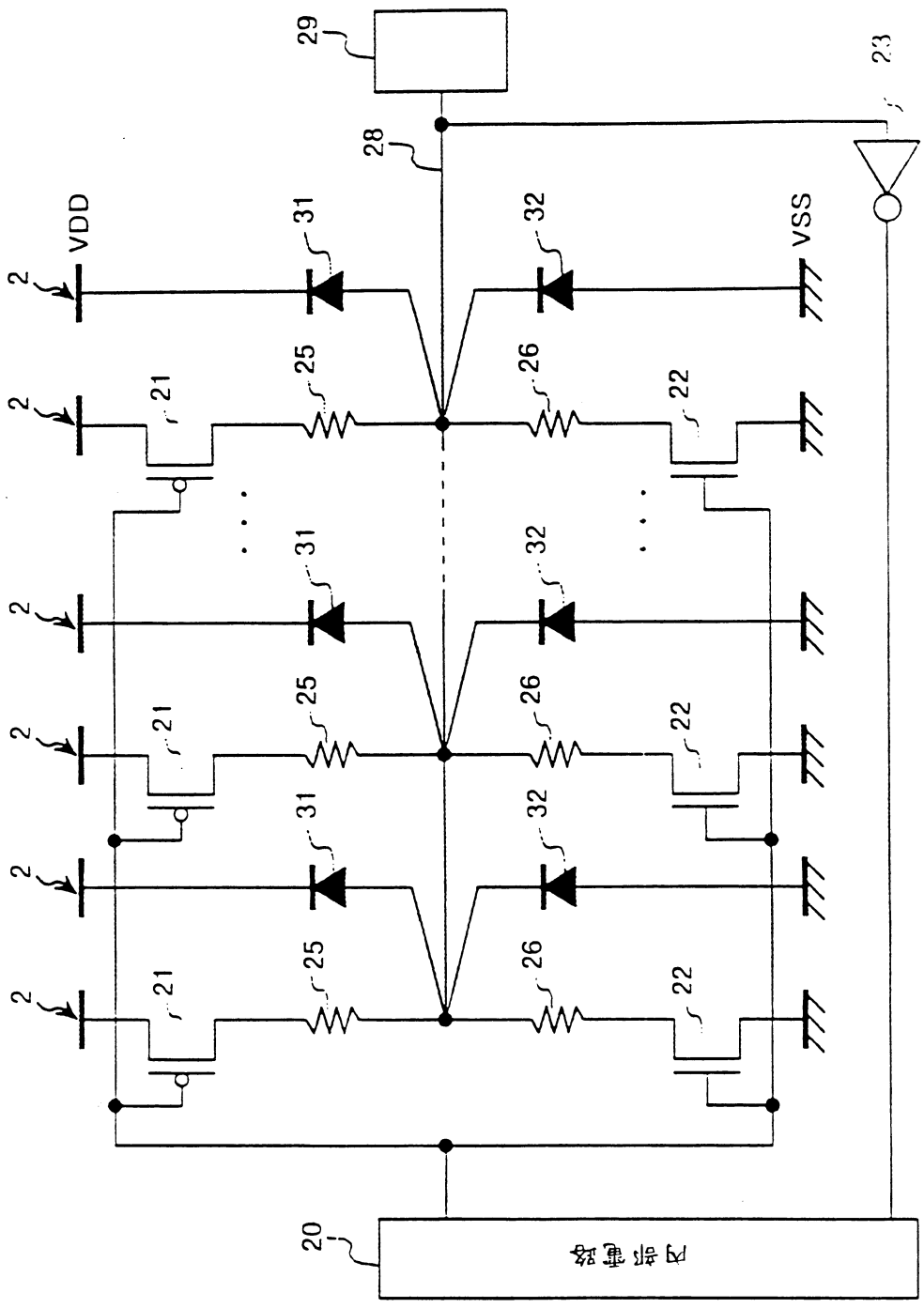
第 3 圖



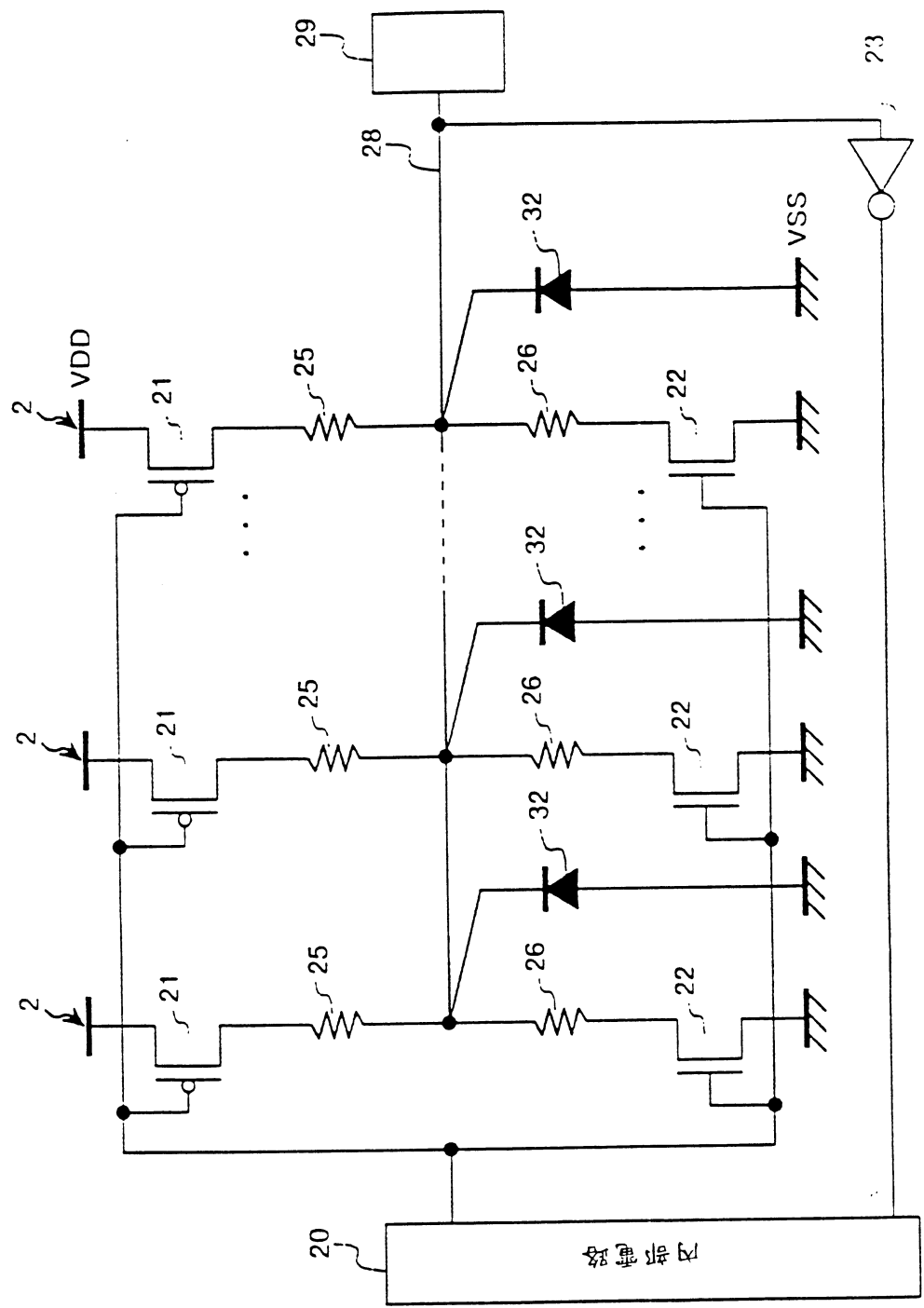
第 4 圖



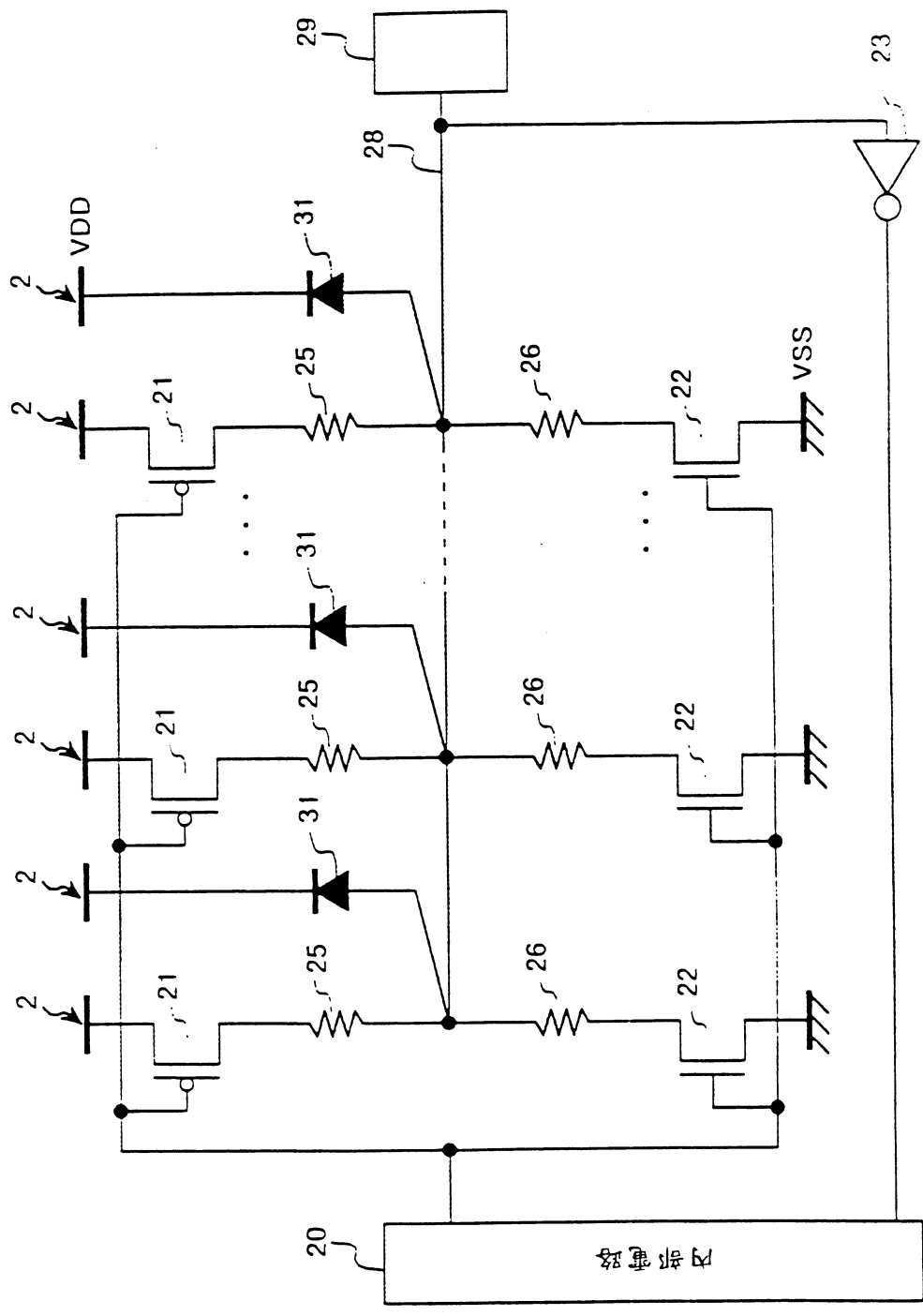
第 5 圖



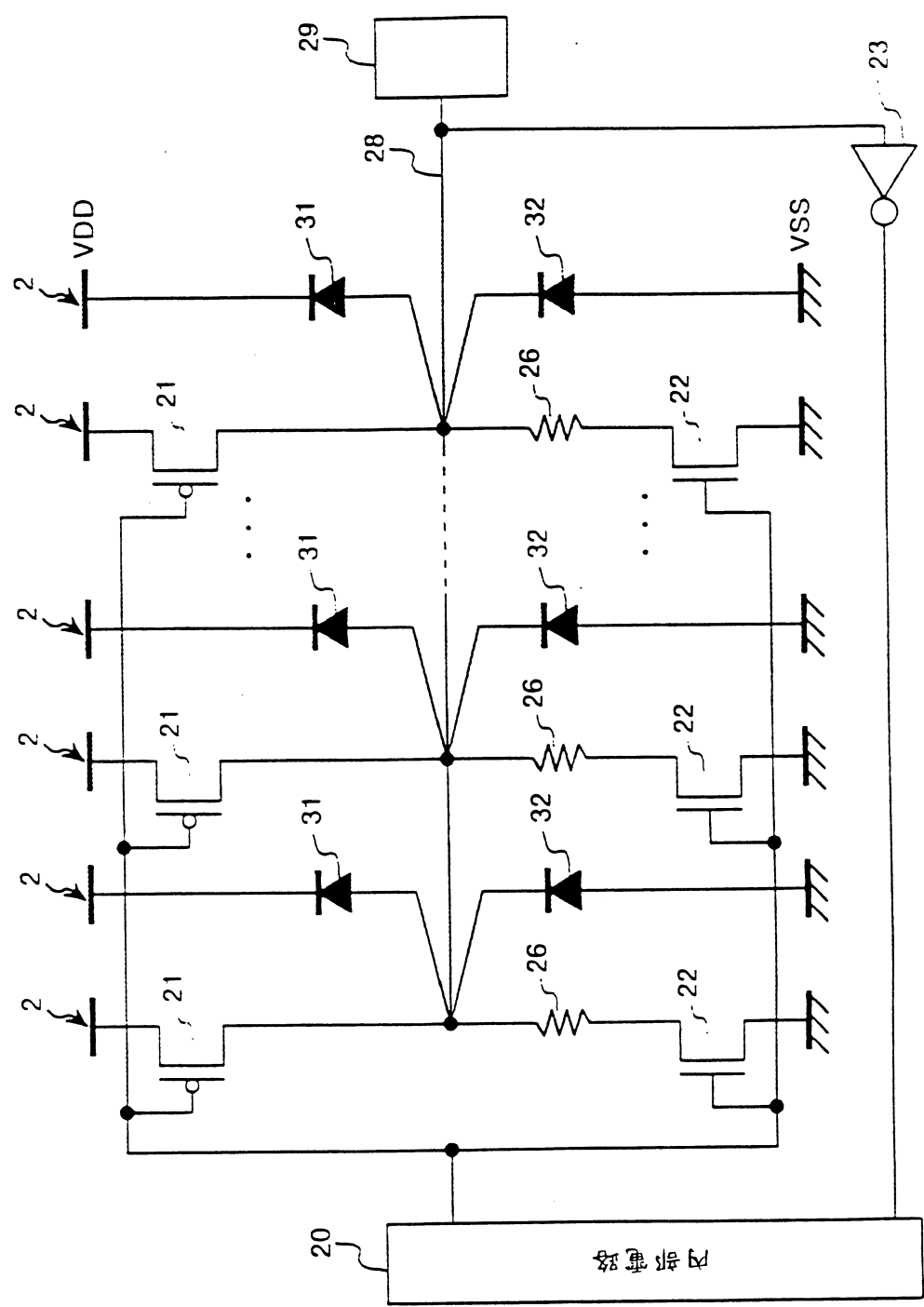
第 6 圖



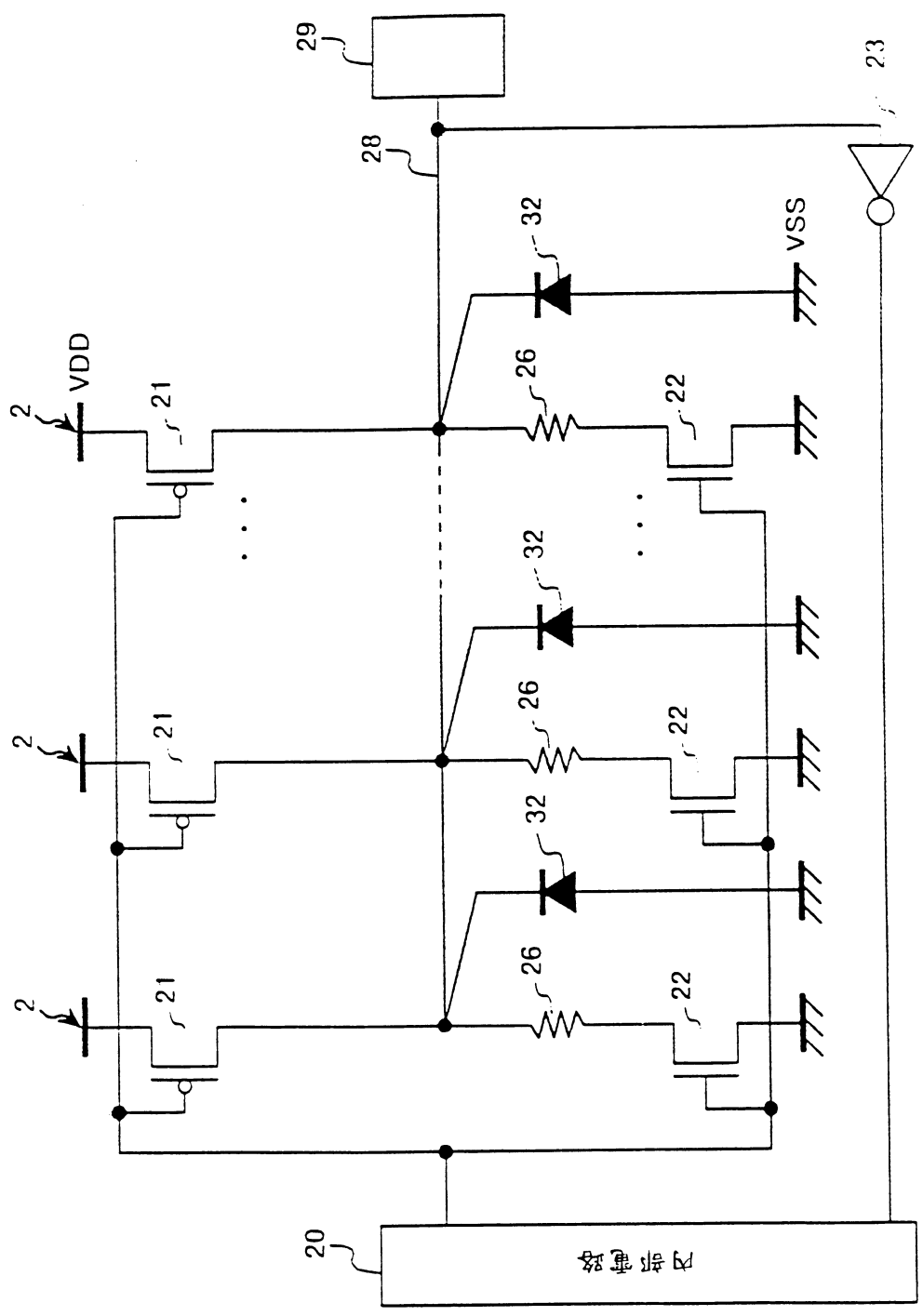
第 7 圖



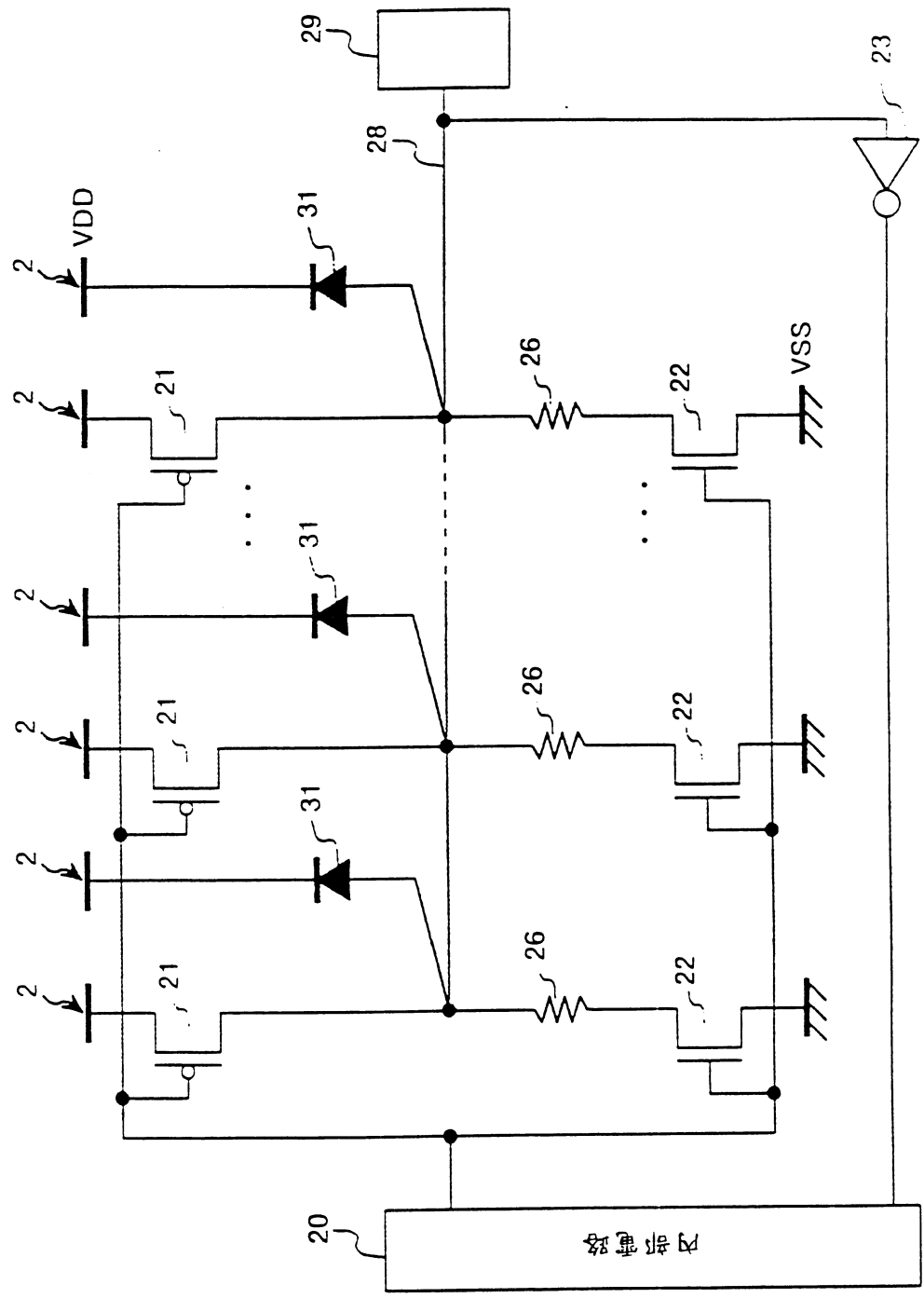
第 8 圖



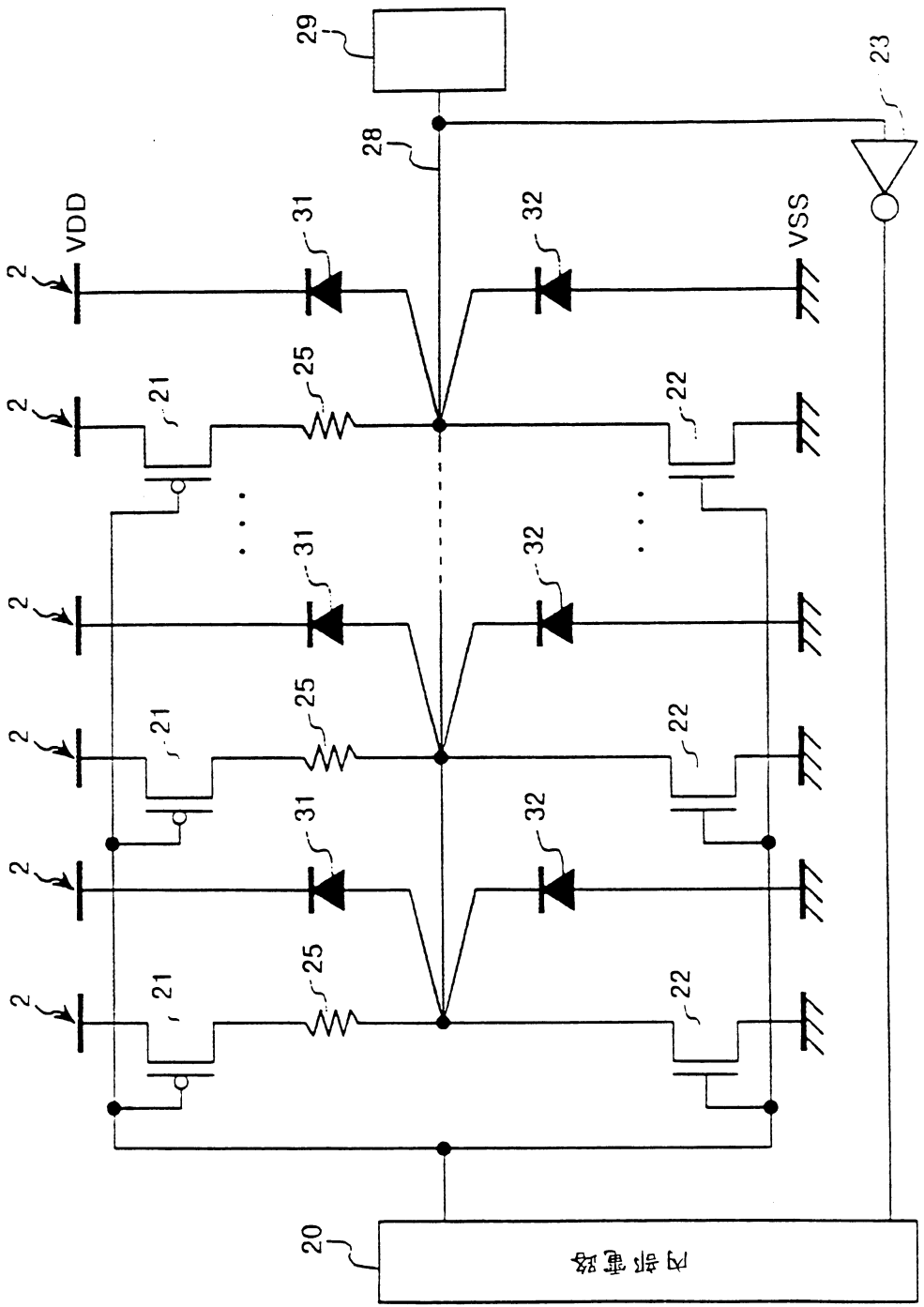
第 9 圖



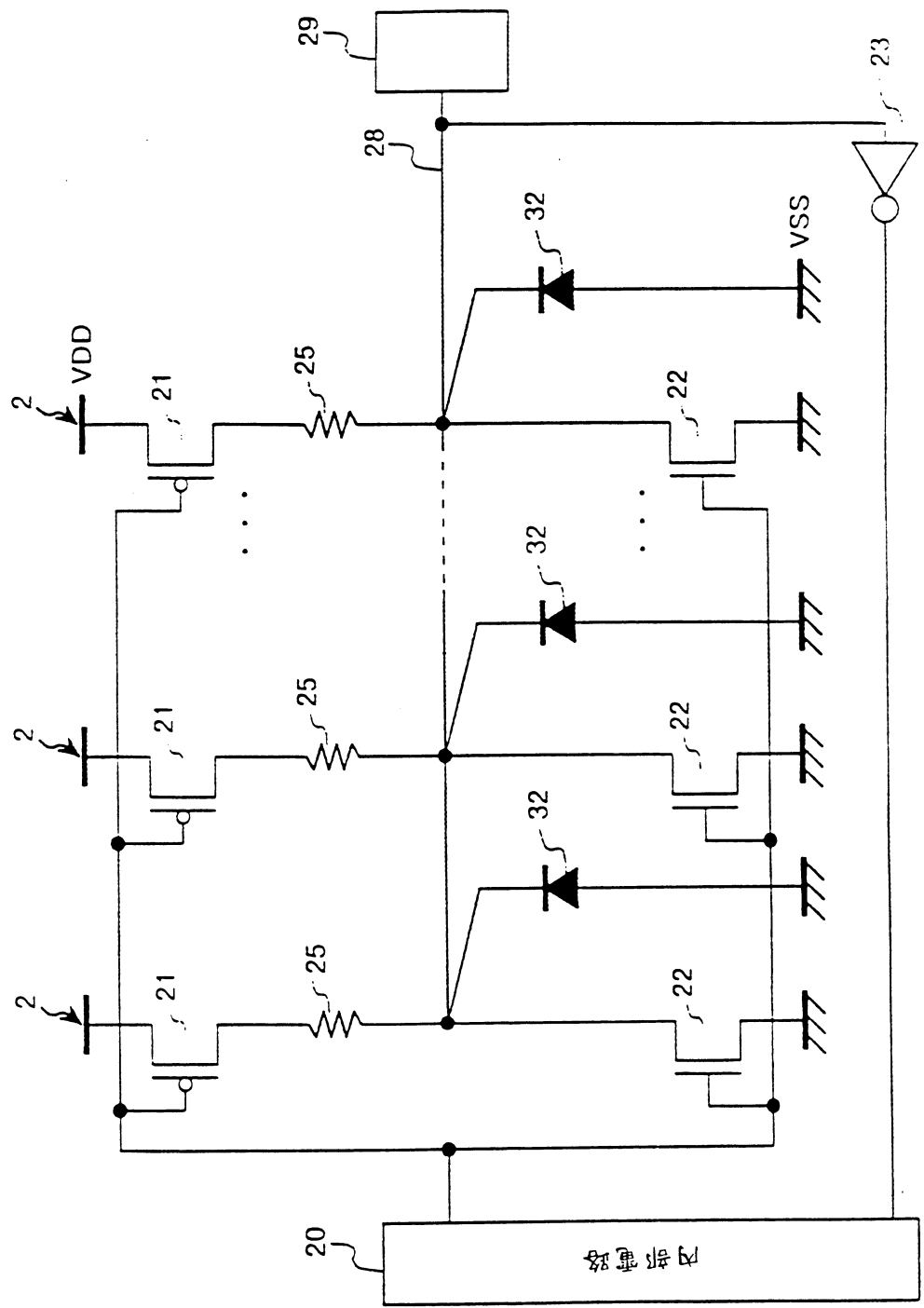
第 10 圖



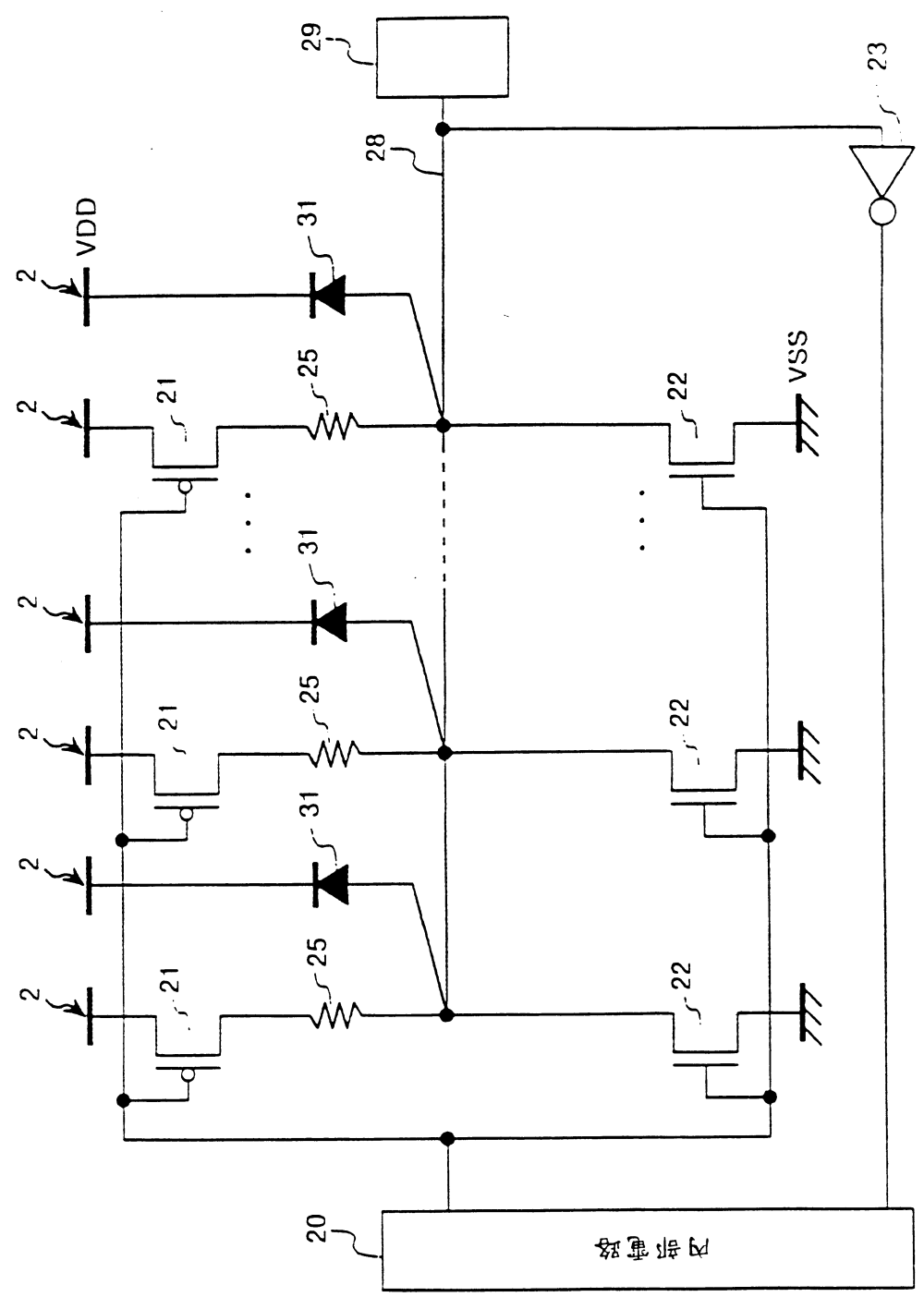
第 11 圖



第 12 圖

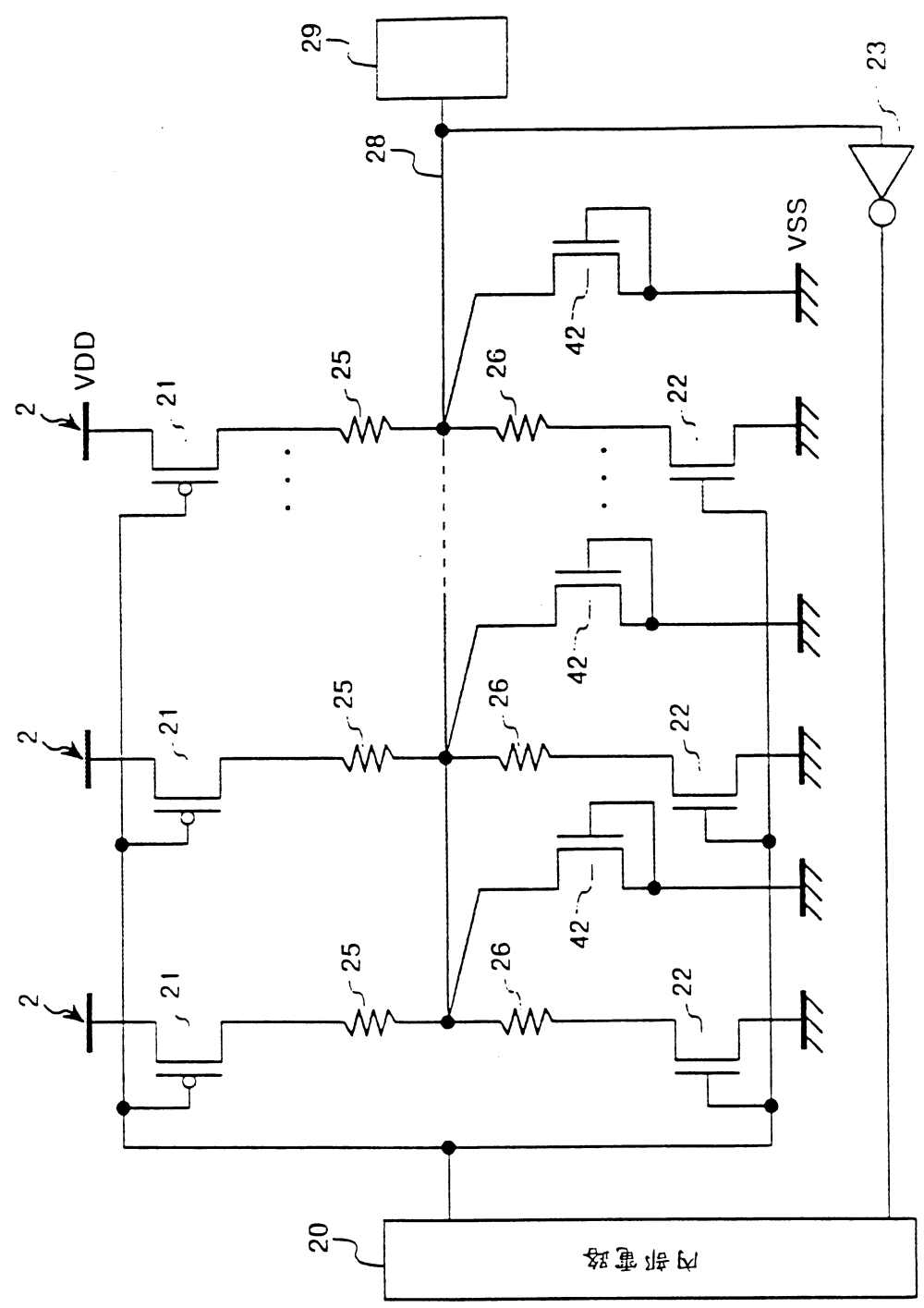


第 13 圖

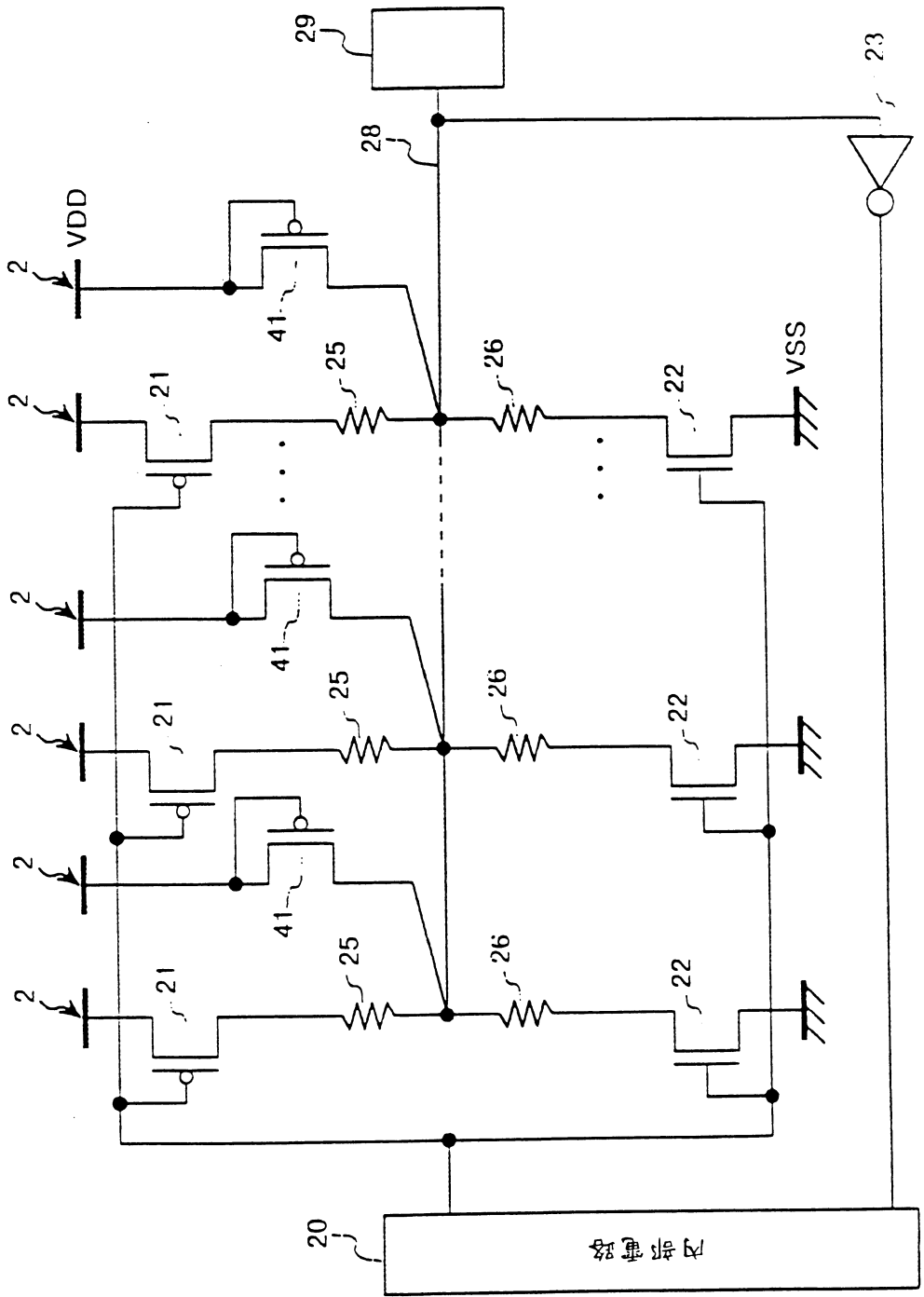




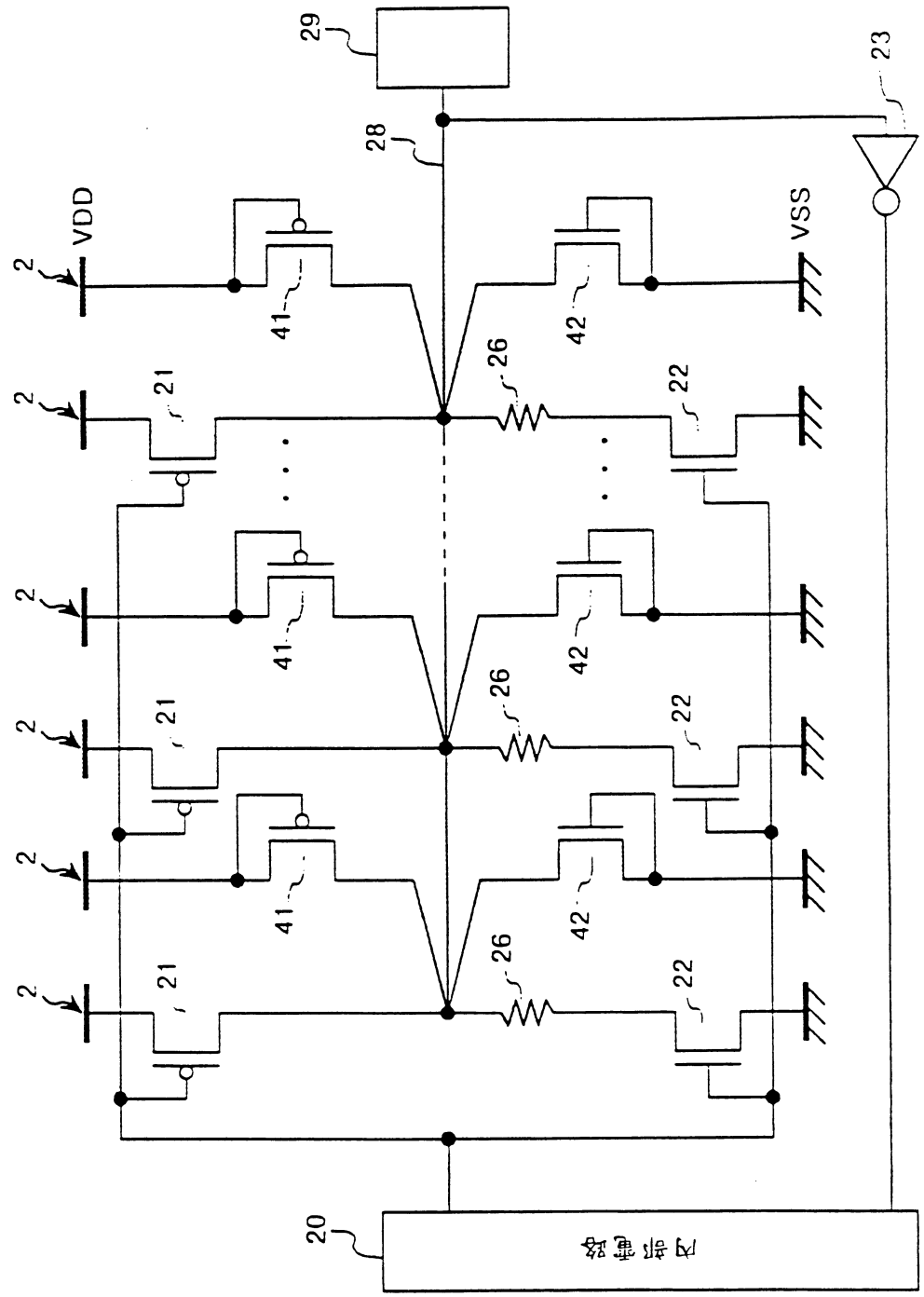
第 15 圖



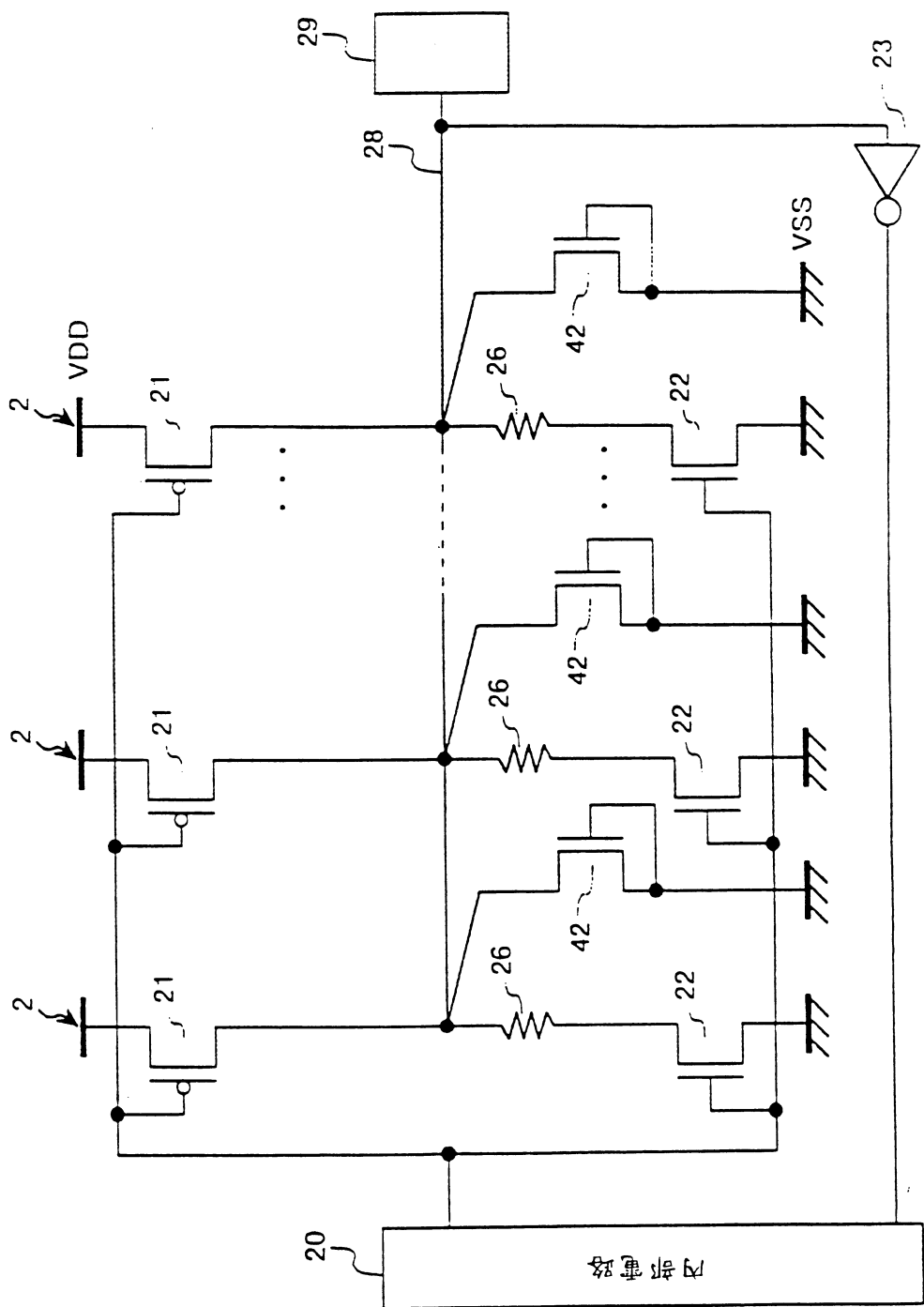
第 16 圖



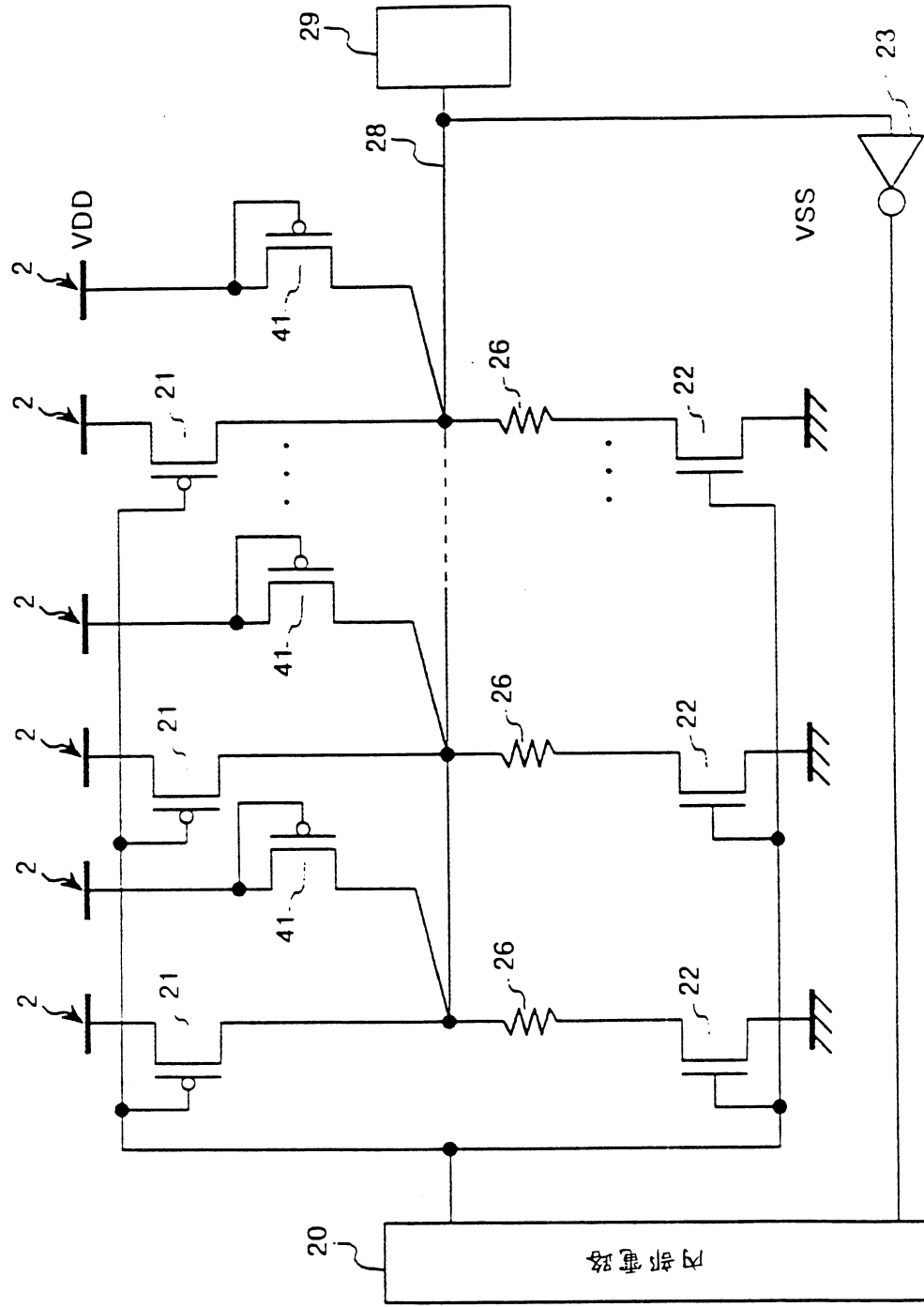
第 17 圖



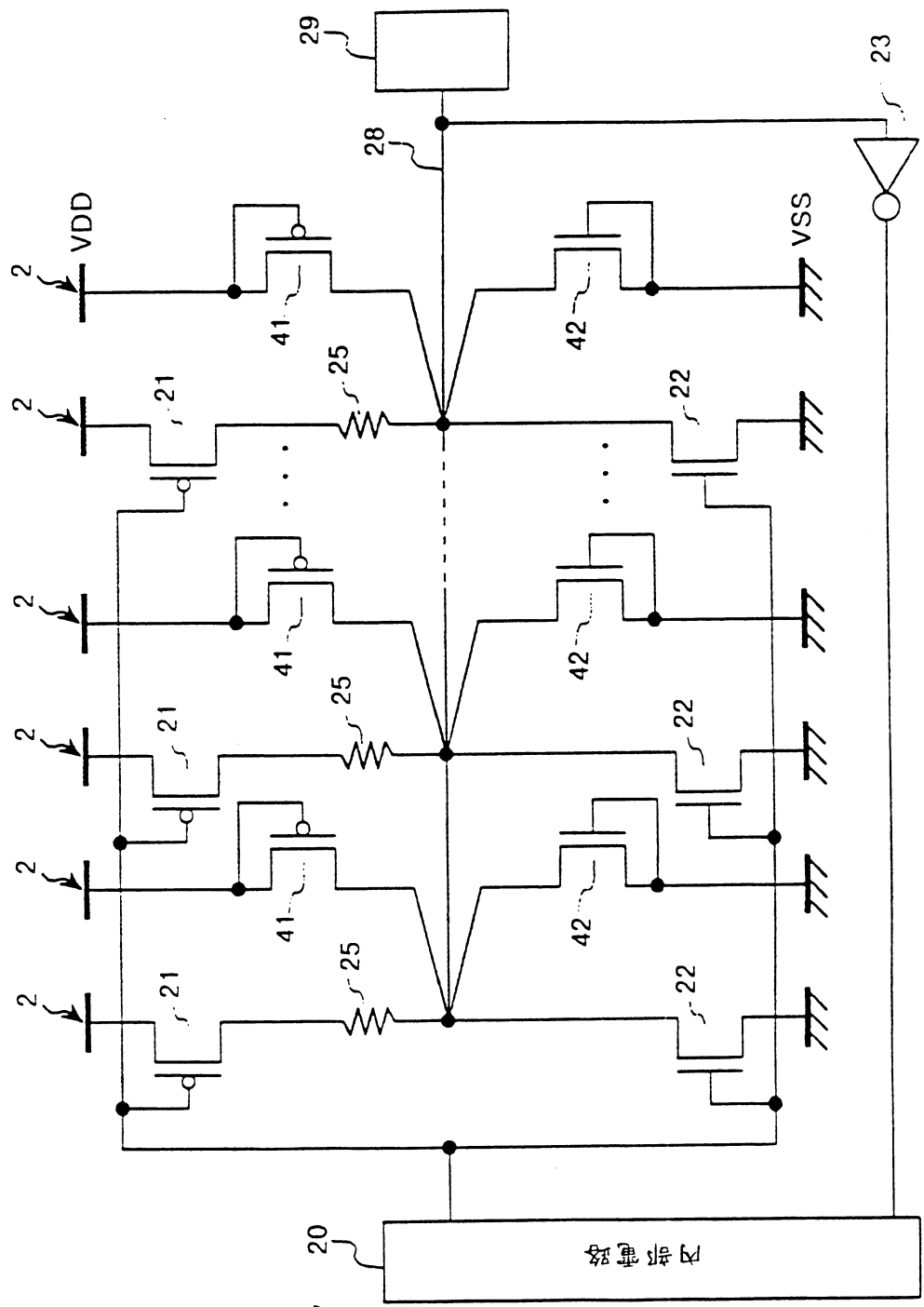
第 18 圖



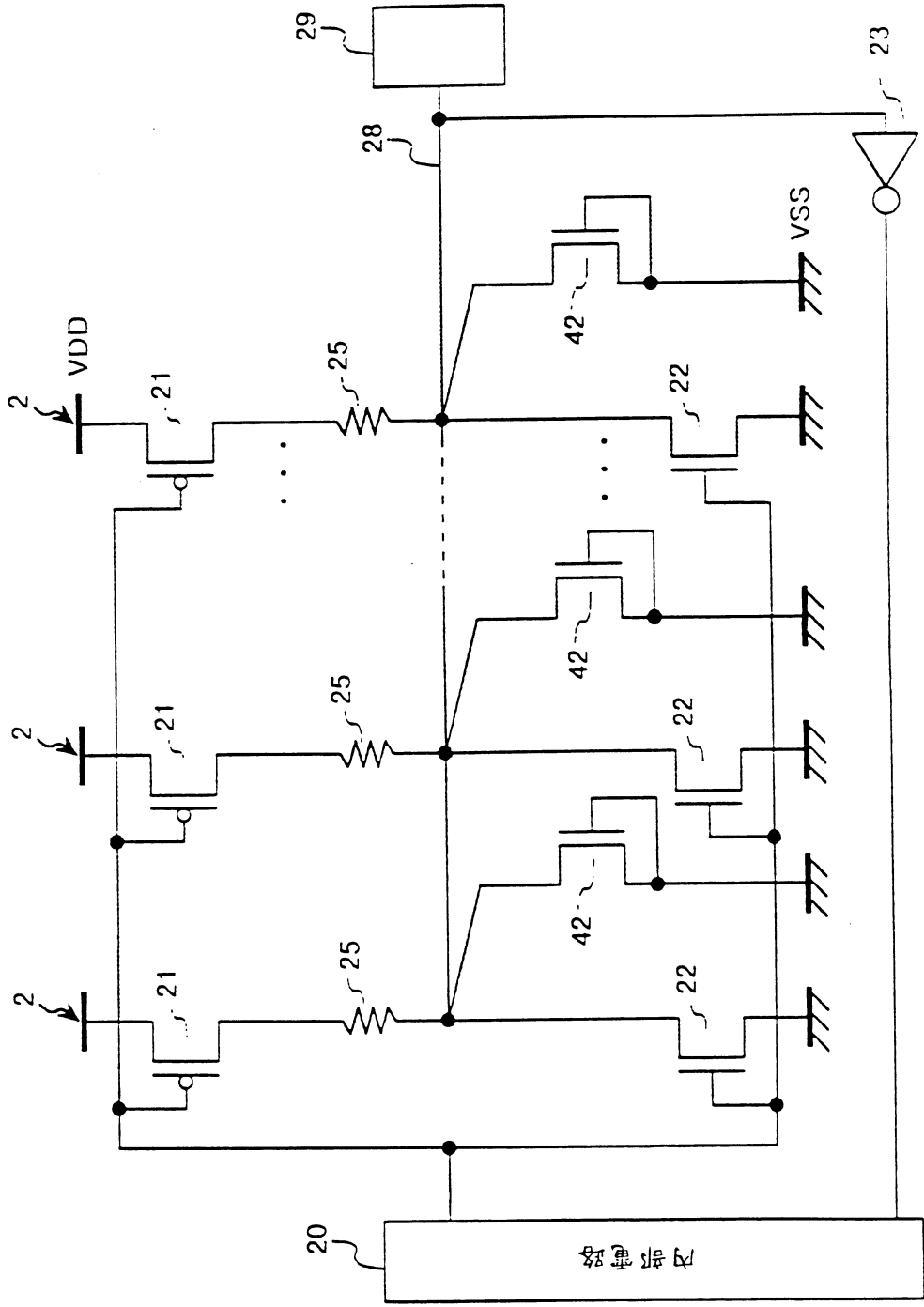
第 19 圖



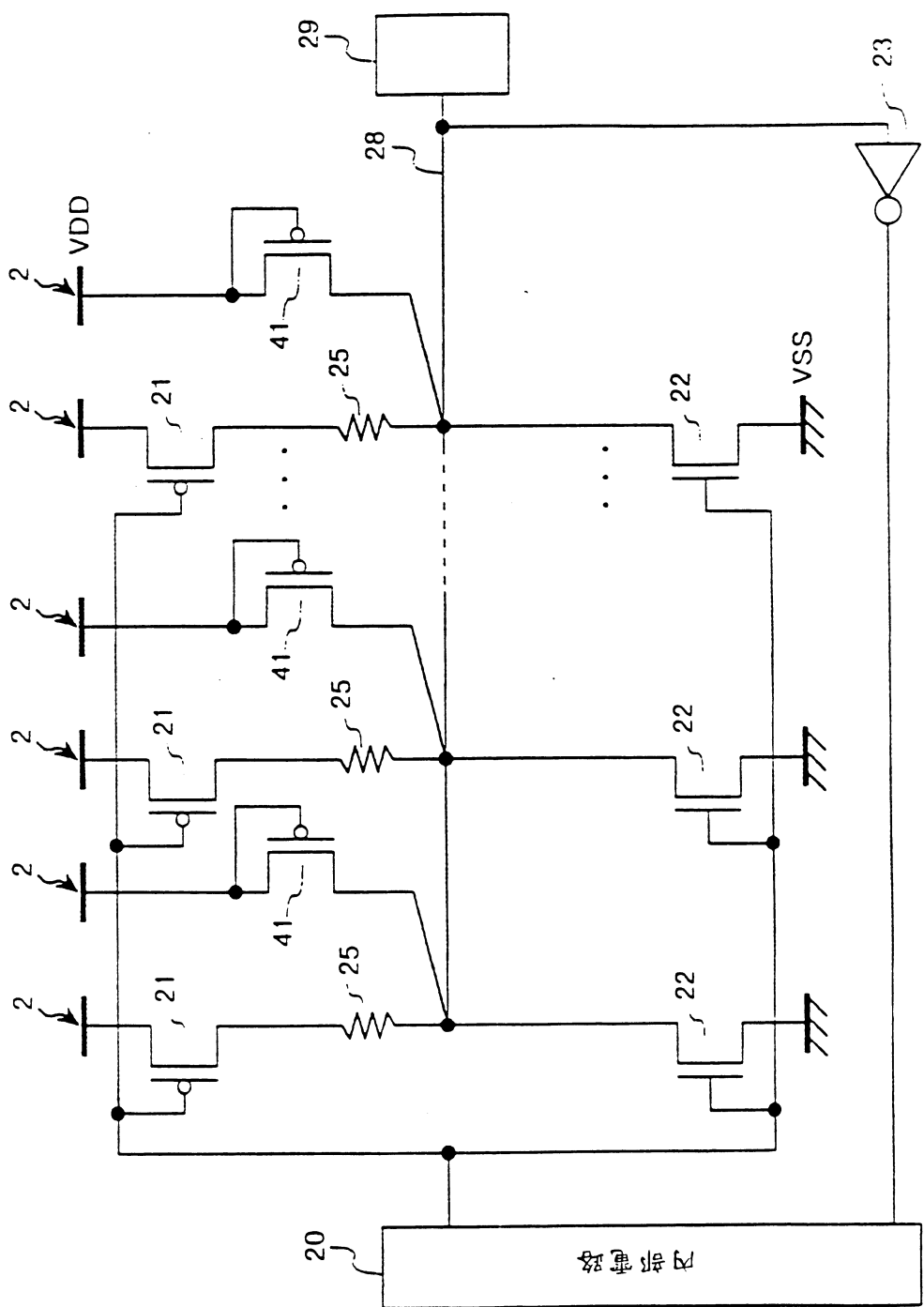
第 20 圖



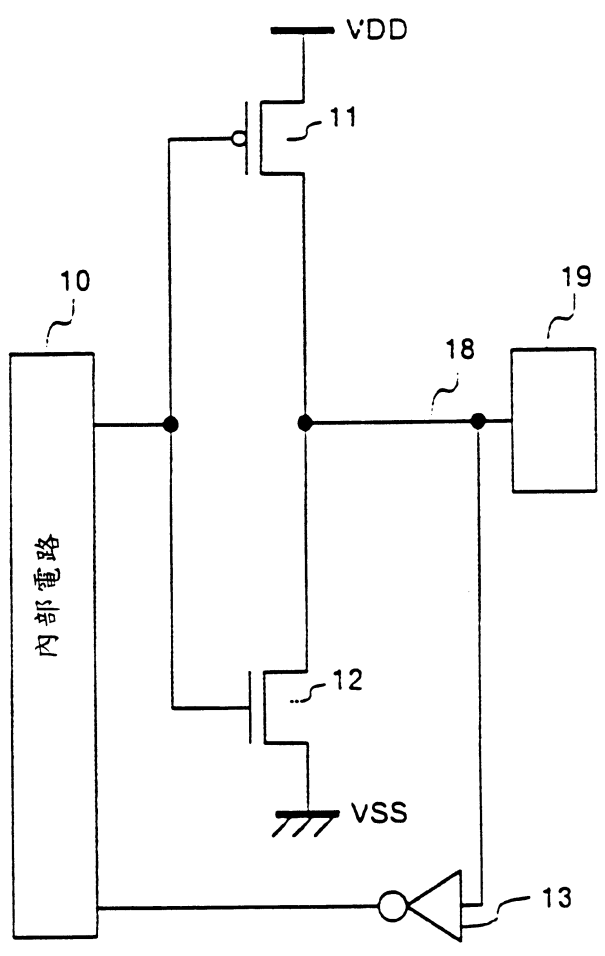
第 21 圖



第 22 圖



第 23 圖



第 2 4 圖

