

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2020년 1월 30일 (30.01.2020)



(10) 국제공개번호
WO 2020/021301 A1

- (51) 국제특허분류: H01L 27/15 (2006.01) H01L 33/48 (2010.01) H01L 29/786 (2006.01)
- (21) 국제출원번호: PCT/IB2018/055445
- (22) 국제출원일: 2018년 7월 22일 (22.07.2018)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (72) 발명자; 겸
- (71) 출원인: 박진성 (PARK, Jin Sung) [KR/KR]; 41430 대구시 북구 동천동 950 화성센트럴파크 대천로 100, 208동 307호, Daegu (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

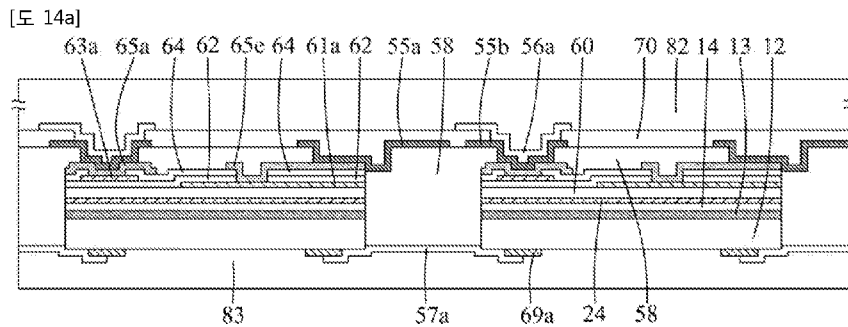
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서와 함께 (조약 제21조(3))
- 흑백; 출원 시의 국제출원에 색상 또는 회색 톤이 포함되어 있으며 PATENTSCOPE에서 다운로드 가능

(54) Title: LED DISPLAY DEVICE, LED MODULE, AND LED TRANSFER METHOD USING LASER

(54) 발명의 명칭: LED 디스플레이 장치, LED 모듈 및 레이저를 이용한 LED 전사 방법



(57) Abstract: An LED display device has LEDs including a first semiconductor layer (12), a second semiconductor layer (14), and an active layer (13), a second electrode layer (24) connected to the second semiconductor layer (14), a buffer layer (60) formed on the second electrode layer (24), and one TFT or one or more TFTs and one or more capacitors formed on the buffer layer (60), has a TFT LED assembly having a pixel circuit for each LED by including scan lines 1 (61a), data lines 1 (65a), one or more common electrode lines 1 (69a), and an insulating layer 4 formed to fill the spaces between the LEDs, allows TFT LED good products to be sorted, has TFT light-emitting elements including independent pixel circuits while the insulating layer 4 is removed through singulation, allows the TFT light-emitting elements of good products in at least one color to be moved and horizontally arranged, and includes an insulating layer 5 (58) formed to fill the space between the horizontally arranged TFT light-emitting elements, scan lines 2 (55a) connected to the scan lines 1 (61a), data lines 2 (56a) connected to the data lines 1 (65a), one or more common electrode lines 2 (57a) connected to the one or more common electrode lines 1 (69a), and protective layers (82, 83) formed on upper and lower surfaces.

WO 2020/021301 A1

(57) 요약서: LED 디스플레이 장치는 제1, 제2 반도체층 및 활성층(12, 14, 13)을 포함하는 LED들, 제2 반도체층(14)과 연결된 제2 전극층(24), 제2 전극층(24) 상에 형성된 버퍼층(60), 버퍼층(60) 상에 하나의 TFT 또는 하나 이상의 TFT와 하나 이상의 캐패시터가 형성되며, 주사선 1(61a)들, 데이터선 1(65a)들, 하나 이상의 공통 전극선 1(69a) 및 각 LED들 사이 공간을 충전하면서 형성된 절연층 4을 포함하여 각 LED에 픽셀회로가 구비된 TFT LED 집합체를 형성하고, TFT LED 양품들을 선별하고, 싱글레이션으로 상기 절연층 4는 제거되면서 독립된 픽셀회로를 포함하는 TFT 발광소자를 형성하고, 한가지 색 이상의 양품의 상기 TFT 발광소자들이 이동하여 수평 배치되며, 상기 수평 배치된 TFT 발광소자들 사이 공간을 충전하면서 형성된 절연층 5(58), 주사선 1(61a)들과 연결된 주사선 2(55a)들, 데이터선 1(65a)들과 연결된 데이터선 2(56a)들, 하나 이상의 공통 전극선 1(69a)과 연결된 하나 이상의 공통 전극선 2(57a) 및 상하면에 형성된 보호층들(82, 83)을 포함한다.

LED 디스플레이 장치, LED 모듈 및 레이저를 이용한 LED 전사 방법

[기술분야]

본 발명은 LED(Light Emitting Diode) 디스플레이 장치, 조명 등의 발광 장치에 적용될 수 있는 LED
5 모듈 및 이를 제조하는 데 적용될 수 있는 레이저를 이용한 LED 전사 방법에 관한 것이다.

[배경기술]

마이크로(Micro) LED 디스플레이 장치가 종래의 액정 및 OLED 디스플레이 장치에 비해 우수한
성능을 가질 수 있는 것으로 알려지면서 많은 연구가 진행되고 있는데, LED 디스플레이 장치는 LED들을
10 백플레인(Backplane)에 실장하는 방법으로 개발되고 있다.

LED의 어느 한 전극층과 백플레인의 화소전극을 솔더링하여 LED들이 백플레인에 실장되는 경우
상기 전극층과 화소전극에 수 마이크로 미터 두께의 솔더링층이 포함될 수도 있다. 그래서 상기
전극층은 오믹 컨택(Ohmic Contact)층과 솔더링층이 포함되고, 화소전극도 솔더링층이 더 포함된다.
또한, 솔더링층 때문에 상기 전극층과 화소전극을 통해 빛이 방출될 수 없기 때문에 빛 방출 방향에 대한
15 설계 자유도가 떨어지고 백플레인으로 인해 디스플레이 장치의 두께를 더 낮추기에 어려움이 있다.

점착성 롤(Roll) 및 스탬프(Stamp) 전사 기술을 적용하는 경우 백플레인에 LED들을 접합하기 위해
백플레인에 접합층이 필요할 수도 있고, 접합층이 차지하는 공간 및 LED들을 회로 연결하기 위한 공간
때문에 픽셀 밀도가 떨어질 수도 있고, 또한 수직형 발광소자의 어느 한 전극층은 LED와 접합층 사이에
위치해 가려지기 때문에 성능이 우수하다고 알려진 수직형 발광소자로 LED 디스플레이 장치를 형성하기
20 곤란할 수도 있다.

종래의 전형적인 LED 모듈(Module)은 에피 웨이퍼로 LED 패키지(Package)에 적용될 LED 칩(Chip)을
형성하고, LED 칩을 조립하여 형성된 LED 패키지, LED 패키지들을 인쇄회로기판(이하 PCB)에 실장하여
LED 모듈이 제조되기 때문에 아주 복잡한 과정을 거치고 경박단소가 곤란하다.

LED를 백플레인 또는 기판에 접합하는 전사 기술은 LED 수율 문제로 인해 적용되고, 또한 적, 녹 및
25 청색 LED들을 조합하여 백플레인 또는 기판에 배치하기 위해 필요할 수도 있다. LED 전사 기술은 높은
위치 정밀도가 요구되는데, 레이저를 이용한 전사 기술은 다른 전사 기술에 비해 높은 생산성을
가지지만 다른 전사 기술과 마찬가지로 위치 정밀도에 대한 성능 향상이 필요할 수도 있다.

[발명의 개시]

30 백플레인 또는 PCB를 적용하기 때문에 발생하는 상술한 문제점들을 해결하기 위해 본 발명은
백플레인 없이 제조되는 LED 디스플레이 장치, LED 패키지와 PCB 없이 제조되는 LED 모듈과 그
디스플레이 장치와 LED 모듈 제조에 적용될 수 있는 전사 방법으로 발광소자 이동 중 회전 및
기울어짐을 최소화할 수 있는 레이저 전사 방법을 제공한다.

본 발명의 일 실시예에 따른 디스플레이 장치는 제1 반도체층, 제2 반도체층 및 상기 반도체층들 사이에 배치된 활성층을 포함하는 복수개의 LED들, 상기 LED들 사이 공간을 충전하면서 형성된 절연층 1과 상기 제1 및 제2 반도체층 각각과 연결된 제1 및 제2 전극층을 포함하여 LED 집합체를 형성하고, 상기 LED 집합체에 대해 전기/광학시험을 하여 LED 양품들을 선별하고, 싱글레이션으로 상기 절연층 1이 제거되며 상기 제1 및 제2 전극층 중 어느 하나 또는 둘 다 패턴되어 상기 각 LED에 독립되게 형성된 제1 및 제2 전극층과 상기 제1, 제2 반도체층 및 활성층이 포함된 발광소자를 형성하고, 한가지 색 이상의 양품의 상기 발광소자들을 이동하여 수평 배치된 발광소자들, 상기 수평 배치된 발광소자들 사이 공간을 충전하면서 형성된 절연층 2, 상기 각 발광소자에 포함된 상기 제1 및 제2 전극층 각각을 연결하며, 상기 수평 배치된 발광소자들과 절연층 2을 사이에 두고 서로 교차하며, 터미널을 포함하며, 나열되게 패턴된 제1 및 제2 회로층 및 상기 터미널들을 노출시키면서 최외곽 상하면 각각에 형성된 보호층들을 포함한다.

본 발명의 또 다른 실시예에 따른 디스플레이 장치는 상기 수평 배치된 발광소자들, 상기 절연층 2, 상기 제1 및 제2 회로층을 포함하는 적, 녹, 청색 각각의 PM 발광소자 집합체가 적층되며, 상기 적, 녹 및 청색 PM 발광소자 집합체 중 어느 한가지 색의 1층 PM 발광소자 집합체와 다른 한가지 색의 2층 PM 발광소자 집합체를 접합하는 1/2층 접합층 및 나머지 색의 3층 PM 발광소자 집합체와 상기 2층 PM 발광소자 집합체를 접합하는 2/3층 접합층을 더 포함한다.

본 발명의 또 다른 실시예에 따른 디스플레이 장치는 상기 수평 배치된 발광소자들, 상기 절연층 2, 상기 제1 및 제2 회로층을 포함하는 적, 녹 및 청색 중 어느 두가지 색의 이원색 PM 발광소자 집합체와 나머지 한가지 색의 단색 PM 발광소자 집합체가 적층되며, 상기 이원색 PM 발광소자 집합체와 상기 단색 PM 발광소자 집합체를 접합하는 1/2층 접합층을 더 포함한다.

본 발명의 또 다른 실시예에 따른 디스플레이 장치는 제1 반도체층, 제2 반도체층 및 상기 반도체층들 사이에 배치된 활성층을 포함하는 복수개의 LED들, 상기 LED들 사이 공간을 충전하면서 형성된 절연층 1과 상기 제1 및 제2 반도체층 각각과 연결되며, 상기 LED들과 절연층 1을 사이에 두고 서로 교차하며, 터미널을 포함하며, 나열되게 패턴된 제1 및 제2 전극층을 포함하는 적, 녹 및 청색 각각의 LED 집합체, 적, 녹 및 청색 각각의 상기 LED 집합체 중 어느 한가지 색의 1층 LED 집합체와 다른 한가지 색의 2층 LED 집합체를 접합하는 1/2층 접합층, 나머지 색의 3층 LED 집합체와 상기 2층 LED 집합체를 접합하는 2/3층 접합층 및 상기 터미널들을 노출하면서 최외곽 상하면 각각에 형성된 보호층들을 포함한다.

본 발명의 또 다른 실시예에 따른 디스플레이 장치는 제1 반도체층, 제2 반도체층 및 상기 반도체층들 사이에 배치된 활성층을 포함하는 복수개의 LED들, 상기 각 LED의 제2 반도체층과 연결된 제2 전극층, 상기 제2 전극층 상에 형성된 버퍼층, 상기 각 LED의 버퍼층 상에 하나의 TFT 또는 하나 이상의 TFT와 하나 이상의 캐패시터가 형성되며, 복수개의 주사선 1들, 복수개의 데이터선 1들, 하나 이상의 공통 전극선 1 및 상기 각 LED들 사이 공간을 충전하면서 형성된 절연층 4을 포함하여 상기 각 LED에 픽셀회로가 구비된 TFT LED 집합체를 형성하고, 상기 TFT LED 집합체에 대해 전기/광학시험을 하여 TFT

LED 양품들을 선별하고, 싱글레이션으로 상기 절연층 4는 제거되며 상기 주사선 1들, 데이터선 1들 및 하나 이상의 공통 전극선 1이 상기 각 LED에 독립되게 패턴되어 TFT 발광소자를 형성하고, 한가지 색 이상의 양품의 상기 TFT 발광소자들을 이동하여 수평 배치된 TFT 발광소자들, 상기 수평 배치된 TFT 발광소자들 사이 공간을 충전하면서 형성된 절연층 5, 상기 수평 배치된 각 TFT 발광소자에 포함된 상기 주사선 1들과 연결된 복수개의 주사선 2들, 상기 수평 배치된 각 TFT 발광소자에 포함된 상기 데이터선 1들과 연결된 복수개의 데이터선 2들, 상기 수평 배치된 각 TFT 발광소자에 포함된 상기 하나 이상의 공통 전극선 1과 연결된 하나 이상의 공통 전극선 2 및 상기 주사선 2들, 데이터선 2들 및 하나 이상의 공통 전극선 2의 각 선은 터미널을 포함하며, 서로 절연되면서 상기 주사선 2들과 데이터선 2들이 서로 교차되며, 상기 터미널들을 노출하면서 최외곽 상하면 각각에 형성된 보호층들을 포함한다.

본 발명의 또 다른 실시예에 따른 상기 수평 배치된 TFT 발광소자들, 상기 절연층 5, 상기 복수개의 주사선 2들, 상기 복수개의 데이터선 2들 및 상기 하나 이상의 공통 전극선 2를 포함하는 적, 녹 및 청색 각각의 TFT 발광소자 집합체가 적층되며, 적, 녹 및 청색 각각의 상기 TFT 발광소자 집합체 중 어느 한가지 색의 1층 TFT 발광소자 집합체와 다른 한가지 색의 2층 TFT 발광소자 집합체를 접합하는 1/2층 접합층 및 나머지 색의 3층 TFT 발광소자 집합체와 상기 2층 TFT 발광소자 집합체를 접합하는 2/3층 접합층을 더 포함한다.

본 발명의 또 다른 실시예에 따른 디스플레이 장치는 상기 수평 배치된 TFT 발광소자들, 상기 절연층 5, 상기 복수개의 주사선 2들, 상기 복수개의 데이터선 2들 및 상기 하나 이상의 공통 전극선 2를 포함하는 적, 녹 및 청색 중 어느 두가지 색의 이원색 TFT 발광소자 집합체와 나머지 한가지 색의 단색 TFT 발광소자 집합체가 적층되며, 상기 이원색 TFT 발광소자 집합체와 상기 단색 TFT 발광소자 집합체를 접합하는 1/2층 접합층을 더 포함한다.

본 발명의 또 다른 실시예에 따른 디스플레이 장치는 제1 반도체층, 제2 반도체층 및 상기 반도체층들 사이에 배치된 활성층을 포함하는 복수개의 LED들, 상기 각 LED의 제2 반도체층과 연결된 제2 전극층, 상기 제2 전극층 상에 형성된 버퍼층, 상기 각 LED의 버퍼층 상에 하나의 TFT 또는 하나 이상의 TFT와 하나 이상의 캐패시터가 형성되며, 복수개의 주사선 1들, 복수개의 데이터선 1들, 하나 이상의 공통 전극선 1 및 상기 각 LED들 사이 공간을 충전하면서 형성된 절연층 4을 포함하여 상기 각 LED에 픽셀회로가 구비된 적, 녹 및 청색 각각의 TFT LED 집합체, 상기 각 주사선 1, 각 데이터선 1 및 하나 이상의 공통 전극선 1은 터미널을 포함하며, 적, 녹 및 청색 각각의 상기 TFT LED 집합체 중 어느 한가지 색의 1층 TFT LED 집합체와 다른 한가지 색의 2층 TFT LED 집합체를 접합하는 1/2층 접합층, 나머지 색의 3층 TFT LED 집합체와 상기 2층 TFT LED 집합체를 접합하는 2/3층 접합층 및 상기 터미널들을 노출하면서 최외곽 상하면 각각에 형성된 보호층들을 포함한다.

상술한 TFT 발광소자로 형성된 각 디스플레이 장치는 주사선 2들이 형성된 층과 데이터선 2들이 형성된 층 사이에 배치된 층간 절연층을 더 포함할 수도 있다. 또한, 상술한 각 디스플레이 장치는 각 LED의 측면을 둘러싸는 측벽 미러를 더 포함할 수도 있다.

본 발명은 도너 기판에 분리 가능 접합층을 포함해 형성된 발광소자들 사이에 안내벽을 형성하고, 분리 가능 접합층에 레이저 빔을 조사하여 발광소자가 이동될 때 안내벽은 발광소자가 이동 중에 회전 및 기울어짐을 제한하는 역할을 하면서 접수 기판에 발광소자를 전사하는 레이저 전사 방법을 제공한다. 또한, 상기 안내벽을 가리며, 레이저 빔이 투과되는 투과 영역이 패턴되면서 상기 도너 기판에 형성된 원도우층을 더 포함하여 상기 투과 영역을 통해 레이저 빔이 분리 가능 접합층에 조사되는 레이저 전사 방법을 제공한다.

본 발명의 일 실시예에 따른 LED 모듈은 제1 반도체층, 제2 반도체층 및 상기 반도체층들 사이에 배치된 활성층을 포함하는 복수개의 LED들, 상기 LED들 사이 공간을 충전하면서 형성된 절연층 1 및 상기 제1 및 제2 반도체층 각각과 연결된 제1 및 제2 전극층을 포함하여 LED 집합체를 형성하고, 상기 LED 집합체에 대해 전기/광학시험을 하여 LED 양품들을 선별하고, 싱글레이션으로 상기 절연층 1이 제거되며 상기 제1 및 제2 전극층 중 어느 하나 또는 둘 다 패턴되어 상기 각 LED에 독립되게 형성된 제1 및 제2 전극층과 상기 제1, 제2 반도체층 및 활성층이 포함된 발광소자를 형성하고, 한가지 색 이상의 양품의 상기 발광소자들을 이동하여 수평 배치된 발광소자들, 상기 수평 배치된 발광소자들 사이 공간을 충전하면서 형성된 절연층 2, 상기 각 발광소자에 포함된 상기 제1 및 제2 전극층 각각을 연결하며, 상기 수평 배치된 발광소자들은 전기적으로 직렬 연결, 병렬 연결 또는 직렬과 병렬이 조합된 연결이 되며, 터미널을 포함하는 제1 및 제2 회로층, 및 상기 터미널들을 노출시키면서 상하면 각각에 형성된 보호층들을 포함한다.

본 발명의 또 다른 실시예에 따른 LED 모듈은 제1 반도체층, 제2 반도체층 및 상기 반도체층들 사이에 배치된 활성층을 포함하는 복수개의 LED들, 상기 LED들 사이 공간을 충전하면서 형성된 절연층 1 및 상기 제1 및 제2 반도체층 각각과 연결된 제1 및 제2 전극층을 포함하여 LED 집합체를 형성하고, 상기 LED 집합체에 대해 전기/광학시험을 하여 LED 양품들을 선별하고, 싱글레이션으로 상기 절연층 1이 제거되며 상기 제1 및 제2 전극층 중 최소 어느 하나 또는 둘 다 패턴되어 상기 각 LED에 독립되게 형성된 제1 및 제2 전극층과 상기 제1, 제2 반도체층 및 활성층이 포함된 발광소자를 형성하고, 한가지 색 또는 두가지 색의 양품 발광소자들을 이동하여 수평 배치된 발광소자들, 상기 수평 배치된 발광소자들 사이 공간을 충전하면서 형성된 절연층 2, 상기 각 발광소자에 포함된 상기 제1 및 제2 전극층 각각을 연결하며, 상기 수평 배치된 발광소자들은 전기적으로 직렬 연결, 병렬 연결 또는 직렬과 병렬이 조합된 연결이 되며, 터미널을 포함하는 제1 및 제2 회로층, 및 상기 터미널들을 노출시키면서 빛이 방출되는 면에 형성된 형광체층과 반대면에 형성된 보호층을 포함한다.

상술한 각 LED 모듈은 각 LED의 측면을 둘러싸는 측벽 미러를 더 포함할 수도 있다.

본 발명의 디스플레이 장치들은 백플레인이 필요 없기 때문에 가볍고 얇은 두께가 가능하며, 빛 방출 방향에 대한 제약이 없는 특징을 가지며, 또한 LED 크기와 발광면적 크기가 동일한 수직형 발광소자들로 디스플레이 장치들이 형성될 수 있는 특징을 가진다. 발광소자들에 바로 회로층을 형성하여 제조되는 본 발명의 LED 모듈들은 LED 패키지 및 PCB가 필요없기 때문에 공정을 간소화할 수 있고 경박단소화가

가능하다. LED 디스플레이 장치 및 LED 모듈 제조에 적용될 수 있는 본 발명의 레이저 전사 방법은 발광소자들 사이에 형성된 안내벽으로 발광소자가 이동 중에 회전 및 기울어짐을 최소화할 수 있다.

[도면의 간단한 설명]

- 5 본 발명의 바람직한 실시예들을 설명하기 위해 참조된 도면들로;
 도 1은 에피 웨이퍼의 단면도,
 도 2a에서 도 3까지는 PM LED 집합체 형성 과정을 보여주는 도면들,
 도 4a와 도 4b는 일 실시예에 따른 발광소자를 형성하기 위한 싱글레이션 과정을 보여주는 단면도들,
 도 5a에서 도 5f까지는 발광소자들을 이동하여 캐리어 판넬에 접합하는 과정을 보여주는 단면도들
 10 도 6a에서 도 7까지는 PM 디스플레이 장치 형성 과정을 보여주는 도면들,
 도 8에서 도 9b까지는 LED 모듈에 대한 단면도들,
 도 10a 및 도 10b 측면 미러를 더 포함하는 디스플레이 장치 형성 과정을 보여주는 단면도들,
 도 11a에서 도 12e까지는 TFT 발광소자 형성 과정을 보여주는 도면들,
 도 12f와 도 12g는 TFT 발광소자들을 캐리어 판넬에 이동하여 접합한 후의 도면들,
 15 도 13a에서 도 14b까지는 TFT 발광소자로 AM 디스플레이 장치를 형성하는 과정을 보여주는 도면들,
 도 15a에서 도 15e까지는 불투명 제1 반도체층이 더 포함된 디스플레이 장치 형성 과정의 단면도들,
 도 16a에서 도 19d까지는 적층형 디스플레이 장치들을 형성하는 과정을 보여주는 도면들 및
 도 20a에서 도 20c까지는 레이저 전사 방법을 보여주는 도면들이다.

20 [발명의 실시를 위한 최선의 형태]

첨부 도면들을 참조하여 본 발명의 바람직한 실시 예들이 설명된다. 그 도면들은 과장하거나 간략화하여 도시한 것들로 각 구성요소의 실제 크기 및 두께와 일치하지 않고, 또한 각 구성요소의 모양 및 형태는 변형 가능한 것으로 이해되어야 한다.

- 본 발명에서 제1, 제2의 용어 및 어떤 구성요소의 명칭에 번호가 함께 부여된 것은 한정적 의미가
 25 아니라 구성요소들을 구분할 목적으로 사용되고 단수의 용어는 복수의 의미를 포함할 수도 있다. 이에 이들 용어들로 본 발명을 한정하지 않는다. 또한, 명시된 수치들은 전형적인 값을 의미하는 것으로 그 수치로 본 발명을 한정하지 않는다.

- 본 발명의 각 구성요소는 하나의 물질, 여러 물질이 혼합된 물질 또는 화합물로 형성된 하나의 층
 또는 다중 층일 수도 있다. 또한, 어떤 구성요소에 대해 물질이 명시된 경우라 할지라도 그 물질로만 본
 30 발명을 한정하지 않으며 명시된 물질외에 유사한 다른 물질이 적용될 수도 있다.

본 발명에서 어떤 구성요소가 어떤 다른 구성요소에 성장/형성/증착/코팅/도포/본딩/접합된다 등의 의미로 설명될 때 또 다른 구성요소 없이 그 해당 구성요소들만에 대한 관계를 나타낼 수도 있고, 또는 그 해당 구성요소들 사이에 하나 이상의 또 다른 구성요소의 일부분 또는 전체가 포함될 수도 있다.

어떤 구성 요소가 다른 구성 요소와 연결, 접합 또는 본딩되어 있다는 의미로 서술될 때 해당 구성요소들이 직접 연결, 접합 또는 본딩된 경우뿐 아니라, 하나 이상의 또 다른 구성 요소를 통해서 연결되는 간접 연결, 접합 또는 본딩의 경우일 수도 있다.

5 뿐만 아니라, 한 구성요소가 두가지 이상의 부분으로 구성될 때 어느 한 부분을 연결 또는 포함한다는 의미로 서술될 수도 있다. 예를 들면, 주사선이 게이트를 형성하면서 연장되어 이어져 형성된 하나의 회로선인 경우에도 게이트와 연결된 주사선 또는 게이트가 포함된 주사선이라고 서술될 수도 있다.

한편, 본 발명에서 어떤 구성요소를 포함하다 또는 구비하다의 의미로 서술될 때 해당 구성요소가 존재함을 의미하는 것이고 하나 이상의 다른 구성요소가 부가될 가능성을 배제하는 것은 아니다.

10 본 발명의 실시예들에서 설명된 공정 수순이 아니라 여러 다른 공정 수순으로 구성요소들이 형성될 수도 있다. 그래서 본 발명에서 설명된 공정 수순은 하나의 예로 이해되어야 하고 본 발명을 특정 공정 수순으로 한정하지 않는다.

본 발명의 실시예들을 설명함에 있어서 LED라는 용어는 성장기판에 형성된 에피층(Epitaxial Layer)들로만 구성된 구조를 의미하거나, 에피층을 가공하면서 발광소자의 구성요소들을 형성하는 과정 중에 형성된 해당 구성요소들을 통칭하는 의미로 사용될 수도 있다. 에피층 가공 및 발광소자의 모든 15 구성요소들의 형성이 완료되면 그 구성요소들 전부를 통칭하기 위해 발광소자라는 용어를 사용한다. 하지만, 본 발명에서 LED와 발광소자는 해당 산업분야에서의 통상적 의미의 용어로 사용될 수도 있다.

본 발명에서 전기/광학시험 탐침이 가능한 크기의 전극층을 개별 LED에 형성할 수 있는 크기의 LED를 소형 LED로, 탐침 가능 크기의 전극층을 형성하기 곤란한 크기의 LED를 초소형 LED로 구분한다.

20 도 1은 에피 웨이퍼의 단면도로 성장기판(10)에 성장된 에피층(15)은 버퍼 에피층(11), 제1 반도체층(12), 제2 반도체층(14), 제1 및 제2 반도체층 사이에 형성된 활성층(13)을 포함한다. 상기 에피층들이 포함된 LED는 적, 녹 또는 청색의 LED일 수 있지만, 본 발명을 특정 파장대의 LED로 한정하는 것은 아니다.

에피층은 상기 에피층들(11, 12, 13, 14)외에 다른 에피층이 더 포함될 수도 있다. 예컨대, Undoped-GaN 층, Electron Blocking 층, Cladding 층, Etch Stop 층 등이 더 포함될 수도 있다. 그뿐만 아니라 버퍼 25 에피층(11)을 포함하지 않을 수도 있다. 전형적으로 제1 반도체층(12)은 n형 반도체이고 제2 반도체층(14)은 p형 반도체이지만 반대로 형성될 수도 있다.

30 설명의 용이성을 위해 에피층(15)과 성장기판(10)을 포함하고 있는 도 1을 에피 웨이퍼라고 칭할 수도 있고, 구성요소를 추가 형성, 성장기판(10)을 제거 및 에피층(15)을 가공 등의 발광소자를 형성하는 과정 중에도 통칭하기 위해 에피 웨이퍼라고 칭할 수도 있다. 또한, 에피층 및 LED라는 용어는 발광소자, 디스플레이 장치 및 LED 모듈의 형성 과정 중에 일부 에피층이 제거된 후에 남아 있는 에피층들을 통칭하는 의미로 사용될 수도 있다.

도 2a에서 도 4b까지는 패시브 매트릭스(Passive Matrix, 이하 PM) 디스플레이 장치와 LED 모듈에 적용될 발광소자의 형성 과정을 보여주는 단면도와 평면도들이다. 그 단면도들은 2개의 LED를 보여준다.

도 2a에서 도 2g까지의 도면을 참조하면, 제2 반도체층(14)에 제2 전극층(24)를 증착 및 패터닝하고, 분리 가능 접합층(25)을 에피 웨이퍼에 코팅하고 캐리어(Carrier) 기판(20)과 웨이퍼 본딩하고, 성장기판(10)과 버퍼 에피층(11)을 제거하여 제1 반도체층(12)을 노출시킨다. 제1 반도체층(12)은 에칭으로 그 두께를 줄일 수도 있다. 다음으로 에피층을 에칭하여 패터닝하고, 절연층 1(26)을 코팅하고
5 에치백(Etch Back)으로 제1 반도체층(12)을 노출시키면서 절연층 1(26)을 패터닝한다. 여기서 절연층 1(26)은 에치백 전에 평탄화될 수도 있다. 이어서 제1 반도체층(12)과 연결되는 제1 전극층(22)을 증착하고 빛이 방출될 수 있게 제1 반도체층(12)을 부분적으로 노출시키면서 패터닝한다.

평면도인 도 2h를 참조하면, 상술한 공정을 통해 각 LED의 제1/제2 반도체층(12/14) 각각과 연결된 제1/제2 전극층(22/24)은 끝단에 전기/광학시험을 위한 탐침 패드들이 형성되며 에피층과 절연층
10 1(26)을 사이에 두고 서로 교차되게 배치된다. 제1 전극층(22) 형성 후 절연층 1(26)을 패터닝하여 제2 전극층(24)의 탐침 패드 부분을 노출시키면 PM LED 집합체(200)가 형성된다.

절연층 1(26)의 패터닝을 달리하여 제2 전극층(24)의 탐침 패드들을 절연층 1(26)에 형성할 수도 있다. 즉, LED 외부 영역에 제2 전극층(24)들을 부분적으로 노출시키기 위한 비아(Via)들을 포함하여 절연층
15 1(26)을 패터닝하고, 그 비아들을 통해 제2 전극층(24)의 노출 부분들과 연결되는 탐침 패드들을 절연층 1(26)에 제1 전극층(22) 일부분으로 형성할 수도 있다.

소형 LED 경우 상술한 PM LED 집합체(200)를 전기/광학시험 하여 개별 LED들에 대해 양품과 불량품을 선별할 수 있으며, 도 3과 같이 캐리어 기판(20)에 다수의 PM LED 집합체(200)들이 배치되고 각 PM LED 집합체(200)에 형성된 탐침 패드들에 탐침(Probe Tip)들을 접촉하여 전기/광학시험을 한다.

소형 LED 경우 탐침 패드의 공간을 줄여 LED 집적도 높이기 위해서 제2 전극층을 제2 반도체층에
20 증착하고 패터닝 없이 상술한 웨이퍼 본딩, 성장기판 제거 및 제1 반도체층 노출, 에피층 패터닝과 절연층 1을 코팅하고, 다음으로 절연층 1을 패터닝하여 제1 반도체층과 에피 웨이퍼 가장자리 영역에 제2 전극층 일부를 노출시키고, 제1 전극층을 증착 및 패터닝하여 각 LED에 독립되게 제1 전극층이 형성되면서 노출된 제2 전극층과 연결된 제2 전극층의 탐침 패드는 제1 전극층 일부분으로 형성된다. 그러면, 패터닝 없이 형성된 제2 전극층은 모든 소형 LED들의 제2 반도체층들과 연결되어 있고 에피층 및 제1 반도체층과
25 연결된 제1 전극층은 LED들 간에 분리되어 있다. 제2 전극층의 탐침은 고정되고 각 LED의 제1 전극층을 탐침하여 전기/광학시험을 할 수 있다. 하지만, 소형 LED 경우도 상술한 PM LED 집합체(200)를 형성하고 전기/광학시험을 할 수도 있다.

수 백만개 LED들이 필요한 디스플레이 장치의 경우 LED 불량률이 0.01%정도에도 수 만개의 불량화소가 발생할 수 있기 때문에 전기/광학시험 및 육안검사를 통해 LED 단위로 양품을 선별하지 않고
30 제조된 디스플레이 장치는 수 많은 불량 LED들이 포함될 수 있어서 수율 문제가 발생할 수도 있다.

LED의 전류 흐름(Current Spread)이 더 우수하고, LED 크기와 활성층 크기를 동일하게 할 수 있어 LED 크기 대비 발광 면적 효율이 높다고 알려진 수직형 발광소자를 적용하여 디스플레이 장치들 및 LED 모듈들을 형성하는 것으로 본 발명의 실시예들이 설명된다. 그런데, LED 사이의 간격을 최소화하여

집적도를 높일 수 있으며 LED 크기와 활성층 크기가 동일한 구조의 수직형 발광소자 경우 기판에 발광소자를 접합한 후에 서로 반대쪽 방향의 각 면에 형성된 제1/제2 전극층 중 하나는 에피층에 가려지므로 에피층에 가려진 전극층의 탐침 패드를 LED 외부 영역에 형성하지 않으면 전기/광학시험을 할 수 없게 될 수도 있다. 또한, 초소형 LED는 탐침 가능한 크기의 전극층을 각 LED에 형성할 수 없을 정도로 작기 때문에 LED 외부 영역에 탐침 패드를 형성하여야 전기/광학시험을 할 수 있게 된다.

그래서 상술한 이유들로 전기/광학시험을 위한 구조를 먼저 형성하고 전기/광학시험 후 최종적으로 완성된 수직형 발광소자를 형성하는 것으로 본 발명의 일부 실시예들을 설명한다. 전기/광학시험과 공정 중 및 최종 육안검사를 통해 선별된 양품의 수직형 발광소자들만으로 디스플레이 장치 및 LED 모듈을 형성하는 과정으로 본 발명의 일부 실시예들을 설명한다.

도 4a와 도 4b를 참조하면, 전기/광학시험 후 감광성 물질로 에치 마스크층(81)을 형성하고, 제1 전극층(22)을 각 LED에 독립되게 패터닝하고, 절연층 1(26)을 에칭으로 제거하고, LED들 사이 제2 전극층(24)의 노출 부분을 에칭하고, 분리 가능 접합층(25)을 에칭하여 싱글레이션(Singulation)한다. 절연층 1(26)과 분리 가능 접합층(25)은 폴리머(Polymer)로 불소를 함유한 가스들로 에칭이 될 수 있고 에피층들은 불소를 함유한 가스들로는 거의 에칭이 되지 않기 때문에 에피층은 절연층 1(26)과 분리 가능 접합층(25)의 에치 마스크 역할을 할 수도 있다. 다음으로 에치 마스크층(81)을 제거하면 발광소자들이 형성된다. 발광소자들에 대해 육안검사를 실시하여 육안 불량량의 불량품들을 추가로 선별할 수도 있다. 여기서 분리 가능 접합층(25)은 싱글레이션이 되지 않은 상태로 남겨 둘 수도 있다.

상술한 바와 같이 소형 LED는 제1 전극층을 각 LED에 독립되게 형성된 상태에서 각 LED의 제1 전극층을 바로 탐침하여 전기/광학시험을 하고, 에치 마스크층을 형성하고, 상술한 제1 전극층을 최종 형태로 패터닝하는 공정 없이 절연층 1, 제2 전극층 및 분리 가능 접합층을 에칭으로 싱글레이션하여 발광소자를 형성할 수 있다.

본 발명의 발광소자에 포함된 제1 및 제2 반도체층과 각각 연결된 전극층들은 오믹 컨택층과 반사층 또는 오믹 컨택층만으로 형성될 수도 있다. 예를 들면, p-GaN 반도체층에 연결된 전극층은 ITO, Ni, Ag 물질들로 오믹 컨택되면서 높은 광 반사도를 가질 수도 있고, n-GaN 반도체층에 연결된 전극층은 Ti, Al 물질들로 오믹 컨택층만 형성할 수도 있다. 하지만, 잘 알려진 바와 같이 종래 LED 칩의 전극층들은 ITO, Ni, Ag 물질들로 또는 Ti, Al 물질들로 형성된 층 위에 와이어 본딩 또는 솔더링을 위한 층으로 Ni/Au, Ti/Au 등과 같은 층이 추가로 필요하게 된다. 그래서 와이어 본딩 또는 솔더링이 요구되는 LED의 전극층들은 와이어 본딩 또는 솔더링을 위한 층을 포함한다는 것을 내포하는 전극층이기 때문에 본 발명의 발광소자에 포함된 전극층들과는 다른 것으로 이해되어야 한다.

도 5a에서 도 8까지는 상술한 발광소자들로 형성된 PM 디스플레이 장치를 보여준다.

상술한 분리 가능 접합층(25)은 레이저가 조사되면 증기압에 의해 떨어져 나가는 특성(이하 분리 특성)을 가지면서 접합력을 가지는 물질이다. 분리 가능 접합층(25)은 분리 특성과 접합 특성 모두를 가지는 하나의 폴리머일 수도 있고, 또는 분리 특성을 가지는 분리층과 웨이퍼 본딩에서 요구되는 접합

특성을 가지는 접합층의 두개의 폴리머 층으로 분리 가능 접합층(25)이 형성될 수도 있다.

도 5a와 같이 싱글레이션 된 발광소자들을 포함하는 캐리어 기판(20)과 분리층(31)과 접합층 1(32)이 코팅된 캐리어 판넬(30)을 간격 띄운 상태로 서로 마주 보게하고 양품 발광소자들의 분리 가능 접합층(25)들에 레이저를 조사하여 도 5b와 같이 캐리어 판넬(30)에 양품 발광소자들만 이동하여 접합한다. 여기서 캐리어 기판(20)은 레이저를 투과하는 물질을 적용하여야 한다. 다음으로 발광소자와 캐리어 판넬(30)의 접합력을 더 높이기 위해 도 5c와 같이 캐리어 판넬(30)로 이동된 발광소자들을 적합한 온도에서 압력으로 눌러준다. 이동된 발광소자들을 압력을 가해 눌러주면 접합층 1(32)이 부분적으로 눌러지게 되어 발광소자의 측벽을 따라 접합층 1(32)의 일부가 형성될 수도 있다. 여기서도 분리층(31)과 접합층 1(32)을 하나의 분리 가능 접합층으로 형성할 수도 있다. 이어서 도 5d와 같이 분리 가능 접합층(25)이 에칭으로 제거된다. 하지만, 분리 가능 접합층(25) 전체가 레이저에 의해 가스로 분해되면 분리 가능 접합층(25)이 없는 상태로 발광소자가 이동될 수도 있고, 또는 발광소자에 잔존해 있는 분리 가능 접합층(25)을 제거 하지 않고 다음 공정을 진행할 수도 있다.

캐리어 판넬에 발광소자를 접합 후 잔존한 분리 가능 접합층을 제거하는 에칭 공정에서 견딜 수 있고, 아래에 설명될 절연층 2를 형성할 때 발광소자에 가해지는 힘에 의해 발광소자들이 위치 변화가 생기지 않을 정도의 접합력으로 발광소자와 캐리어 판넬이 접합되면 되기 때문에 상술한 레이저에 의한 증기압의 힘으로 충분한 접합력을 가질 수도 있다. 이 경우는 상술한 적합한 온도에서 압력으로 발광소자들을 눌러주는 공정을 적용하지 않을 수도 있다.

분리 가능 접합층(25)이 싱글레이션되지 않은 경우는 레이저에 의해 발생한 증기압에 의해서 분리 가능 접합층(25)이 절단되거나 상술한 바와 같이 레이저 조사된 영역의 분리 가능 접합층(25) 전체가 가스로 분해되면서 발광소자들이 캐리어 판넬(30)로 이동하여 접합될 수도 있다.

본 발명에서 레이저로 발광소자를 이동 및 접합시키는 것을 레이저 전사라고 칭한다. 이 레이저 전사 방법에 대해서는 아래에 보다 상세히 설명이 될 것이다.

상술한 레이저 전사 기술을 적용하지 않고 픽 앤 플레이스(Pick and Place, 이하 PnP) 기술을 적용하여 발광소자를 이동할 수도 있다. PnP의 양산성 및 양품의 발광소자만을 선별 이동하기 위한 작업성을 고려하면 발광소자는 충분히 커야 한다. 길이와 폭이 수백 마이크로미터 이상인 종래의 LED 칩들은 PnP를 적용하여 패기지 기판으로 이동하여 접합된다. 그래서 본 발명에서 길이와 폭이 수백 마이크로미터 이상인 LED로 형성된 발광소자 경우(이하 Mini-LED 발광소자)는 PnP를 통해 발광소자들을 이동하여 캐리어 판넬에 접합할 수도 있다. 하지만, 본 발명에서 PnP 기술을 Mini-LED 발광소자에만 적용 가능 것으로 한정하고자 하는 것은 아니다.

도 5e와 도 5f는 Mini-LED 발광소자에 대한 단면도로 아래에 설명될 공정들을 제외하고는 상술한 소형 LED의 발광소자 형성 과정들을 동일하게 적용하여 Mini-LED 발광소자를 형성할 수 있다.

상술한 웨이퍼 본딩과 다르게 캐리어 기판(20)에 접합층 2(44)를 도포하여 준비하고, UV 빛이 쏘이면 접합력이 떨어지는 UV 분리 접합층(43)을 에피 웨이퍼에 형성한 후 캐리어 기판(20)과 에피 웨이퍼를

웨이퍼 본딩한다. UV 분리 접합층(43)만으로 LED들을 지지할 수 있기 때문에 캐리어 기판(20) 없이 에피 웨이퍼에 형성된 UV 분리 접합층(43)만으로 다음 공정들을 진행할 수도 있다. 하지만, 캐리어 기판(20)으로 UV 분리 접합층(43)을 보호하면서 공정을 진행하는 것이 바람직하다.

도 5e와 같이 UV 분리 접합층(43)과 접합층 2(44)가 싱글레이션이 되지 않은 상태로 남겨 두면서 LED들을 싱글레이션하면 Mini-LED 발광소자가 형성된다. 상술한 에치 마스크층 1과 다르게 Mini-LED 발광소자의 에치 마스크층 2(85)는 수 마이크로미터 두께의 발광소자들이 PnP 과정 중에 손상이 되는 것을 방지하기 위해 충분한 두께로 형성이 되는 것이 바람직하다. 캐리어 기판(20)과 접합층 2(44)를 통해 UV 빛을 조사하여 UV 분리 접합층(43)의 접합력을 떨어뜨린 후 싱글레이션된 Mini-LED 발광소자들을 PnP로 도 5f와 같이 분리층(31)과 접합층 3(33)이 코팅된 캐리어 판넬(30)에 접합한다. 상술한 레이저 전사에서는 발광소자 이동 전에 에치 마스크층 1이 제거되지만 PnP 경우는 에치 마스크층 2(85)를 포함한 발광소자들이 캐리어 판넬(30)에 접합되고 나서 에치 마스크층 2(85)가 제거 된다. PnP에 의해 이동된 Mini-LED 발광소자의 제1 전극층(22)은 캐리어 판넬(30)의 반대쪽 방향을 향한다.

에피 웨이퍼에 형성된 LED들은 모두 동일한 파장을 가지는 것이 아니기 때문에 정해진 파장 범위대별로 양품의 발광소자를 선별하고, 정해진 파장 범위대 별로 양품의 발광소자들을 전사하여 보다 더 우수한 성능의 디스플레이 장치를 형성할 수도 있다. 예를 들면, 에피 웨이퍼에 형성된 청색 LED들이 455 nm - 457 nm 사이에 있다면, 455 - 456 nm 사이에 있는 양품의 발광소자들을 적용하여 디스플레이 장치를 형성하고, 456 - 457 nm 사이에 있는 양품의 발광소자들을 적용하여 또 다른 디스플레이 장치 형성할 수 있다. 특정 파장 범위 내에 있는 양품 발광소자들만을 이용하고, 다른 불량은 없고 그 특정 파장 범위 밖에 있는 발광소자들을 불량으로 처리하면 발광소자의 수율이 낮아지게 된다.

그래서 본 발명에서 전기/광학시험을 통해 양품의 발광소자를 선별한다는 것은 정해진 파장 범위대별로 발광소자 선별하는 것을 포함한 의미일 수도 있으며, 양품의 발광소자를 이동하여 캐리어 판넬에 접합한다는 것은 파장 범위대 별로 양품의 발광소자를 이동하여 캐리어 판넬에 접합한다는 것을 포함하는 의미일 수도 있다.

도 6a를 참조하면, 발광소자들 사이 공간을 충전하면서 절연층 2(27)을 형성하고 패터하여 제2 전극층(24) 일부를 노출시키거나, 또는 에치백하여 제2 전극층(24)을 노출(미도시)시킬 수도 있다. 전사된 발광소자에 잔존하는 분리 가능 접합층(25)를 제거하지 않은 경우는 분리 가능 접합층(25)과 절연층 2(27)을 에칭 또는 에치백으로 패터할 수도 있다. 여기서 편평한 절연층 2(27)을 형성하기 위해 드라이 필름(Dry Film) 형태의 물질을 진공 라미네이션(Lamination)하는 것이 바람직하다. 하지만, 절연층 2(27)가 반드시 편평할 필요는 없다.

상술한 드라이 필름의 절연층 2(27)는 진공 라미네이션 중에 녹아서 액체 상태로 변해 LED 사이 공간을 충전하면서 형성된다. 그래서 진공 라미네이션 중에는 액상 유동에 의한 힘이 발광소자에 가해지기 때문에 액상 유동에 의한 힘을 견딜 수 있는 접합력으로 발광소자와 캐리어 판넬이 접합되면 발광소자의 위치 변화 없이 절연층 2(27)가 형성될 수 있다.

도 6b와 도 6c를 참조하면, 제2 전극층(24)과 연결된 제2 회로층(54)을 증착 및 패턴 후에 보호층 1(82)을 도포하고, 캐리어 판넬(30)을 분리층(31)을 이용해 분리하고 접합층 1(32)를 에칭으로 제거하여 제1 전극층(22)를 노출시킨다. 여기서 접합층 1(32)은 에칭으로 도 6c와 같이 완전히 제거하거나 에치백으로 제1 전극층(22)을 노출시키고 일부 남겨둘 수도 있다. 캐리어 판넬(30)은 Chemical Release, Laser Release, Mechanical Release, Thermal Release, 또는 Air Blow의 잘 알려진 방법으로 분리될 수 있으며 각 분리 방법에 따른 적합한 분리층(31)을 적용하여야 한다. 이어서 도 6d와 같이 제1 회로층(52)을 증착 및 패턴 후에 보호층 2(83)를 도포하면 PM 디스플레이 장치가 형성된다. 도 6d에서는 제1 전극층(22)과 연결되는 제1 전극 연결 회로층(52a)만 도시되어 있지만, 제1 회로층(52)에 대해서는 아래에 보다 상세히 설명된다.

여기서 먼저 형성된 보호층 1(82)은 작업성을 고려해 발광소자들을 지지할 수는 있는 충분한 두께로 형성하고 다음 공정을 진행하는 것이 바람직하지만 별도의 지지판을 대고 보호층 1을 포함한 발광소자들을 지지하면서 다음 공정을 진행할 수도 있기 때문에 얇은 두께로 보호층 1을 형성할 수도 있다. 결국, 본 발명에서 먼저 형성되는 보호층이 발광소자를 지지하기 위해 반드시 충분한 두께로 형성되어야 하는 것은 아니다.

보호층 1/2(82/83)를 연성 폴리머로 형성할 경우 연성 디스플레이 장치를 형성할 수도 있다. 강성 디스플레이 장치를 위해서는 보호층 1/2(82/83) 중 하나는 유리나 같은 강성의 물질로 형성할 수도 있다. 접합력이 없는 물질을 보호층으로 적용할 경우는 접합층을 형성하고 보호층을 접합할 수도 있다. 그래서 본 발명에서 보호층은 접합층을 포함한 의미로 사용될 수도 있고, 이에 한정하지 않는다.

빛 방출 면에 형성된 보호층은 광학적으로 투명 물질이어야 한다. 하지만, 상하면 각각의 보호층을 투명 물질로 형성하며, 상술한 제1/제2 전극층과 제1/제2 회로층 모두 투명 물질로 형성하거나 또는 사람의 눈으로 인지하지 못할 정도의 미세 패턴으로 전극층/회로층을 형성하여 투명 디스플레이 장치를 형성할 수도 있다. 상술한 바와 같이 접합층 1(32) 일부가 잔존하는 경우 접합층 1(32)이 빛 방출 면에 형성되면 접합층 1(32)은 광학적으로 투명 물질이어야 한다.

도 6e는 상술한 PnP를 적용하여 형성된 PM 디스플레이 장치를 보여준다. 도 5f에서 설명하였듯이 제2 전극층(24) 면이 캐리어 판넬(30)에 접합되기 때문에 절연층 2(27)를 패턴하고, 제1 회로층(52)을 형성하고, 보호층 3(86)을 도포하고, 캐리어 판넬(30)을 분리하고, 접합층 3(33)를 에치백하여 제2 전극층(24)를 노출시키고, 제2 회로층(54)을 형성하고, 보호층 4(87)를 도포하여 PM 디스플레이 장치를 형성한다.

도 5f와 도 6e를 참조하면, 제2 전극층(24)에서 활성층(13)까지의 두께가 수백 나노미터 정도일 수도 있기 때문에 캐리어 판넬(30)에 발광소자들을 접합할 때 접합층 3(33)이 눌러서 발광소자의 측벽을 따라 활성층(13)을 넘어 제1 반도체층(12)까지 형성될 수도 있다. 그래서 접합층 3(33)을 완전히 제거한 후 제2 회로층(54)을 형성하게 되면 제2 회로층(54)이 활성층(13) 및 제1 반도체층(12)과 전기적 합선이 발생할 수도 있다. 그래서 접합층 3(33)의 두께를 충분히 얇게 하여 발광소자 측벽에 따라 형성되는 접합층

3(33)이 제2 반도체층(14)을 넘지 않게 할 수도 있고, 이 경우는 접합층 3(33)을 에칭으로 완전히 제거 후 제2 회로층(54)을 형성할 수도 있다. 또는, 상술한 바와 같이 접합층 3(33)을 에치백으로 제2 전극층(24)을 노출시키면서 측벽에 형성된 접합층 3(33)을 남겨 두는 방법을 적용할 수도 있다. 또 다른 방법으로는 제2 반도체층(14)의 두께를 충분히 두껍게 형성하여 발광소자 측벽에 따라 형성되는 접합층 3(33)이 제2 반도체층(14)을 넘지 않게 할 수도 있다.

상술한 PM 디스플레이 장치들은 제1 전극층 방향(도 6d의 아래 방향 그리고 도 6e의 위쪽 방향)으로 빛이 방출되는 구조로 되어 있지만, 일부 구성요소의 패턴 형태 또는 특성을 변경하면 반대 방향인 제2 전극층 방향으로 빛이 방출되는 구조로 디스플레이 장치(미도시)를 형성할 수도 있다. 예를 들면, 제2 전극층은 ITO와 같은 투명 물질로 형성하거나, 또는 불투명 물질의 전극층을 적용하여 빛을 방출될 수 있는 형태로 패턴하며, 캐리어 기판을 통해 방출되는 빛으로 광학시험이 되어야 할 경우 캐리어 기판과 분리 가능 접합층은 투명 물질들을 적용하며, 제1 전극층은 광 반사 특성을 가지면서 제1 반도체층에 최대한 넓은 면적으로 패턴되게 형성되며, 제2 회로층은 투명 물질을 적용하거나 또는 불투명 물질을 적용하여 빛이 방출될 수 있는 형태로 패턴하며, 제2 회로층 면에 형성되는 보호층을 광학적으로 투명한 물질로 형성하면 제2 전극층 방향으로 빛이 방출되는 디스플레이 장치를 형성할 수도 있다. 즉, 제2 전극층 아래에 에피층을 둔 방향에서 제2 전극층 상에 형성되는 구성요소들은 제2 전극층을 포함해 빛이 방출될 수 있는 구조 또는 특성의 물질을 적용하며, 제1 전극층을 빛 반사가 잘 되는 구조로 형성하면 제2 전극층 방향으로 빛이 방출되는 PM 디스플레이 장치를 형성할 수도 있다.

보호층 2(83)를 위쪽에 위치한 상태에서 도 7은 하나의 PM 디스플레이 장치(300)의 평면도로 상술한 공정들에 대해 발광소자들의 외부 영역을 중심으로 아래에 설명된다.

도 7과 같이 발광소자와 절연층 2(27)을 사이에 두고 제1 전극 연결 회로층(52a)과 제2 회로층(54)은 서로 교차되게 형성된다. 도 6a, 도 6b, 도 6c, 도 6d와 도 7을 다시 참조하면, 절연층 2(27)을 패턴할 때 비아 1(28)을 함께 형성하고, 제2 회로층(54)을 증착 및 패턴 후 보호층 1(82)을 형성하고, 캐리어 판넬(30)을 분리하고 접합층 1(32)이 제거되면 비아 1(28) 통해 제2 회로층(54) 일부분의 바닥부분이 노출된다. 다음으로 제1 회로층(52)을 증착하고 패턴하여 제1 전극층(22)과 연결된 제1 전극 연결 회로층(52a)과 비아 1(28)을 통해 제2 회로층(54)과 연결된 제2 회로층 터미널(52b)을 형성한다. 여기서 제1 전극 연결 회로층(52a)의 끝단에는 터미널이 형성된다. 그 다음으로 이 터미널들을 노출하면서 보호층 2(83)를 도포한다. 이 터미널들은 드라이브 IC와의 연결을 위한 것으로 보호층 2(83) 형성 후 드라이브 IC와의 연결 방법에 따라 요구되는 표면처리를 할 수도 있다.

도 5f와 도 6e를 다시 참조하면, Mini-LED 발광소자들을 PnP로 캐리어 판넬(30)에 접합한 경우는 제2 전극층(24)의 면이 캐리어 판넬(30)에 접합되기 때문에 제1 회로층(52)이 먼저 형성되고, 제2 회로층(54)을 이용해 터미널들이 형성되고, 보호층 4(87)는 그 터미널들을 노출시키면서 도포하여 PM 디스플레이 장치가 형성된다.

여기서 제1/제2 회로층(52/54) 중 빛이 방출되는 면의 회로층을 흑화처리하여 외부 빛이 회로층에

반사되는 것을 최소화하여 야외 시인성을 더 향상시킬 수도 있다. 또는 빛이 방출되는 면의 보호층에 폴라라이저(Polarizer)층을 더 포함하여 야외 시인성을 향상시킬 수도 있다. 그뿐만 아니라, 야외 시인성을 위해 상술한 절연층 2(27)가 검은색 물질로 형성될 수도 있다.

본 발명에서 드라이브 IC와 연결될 영역인 터미널까지만 회로 형성된 디스플레이 장치들을 보여주고
5 있지만, 드라이브 IC를 구동하기 위한 회로가 추가로 형성되고 적용 소자와 연결될 회로를 더 포함할 수도 있다. 또는, 이 터미널들은 드라이브 IC가 실장되는 PCB와 연결될 수도 있다.

상술한 PM 디스플레이 장치들은 PM 회로가 포함된 백플레인을 적용하지 않기 때문에 수직형 발광소자를 적용할 수 있고, 또한 상술한 바와 같이 빛 방출 방향을 자유롭게 할 수 있는 구조를 가지며, 백플레인을 포함하지 않기 때문에 보다 더 가볍고 얇은 디스플레이 장치가 가능하다.

10 도 8, 도 9a 및 도 9b는 LED 모듈에 대한 단면도들로 상술한 PM 디스플레이 장치의 형성 방식에서 제1/제2 회로층(52/54)과 제1/제2 전극층(22/24)의 전기적 연결 방식만 다르게 하여 LED 모듈을 형성할 수 있다. 여기서 상기 디스플레이 장치들에 대한 공정과 중복되는 공정의 설명은 생략될 수도 있다.

도 8은 발광소자들이 전기적으로 병렬 연결되게 형성된 LED 모듈로 제2 전극층(24)들이 병렬 연결되게 제2 회로층(54)을 형성하고 보호층 5(88)를 형성하며, 제1 회로층(52)은 제1 전극층(22)들이 병렬 연결되게 제1 회로층(52)을 형성하고 형광체층(84)을 도포하여 형성된 LED 모듈을 보여준다.

도 9a와 도 9b를 참조하면, 비아 2(29)를 포함해 절연층 2(27)을 패터닝하고, 제2 회로층(54)을 형성하고, 보호층 5(88)을 형성하며, 비아 2(29)를 통해 제2 회로층(54)의 노출 부분과 제1 전극층(22)을 연결하는 제1 회로층(52)을 형성하고 형광체층(84)을 도포하여 발광소자들간에 직렬 연결된 LED 모듈을 형성할 수도 있다. 뿐만 아니라, 발광소자들이 직렬과 병렬 연결을 다양하게 조합된 LED 모듈(미도시)들을
20 형성할 수도 있다. 예를 들면, 하나의 행으로 배열된 발광소자들은 직렬로 연결하고 그 행들은 병렬로 연결된 LED 모듈로 형성할 수도 있다. 이러한 LED 모듈들은 빛 방출 면에 형광체층(84)을 도포하여 원하는 색의 LED 모듈을 형성할 수 있다. 또는 형광체층 없이 적, 녹, 및 청색의 발광 소자들을 조합해 수평 배치하여 원하는 색의 LED 모듈을 형성할 수도 있다. 하지만, 형광체층 없이 원래의 LED 색을 방출하는 LED 모듈로 형성할 수도 있다. LED 모듈도 발광소자들의 외부 영역에 전선 연결을 위한
25 제1/제2 회로층의 터미널들(미도시)이 형성된다. 여기서, LED 모듈의 절연층 2(27)는 광 반사도가 높은 물질이 적용될 수도 있다. 또한, 상술한 바와 같이 제2 전극층 방향으로 빛이 방출되는 구조로 LED 모듈을 형성할 수도 있다.

발광소자들을 전기적으로 직렬 연결하는 방법으로 상술한 바와 같이 절연층 2(27)에 비아 2(29)를 형성하여 발광소자들을 직렬 연결을 할 수 있고, 또는 빛 방출 방향이 서로 반대로 형성되며, 접합면도
30 서로 반대인 발광소자들을 번갈아 캐리어 판넬에 이동하여 접합하고 제1 및 제2 회로층으로 제1 및 제2 전극층을 번갈아 연결하여 발광소자들을 전기적으로 직렬 연결할 수도 있다. 또 다른 방법으로 제1 반도체층이 n형 반도체이고 제2 반도체층이 p형 반도체인 발광소자와 제1 반도체층이 p형 반도체이고 제2 반도체층이 n형인 발광소자를 번갈아 캐리어 판넬에 배치하고 제1 및 제2 회로층으로 제1 및 제2

전극층을 각각 연결하여 발광소자들을 전기적으로 직렬 연결할 수도 있다.

디스플레이 장치는 제1/제2 회로층을 미세 패턴하여야 하기 때문에 제1/제2 회로층을 두껍게 형성하기가 곤란하지만 LED 모듈은 발광소자의 사이의 간격을 크게 형성하거나 도 8과 같이 모든 발광소자들이 병렬 연결될 경우는 제1/2 회로층을 미세 패턴할 필요가 없다. 그래서 도 8과 도 9b와 같이
5 제2 회로층(54)을 도금으로 두껍게 형성할 수도 있고, 두껍게 형성된 제2 회로층(54)은 발광소자의 열방출 성능을 높일 수도 있다. 또한, 제1 회로층(52)의 두께를 높여 빛 방출각도를 좁게할 수도 있다.

상술한 LED 모듈들은 종래의 LED 모듈과 다르게 LED 패키지 및 LED 패키지를 실장하는 PCB 없이 발광소자에 바로 회로층을 형성하여 제조되기 때문에 공정을 간소화할 수 있고 경박단소화가 가능하다.

변형된 일 실시예로 도 10a는 발광소자의 측벽에 광 반사층을 형성 후의 단면도이다. 도 5d와 같이
10 양품의 발광소자들을 캐리어 판넬(30)에 접합한 후 도 10a와 같이 절연층 3(41)과 반사층(42)을 증착하고 패턴한다. 여기서 절연층 3(41)은 Ag 또는 Si과 같은 전기적 전도성의 반사층(42)을 적용할 경우에 전기적 합선을 방지하는 역할을 한다. 하지만, 절연층 3(41) 없이 굴절률이 다른 절연 물질들의 다층 구조로 반사층(Distributed Bragg Reflector)을 형성할 수도 있다. 본 발명에서 절연층 3(41)과 반사층(42)을 통칭하거나, 절연물질의 다층 구조의 반사층을 통칭하기 위해 측벽 미러(Mirror)라는
15 용어를 사용한다.

상술한 바와 같이 측벽 미러를 형성 후 상술한 공정들을 통해 도 10b와 같이 발광소자 측면을 둘러싸는 측벽 미러를 더 포함하는 디스플레이 장치를 형성할 수 있다. 상술한 LED 모듈들도 같은 방식으로 발광소자의 측면을 둘러싸는 측벽 미러를 더 포함하여 형성될 수도 있다.

한편, 수직형 발광소자를 적용하여 형성된 디스플레이 장치들과 LED 모듈들의 실시예들을
20 설명하였지만, 한쪽 방향의 면들에 제1/제2 전극층이 형성된 발광소자를 적용하고, 층간 절연층을 더 포함하며 제1/제2 전극층 각각과 연결되는 제1/제2 회로층 형성 방법만 달리하여 디스플레이 장치 및 LED 모듈을 형성할 수도 있다.

도 11a에서 도14b까지는 액티브 매트릭스(Active Matrix, 이하 AM) 디스플레이 장치의 형성 과정을 보여준다. 상술한 이유로 전기/광학시험을 위한 구조를 먼저 형성하기 위해 박막 트랜지스트(Thin Film Transistor, 이하 TFT)를 포함하는 발광소자(이하 TFT 발광소자)가 형성되고, 양품의 TFT 발광소자로 AM
25 디스플레이 장치를 형성하는 과정으로 아래 일부 실시예들이 설명된다.

본 발명의 AM 디스플레이 장치는 하나의 TFT 또는 하나 이상의 TFT와 하나 이상의 캐패시터(Capacitor)를 포함하는데, 2개의 TFT와 1개의 캐패시터(이하 2T1C)를 포함하는 AM 디스플레이 장치를 형성하는 과정을 중심으로 설명된다. 하지만, 2T1C로 본 발명을 한정하고자 하는 것은 아니다.

30 게이트, 소스와 드레인 영역을 포함하는 채널층, 게이트와 채널층 사이의 절연막, 소스 및 드레인을 포함하는 TFT는 구성요소들의 위치에 따라 Coplanar, Staggered, Top Gate, Bottom Gate 등의 여러 가지 다양한 구조로 형성되는데, 본 발명의 도면들은 Bottom Gate Staggered 구조의 TFT를 보여준다. 하지만, Bottom Gate Staggered 구조로 본 발명을 한정하지 않는다. TFT의 채널층 물질로는 a-Si, Poly-Si 또는

IGZO(Indium Gallium Zinc Oxygen)와 같은 물질이 적용될 수 있다.

도 11a에서 도 11h까지의 도면들로 각 LED에 2개의 TFT와 하나의 캐패시터 형성 과정이 설명된다.

도 11a, 도 11b와 도 11c는 게이트 회로층(61) 형성 후의 도면들이다. 11a와 같이 에피 웨이퍼 상태에서 제2 반도체층(14)에 제2 전극층(24)과 버퍼층(60)을 증착하고, 게이트 회로층(61)을 증착 및
5 패턴한다. 평면도인 11b는 LED 외곽 가상선(66)으로 구분된 4개의 LED를 보여준다. 도 11a는 도 11b의 A-A'의 단면도를 보여준다.

형성될 2개의 TFT는 스위칭 TFT(이하 T1)와 제2 전극층(24)과 연결되는 드라이빙 TFT(이하 T2)로
구성된다. 도 11b와 같이 게이트 회로층(61)으로 T1 및 T2 게이트를 각각 형성하면서 주사선(Scan Line)
1(61a)과 T2 게이트 회로(61b)가 형성된다. T2 게이트 회로(61b)의 일부분과 후술될 공통 전극선 1a의
10 일부분을 포함해 캐패시터가 형성될 것이다.

향후 TFT LED 집합체가 형성될 영역의 평면도인 도 11c를 참조하면, 상술한 주사선 1(61a)의 끝단은
패드 형태로 패턴되고, 향후 형성될 데이터선(Data Line) 1과 연결될 데이터선 연결 패드 1(61c)과 향후
형성될 공통 전극선 1a와 연결되며 끝단은 패드 형태로 패턴된 전원 연결 회로선 1(61d)이 형성된다.
결국, 게이트 회로층(61)은 주사선 1(61a), T2 게이트 회로(61b), 데이터선 연결 패드 1(61c)과 전원 연결
15 회로선 1(61d)을 포함하여 형성된다.

도 11d를 참조하면, 게이트 회로층(61) 형성 후 TFT의 절연막 형성을 위해 게이트 절연층(62)을
증착하고, 채널층(63)을 증착 및 패턴하여 T1 채널층(도 11d에는 미도시)과 T2의 채널층(63b)을 형성하고,
다음으로 에치 스톱층(64)을 증착하고, 에치 스톱층(64), 게이트 절연층(62)과 버퍼층(60)을 에칭으로
패턴하여 향후 형성될 소스/드레인 회로층과 연결될 부분들을 노출시킨다. 도 11d에는 T2 채널층(63b)과
20 제2 전극층(24)의 노출부분만 도시되어 있지만, 각 채널층마다 소스와 드레인 영역의 두 부분, 주사선
1(61a)의 일부분, T2 게이트 회로(61b)의 일부분, 제2 전극층(24)의 일부분, 전원 연결 회로선 1(61d)의
일부분과 데이터선 연결패드 1(61c)의 일부분이 노출된다. 다음으로 도 11e와 같이 소스/드레인
회로층(65)을 증착하고 상기의 노출된 부분들을 연결하면서 패턴하여 각 LED에 2개의 TFT(T1, T2)와
1개의 캐패시터(C1)가 구비된다. 하지만, 잘 알려진 에치백 공법으로 에치 스톱층(64) 없이 TFT를 형성할
25 수도 있다.

도 11e에서 도 11g까지는 소스/드레인 회로층(65) 형성 후의 도면들로 도 11e는 도 11f의 A-A'의
단면도, 도 11f는 LED 외곽 가상선(66)으로 구분된 4개의 LED를 보여주는 평면도, 도 11g는 향후 TFT
LED 집합체가 형성될 영역의 평면도이다. 이 도면들을 참조하면, 소스/드레인 회로층(65)으로 T1
채널층(63a)의 노출된 두 부분중 한 부분과 연결된 데이터선 1(65a) 및 다른 한 부분과 T2 게이트
30 회로(61b)의 노출 부분을 연결하는 TFT간 연결선(65d), T2 채널층(63b)의 노출된 두 부분 중 한 부분과
연결된 공통 전극선 1a(65b)와 다른 한 부분과 제2 전극층(24)의 노출 부분을 연결하는 LED 연결선(65c)
및 주사선 1(61a)의 노출된 부분과 연결된 주사선 패드(65e)가 형성된다. 공통 전극선 1a(65b)와 T2
게이트 회로(61b) 각각의 일부분으로 2개 도전막을 형성하고 유전막으로 게이트 절연층(62)과 에치

스톱층(64)이 배치되어 캐패시터(C1)가 형성된다. 에치 스톱층을 적용하지 않는 경우 게이트 절연층(62) 일부분으로 유전막이 형성된다.

도 11g와 같이 데이터선 1(65a)은 상술한 데이터선 연결 패드 1(61c)의 노출 부분과도 연결되고, 공통 전극선 1a(65b)는 상술한 전원 연결 회로선 1(61d)의 노출 부분들과도 연결된다.

5 상술한 실시예에 있어서 게이트 회로층(61)이 소스/드레인 회로층(65)보다 먼저 형성되어 게이트 회로층(61)은 소스/드레인 회로층(65) 아래에 위치하기 때문에 주사선 1(61a)과 연결된 주사선 패드(65e)를 최외곽면에 형성하여 T1 게이트와 향후 형성될 주사선 2는 주사선 패드(65e)를 통해 회로 연결이 된다. 하지만, 소스/드레인 회로층이 먼저 형성되는 구조의 TFT 경우는 소스/드레인 회로층에 포함된 공통 전극선 및 데이터선 각각과 연결된 패드들을 최외곽면에 형성하여 회로 연결을 할 수도
10 있다. 또 다른 방법으로 게이트 회로층 및 소스/드레인 회로층 중 먼저 형성된 회로층의 일부분을 노출되게 패터닝하고, 최외곽면에 형성된 패드 없이 직접적으로 연결하여 회로를 형성 할 수도 있다.

TFT 구조에 따라 게이트 회로층과 소스/드레인 회로층 사이를 절연하는 층간 절연층을 더 포함할 수도 있다. 저온 Poly-Si TFT(미도시) 경우 전형적인 공정으로 a-Si 증착, 탈수소화, Excimer Laser Annealing 및 패터닝하여 채널층 형성, 게이트 절연층 형성, 게이트 회로층 증착 및 패터닝, 붕소 또는 인
15 이온주입, 층간 절연층 증착 및 패터닝, 소스/드레인 회로층 증착 및 패터닝하여 Poly Si의 Top Gate TFT를 LED에 형성할 수도 있다. 채널층 종류에 따라 400에서 600도까지의 고온 열처리가 필요할 수도 있기 때문에 TFT LED의 제2 전극층은 열처리에서 견딜 수 있는 구조로 형성될 수도 있다. 그래서 TFT LED의 제2 전극층은 열적 안정성을 위해 W, Ta, Ti 등의 확산 방지층(Diffusion Barrier)을 더 포함할 수도 있다.

도 12a와 도 12a의 저면도인 도 12b를 참조하면, 상술한 방법에 따라 TFT가 형성된 에피 웨이퍼와
20 캐리어 기판(20)을 웨이퍼 본딩하고, 성장기판(10) 및 버퍼 에피층(11)을 제거하여 제1 반도체층(12)을 노출시키고, 다음으로 에피층, 제2 전극층(24) 및 버퍼층(60)의 에칭으로 패터닝하여 게이트 회로층(61) 일부분의 바닥부분을 노출시킨다. 상술한 Poly-Si TFT의 Top Gate 구조의 경우는 게이트 절연층까지 에칭하여 게이트 회로층 일부분의 바닥부분을 노출시킨다. 하지만, 소스/드레인 회로층이 게이트 회로층보다 먼저 형성된 TFT 구조 경우는 노출되는 부분이 소스/드레인 회로층 일부분의 바닥부분일 수도 있다.

25 도 12c와 도 12c의 저면도인 도 12d를 참조하면, TFT LED들 사이 공간을 충전하면서 절연층 4(67)을 코팅하고 패터닝하여 제1 반도체층(12), 주사선 1(61a) 끝단 패드들, 데이터선 연결 패드 1(61c)들과 전원 연결 회로선 1(61d) 끝단 패드의 일부분을 노출시키고 제1 전극 회로층(69)을 증착 및 패터닝한다. 제1 전극 회로층(69)은 빛이 방출될 수 있게 제1 반도체층(12) 일부분이 노출되면서 제1 반도체층(12)과 연결된 공통 전극선 1b(69a)와 상술한 패드들의 노출부분과 연결된 탐침 패드들(69b, 69c, 69d)이
30 형성되게 패터닝된다. 결국, 제1 전극 회로층(69)으로 제1 반도체층(12)과 연결되며 끝단이 탐침 패드 형태로 패터닝된 접지 역할의 공통 전극선 1b(69a), 주사선 1(61a)과 연결된 주사선 탐침 패드(69b), 데이터선 1(65a)과 연결된 데이터선 탐침 패드(69c) 및 공통 전극선 1a(65b)와 연결된 공통전극선 1a 탐침 패드(69d)를 형성한다. 상술한 바와 같이 제1 전극 회로층(69)을 형성하면, 각 LED마다 2T1C의

픽셀회로가 구비되면서 TFT LED 집합체(201)들이 형성된다. 여기서 공통 전극선 1b(69a)는 제1 반도체층과 우수한 전기적인 특성을 가지는 물질이 포함되어 형성되어야 한다. 예를 들면, n-GaN의 제1 반도체층인 경우는 제1 전극 회로층(69)은 Ti/Al과 같이 n-GaN과 오믹 컨택이 되는 물질들로 형성될 수도 있다.

5 상술한 2T1C 픽셀회로는 TFT 구조 또는 제1/제2 반도체층이 어떤 형의 반도체인지에 따라 다양한 변형이 있을 수도 있고, 그뿐만 아니라 2T1C 이외에 다른 형태의 픽셀회로를 각 LED마다 형성할 수도 있다. 상술한 2T1C의 픽셀회로는 제1 반도체층이 n형이고 제2 반도체층이 p형인 경우에 적합한 픽셀회로를 보여준다. 하지만, 제1 반도체층이 p형이고 제2 반도체층이 n형인 경우는 상술한 공통 전극선 1b가 접지선 역할을 하는 공통 전극선이 아니라 전원선 역할의 공통 전극선이 되고, 상기 공통 전극선 1a는 접지선 역할을 하는 공통 전극선이 될 수도 있다. 4T2C, 5T2C 또는 6T1C 등의 픽셀회로의 경우는 각 LED마다 게이트와 연결된 주사선이 여러 개 있을 수도 있고 캐피시터도 TFT들과 연결되는 회로 구성이 다양하게 있을 수 있다. 그래서 상술한 2T1C 픽셀회로의 회로 연결은 하나의 예로 이해해야 하고 본 발명을 상술한 회로 연결로 형성된 2T1C 픽셀회로로 한정하지 않는다.

15 하나의 TFT로 형성된 픽셀회로 경우는 게이트 회로층으로 TFT의 게이트에 이어지면서 주사선 1이 형성되고, 소스/드레인 회로층으로 채널층의 소스 및 드레인 영역 중 어느 한 영역과 각각 연결되는 LED 연결선 및 데이터선 1이 형성되며, n형 제1 반도체층과 연결된 접지 역할의 공통 전극선 1이 형성된다. 하지만, 제1 반도체층이 p형이고 제2 반도체층이 n형이면, 소스/드레인 회로층으로 채널층의 소스 및 드레인 영역 중 어느 한 영역과 제2 전극층을 연결하는 LED 연결선과 다른 한 영역과 연결된 접지 역할의 공통 전극선 1이 형성되며, p형 제1 반도체층과 연결된 데이터선 1을 형성하여 각 LED마다 TFT 하나로 형성된 픽셀회로가 구비될 수도 있다.

1T1C의 픽셀회로에 있어서도 캐피시터는 다양한 회로 연결이 있을 수 있다. 예를 들면, 주사선 1 일부분으로 형성된 도전막, 별도 회로선 일부분으로 형성된 도전막, 채널층 일부분으로 형성된 도전막, 또는 LED 연결선 일부분으로 형성된 도전막 중 어느 한 도전막을 포함하여 캐피시터를 형성하여 각 LED마다 1T1C의 픽셀회로가 구비될 수도 있다.

25 그뿐만 아니라, 제2 전극층과 채널층의 소스 또는 드레인 영역 중 어느 한 영역을 상술한 바와 같이 LED 연결선으로 간접적으로 연결하는 것이 아니라, 제2 전극층 일부를 노출시킨 상태에서 채널층의 소스 또는 드레인 영역 중 어느 한 영역을 바로 제2 전극층과 연결되게 채널층을 형성할 수도 있다.

상술한 바와 같이 다양한 형태로 픽셀회로가 형성될 수 있기 때문에 본 발명을 특정 하나의 픽셀회로로 한정하지 않으며 회로 연결 방법도 특정 하나로 한정하지 않는다.

30 TFT LED 집합체(201)를 형성 후 상기의 공통 전극선 1b(69a) 끝단의 탐침 패드와 다른 회로선들의 탐침 패드들(69b, 69c, 69d)을 탐침하여 전기/광학시험을 실시하여 양품을 선별한다.

전기/광학시험 후 도 12e와 같이 에치 마스크층(81)을 형성하여 공통 전극선 1b(69a)를 각 LED에 독립되게 패턴하고 절연층 4(67) 및 TFT LED들 사이에 있는 캐리어 기판(20)을 제외한 모든 구성

요소들을 에칭하여 싱글레이션한다. 싱글레이션 후 에치 마스크층(81)을 제거하면 AM 디스플레이 장치를 형성하기 위한 TFT 발광소자가 형성된다.

도 12g의 A-A' 단면도인 도 12f를 참조하면, 상술한 바와 같이 레이저 전사 기술을 통해 양품의 TFT 발광소자들을 캐리어 판넬(30)로 이동하여 접합한다. 도 12g는 TFT 발광소자(202)들을 캐리어 판넬(30)에 접합한 후의 평면도로 4개 TFT 발광소자(202)를 보여준다. 개별 TFT 발광소자(202)는 싱글레이션 중에 에칭으로 각 LED에 독립되게 패턴된 데이터선 1 패드(65a), 공통전극선 1a 패드(65b), 주사선 패드(65e) 및 공통 전극선 1b 패드(69a)를 포함한다.

설명의 용이성을 위해 싱글레이션에 의해 패턴된 데이터선 1(65a) 및 공통 전극선 1a(65b)/1b(69a)를 데이터선 1 패드(65a) 및 공통 전극선 1a 패드(65b)/1b 패드(69a)로 각각 명칭을 변경하고 같은 번호로 아래의 실시예들이 설명된다.

도 13a에서 도 14b까지는 캐리어 판넬(30)에 수평 배치된 한가지 색 이상의 양품 TFT 발광소자(202)들로 AM 디스플레이 장치를 형성하는 과정을 보여준다. 상술한 TFT LED 집합체(201)에 포함되었던 주사선 1(61a), 데이터선 1(65a), 공통 전극선 1a(65b) 및 공통 전극선 1b(69a)는 싱글레이션을 통해 각 LED에 독립되게 패턴되어 각 TFT 발광소자(202)에 독립되게 픽셀회로가 구비되고, 후술될 회로층들로 주사선, 공통 전극선 및 데이터선 역할의 회로선들을 다시 형성하여 각 TFT 발광소자들에 독립되게 구비된 픽셀회로들을 회로 연결하여 AM 디스플레이 장치를 형성한다.

본 발명에서 TFT LED 집합체에 형성된 주사선 등의 회로선들은 각 명칭에 번호 1을 부여하고, 각 TFT 발광소자에 독립되게 형성된 픽셀회로들을 서로 회로 연결하는 주사선 등의 회로선들은 각 명칭에 번호 2를 부여하여 서로 구분한다.

도 13a는 도 12g의 B-B' 단면선을 따라서 도시된 것으로 TFT 발광소자들(202) 사이 공간을 충전하면서 절연층 5(58)을 형성하고 에칭으로 패턴 후 단면도이다. 도 13a에는 모든 노출부분이 도시되어 있지 않지만 절연층 5(58)는 데이터선 1 패드(65a), 공통 전극선 1a 패드(65b) 및 주사선 패드(65e)의 일부분들을 노출시키면서 패턴된다.

상기의 절연층 5(58)의 패턴으로 패드들(65a, 65b, 65e)의 노출된 부분들과 연결되는 회로층 1(55)을 증착 및 패턴 후를 보여주는 도 13b, 도 13c와 도 13d를 참조하면, 회로층 1(55)은 주사선 패드(65e)를 통해 주사선 1(61a)과 연결된 주사선 2(55a), 향후 데이터선 2와 연결될 데이터선 연결 패드 2(55b) 및 향후 공통 전극선 2a와 연결될 전원 연결 회로선 2(55c)와 공통전극선 연결 패드(55d)를 포함한다. 여기서 주사선 2(55a)와 전원 연결 회로선 2(55c)의 끝단은 패드 형태로 패턴되며, 데이터선 연결 패드 2(55b)의 일부는 노출된 데이터선 1 패드(65a)와 연결되며, 공통 전극선 연결 패드(55d)는 공통 전극선 1a 패드(65b)와 연결된다. 주사선 2(55a) 끝단의 패드들, 데이터선 연결 패드 2(55b)들과 전원 연결 회로선 2(55c)의 끝단의 패드는 향후 형성될 터미널들과 연결된다.

다음으로 층간 절연층(70)을 코팅 및 패턴하고 회로층 2(56)를 증착 및 패턴 한다. 도 13e, 도 13f와 도 13g를 참조하면, 층간 절연층(70)은 데이터선 연결 패드 2(55b), 전원 연결 회로선 2(55c)와 공통 전극선

연결 패드(55d)의 일부분을 노출시키면서 패턴되고, 그 노출된 부분들을 연결하면서 회로층 2(56)을 증착 및 패턴하여 데이터선 2(56a)와 공통 전극선 2a(56b)를 형성한다. 여기서 데이터선 2(56a)는 데이터선 연결 패드 2(55b)들의 노출 부분과 연결되며, 공통 전극선 2a(56b)는 전원 연결 회로선 2(55c)와 공통 전극선 연결 패드(55d)의 노출 부분들을 서로 연결하면서 형성된다.

5 도 14a와 보호층 2(83)를 형성하기 전의 저면도인 도 14b를 참조하면, 상기 회로층 2(56) 형성 후 보호층 1(82)을 형성하고, 캐리어 판넬(30) 분리 및 접합층 1(32) 제거를 하여 공통 전극선 1b 패드(69a)를 노출시키고, 절연층 5(58)을 패턴하여 주사선 2(55a) 끝단 패드의 일부분, 데이터선 연결 패드 2(55b)들의 일부분과 전원 연결 회로선 2(55c) 끝단 패드의 일부분을 노출시키고, 회로층 3(57)을 증착 및 패턴하고, 보호층 2(83)을 도포하여 AM 디스플레이 장치가 형성된다. 회로층 3(57)으로 공통 전극선 1b
10 패드(69a)와 연결되면서 끝단에 터미널을 포함하는 공통 전극선 2b(57a)와 상기의 패드들의 노출 부분들과 연결되는 터미널들(57b, 57c, 57d)을 형성한다. 공통 전극선 2b(57a)의 끝단에 형성된 터미널, 주사선 2(55a)의 끝단 패드들의 노출 부분들과 연결된 주사선 터미널(57b), 데이터선 연결 패드 2(55b)들의 노출 부분들과 연결된 데이터선 터미널(57c), 전원 연결 회로선 2(55c) 끝단 패드의 노출 부분과 연결된 공통전극선 2a 터미널(57d)이 구비된다.

15 상술한 2T1C 픽셀회로를 포함하는 TFT 발광소자에 터미널을 포함하는 주사선, 데이터선, 전원선, 접지선 역할의 회로선들을 3개 회로층으로 형성하여 AM 디스플레이 장치를 형성한다. 하지만, 회로층 1/2/3으로 주사선 등의 회로선 및 터미널들의 연결 방법은 다양하게 있을 수 있다. 예를 들면, 회로층 1로 데이터선 2를 먼저 형성하고, 회로층 2로 주사선 2 및 공통 전극선 2a를 형성할 수도 있다. 그래서 3개의 회로층들로 주사선 등의 회로선 및 터미널 형성에 대한 상술한 방법은 일 실시예로 이해해야 하고 이에
20 한정하지 않는다.

하나의 TFT가 포함된 LED에 있어서 각 LED의 p형 제1 반도체층과 연결된 데이터선 1을 포함하는 픽셀회로 경우는 2개의 회로층으로 주사선 2, 공통 전극선 2와 데이터선 2를 형성할 수도 있으며 TFT 발광소자들 사이 공간을 충전하면서 형성된 절연층 5와 발광소자들을 사이에 두고 주사선 2와 데이터선 2는 서로 교차되게 배치될 수 있기 때문에 층간 절연층 없이 주사선 2와 데이터선 2를 형성할 수도 있다.

25 4T2C, 5T2C 등과 같이 각 LED마다 게이트와 연결된 주사선 1이 여러 개 있는 픽셀회로 경우는 2개의 회로층과 층간 절연층으로 주사선 1 패드들 각각과 연결된 주사선 2들을 형성할 수도 있다.

픽셀회로 형태에 따라 주사선 2, 데이터선 2 및 하나 이상의 공통 전극선 2 형성 방법이 다를 수 있으며 회로 연결 방법도 다양하게 있을 수도 있다.

30 상술한 바와 같이 보호층의 특징에 따라 연성 또는 강성의 AM 디스플레이 장치를 형성할 수 있고, 모든 구성요소를 투명 물질들로 적용할 경우 투명 디스플레이 장치로 형성할 수도 있다.

상술한 AM 디스플레이 장치는 제1 반도체층 쪽 방향으로 빛이 방출되는 구조로 실시예가 설명이 되어 있지만, TFT가 형성된 면을 통해 빛이 방출되는 구조로 디스플레이 장치를 형성할 수도 있다.

TFT 발광소자의 경우도 상술한 바와 같이 PnP로 이동하여 TFT가 형성된 면을 캐리어 판넬에

접합하여 AM 디스플레이 장치를 형성할 수도 있다. 상술한 2T1C의 TFT 발광소자에 있어서 PnP를 적용한 AM 디스플레이 장치는 상술한 회로층 1/2/3의 형성 과정과 다르게 공통 전극선 1b 패드와 연결된 공통 전극선 2b를 먼저 형성하고, 캐리어 판넬을 제거하고 접합층 1을 에치백하여 데이터선 1 패드, 공통전극선 1a 패드 및 주사선 패드들을 노출시키고, 2개의 회로층과 층간 절연층으로 끝단에 5 터미널을 포함하는 주사선 2, 데이터선 2 및 공통 전극선 2a를 형성한다.

AM 디스플레이 장치도 상술한 측벽 미러를 더 포함하여 형성할 수도 있다. TFT 발광소자들 사이 공간을 충전하면서 형성되는 절연층 5는 전기 전도성의 측벽 반사층 가리면서 패턴이 되어야 전기적 합선을 방지할 수 있다.

상술한 AM 디스플레이 장치는 TFT 백플레인을 적용하지 않기 때문에 상술한 바와 같이 빛 방출 10 방향을 자유롭게 할 수 있는 구조를 가지며, 보다 더 가볍고 얇은 디스플레이 장치가 가능하다. 종래의 AMOLED, TFT LCD 또는 별도 TFT 백플레인을 적용하는 LED 디스플레이 장치와 다르게 픽셀회로를 포함하는 개별 TFT 발광소자 단위로 선별된 양품의 TFT 발광소자들로 디스플레이 장치를 형성하기 때문에 디스플레이 장치의 수율이 향상될 수도 있다. TFT 백플레인이 적용되는 디스플레이 장치의 15 경우는 TFT 백플레인에 형성된 수 백만개 이상의 픽셀회로 중 몇 개 이상의 픽셀회로가 불량이면 TFT 백플레인 전체가 불량이기 때문에 픽셀회로 불량에 따른 손실 비용이 크다. 하지만, 픽셀회로를 포함하는 TFT 발광소자 단위로 불량 선별되면 개별 불량 TFT 발광소자에 대한 비용만이 불량에 따른 손실 20 비용이고 불량에 따른 손실 비용이 높은 백플레인이 필요 없기 때문에 전사 기술의 생산성만 확보된다면 디스플레이 장치의 제조 원가를 줄일 수도 있다.

뿐만 아니라, 상술한 디스플레이 장치들은 LED 크기와 동일한 발광면적을 갖는 수직형 발광소자를 20 적용이 가능한 구조이기 때문에 동일한 LED 크기에서 빛 방출 성능이 더 우수할 수도 있으며, 제1 반도체층과 연결된 회로선 및 제2 반도체층과 연결된 제2 전극층을 위 아래에 각각 배치할 수 있기 때문에 제1 반도체층과 연결된 회로선 및 제2 반도체층과 연결된 제2 전극층 모두를 위 또는 아래 중 한쪽에 형성하는 것 보다 주사선 등의 회로선들 형성이 더 유리할 수도 있다. 하지만, 제1 반도체층과 25 연결된 회로선 및 제2 반도체층과 연결된 제2 전극층이 한쪽 방향의 면들에 형성된 발광소자들을 적용하고, 주사선 등의 회로선들 형성 방법을 달리하여 디스플레이 장치를 형성할 수도 있다.

도 15a에서 도 15e까지는 불투명 제1 반도체층을 더 포함하는 제1 반도체층을 가지는 에피층으로 30 형성되는 디스플레이 장치들을 보여주는 도면들이다. 도 15a를 참조하면, 성장기판(10)에 성장된 에피층(15)은 버퍼 에피층(11), 불투명 제1 반도체층(12a), 투명 제1 반도체층(12b), 활성층(13) 및 제2 반도체층(14)을 포함한다. 여기서도 에피층(15)은 상기 에피층들(11, 12a, 12b, 13, 14) 이외에 다른 에피층이 더 포함할 수도 있고, 또는 버퍼 에피층(11)을 포함하지 않을 수도 있다.

하나의 PM LED 집합체를 보여주는 도 15b를 참조하면, 제1 전극층(22)을 패터닝하고 불투명 제1 반도체층(12a)을 패터닝하여 빛이 방출될 수 있게 한다. 싱글레이션 후를 보여주는 도 15c를 참조하면, 에치 마스크층(81)을 형성하고 제1 전극층(22)을 최종 형태로 패터닝하고 상술한 방법으로 싱글레이션

한다. 또는 제1 전극층(22)을 최종 형태로 패턴하게 되면 불투명 제1 반도체층(12a)의 일부분이 노출되고, 그 노출부분을 에칭으로 제거할 수도 있다. 도 15d와 도 15e를 참조하면, 빛이 방출될 수 있는 구조로 패턴된 불투명 제1 반도체층(12a)을 포함하는 발광소자들로 상술한 방법들을 통해 PM 및 AM 디스플레이 장치가 형성될 수도 있다. 상술한 LED 모듈에 있어서도 빛이 방출될 수 있는 구조로 패턴된 불투명 제1 반도체층을 더 포함할 수도 있다.

적, 녹 및 청색의 양품 발광소자들을 이동하여 캐리어 판넬에 접합하거나, 또는 어떤 한가지 색의 양품 발광소자들만 이동하여 캐리어 판넬에 접합하여 천연색 또는 단색의 상술한 디스플레이 장치들을 형성할 수 있다. 결국, 어떤 한가지 색의 양품 발광소자들이 수평 배치된 디스플레이 장치 또는 여러 가지 색의 양품 발광소자들이 조합되어 수평 배치된 상술한 디스플레이 장치들을 형성할 수 있다.

도 16a에서 도 19d까지는 적층형 디스플레이 장치들의 형성 과정을 보여주는 도면들이다.

도 13g의 C-C' 단면선을 따라 도시된 도 16a에서 도 16d까지는 적, 녹 및 청색 각각의 TFT 발광소자 집합체를 3개 층으로 형성되는 적층형 AM 디스플레이 장치를 보여주는 도면들이다. 도 16a는 도 14a를 참조해 설명된 보호층 2(83)을 형성하기 전 공정까지 진행되어 보호층 1(82)을 포함하는 TFT 발광소자 집합체인 1층 TFT 발광소자 집합체(302)를 보여주고, 도 16b는 도 13e 등을 참조해 설명된 회로층 2(56)를 형성하는 공정까지 진행되어 캐리어 판넬(30)이 포함되며 회로층 3이 형성되지 않은 TFT 발광소자 집합체인 2층 및 3층 TFT 발광소자 집합체(303)를 보여준다. 여기서 2층 및 3층 TFT 발광소자 집합체의 제2 전극층(24)은 투명 물질로 형성되거나 또는 불투명 물질을 빛이 방출될 수 있는 구조로 패턴(미도시)하여 형성된다. 다음으로 도 16c와 같이 1층 TFT 발광소자 집합체(302)와 2층 TFT 발광소자 집합체(303)를 1/2층 접합층(34)를 이용해 서로 접합하여 적층한다. 도 16d를 참조하면, 상술한 방법으로 2층 TFT 발광소자 집합체(303)의 캐리어 판넬(30), 분리층(31) 및 접합층 1(32)을 제거하고 회로층 3(57)을 형성한 후 2/3층 접합층(35)으로 3층 TFT 발광소자 집합체(303)를 접합하고, 마찬가지로 3층 TFT 발광소자 집합체(303)의 캐리어 판넬(30), 분리층(31) 및 접합층 1(32)을 제거하고 회로층 3(57)을 형성한 후 보호층 2(83)을 형성한다. 여기서 1/2층 접합층(34), 2/3층 접합층(35) 및 보호층 2(83)은 각 층의 TFT 발광소자 집합체에 포함된 회로선들의 터미널들을 노출시키면서 형성된다.

결국, 적, 녹 및 청색 각각의 TFT 발광소자 집합체를 각 층으로 해서 적층되며, 1/2층 접합층, 2/3층 접합층, 보호층 1 및 보호층 2를 포함하여 적층형 AM 디스플레이 장치가 형성된다.

여기서도 접합층 1(32)을 완전히 제거하지 않고 에치백으로 공통 전극선 1b(69a)을 노출시키면서 남겨둘 수도 있다. 또한, 적, 녹 및 청색 중 어느 두가지 색의 TFT 발광소자들이 수평 배치된 이원색 TFT 발광소자 집합체를 하나의 층으로 하고 나머지 한가지 색의 TFT 발광소자로 형성된 단색 TFT 발광소자 집합체를 다른 하나의 층으로 하는 2개의 층의 적층형 AM 디스플레이 장치를 형성할 수도 있다.

상술한 적층형 AM 디스플레이 장치의 빛 방출 방향은 도 16d에서 위쪽 방향으로 실시예를 설명하였지만, 1층 TFT 발광소자 집합체의 제2 전극층을 빛이 방출될 수 있는 구조 또는 물질로 형성하며, 보호층 1(82)을 투명 물질로 형성하며, 3층으로 형성된 적층형 AM 디스플레이 장치 경우는

3층 TFT 발광소자 집합체의 공통 전극선 1b(69a)가 광 반사 특성을 가지면서 최대한 넓은 면적으로 제1 반도체층을 덮게 형성되면 아래쪽 방향으로 빛이 방출되게 할 수도 있고, 2층으로 형성된 적층형 AM 디스플레이 장치의 경우는 2층 TFT 발광소자 집합체가 광 반사 특성을 가지면서 최대한 넓은 면적으로 제1 반도체층을 덮게 형성된 공통 전극선 1b(69a)를 포함하여 아래쪽 방향으로 빛이 방출되게 할 수도
5 있다. 또는 모든 구성요소들을 투명 물질로 형성하면 투명 디스플레이 장치로 형성할 수도 있다.

상술한 바와 같이 디스플레이 장치의 수율 문제로 인해 선별된 양품의 발광소자들만 디스플레이 장치를 형성하는 것이 바람직하지만, 상대적으로 적은 수의 LED들이 필요한 저해상도 또는 소형 디스플레이 장치 경우는 전기/광학시험 및 육안검사를 통해 LED 집합체 단위로 양품을 선별하고, 선별된 양품의 LED 집합체에는 일부 불량 LED들이 포함될 수도 있으며, LED 집합체들을 적층하여 디스플레이
10 장치를 형성할 수도 있다. 상술한 탐침 패드의 모양을 드라이브 IC와 연결 가능한 터미널 형태로 변경하여 형성된 PM LED 집합체(200) 또는 TFT LED 집합체(201)를 적층하여 아래에 설명될 적층형 디스플레이 장치를 형성할 수 있다.

본 발명에서 설명의 용의성을 위해 LED 집합체는 캐리어 기판을 포함한 의미로 사용될 수도 있고, 또는 캐리어 기판과 분리 가능 접합층을 제외한 모든 구성요소들만을 통칭하는 의미로 LED 집합체라고
15 칭할 수도 있다.

도 17a에서 도 17e까지는 적, 녹 및 청색 각각의 TFT LED 집합체를 3개 층으로 하는 적층형 AM 디스플레이 장치를 형성 과정을 보여주는 도면들이다. 도 17a는 도 17b의 A-A' 단면선, 도 17c에서 도 17e까지는 도 17b의 E-E' 단면선을 따라 도시된 도면들이다.

도 11e와 도 11f를 참조해 설명된 소스/드레인 회로층(65)을 형성 후 평면도인 도 17b를 참조하면,
20 주사선 패드는 포함하지 않으면서 데이터선 1(65a), 공통 전극선 1a(65b), LED 연결선(65c)와 TFT간 연결선(65d)을 포함하여 소스/드레인 회로층(65)이 형성된다.

다른 단면선을 따라 도시된 도 17a와 도 17c는 도 12c를 참조해 설명된 TFT LED 집합체를 재 도시한 것으로 도 12c의 TFT LED 집합체와 달리 절연층 4(67)을 에치백으로 패터하여 형성된 1층/2층/3층 TFT LED 집합체를 보여준다. 최대한 평탄하게 절연층 4(67)를 코팅하고 에치백으로 패터하여 절연층 4(67)와
25 LED의 높이 차이를 최소화하면 각 층들의 접합에 보다 유리할 수도 있다. 하지만, 반드시 에치백으로 패터해야 한다는 것을 의미하지는 않는다. 여기서 2층/3층 TFT LED 집합체는 1층 TFT LED 집합체와 다르게 투명 물질로 형성되거나 또는 불투명 물질을 빛이 방출될 수 있는 구조로 패터(미도시)하여 형성된 제2 전극층(24)을 포함하며, 소스/드레인 회로층(65)를 이용해 드라이버 IC가 연결될 모든 터미널들을 소스/드레인 회로층(65)이 형성된 면에 형성하고 제1 반도체층(12)과 연결된 공통 전극선
30 1b(69a)는 소스/드레인 회로층(65)의 일부분으로 형성된 공통 전극선 1b 터미널과 연결된다.

도 17d를 참조하면, 1층과 2층 TFT LED 집합체는 각 공통 전극선 1b(69a)를 서로 마주보면서 1/2층 접합층(34)를 이용해 접합하여 적층한다. 도 17e를 참조하면, 2층 TFT LED 집합체의 캐리어 기판(20)과 분리 가능 접합층(25)를 제거하고, 2층 TFT LED 집합체 상에 3층 TFT LED 집합체를 2/3층 접합층(35)를

이용해 접합하여 적층하고, 3층 TFT LED 집합체의 캐리어 기판(20)과 분리 가능 접합층(25)을 제거하고, 보호층 2(83)를 도포하여 적층형 AM 디스플레이 장치가 형성된다.

여기서, TFT LED 집합체들을 포함하고 있는 1층 및 2층의 캐리어 기판들을 서로 웨이퍼 본딩을 해서 적층하고, 2층의 캐리어 기판과 분리 가능 접합층을 제거하고, TFT LED 집합체들을 포함하고 있는 3층의 캐리어 기판을 웨이퍼 본딩하여 적층하거나, 또는 1층 TFT LED 집합체들 중에서 양품의 1층 TFT LED 집합체들에 절단된 양품의 2층 TFT LED 집합체를 하나씩 본딩을 하고, 2층 TFT LED 집합체의 캐리어 기판과 분리 가능 접합층을 제거하고, 적층된 2층 TFT LED 집합체들 상에 절단된 양품의 3층 TFT LED 집합체를 하나씩 적층할 수도 있다. 1층/2층/3층 TFT LED 집합체들을 적층하여 형성된 디스플레이 장치들은 하나씩 절단된다.

10 상술한 적층형 AM 디스플레이 장치들에 있어서 각 층 TFT LED 집합체 및 TFT 발광소자 집합체의 각 LED의 픽셀회로는 상술한 바와 같이 몇 개의 TFT와 캐패시터로 구성된 픽셀회로 인지, TFT의 구조 또는 제1/제2 반도체층 각각이 어떤 형인지 등에 따라 여러 가지 변형이 있을 수 있다.

도 18a에서 도 19c는 적층형 PM 디스플레이 장치의 형성 과정을 보여주는 도면들이다.

도 18a와 도 18b를 참조하면, 도 2g를 참조해 설명된 PM LED 집합체의 탐침 패드들을 드라이버 IC와 연결될 수 있는 터미널 형태로 형성하여 적, 녹 및 청색 각각의 PM LED 집합체를 형성하며, 2층 및 3층 PM LED 집합체들은 투명 물질로 형성되거나 또는 불투명 물질을 빛이 방출될 수 있는 구조로 패턴(미도시)된 제2 전극층(24)을 이용해 제1/제2 전극층의 터미널들을 제2 전극층(24)이 형성된 면에 형성하며 제1 전극층(22)은 제2 전극층(24) 일부분으로 형성된 제1 전극층 터미널들과 연결된다. 1층, 2층 및 3층의 PM LED 집합체들을 상술한 방법으로 적층하고 보호층 2(83)을 도포하여 적층형 PM 디스플레이 장치를 형성한다.

상술한 PM 또는 TFT LED 집합체로 형성된 적층형 디스플레이 장치에 있어서, 캐리어 기판(20)은 보호층이 될 수도 있으며, 이 경우는 분리 가능 접합층이 아니라 접합층(25)을 적용하여 에피 웨이퍼와 캐리어 기판(20)을 웨이퍼 본딩한다. 아니면, 1층 또는 3층 LED 집합체의 캐리어 기판과 분리 가능 접합층을 제거하고 보호층을 별도로 형성할 수도 있다. 그래서 1층 및 3층의 LED 집합체의 접합층(25)과 캐리어 기판(20)이 보호층을 의미할 수도 있다. 뿐만 아니라, 빛 방출방향은 도 17e와 도 18b에서 위쪽 방향으로 실시예를 설명하였지만, 1층 LED 집합체의 제2 전극층을 빛이 방출될 수 있는 구조 또는 물질로 형성하며, 캐리어 기판(20) 및 접합층(25)을 투명 물질로 형성하며, 3층 LED 집합체의 제2 전극층은 광 반사 특성을 가지면서 최대한 넓은 면적으로 제2 반도체층을 덮게 형성되면, 아래쪽 방향으로 빛이 방출되게 할 수도 있다. 또는 모든 구성요소들을 투명 물질로 형성하면 투명 디스플레이 장치로 형성할 수도 있다.

도 19a에서 도 19d까지는 적, 녹 및 청색 각각의 PM 발광소자 집합체를 3개 층으로 형성되는 적층형 PM 디스플레이 장치를 보여주는 도면들이다. 도 19a를 참조하면, 도 6d를 참조해 설명된 PM 디스플레이 장치에서 보호층 2(83)을 형성하기 전 상태로 보호층 1(82)를 포함하는 PM 발광소자 집합체인 1층 PM

발광소자 집합체를 준비한다. 도 19b를 참조하면, 도 6b에서 보호층 1(82)을 형성하기 전 상태로 캐리어 판넬(30)이 포함되며 제1 회로층이 형성되지 않은 PM 발광소자 집합체인 2층 및 3층 PM 발광소자 집합체를 준비한다. 여기서 2층 및 3층 PM 발광소자 집합체의 제2 전극층(24)과 제2 회로층(54)은 투명 물질로 형성하거나, 또는 빛이 투과 될 수 있는 구조로 패턴(미도시)하여 형성된다. 도 19c와 도 19d를
 5 참조하면, 상술한 방법으로 1층 PM 발광소자 집합체와 2층 PM 발광소자 집합체를 적층하고, 2층 발광소자 집합체의 캐리어 판넬(30), 분리층(31) 및 접합층 1(32)을 제거하여 노출된 제1 전극층(22)과 연결되는 제1 전극 연결 회로층(52a)을 포함하는 제1 회로층을 도 6d를 참조해 설명된 바와 같이 형성하고, 3층 PM 발광소자 집합체를 적층하고 마찬가지로 방법으로 3층 PM 발광소자 집합체의 제1 전극 연결 회로층(52a)을 포함하는 제1 회로층을 형성하고 보호층 2(83)을 도포하여 적층형 PM 디스플레이
 10 장치를 형성한다.

결국, 적, 녹 및 청색 각각의 PM 발광소자 집합체를 각 층으로 해서 적층되며, 1/2층 접합층, 2/3층 접합층, 보호층 1 및 보호층 2를 포함하여 적층형 AM 디스플레이 장치가 형성된다.

여기서도 접합층 1(32)을 완전히 제거하지 않고 에치백으로 제1 전극층(22)을 노출시키면서 남겨둘 수도 있다. 또한, 상술한 바와 같이 이원색과 단색의 2개 층 PM 발광소자 집합체들을 적층해 적층형 PM
 15 디스플레이 장치를 형성할 수도 있다.

뿐만 아니라, 빛 방출 방향을 1층 PM 발광소자 집합체의 제2 전극층과 제2 회로층을 투명 물질로 형성하거나, 또는 빛이 투과 될 수 있는 구조의 패턴으로 형성하며, 보호층 1을 투명 물질로 형성하며, 3층으로 형성된 적층형 PM 디스플레이 장치 경우는 3층 PM 발광소자 집합체의 제1 전극층은 광 반사 특성을 가지면서 최대한 넓은 면적으로 제1 반도체층을 덮게 형성되면 아래쪽 방향으로 빛이 방출되게
 20 할 수도 있고, 2층으로 형성된 적층형 PM 디스플레이 장치 경우는 2층 PM 발광소자 집합체가 광 반사 특성을 가지면서 최대한 넓은 면적으로 제1 반도체층을 덮게 형성된 제1 전극층을 포함하여 아래쪽 방향으로 빛이 방출되게 할 수도 있다. 또는, 모든 구성요소들을 투명 물질로 형성하면 투명 디스플레이 장치로 형성할 수도 있다.

본 발명에서 발광소자 집합체라는 용어는 캐리어 판넬에 발광소자들이 수평 배치된 후 적층형
 25 디스플레이 장치를 형성하는 과정 중에 각 층의 구성요소들 전체를 통칭하거나, 또는 적층형 디스플레이 장치가 형성된 후 보호층 1, 보호층 2, 1/2층 접합층 및 2/3층 접합층을 제외한 각 층의 구성요소들 전체를 통칭하기 위해 사용될 수도 있다.

상술한 적층형 디스플레이 장치들도 측벽 미러를 더 포함하는 디스플레이 장치를 형성할 수도 있다. 또한, 상술한 디스플레이 장치들 및 LED 모듈들에 있어서 도면상으로는 같은 크기의 LED 또는
 30 발광소자들이 배치되어 있지만 여러 가지 크기의 LED 또는 발광소자들을 조합하여 수평 배치하거나 적층할 수도 있다. 뿐만 아니라, 적층형 디스플레이 장치들에 있어서 도면상으로 각 층의 LED 또는 발광소자들이 수직적으로 일치되게 정렬되어 적층되어 있지만 이격되게 적층할 수도 있다.

본 발명에서 LED 전사가 필요한 디스플레이 장치들 및 LED 모듈들에 있어서, 레이저 전사 기술뿐만

아니라 다른 전사 기술이 적용될 수도 있다. 또한, 백플레인에 형성된 접합층과 접합되게 발광소자를 전사하는 경우는 수직형 발광소자로 디스플레이 장치를 형성하기가 곤란하지만, 본 발명은 별도의 PCB 또는 백플레인을 포함하지 않는 디스플레이 장치 및 LED 모듈이기 때문에 수직형 발광소자를 적용할 수 있다. 뿐만 아니라, 상술한 바와 같이 빛 방출 방향을 자유롭게 할 수 있는 구조를 가지며, 별도의 PCB 또는 백플레인을 포함하지 않기 때문에 더 가볍고 얇은 디스플레이 장치 및 LED 모듈이 가능하다.

LED 디스플레이 장치 및 LED 모듈을 제조하기 위한 가장 바람직한 LED 전사 기술로 불량 발광소자들 또는 다른 파장대에 있는 발광소자들 사이에 있는 하나의 양품 발광소자도 전사할 수 있으면서 우수한 생산성을 가지는 전사 기술이 요구된다. 하지만, 롤 전사 기술은 발광소자를 하나씩 전사하기 곤란하며, PnP 전사 기술은 발광소자를 하나씩 전사하게 되면 생산성이 너무 낮은 것으로 알려져 있다. 그래서 롤 전사 및 PnP 전사 기술에 비해 전사 속도가 빠르며, 다수의 발광소자들을 함께 전사할 수 있으면서 하나씩도 전사할 수 있는 레이저 전사 기술이 바람직하고, 다른 전사 기술과 마찬가지로 레이저 전사 기술도 전사 후 위치 정밀도의 향상이 필요하다.

종래의 전사 기술들에서 전사 후 위치 정밀도를 향상시키기 위해 도너(Donor) 기판에서 전사된 소자가 안착될 수 있는 홈(이하 안착 홈) 안쪽으로 들어가면서 전사되게 하는 방식을 적용하는 경우도 있지만, 접수 기판에 형성된 안착 홈은 공정 공차로 인해 발광소자 보다 커야 하기 때문에 마이크로 LED 디스플레이 장치에서 요구되는 수 마이크로 미터 이하의 위치 정밀도에는 큰 도움이 안될 수도 있고, 또한 수 마이크로 미터 두께의 발광소자가 원활히 안착되게 하기 위해 안착 홈의 벽면이 기울지면서 안착 홈을 깊게 하면 발광소자들 사이의 간격이 커질 수도 있고 코팅 및 패턴 등의 공정의 난이도가 높아질 수도 있다. 그뿐만 아니라, 발광소자가 안착 홈에 잘 안착되지 않고 안착 홈에 걸쳐질 수도 있는 위험성이 있다.

레이저 전사 기술은 도너 기판에서 전사될 소자를 증기압으로 떨어지게 하고 소자를 잡아주는 것 없이 접수 기판으로 날려 보내는 것이기 때문에 소자가 이동 중에 회전할 수도 있고 기울어 질 수도 있다. 그래서 도너 기판과 접수 기판 사이의 간격(이동 거리)을 좁게 하여 발광소자가 이동 중에 회전 및 기울어짐 등이 발생하여 위치 변화가 커지기 전에 접수 기판에 도달하게 하면서 이동 중에 회전 및 기울짐을 최소화할 수 있으면 보다 높은 정밀도를 가질 수 있다. 발광 소자의 이동 거리는 발광소자의 두께에 좌우 되는 것으로 본 발명의 발광소자들은 수 마이크로 미터 두께 정도까지 형성이 가능하기 때문에 도너 기판과 접수 기판 사이의 간격은 충분히 작게 형성될 수 있다.

도 20a는 도 20b의 F-F' 단면선을 따라 도시된 것으로 레이저 전사를 보여주는 단면도, 도 20b와 도 20c는 발광소자(90)을 포함하는 캐리어 기판(20)의 저면도와 평면도이다. 도 20a, 도 20b 및 도 20c를 참조하면, 상술한 싱글레이션에서 발광소자(90)들 사이에 안내벽(92)을 형성하면서 싱글레이션하며, 캐리어 기판(20)에 레이저가 투과되지 않는 윈도우층(91)을 증착하고 레이저 빔(93)이 투과되는 영역(이하 투과 영역)이 형성되게 패턴한다. 다음으로 안내벽(92), 윈도우층(91) 및 발광소자를 포함하는 캐리어 기판(20)과 양품의 발광소자들이 전사될 캐리어 판넬(30)을 서로 맞대고, 윈도우층(91) 패턴으로

형성된 투과 영역을 통해 레이저를 조사하여 양품의 발광소자들을 이동하여 캐리어 판넬(30)에 접합한다.

도 20a를 참조하면, 도너 기판인 캐리어 기판(20)의 발광소자에서 접수 기판인 캐리어 판넬(30)에 코팅된 접합층 1(32)까지의 거리인 발광소자의 이동 거리(d)는 먼저 전사된 발광소자(90c)와 캐리어 기판(20)에 있는 전사전 발광소자(90a)가 서로 접촉되지 않게 발광소자와 레이저 조사 후 잔존하는 분리 가능 접합층(25)의 두께보다 커야 하고, 이동 중 발광소자(90b)처럼 캐리어 기판(20)에서 떨어져 나와 발광소자를 잡아주는 것 없이 날아서 캐리어 판넬(30)로 이동하여 접합되기 때문에 발광소자는 이동 중에 회전하거나 기울어져 위치 정밀도에 영향을 줄 수 있다. 그래서 발광소자들 사이에 안내벽(92)을 형성하여 이동 중에 발생할 수 있는 회전 및 기울어짐이 안내벽(92) 내부로 제한하게 된다.

도 20b와 같이 안내벽(92)들을 발광소자(90)의 모서리들 사이에 십자 형태로 형성하면, 이동 중에 발광소자(90)와 접촉되는 부분을 최소화하면서 회전 및 기울어짐을 안내벽(92) 내부로 제한할 수 있다. 하지만, 안내벽을 십자 형태로 본 발명을 한정하고자 하는 것은 아니다.

상술한 바와 같이 발광소자(90)들 사이에 안내벽(92)을 형성하면서 싱글레이션되면 안내벽(92)은 상술한 분리 가능 접합층(25), 절연층 1 또는 절연층 4, 및 발광소자들 사이를 지나는 전극층 또는 회로선들의 일부분을 포함한다. 하지만, 싱글레이션 후 발광소자들 사이를 충전하면서 폴리머를 코팅 및 패턴하여 별도로 안내벽(92)을 형성할 수도 있다.

도 20c를 참조하면, 윈도우층(91)은 공정 편차에 의해 안내벽(92)에 레이저가 조사되는 것을 차단하기 위한 역할 및 분리 가능 접합층(25)에 조사되는 레이저 빔의 크기를 윈도우층(91)이 패턴되어 형성된 투과 영역으로 한정하는 역할을 한다.

발광소자에 조사되는 레이저 빔의 크기를 투과 영역으로 한정하게 되면, 레이저 빔의 위치 정밀도를 낮게 할 수 있고, 또한 안내벽과 발광소자의 사이의 간격을 최소화할 수도 있다. 도면상에는 투과 영역의 가장자리가 안내벽과 발광소자 사이에 위치하게 도시되어 있지만, 투과 영역이 반드시 안내벽과 발광소자 사이에 형성할 필요는 없으며 안내벽을 가리면 된다. 투과 영역의 가장자리가 발광소자 안쪽에 위치하게 되면, 분리 가능 접합층에 조사되는 레이저 빔의 크기는 발광소자보다 작지만 분리 가능 접합층의 일부분에 레이저가 조사되어 발생하는 증기압에 의해 레이저 조사가 되지 않은 부분도 함께 떨어지면서 발광소자가 캐리어 기판에서 떨어질 수도 있다.

하지만, 레이저 빔의 크기 및 위치 정밀도가 안내벽에 영향을 주지 않을 정도로 우수하고, 레이저 빔의 에너지 균일도가 우수하여 분리 가능 접합층에 레이저 조사되는 면 전체에 균일한 에너지를 조사할 수 있으면 윈도우층이 필요 없을 수 있다. 결국, 윈도우층은 레이저 빔 관리를 더 용이하게 할 수 있다.

[청구의 범위]

- 청구항 1. 제1 반도체층, 제2 반도체층 및 상기 반도체층들 사이에 배치된 활성층을 포함하는 복수개의 LED들, 상기 LED들 사이 공간을 충전하면서 형성된 절연층 1과 상기 제1 및 제2 반도체층 각각과 연결된 제1 및 제2 전극층을 포함하여 LED 집합체를 형성하고,
- 5 상기 LED 집합체에 대해 전기/광학시험을 하여 LED 양품들을 선별하고,
 싱글레이션으로 상기 절연층 1이 제거되며 상기 제1 및 제2 전극층 중 어느 하나 또는 둘 다 패턴되어 상기 각 LED에 독립되게 형성된 제1 및 제2 전극층과 상기 제1, 제2 반도체층 및 활성층이 포함된 발광소자를 형성하고, 한가지 색 이상의 양품의 상기 발광소자들을 이동하여 수평 배치된 발광소자들;
 상기 수평 배치된 발광소자들 사이 공간을 충전하면서 형성된 절연층 2;
- 10 상기 각 발광소자에 포함된 상기 제1 및 제2 전극층 각각을 연결하며, 상기 수평 배치된 발광소자들과 절연층 2을 사이에 두고 서로 교차하며, 터미널을 포함하며, 나열되게 패턴된 제1 및 제2 회로층; 및
 상기 터미널들을 노출시키면서 최외곽 상하면 각각에 형성된 보호층들을 포함하는 디스플레이 장치
- 청구항 2. 제1 항에 있어서, 상기 수평 배치된 발광소자들, 상기 절연층 2, 상기 제1 및 제2 회로층을
- 15 포함하는 적, 녹, 청색 각각의 PM 발광소자 집합체가 적층되며,
 상기 적, 녹 및 청색 PM 발광소자 집합체 중 어느 한가지 색의 1층 PM 발광소자 집합체와 다른 한가지 색의 2층 PM 발광소자 집합체를 접합하는 1/2층 접합층 및 나머지 색의 3층 PM 발광소자 집합체와 상기 2층 PM 발광소자 집합체를 접합하는 2/3층 접합층을 더 포함하는 디스플레이 장치
- 20 청구항 3. 제1 항에 있어서, 상기 수평 배치된 발광소자들, 상기 절연층 2, 상기 제1 및 제2 회로층을 포함하는 적, 녹 및 청색 중 어느 두가지 색의 이원색 PM 발광소자 집합체와 나머지 한가지 색의 단색 PM 발광소자 집합체가 적층되며, 상기 이원색 PM 발광소자 집합체와 상기 단색 PM 발광소자 집합체를 접합하는 1/2층 접합층을 더 포함하는 디스플레이 장치
- 25 청구항 4. 제1 반도체층, 제2 반도체층 및 상기 반도체층들 사이에 배치된 활성층을 포함하는 복수개의 LED들, 상기 LED들 사이 공간을 충전하면서 형성된 절연층 1과 상기 제1 및 제2 반도체층 각각과 연결되며, 상기 LED들과 절연층 1을 사이에 두고 서로 교차하며, 터미널을 포함하며, 나열되게 패턴된 제1 및 제2 전극층을 포함하는 적, 녹 및 청색 각각의 LED 집합체;
- 적, 녹 및 청색 각각의 상기 LED 집합체 중 어느 한가지 색의 1층 LED 집합체와 다른 한가지 색의 2층
- 30 LED 집합체를 접합하는 1/2층 접합층;
 나머지 색의 3층 LED 집합체와 상기 2층 LED 집합체를 접합하는 2/3층 접합층; 및
 상기 터미널들을 노출하면서 최외곽 상하면 각각에 형성된 보호층들을 포함하는 디스플레이 장치

- 청구항 5. 제1 반도체층, 제2 반도체층 및 상기 반도체층들 사이에 배치된 활성층을 포함하는 복수개의 LED들, 상기 각 LED의 제2 반도체층과 연결된 제2 전극층, 상기 제2 전극층 상에 형성된 버퍼층, 상기 각 LED의 버퍼층 상에 하나의 TFT 또는 하나 이상의 TFT와 하나 이상의 캐패시터가 형성되며, 복수개의 주사선 1들, 복수개의 데이터선 1들, 하나 이상의 공통 전극선 1 및 상기 각 LED들 사이 공간을 충전하면서 형성된 절연층 4을 포함하여 상기 각 LED에 픽셀회로가 구비된 TFT LED 집합체를 형성하고, 상기 TFT LED 집합체에 대해 전기/광학시험을 하여 TFT LED 양품들을 선별하고, 싱글레이션으로 상기 절연층 4는 제거되며 상기 주사선 1들, 데이터선 1들 및 하나 이상의 공통 전극선 1이 상기 각 LED에 독립되게 패턴되어 TFT 발광소자를 형성하고, 한가지 색 이상의 양품의 상기 TFT 발광소자들을 이동하여 수평 배치된 TFT 발광소자들;
- 10 상기 수평 배치된 TFT 발광소자들 사이 공간을 충전하면서 형성된 절연층 5;
- 상기 수평 배치된 각 TFT 발광소자에 포함된 상기 주사선 1들과 연결된 복수개의 주사선 2들;
- 상기 수평 배치된 각 TFT 발광소자에 포함된 상기 데이터선 1들과 연결된 복수개의 데이터선 2들;
- 상기 수평 배치된 각 TFT 발광소자에 포함된 상기 하나 이상의 공통 전극선 1과 연결된 하나 이상의 공통 전극선 2; 및
- 15 상기 주사선 2들, 데이터선 2들 및 하나 이상의 공통 전극선 2의 각 선은 터미널을 포함하며, 서로 절연되면서 상기 주사선 2들과 데이터선 2들이 서로 교차되며, 상기 터미널들을 노출하면서 최외곽 상하면 각각에 형성된 보호층들을 포함하는 디스플레이 장치
- 청구항 6. 제5 항에 있어서, 상기 수평 배치된 TFT 발광소자들, 상기 절연층 5, 상기 복수개의 주사선 2들, 상기 복수개의 데이터선 2들 및 상기 하나 이상의 공통 전극선 2를 포함하는 적, 녹 및 청색 각각의 TFT 발광소자 집합체가 적층되며,
- 적, 녹 및 청색 각각의 상기 TFT 발광소자 집합체 중 어느 한가지 색의 1층 TFT 발광소자 집합체와 다른 한가지 색의 2층 TFT 발광소자 집합체를 접합하는 1/2층 접합층 및 나머지 색의 3층 TFT 발광소자 집합체와 상기 2층 TFT 발광소자 집합체를 접합하는 2/3층 접합층을 더 포함하는 디스플레이 장치
- 25
- 청구항 7. 제5 항에 있어서, 상기 수평 배치된 TFT 발광소자들, 상기 절연층 5, 상기 복수개의 주사선 2들, 상기 복수개의 데이터선 2들 및 상기 하나 이상의 공통 전극선 2를 포함하는 적, 녹 및 청색 중 어느 두가지 색의 이원색 TFT 발광소자 집합체와 나머지 한가지 색의 단색 TFT 발광소자 집합체가 적층되며 상기 이원색 TFT 발광소자 집합체와 상기 단색 TFT 발광소자 집합체를 접합하는 1/2층 접합층을 더
- 30 포함하는 디스플레이 장치

청구항 8. 제1 반도체층, 제2 반도체층 및 상기 반도체층들 사이에 배치된 활성층을 포함하는 복수개의 LED들, 상기 각 LED의 제2 반도체층과 연결된 제2 전극층, 상기 제2 전극층 상에 형성된 버퍼층, 상기 각

LED의 버퍼층 상에 하나의 TFT 또는 하나 이상의 TFT와 하나 이상의 캐패시터가 형성되며, 복수개의 주사선 1들, 복수개의 데이터선 1들, 하나 이상의 공통 전극선 1 및 상기 각 LED들 사이 공간을 충전하면서 형성된 절연층 4을 포함하여 상기 각 LED에 픽셀회로가 구비된 적, 녹 및 청색 각각의 TFT LED 집합체;

- 5 상기 각 주사선 1, 각 데이터선 1 및 하나 이상의 공통 전극선 1은 터미널을 포함하며, 적, 녹 및 청색 각각의 상기 TFT LED 집합체 중 어느 한가지 색의 1층 TFT LED 집합체와 다른 한가지 색의 2층 TFT LED 집합체를 접합하는 1/2층 접합층; 나머지 색의 3층 TFT LED 집합체와 상기 2층 TFT LED 집합체를 접합하는 2/3층 접합층; 및 상기 터미널들을 노출하면서 최외곽 상하면 각각에 형성된 보호층들을 포함하는 디스플레이 장치
- 10 청구항 9. 제1 항, 제2 항, 제3 항, 제4 항, 제5 항, 제6 항, 제7 항 또는 제8 항 중 어느 한 항에 있어서, 상기 각 LED의 측면을 둘러싸는 측벽 미러를 더 포함하는 디스플레이 장치
- 15 청구항 10. 제5 항, 제6 항 또는 제7 항 중 어느 한 항에 있어서, 상기 주사선 2들이 형성된 층과 상기 데이터선 2들이 형성된 층 사이에 배치된 층간 절연층을 더 포함하는 디스플레이 장치
- 20 청구항 11. 제10 항에 있어서, 상기 각 LED의 측면을 둘러싸는 측벽 미러를 더 포함하는 디스플레이 장치
- 25 청구항 12. 도너 기판에 분리 가능 접합층을 포함해 형성된 발광소자들 사이에 안내벽을 형성하고, 분리 가능 접합층에 레이저 빔을 조사하여 발광소자가 이동될 때 안내벽은 발광소자가 이동 중에 회전 및 기울어짐을 제한하는 역할을 하면서 접수 기판에 발광소자를 전사하는 레이저 전사 방법
- 30 청구항 13. 제12 항에 있어서, 상기 안내벽을 가리며, 레이저가 투과되는 투과 영역이 패턴되면서 상기 도너 기판에 형성된 윈도우층을 더 포함하여 상기 투과 영역을 통해 레이저 빔이 분리 가능 접합층에 조사되는 레이저 전사 방법
- 35 청구항 14. 제1 반도체층, 제2 반도체층 및 상기 반도체층들 사이에 배치된 활성층을 포함하는 복수개의 LED들, 상기 LED들 사이 공간을 충전하면서 형성된 절연층 1 및 상기 제1 및 제2 반도체층 각각과 연결된 제1 및 제2 전극층을 포함하여 LED 집합체를 형성하고,
- 40 상기 LED 집합체에 대해 전기/광학시험을 하여 LED 양품들을 선별하고, 싱글레이션으로 상기 절연층 1이 제거되며 상기 제1 및 제2 전극층 중 어느 하나 또는 둘 다 패턴되어 상기 각 LED에 독립되게 형성된 제1 및 제2 전극층과 상기 제1, 제2 반도체층 및 활성층이 포함된 발광소자를 형성하고, 한가지 색 이상의 양품의 상기 발광소자들을 이동하여 수평 배치된 발광소자들;

상기 수평 배치된 발광소자들 사이 공간을 충전하면서 형성된 절연층 2;

상기 각 발광소자에 포함된 상기 제1 및 제2 전극층 각각을 연결하며, 상기 수평 배치된 발광소자들은 전기적으로 직렬 연결, 병렬 연결 또는 직렬과 병렬이 조합된 연결이 되며, 터미널을 포함하는 제1 및 제2 회로층; 및

5 상기 터미널들을 노출시키면서 상하면 각각에 형성된 보호층들을 포함하는 LED 모듈

청구항 15. 제1 반도체층, 제2 반도체층 및 상기 반도체층들 사이에 배치된 활성층을 포함하는 복수개의 LED들, 상기 LED들 사이 공간을 충전하면서 형성된 절연층 1 및 상기 제1 및 제2 반도체층 각각과 연결된 제1 및 제2 전극층을 포함하여 LED 집합체를 형성하고,

10 상기 LED 집합체에 대해 전기/광학시험을 하여 LED 양품들을 선별하고,

싱글레이션으로 상기 절연층 1이 제거되며 상기 제1 및 제2 전극층 중 최소 어느 하나 또는 둘 다 패터닝되어 상기 각 LED에 독립되게 형성된 제1 및 제2 전극층과 상기 제1, 제2 반도체층 및 활성층이 포함된 발광소자를 형성하고, 한가지 색 또는 두가지 색의 양품 발광소자들을 이동하여 수평 배치된 발광소자들;

15 상기 수평 배치된 발광소자들 사이 공간을 충전하면서 형성된 절연층 2;

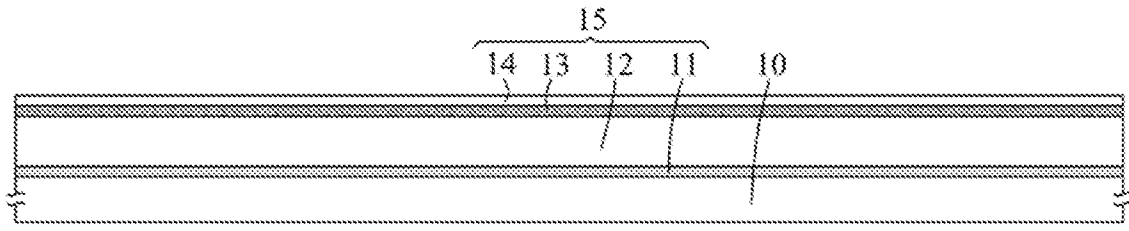
상기 각 발광소자에 포함된 상기 제1 및 제2 전극층 각각을 연결하며, 상기 수평 배치된 발광소자들은 전기적으로 직렬 연결, 병렬 연결 또는 직렬과 병렬이 조합된 연결이 되며, 터미널을 포함하는 제1 및 제2 회로층; 및

상기 터미널들을 노출시키면서 빛이 방출되는 면에 형성된 형광체층과 반대면에 형성된 보호층을

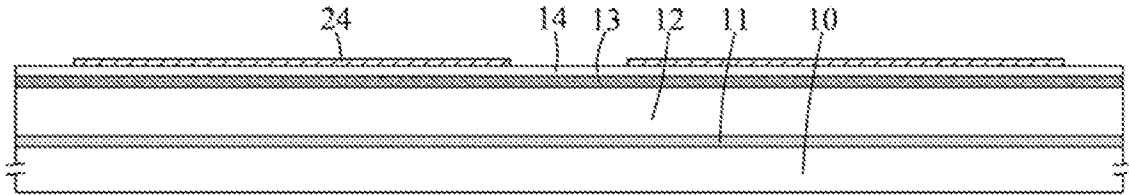
20 포함하는 LED 모듈

청구항 16. 제14 항 또는 제15 항에 있어서, 상기 각 LED의 측면을 둘러싸는 측벽 미러를 더 포함하는 LED 모듈

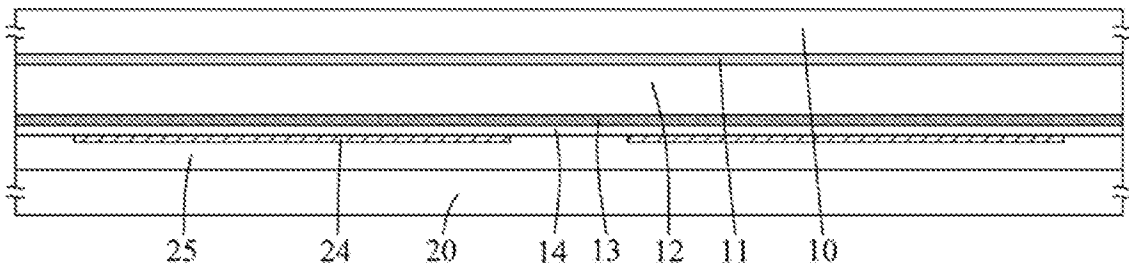
[도 1]



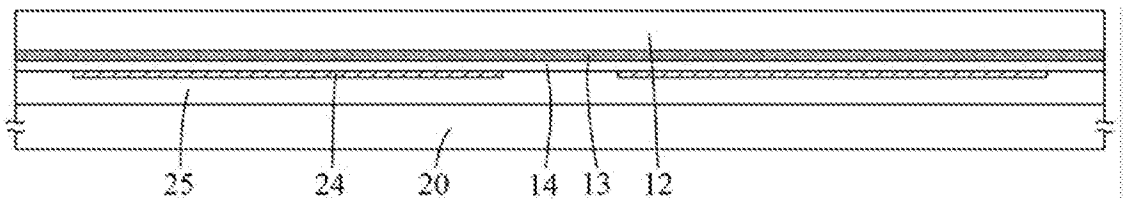
[도 2a]



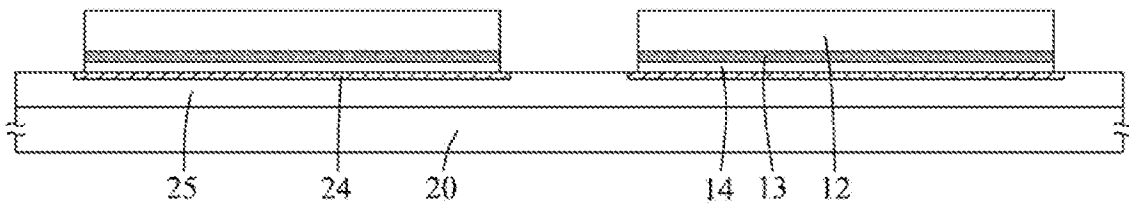
[도 2b]



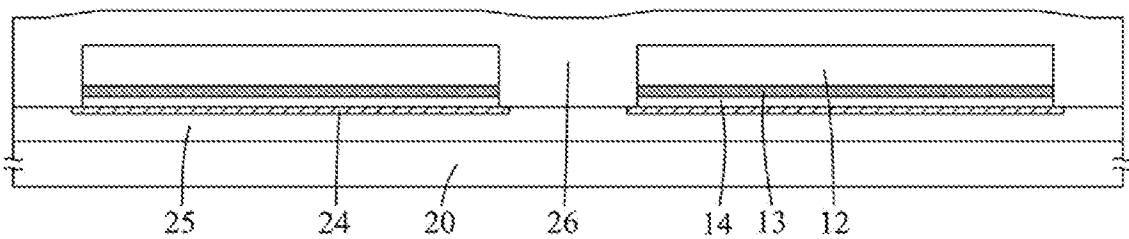
[도 2c]



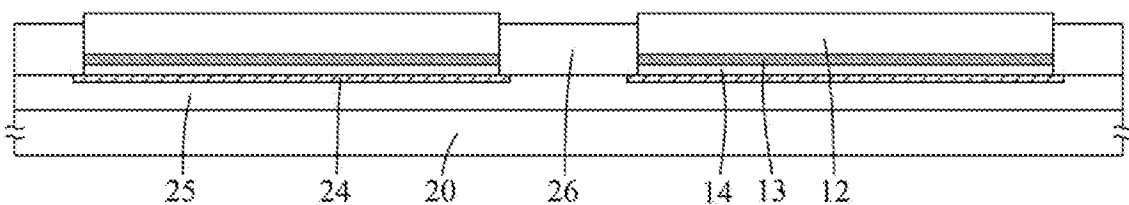
[도 2d]



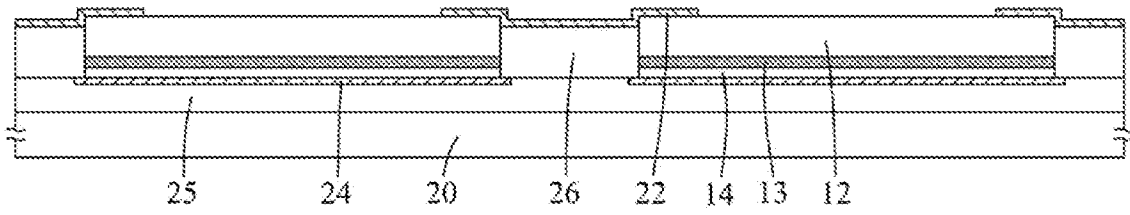
[도 2e]



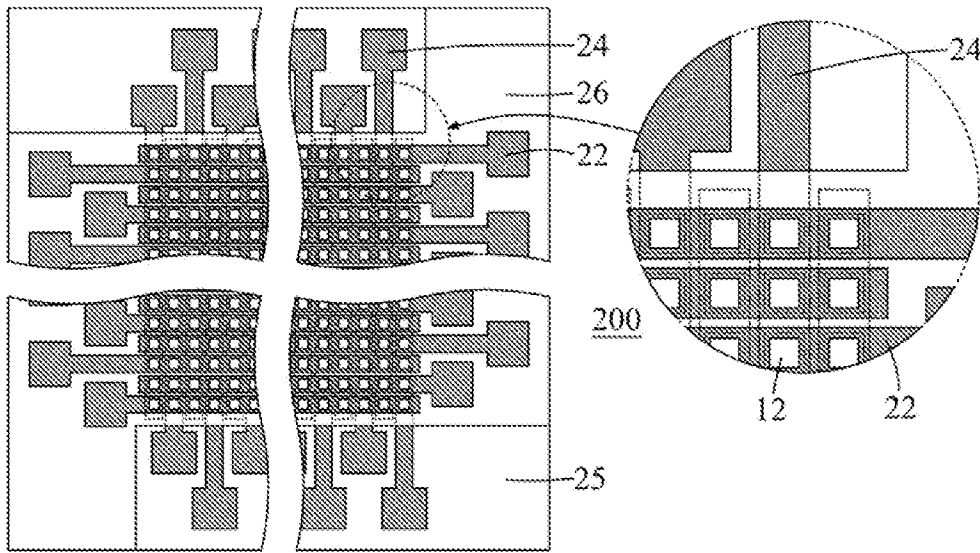
[도 2f]



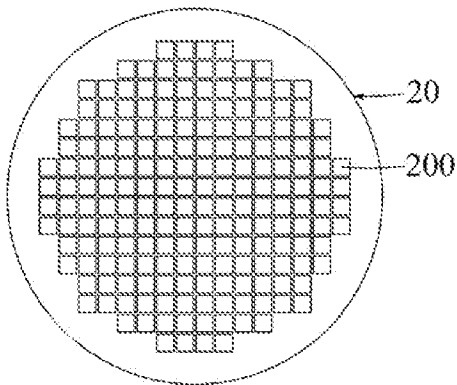
[도 2g]



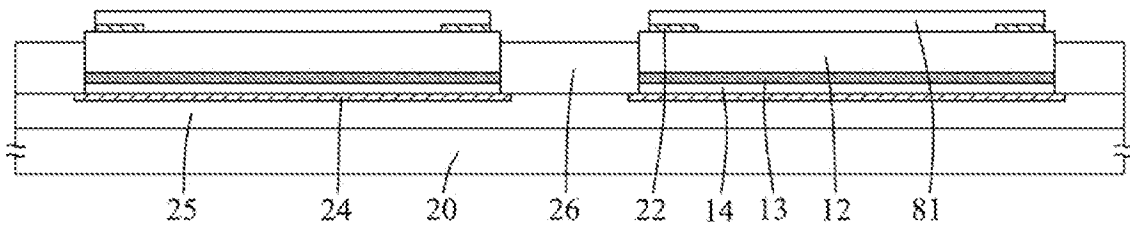
[도 2h]



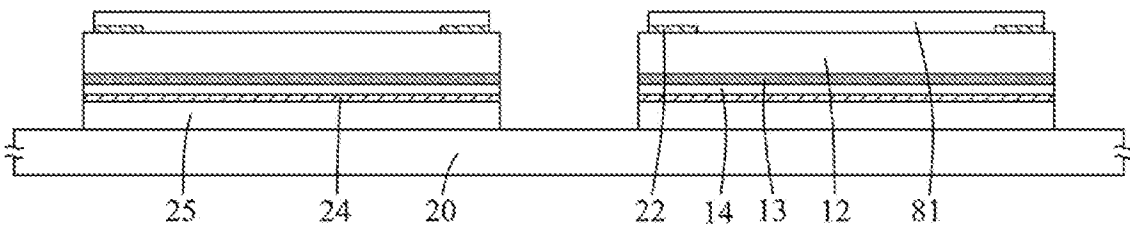
[도 3]



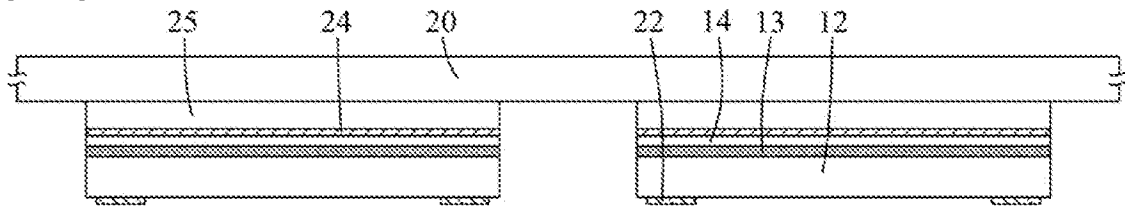
[도 4a]



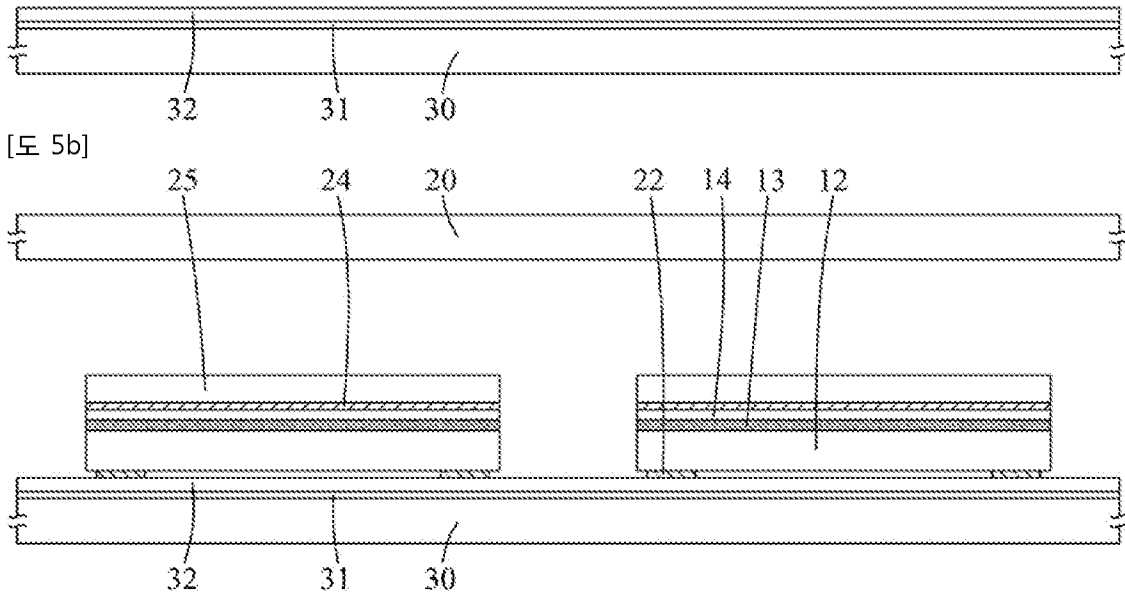
[도 4b]



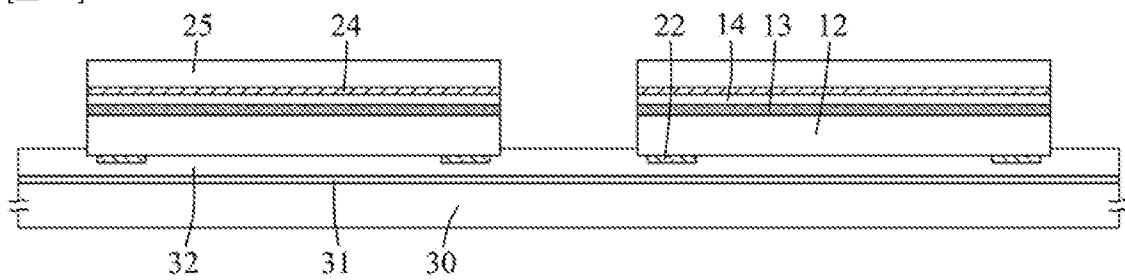
[도 5a]



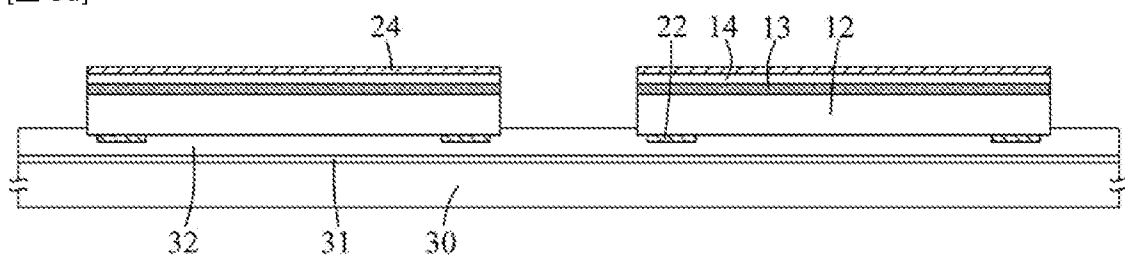
[도 5b]



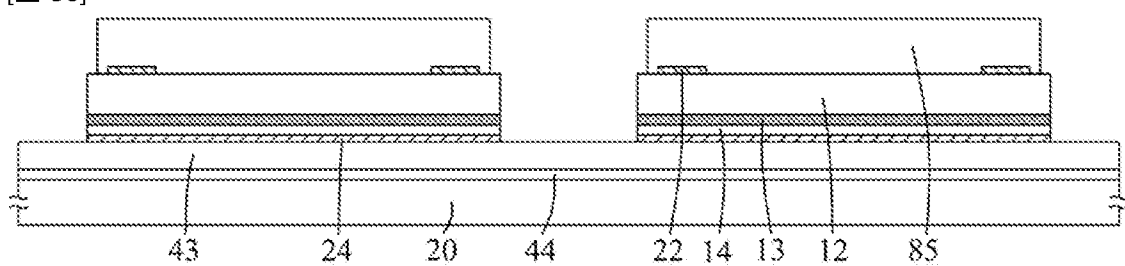
[도 5c]



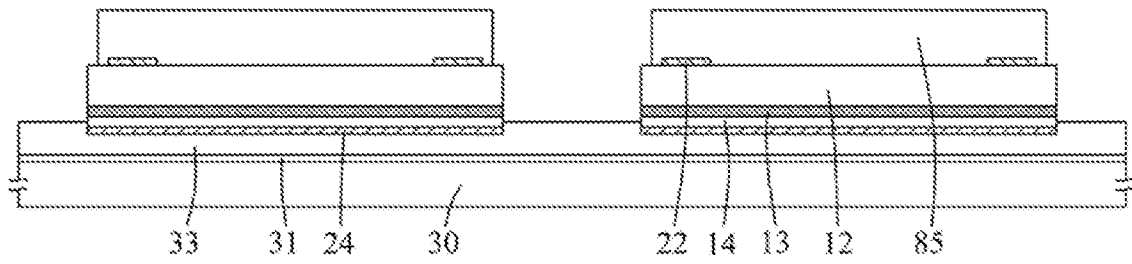
[도 5d]



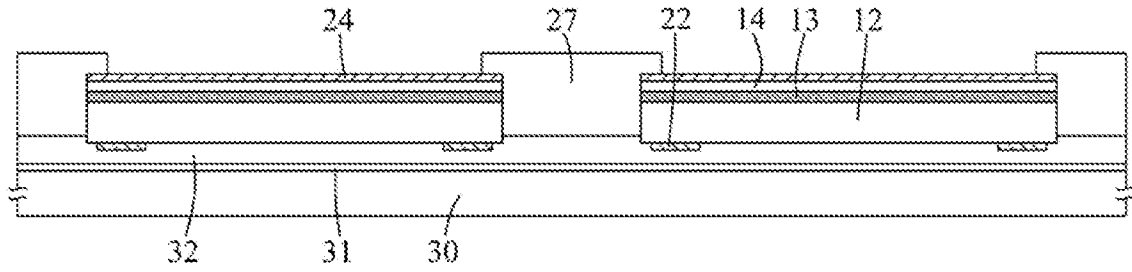
[도 5e]



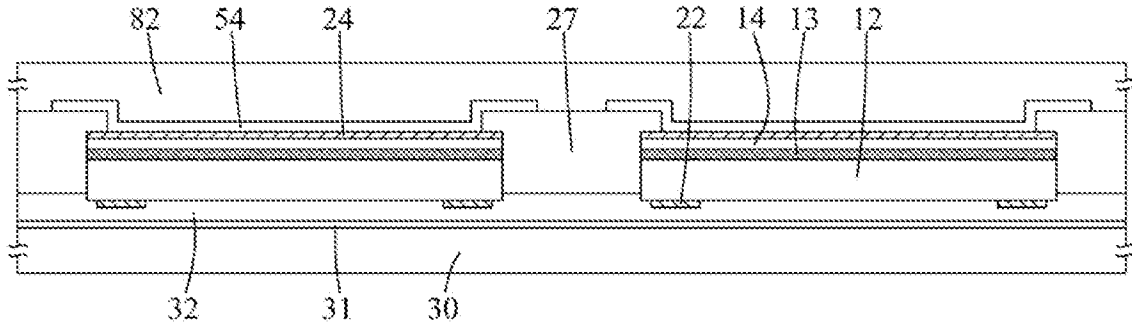
[도 5f]



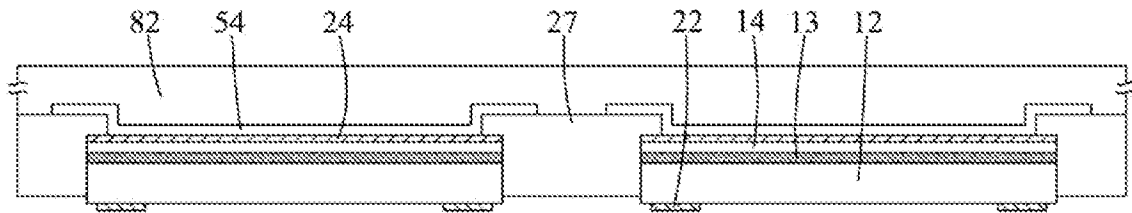
[도 6a]



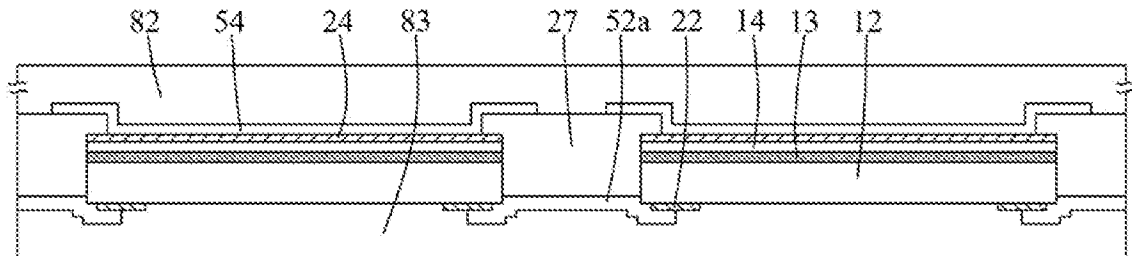
[도 6b]



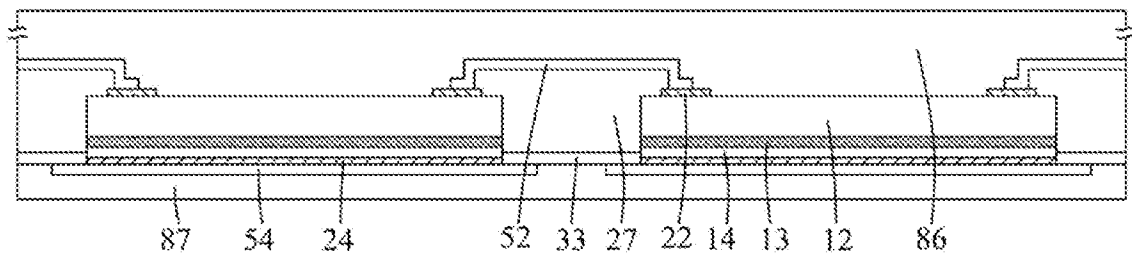
[도 6c]



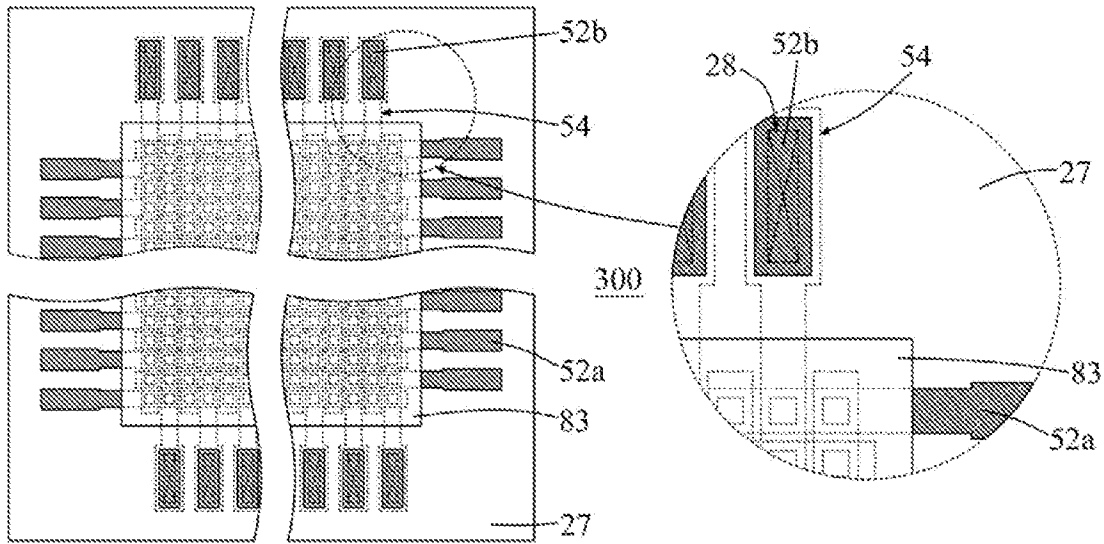
[도 6d]



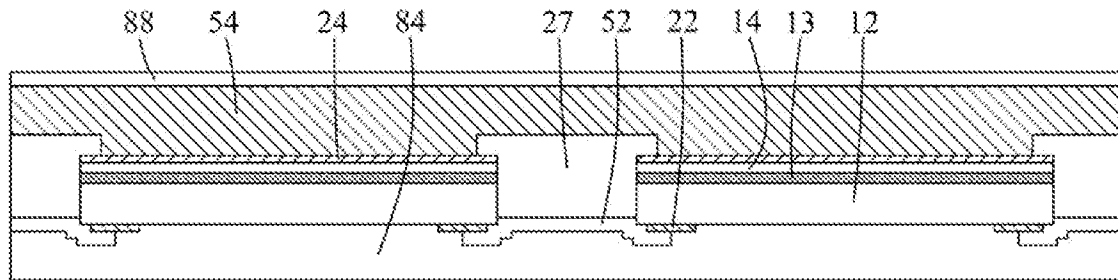
[도 6e]



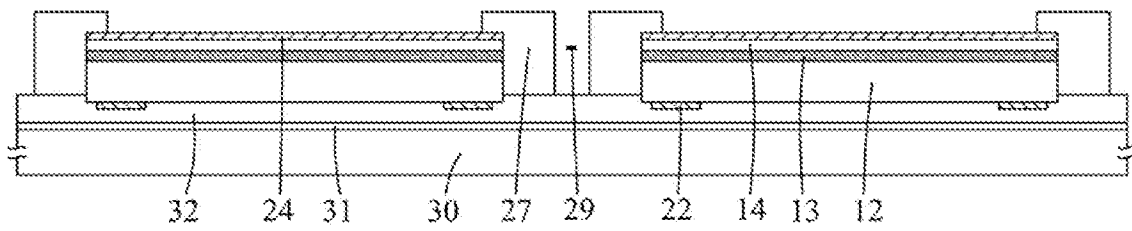
[図 7]



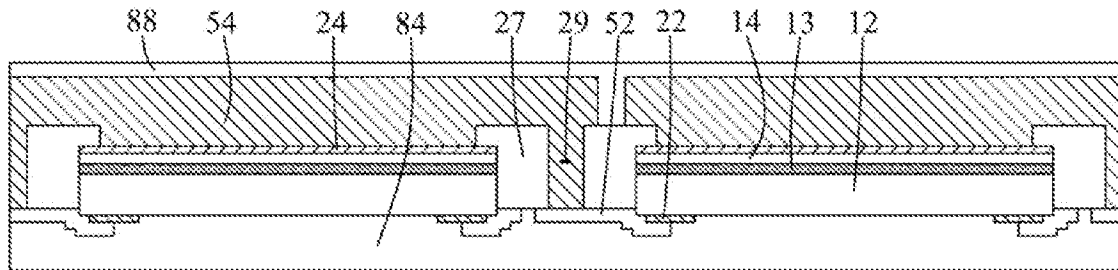
[図 8]



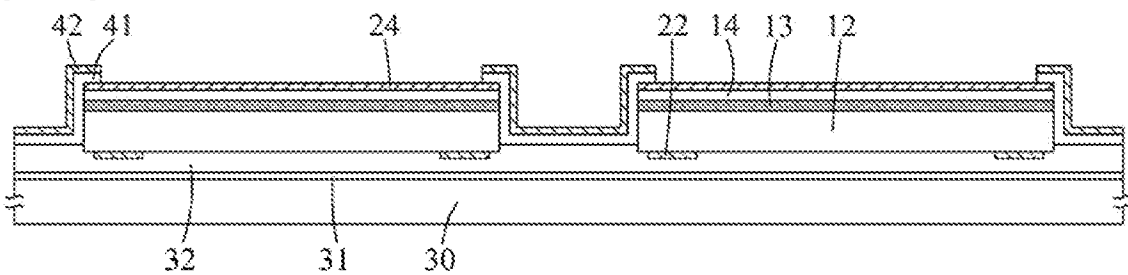
[図 9a]



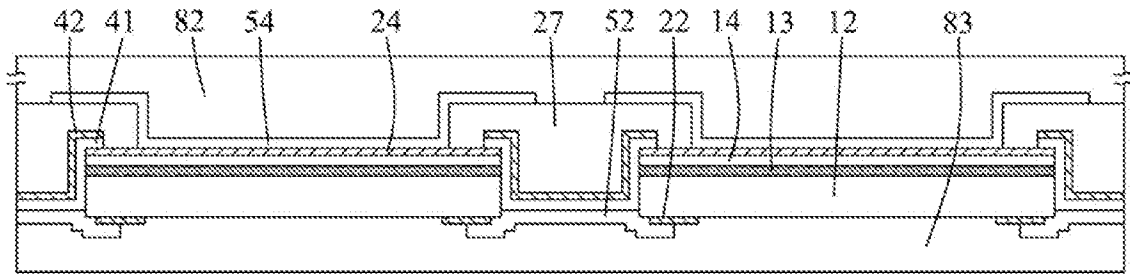
[図 9b]



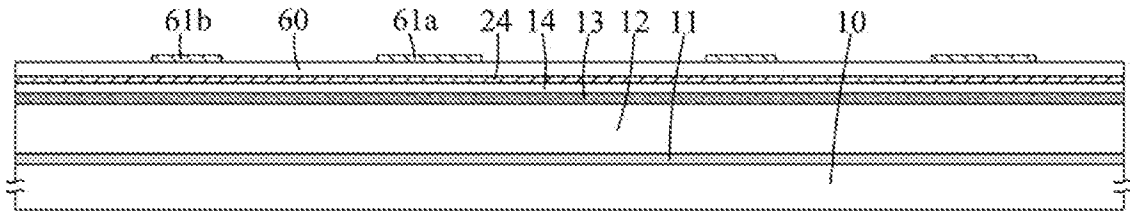
[図 10a]



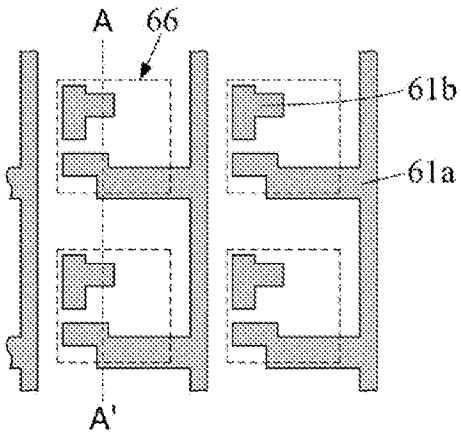
[도 10b]



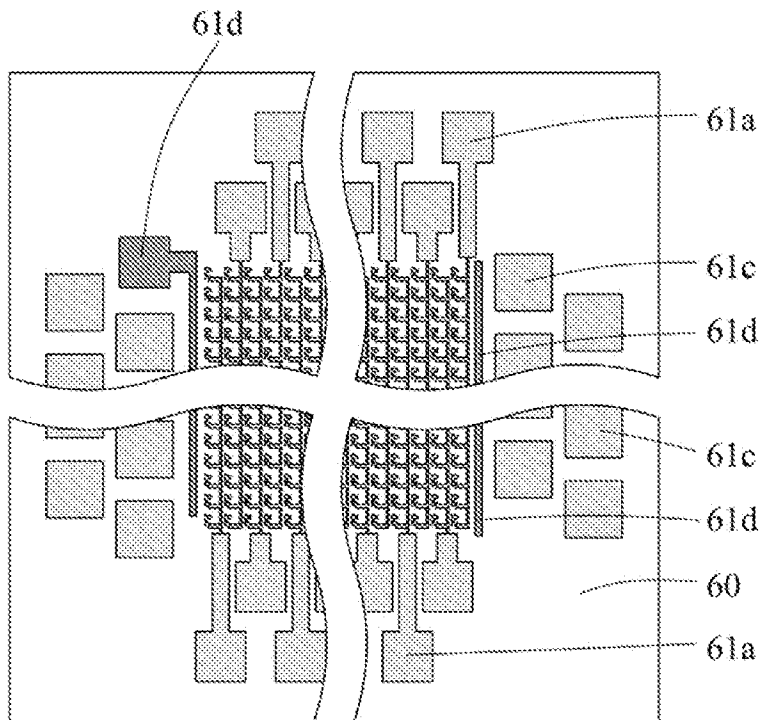
[도 11a]



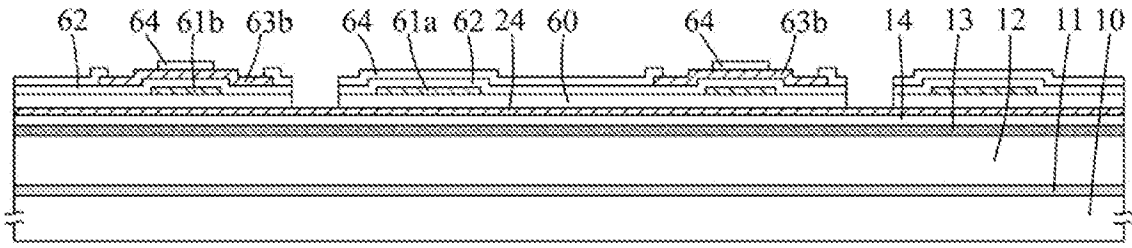
[도 11b]



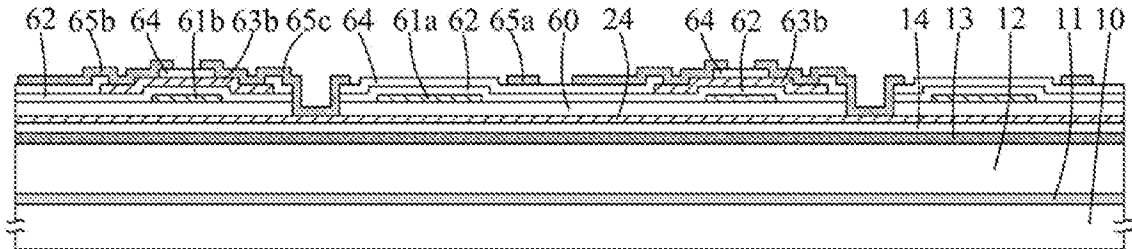
[도 11c]



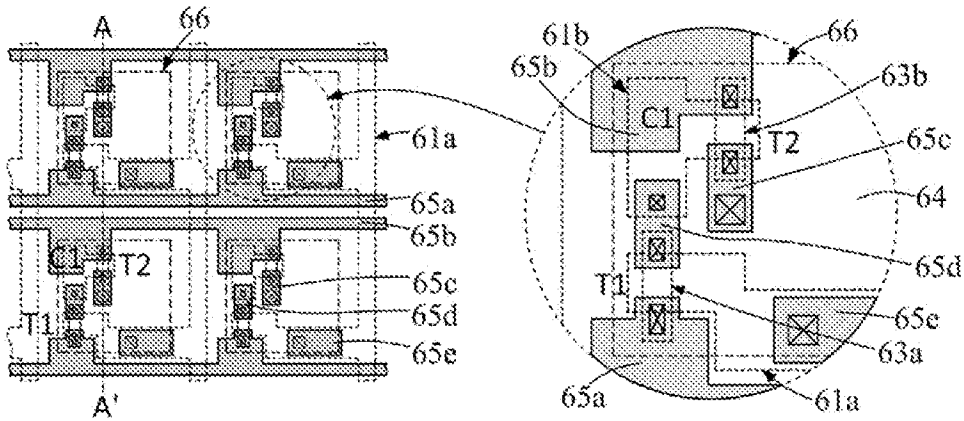
[도 11d]



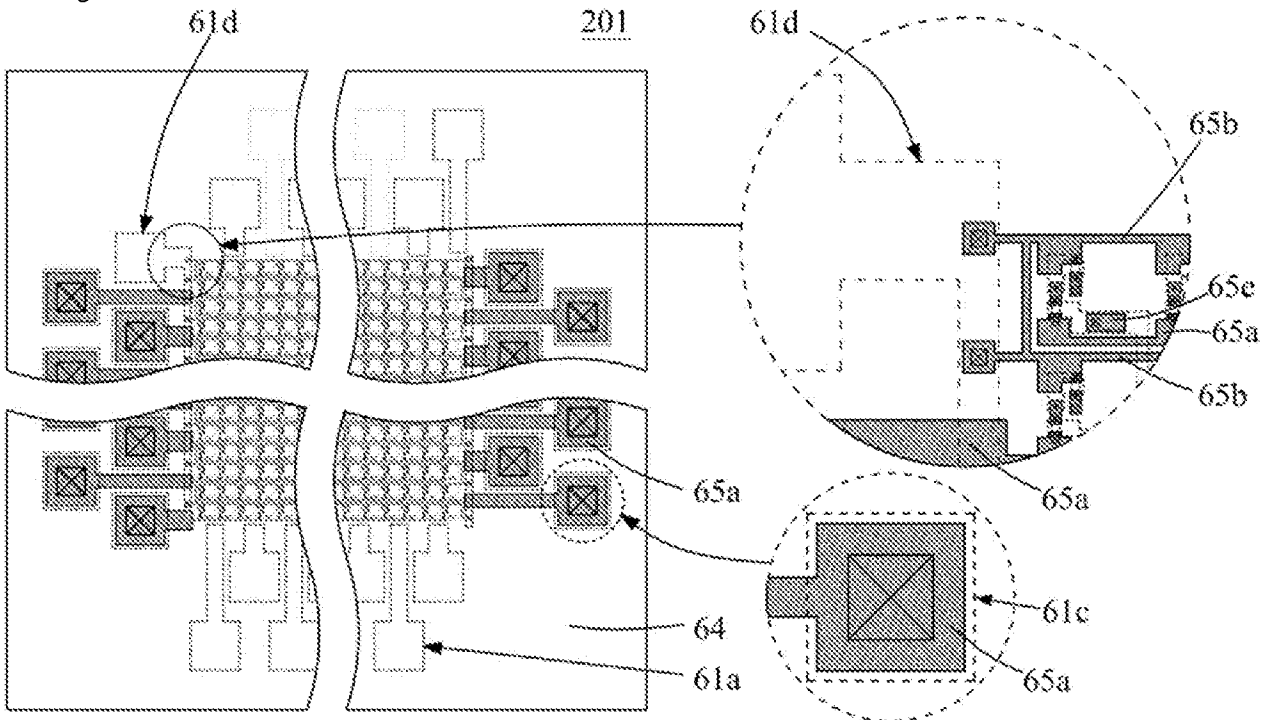
[도 11e]



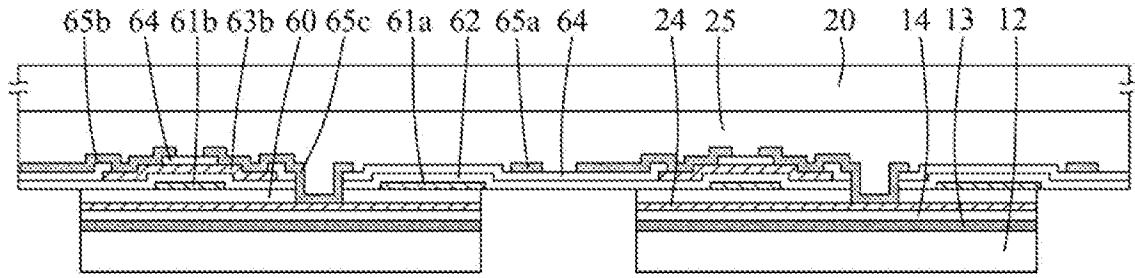
[도 11f]



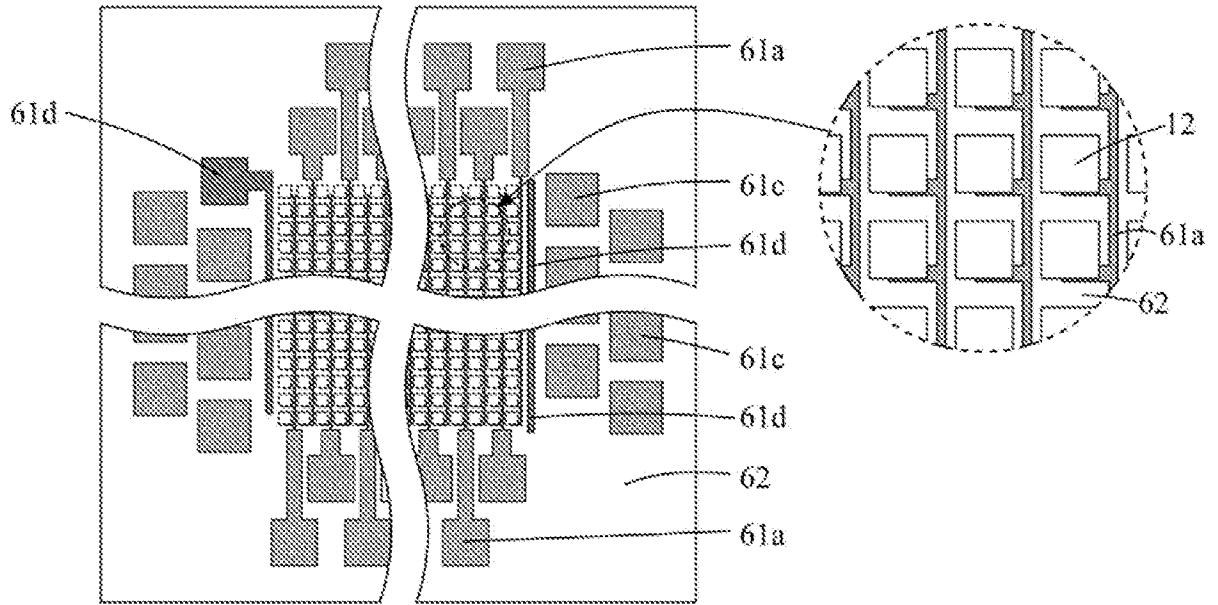
[도 11g]



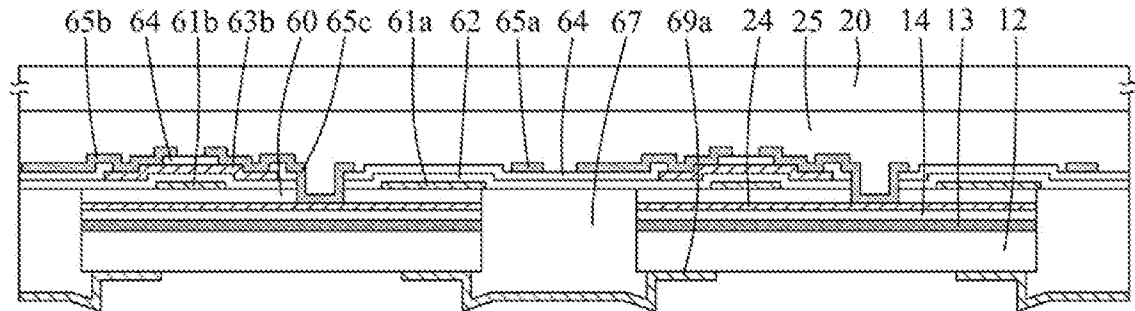
[도 12a]



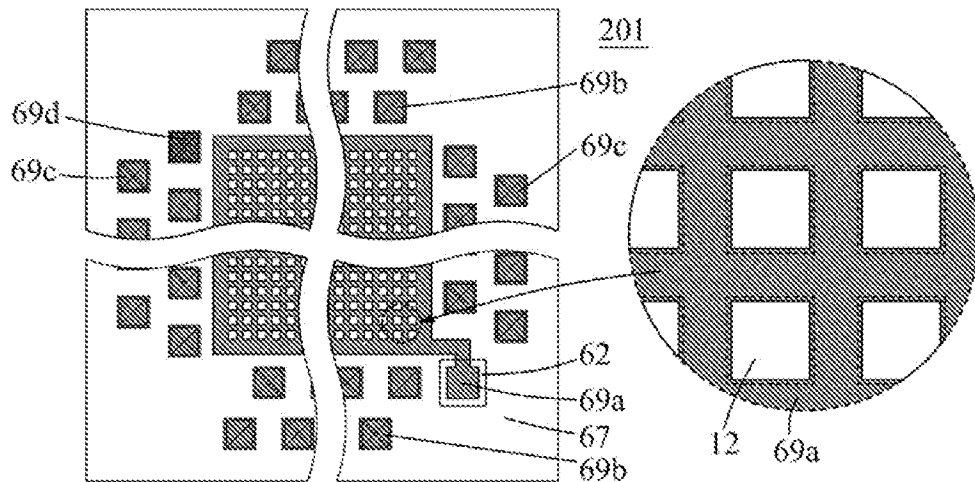
[도 12b]



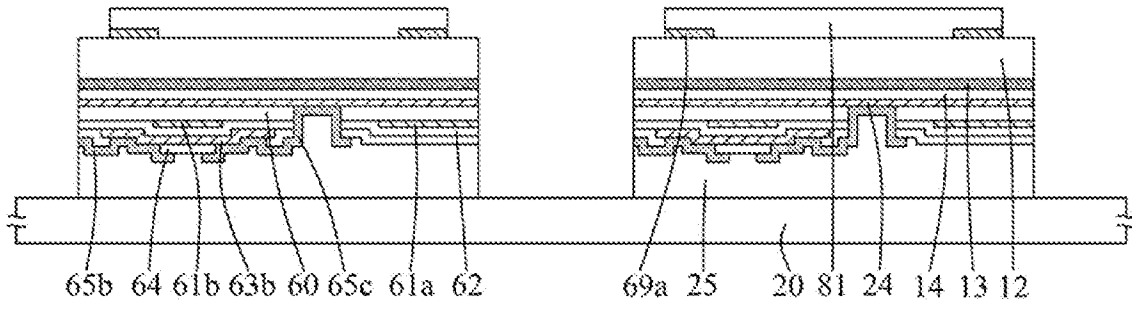
[도 12c]



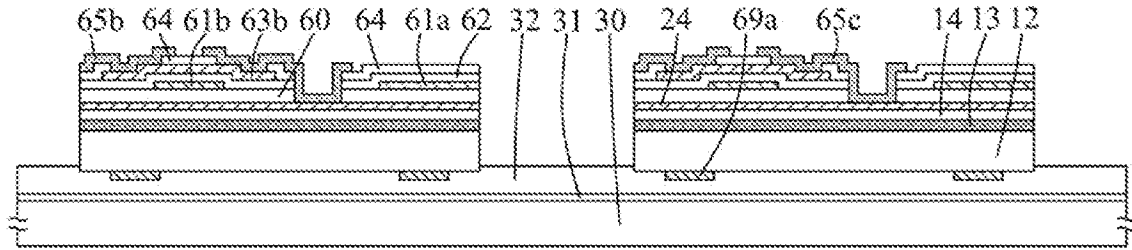
[도 12d]



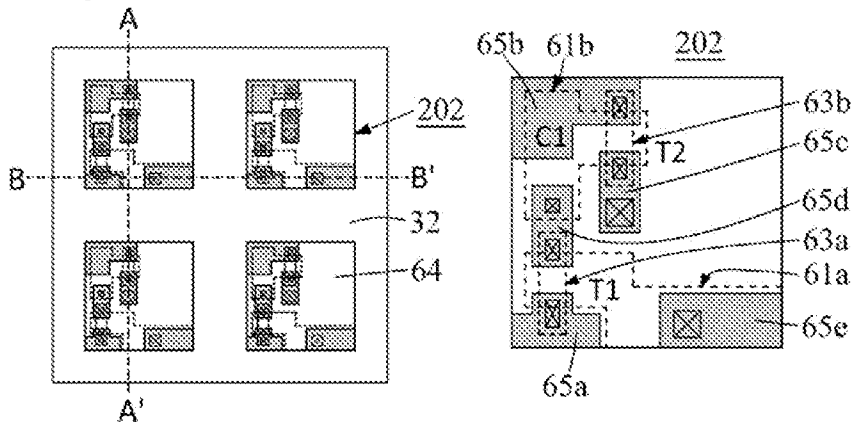
[図 12e]



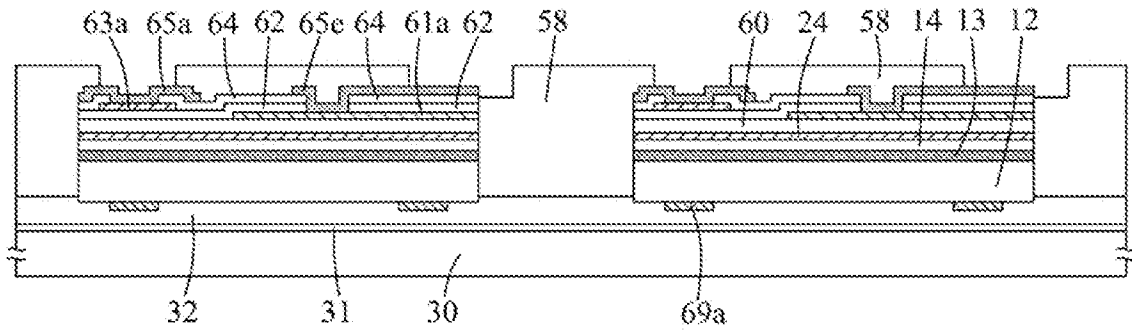
[図 12f]



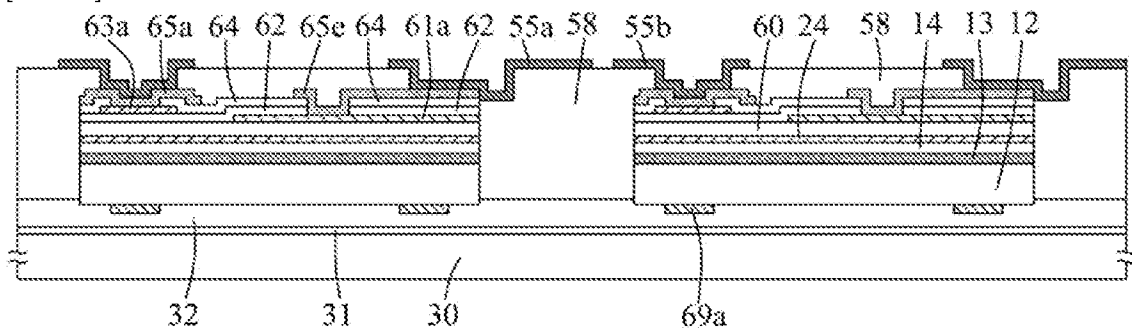
[図 12g]



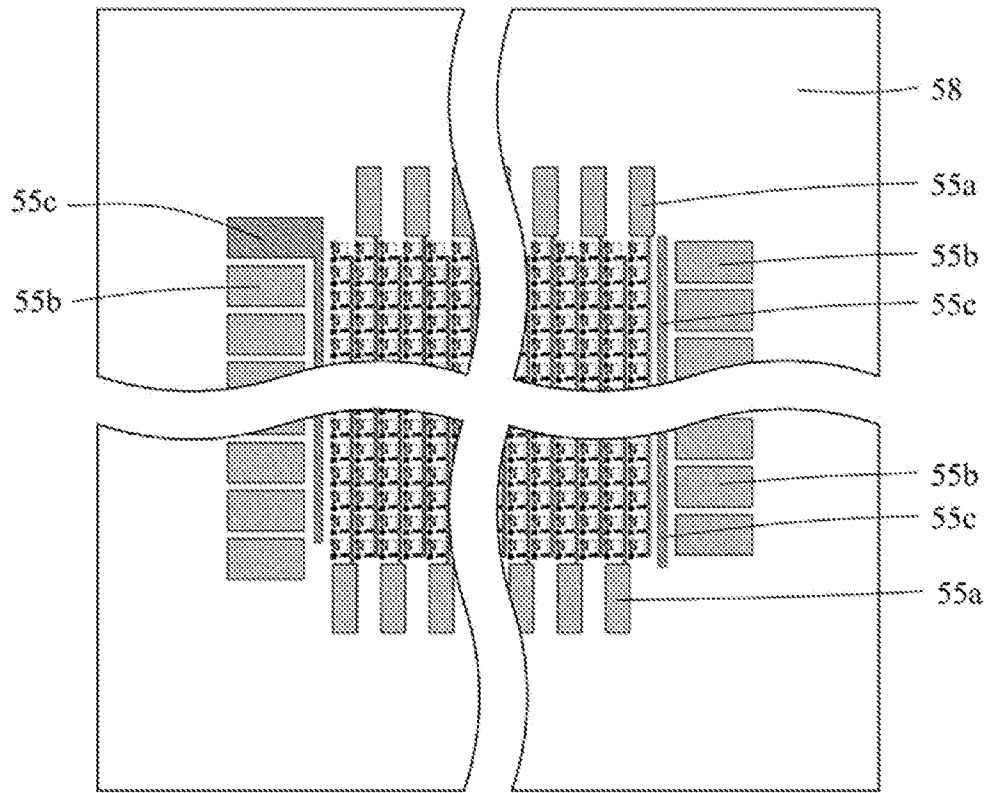
[図 13a]



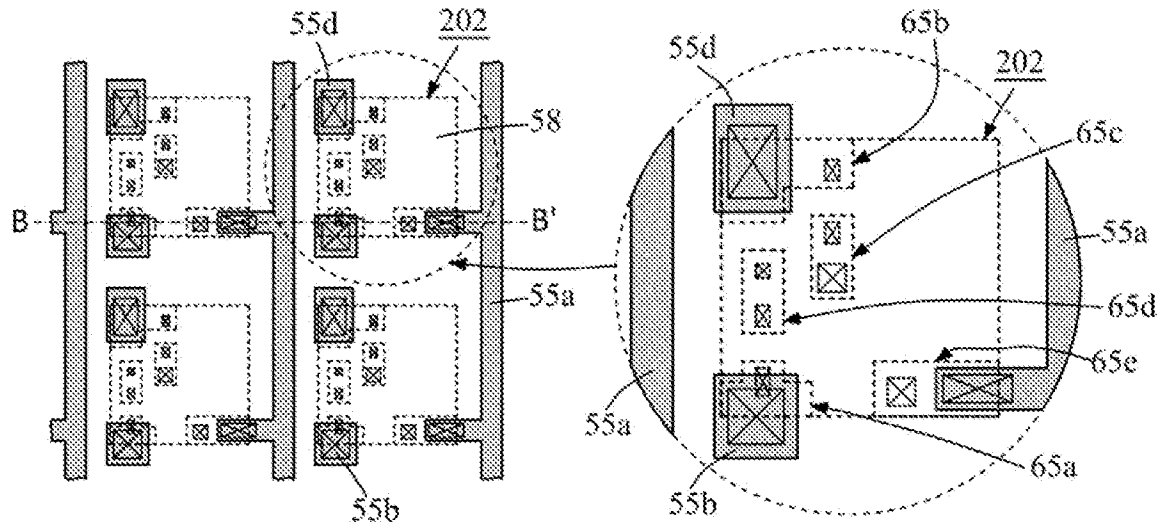
[図 13b]



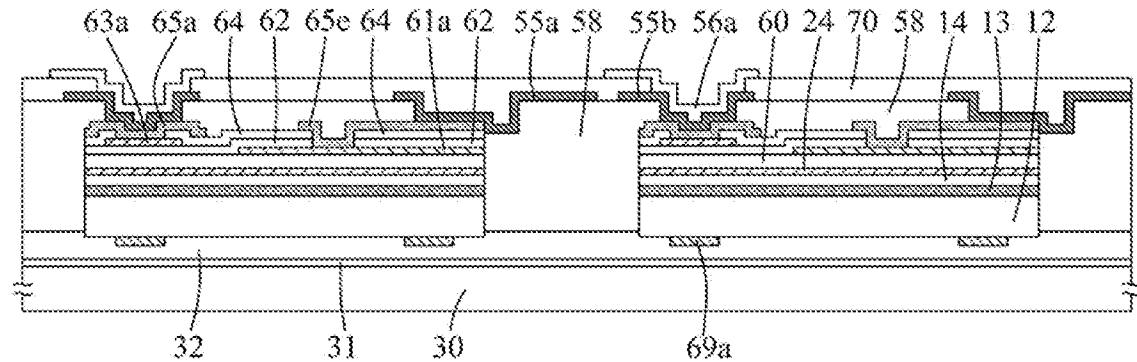
[E 13c]



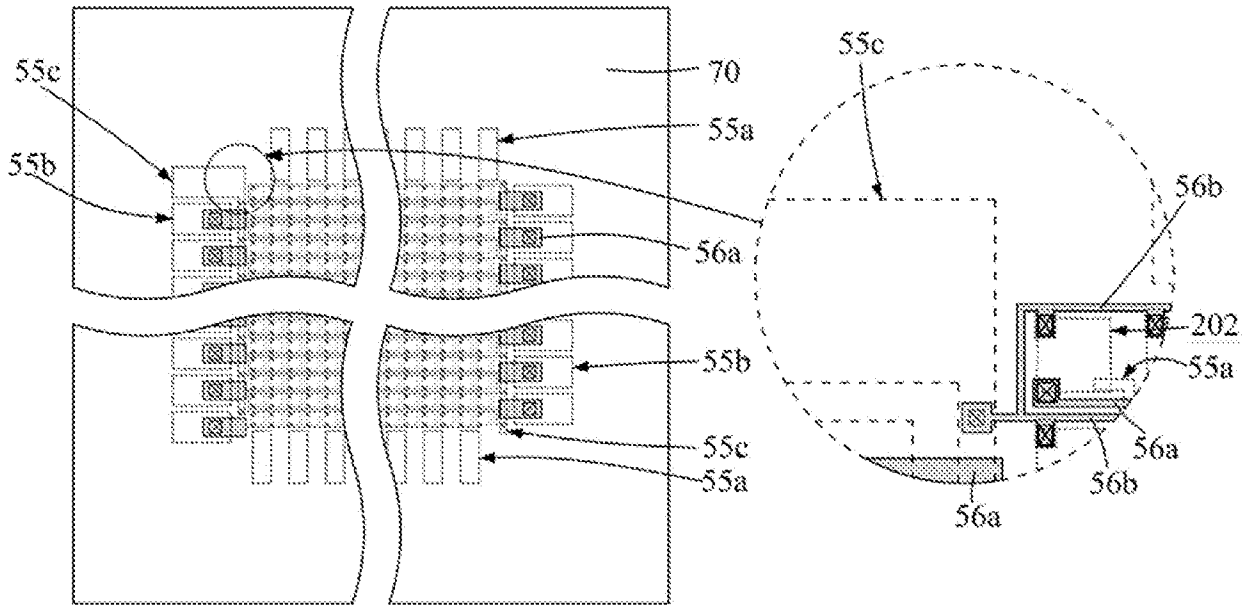
[E 13d]



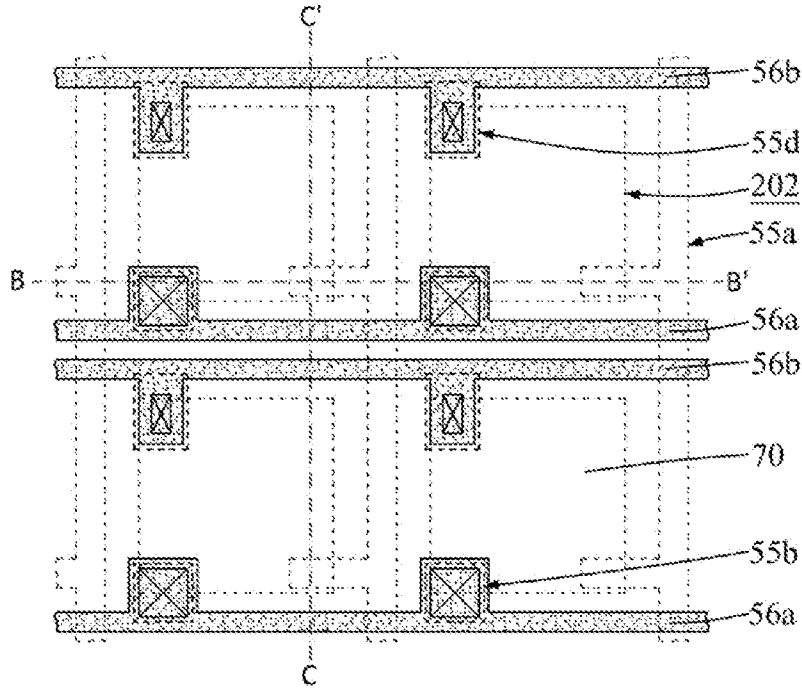
[E 13e]



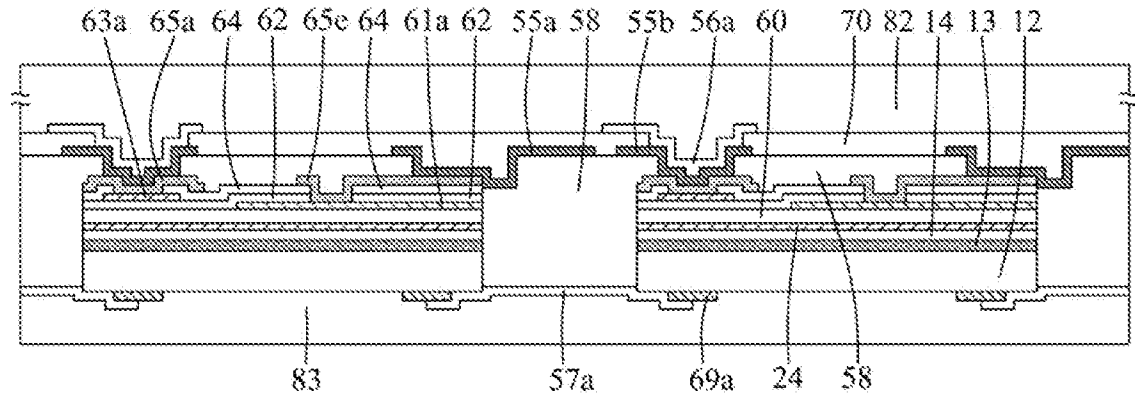
[図 13f]



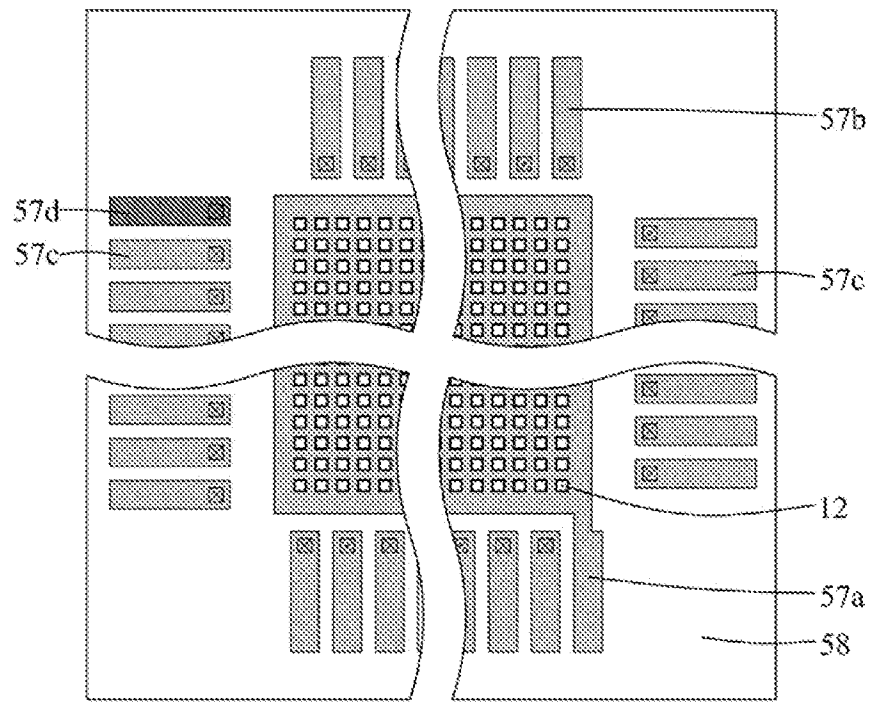
[図 13g]



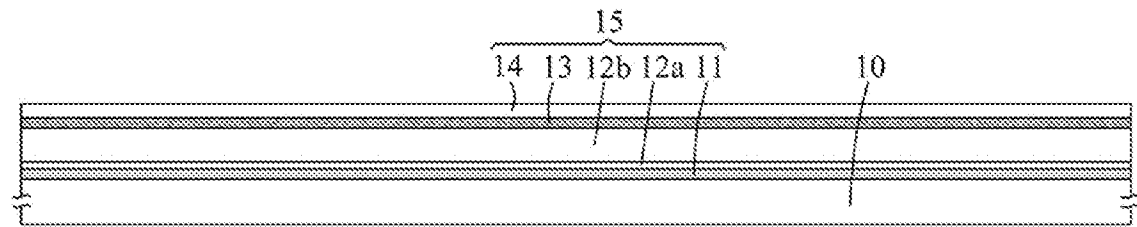
[図 14a]



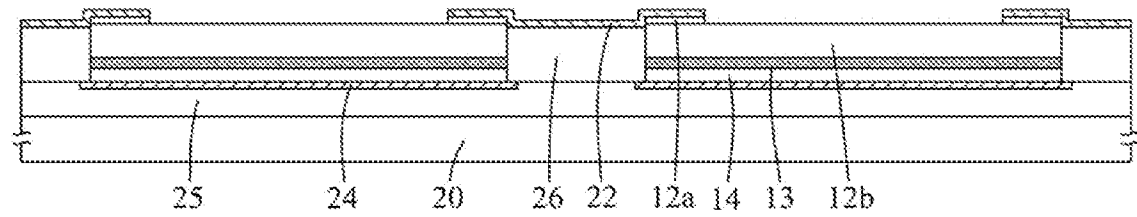
[도 14b]



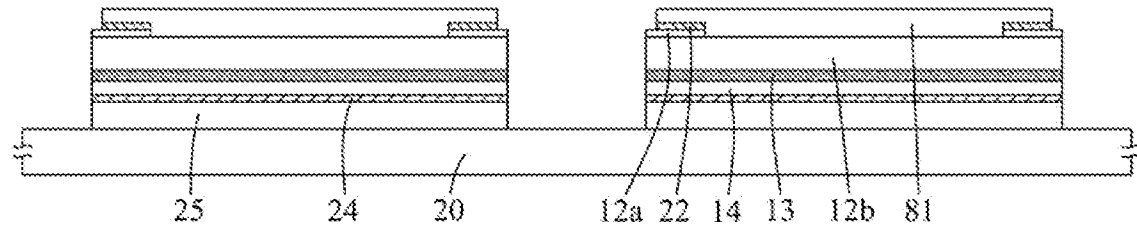
[도 15a]



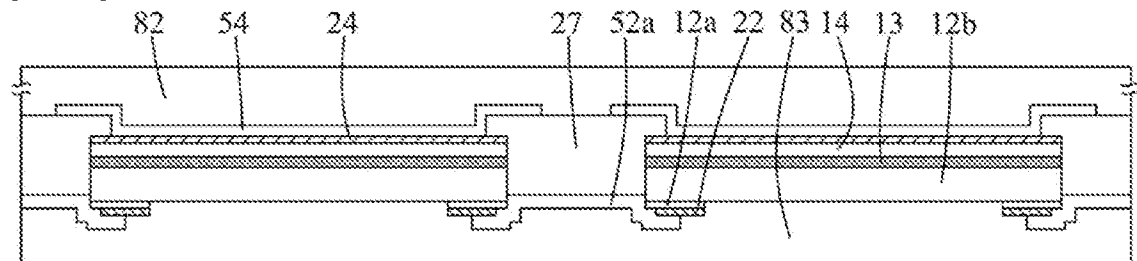
[도 15b]



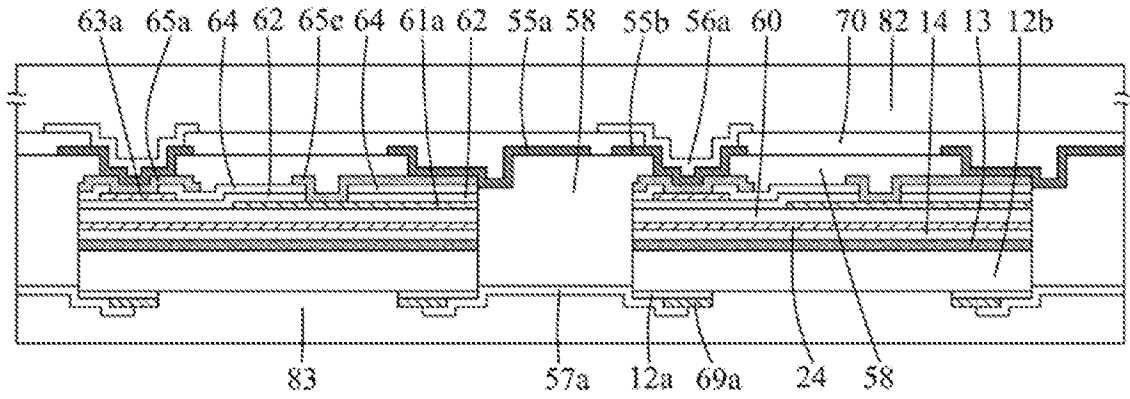
[도 15c]



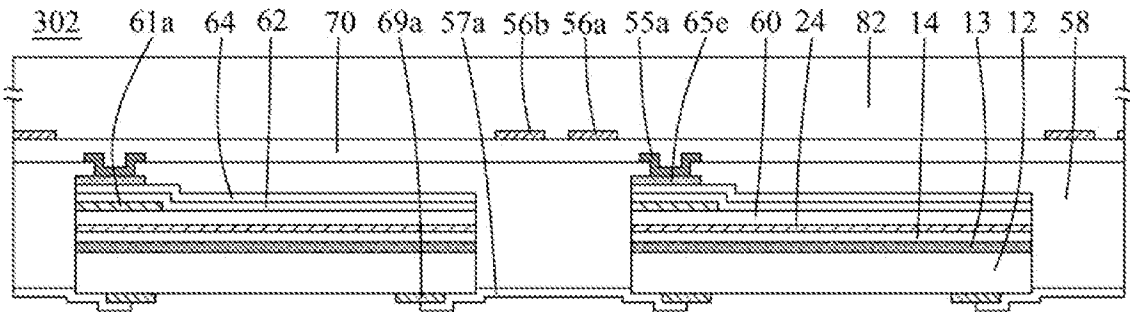
[도 15d]



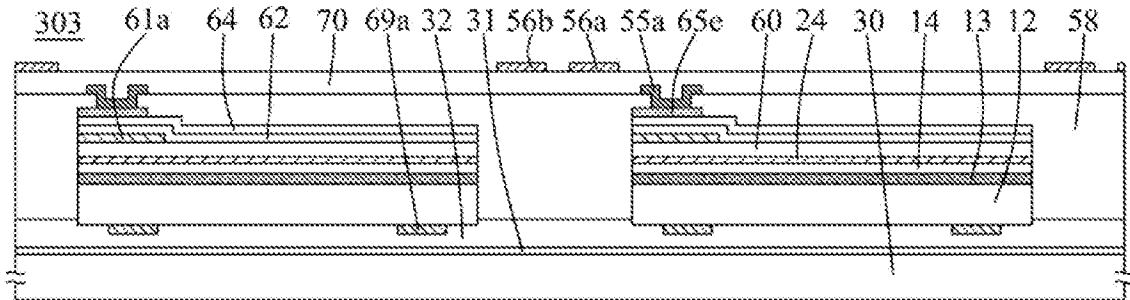
[図 15e]



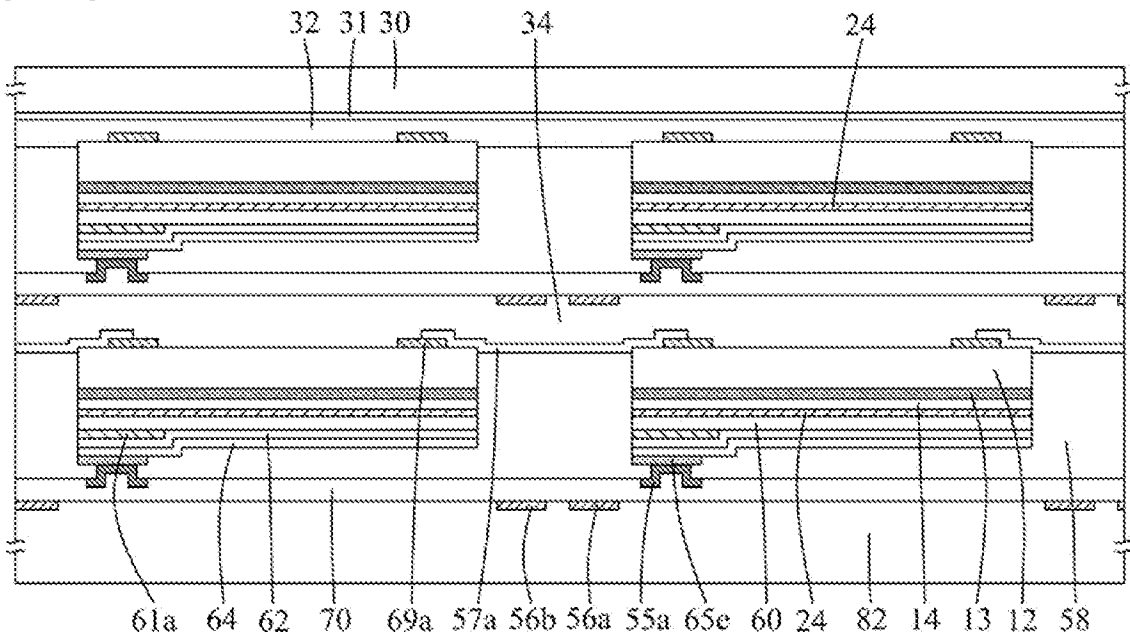
[図 16a]



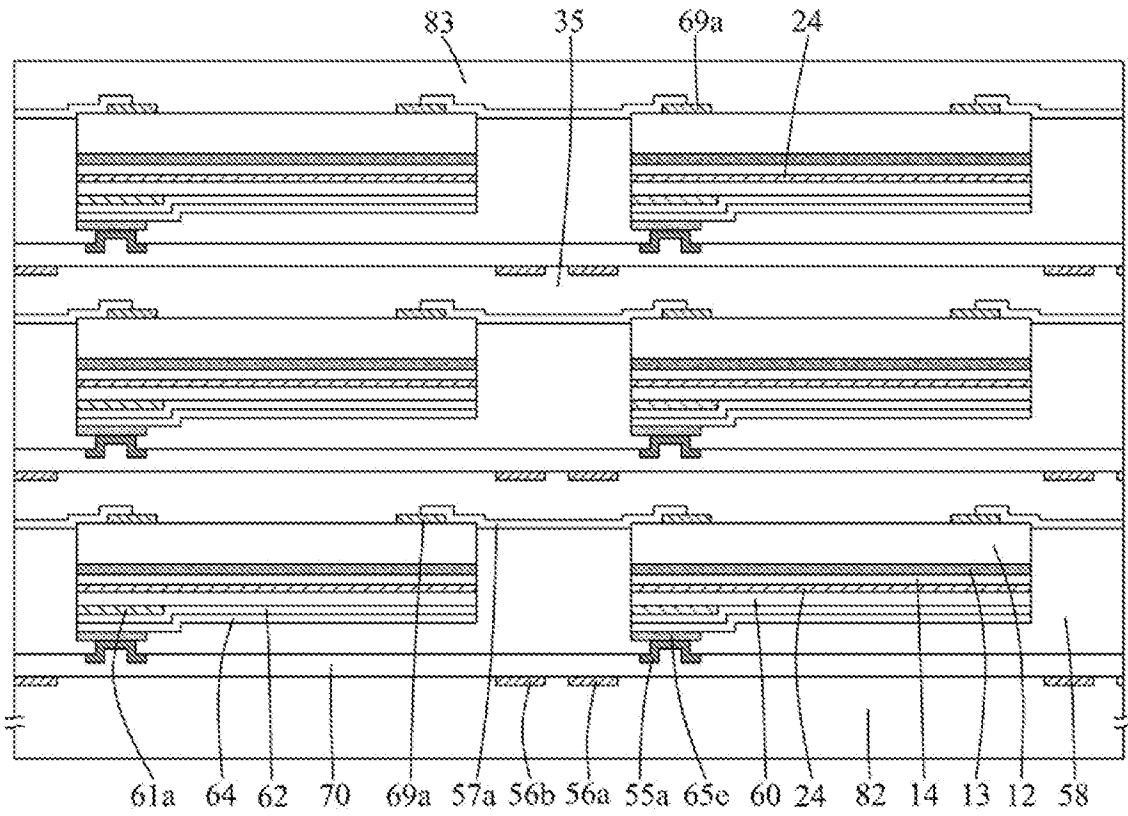
[図 16b]



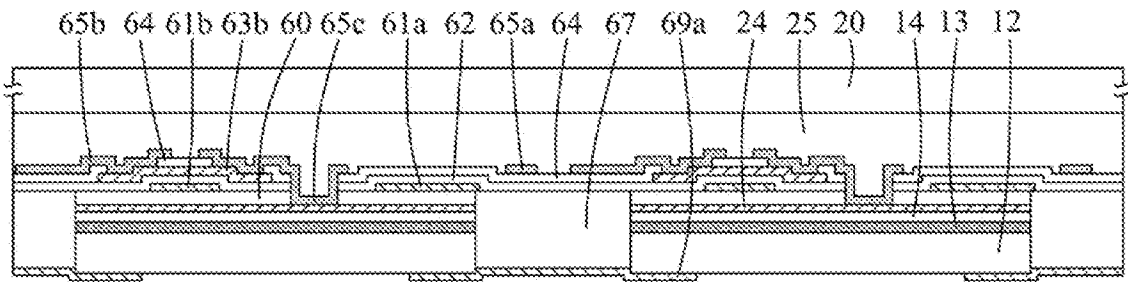
[図 16c]



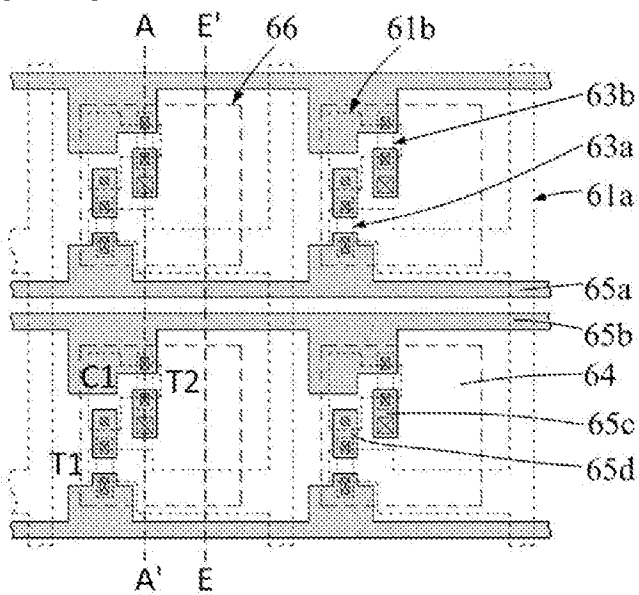
[도 16d]



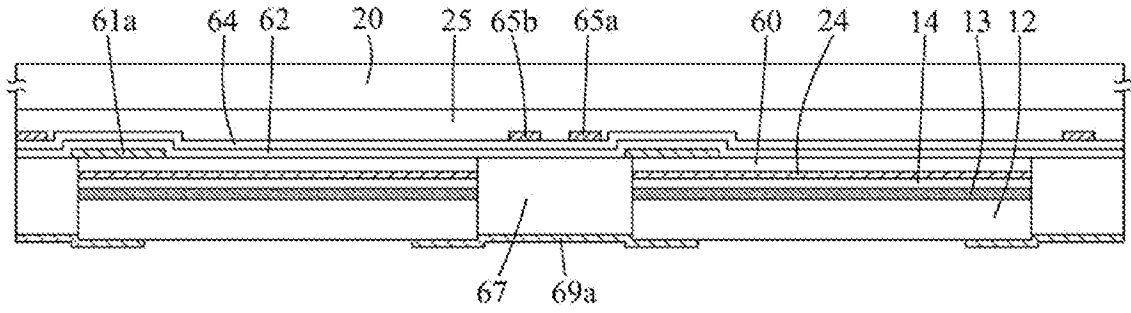
[도 17a]



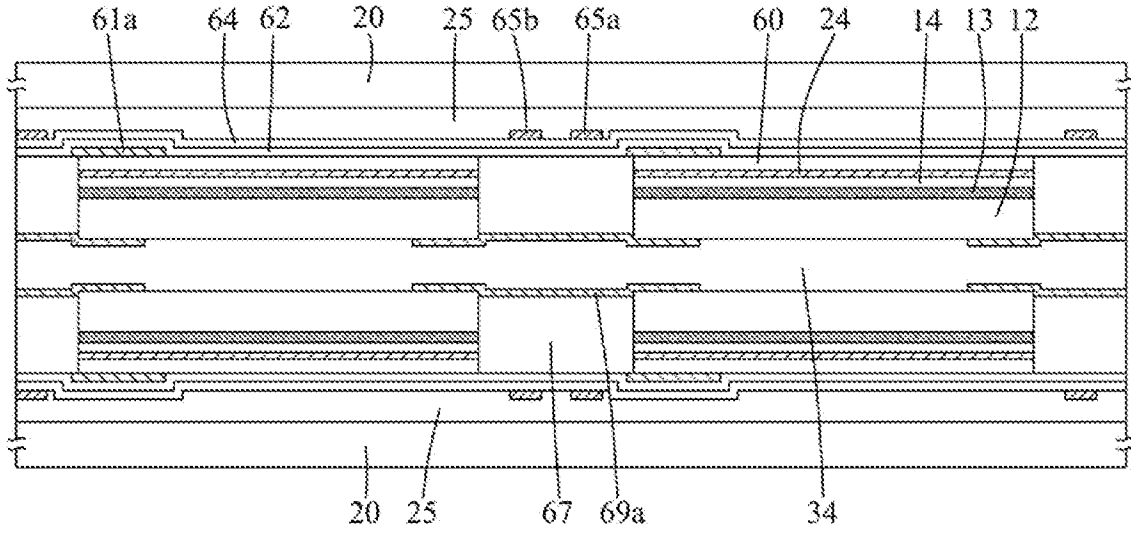
[도 17b]



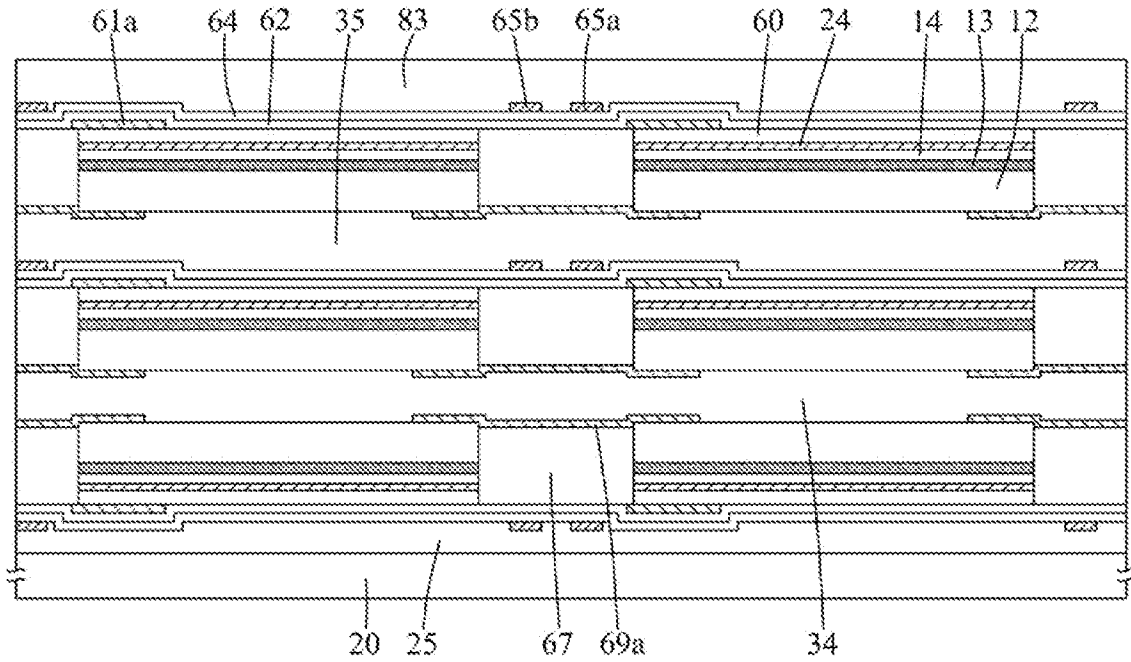
[도 17c]



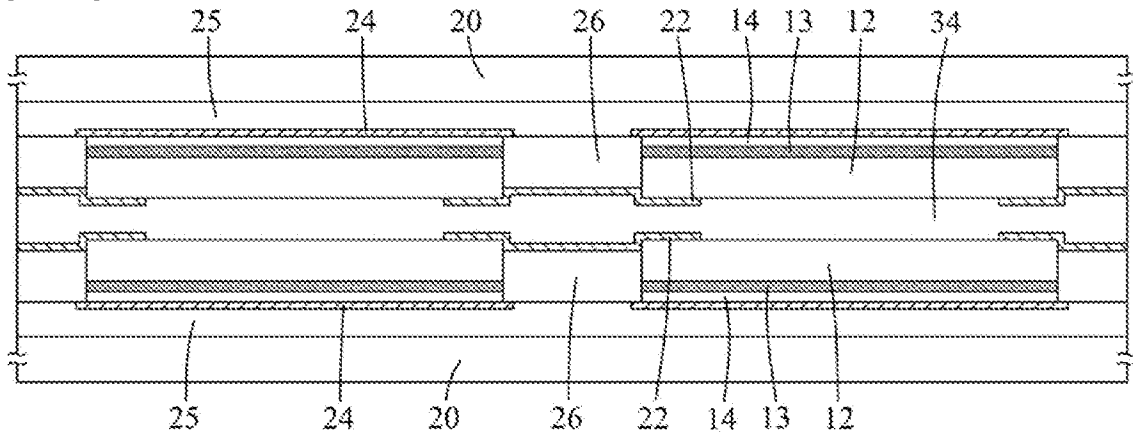
[도 17d]



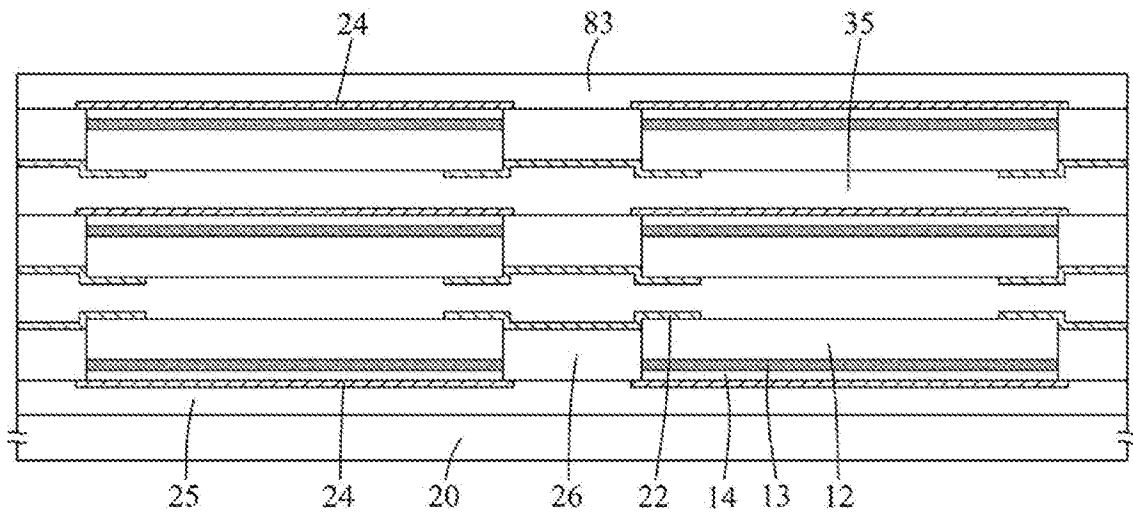
[도 17e]



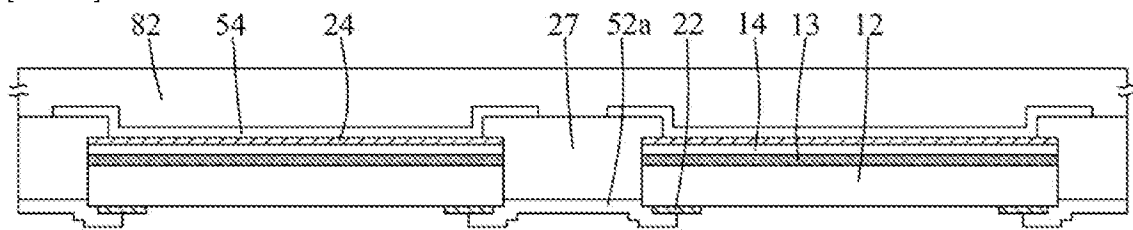
[도 18a]



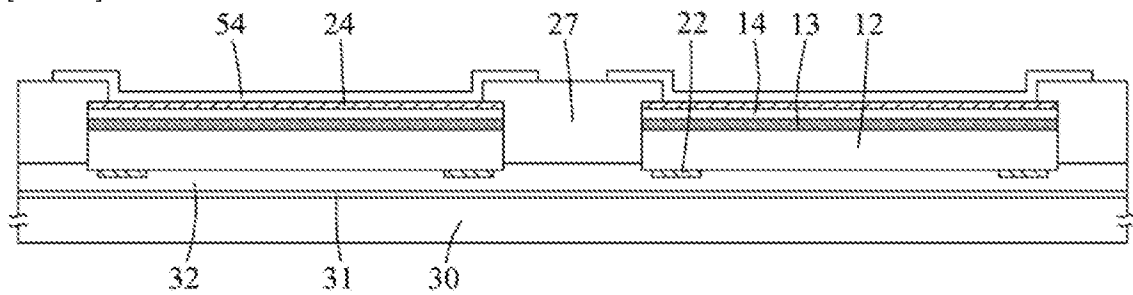
[도 18b]



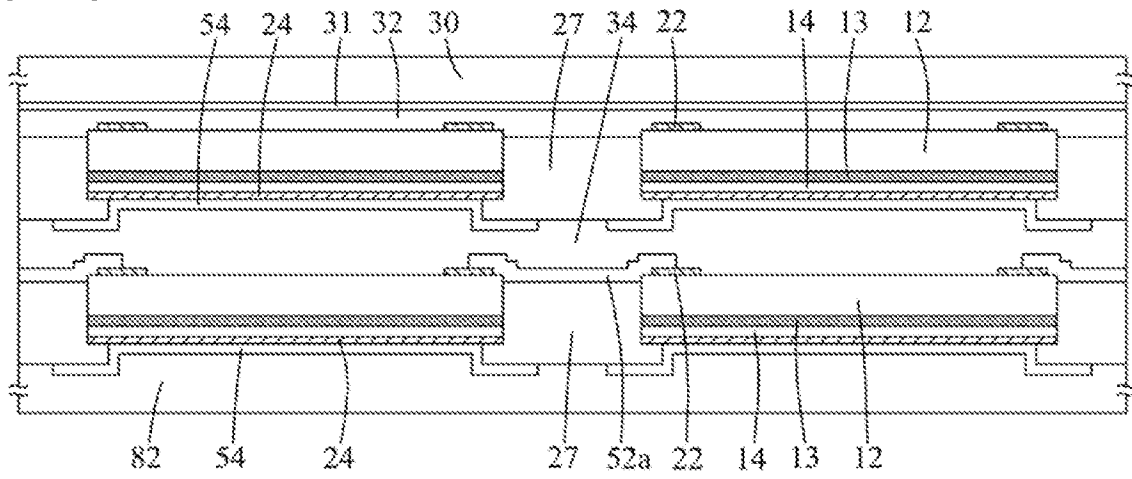
[도 19a]



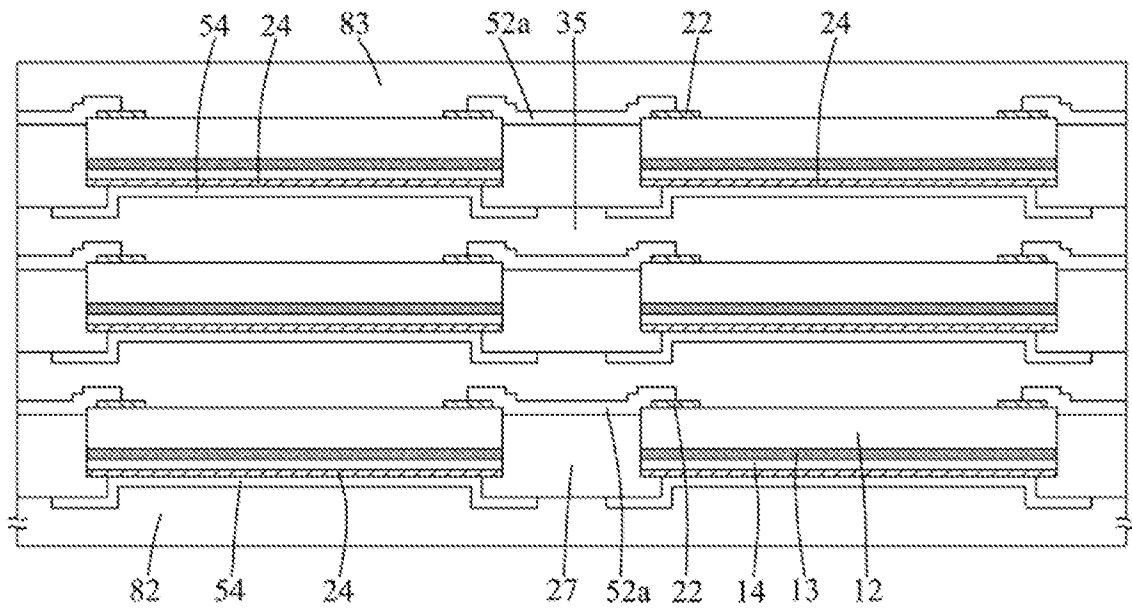
[도 19b]



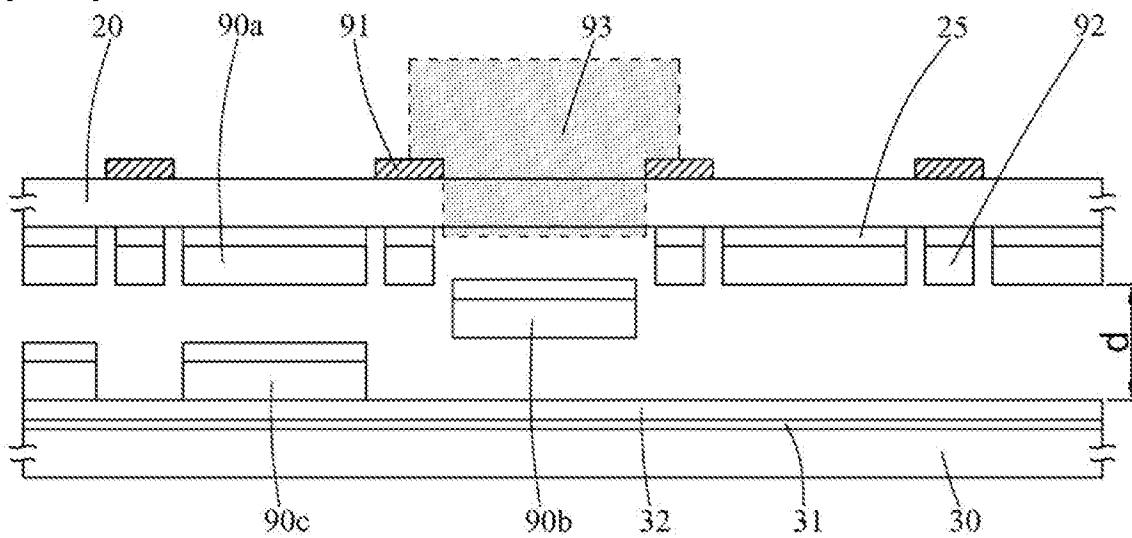
[도 19c]



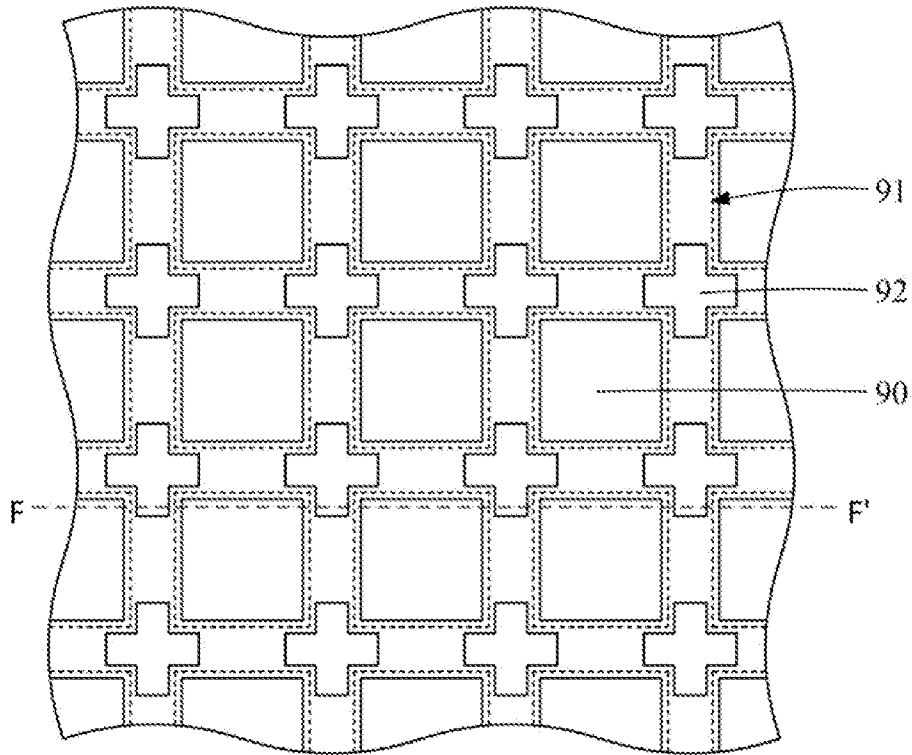
[도 19d]



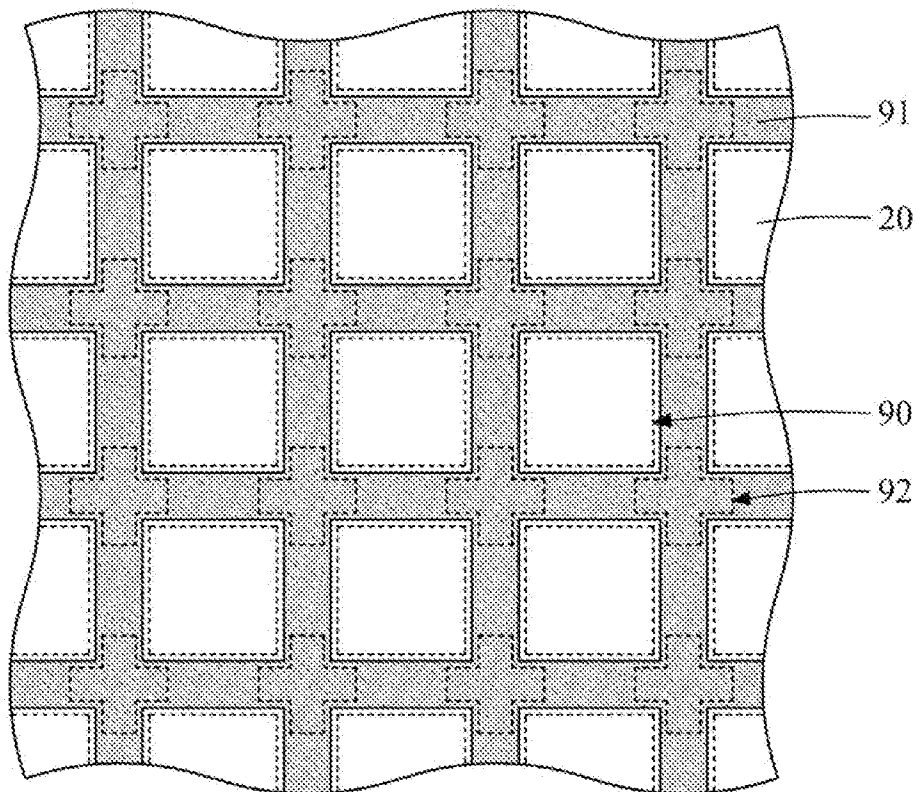
[도 20a]



[도 20b]



[도 20c]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/055445

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/15(2006.01)i, H01L 29/786(2006.01)i, H01L 33/48(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/15; G09F 9/30; H01L 21/77; H01L 31/0232; H01L 33/00; H01L 33/14; H05B 33/10; H01L 29/786; H01L 33/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: LED, semiconductor layer, active layer, electrode layer, insulating layer, laser, transfer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2018-0060704 A (GWANGJU INSTITUTE OF SCIENCE AND TECHNOLOGY) 07 June 2018 See paragraphs [0003]-[0004], [0011], [0023], [0031], [0042]-[0050], [0059]-[0064]; claims 4-5; and figures 1-4, 8.	4
Y		1-3,5-16
Y	KR 10-2015-0119149 A (LUXVUE TECHNOLOGY CORP.) 23 October 2015 See paragraph [0024]; and figures 10-12.	1-3,5-7,10-11,14-16
Y	KR 10-2017-0122008 A (LG INNOTEK CO., LTD.) 03 November 2017 See paragraphs [0033], [0060], [0100]; and figures 2-5, 12.	5-8,10-11
Y	WO 2014-049904 A1 (PANASONIC CORPORATION) 03 April 2014 See paragraphs [0062]-[0063]; and figures 1-3, 6A-6B.	12-13
Y	KR 10-2016-0126779 A (LG ELECTRONICS INC.) 02 November 2016 See paragraph [0130]; and figure 12.	9,11,16

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family


Date of the actual completion of the international search

19 APRIL 2019 (19.04.2019)

Date of mailing of the international search report

19 APRIL 2019 (19.04.2019)

Name and mailing address of the ISA/KR


 Korean Intellectual Property Office
 Government Complex Daejeon Building 4, 189, Cheongsa-ro, Seo-gu,
 Daejeon, 35208, Republic of Korea
 Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2018/055445

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2018-0060704 A	07/06/2018	US 10084020 B2	25/09/2018
		US 2018-0151632 A1	31/05/2018
KR 10-2015-0119149 A	23/10/2015	CN 105144387 A	09/12/2015
		CN 105144387 B	13/03/2018
		CN 108133942 A	08/06/2018
		EP 2973715 A1	20/01/2016
		EP 2973715 A4	09/11/2016
		JP 2016-512347 A	25/04/2016
		JP 2018-010309 A	18/01/2018
		JP 6254674 B2	27/12/2017
		JP 6431148 B2	28/11/2018
		KR 10-1730075 B1	25/04/2017
		KR 10-1820275 B1	19/01/2018
		KR 10-2017-0046804 A	02/05/2017
		TW 201445730 A	01/12/2014
		TW 1633655 B	21/08/2018
		US 2014-0267683 A1	18/09/2014
		US 2015-0318328 A1	05/11/2015
		US 2018-0102492 A1	12/04/2018
		US 8791474 B1	29/07/2014
		US 9252375 B2	02/02/2016
		US 9865832 B2	09/01/2018
WO 2014-149864 A1	25/09/2014		
KR 10-2017-0122008 A	03/11/2017	None	
WO 2014-049904 A1	03/04/2014	US 2015-0214509 A1	30/07/2015
KR 10-2016-0126779 A	02/11/2016	CN 106067462 A	02/11/2016
		EP 3093834 A1	16/11/2016
		KR 10-1771461 B1	25/08/2017
		US 2016-0315068 A1	27/10/2016

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 27/15(2006.01)i, H01L 29/786(2006.01)i, H01L 33/48(2010.01)j		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 27/15; G09F 9/30; H01L 21/77; H01L 31/0232; H01L 33/00; H01L 33/14; H05B 33/10; H01L 29/786; H01L 33/48 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: LED, 반도체층, 활성층, 전극층, 절연층, 레이저, 전사		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2018-0060704 A (광주과학기술원) 2018.06.07 단락 [0003]-[0004], [0011], [0023], [0031], [0042]-[0050], [0059]-[0064]; 청구항 4-5; 및 도면 1-4, 8 참조.	4
Y		1-3,5-16
Y	KR 10-2015-0119149 A (렉스뷰 테크놀로지 코퍼레이션) 2015.10.23 단락 [0024]; 및 도면 10-12 참조.	1-3,5-7,10-11,14-16
Y	KR 10-2017-0122008 A (엘지이노텍 주식회사) 2017.11.03 단락 [0033], [0060], [0100]; 및 도면 2-5, 12 참조.	5-8,10-11
Y	WO 2014-049904 A1 (PANASONIC CORPORATION) 2014.04.03 단락 [0062]-[0063]; 및 도면 1-3, 6A-6B 참조.	12-13
Y	KR 10-2016-0126779 A (엘지전자 주식회사) 2016.11.02 단락 [0130]; 및 도면 12 참조.	9,11,16
<input type="checkbox"/> 추가 문헌이 C(계속)에 기재되어 있습니다. <input checked="" type="checkbox"/> 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전사 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2019년 04월 19일 (19.04.2019)	국제조사보고서 발송일 2019년 04월 19일 (19.04.2019)	
ISA/KR의 명칭 및 우편주소  대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 장기정 전화번호 +82-42-481-8364	

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2018-0060704 A	2018/06/07	US 10084020 B2 US 2018-0151632 A1	2018/09/25 2018/05/31
KR 10-2015-0119149 A	2015/10/23	CN 105144387 A CN 105144387 B CN 108133942 A EP 2973715 A1 EP 2973715 A4 JP 2016-512347 A JP 2018-010309 A JP 6254674 B2 JP 6431148 B2 KR 10-1730075 B1 KR 10-1820275 B1 KR 10-2017-0046804 A TW 201445730 A TW I633655 B US 2014-0267683 A1 US 2015-0318328 A1 US 2018-0102492 A1 US 8791474 B1 US 9252375 B2 US 9865832 B2 WO 2014-149864 A1	2015/12/09 2018/03/13 2018/06/08 2016/01/20 2016/11/09 2016/04/25 2018/01/18 2017/12/27 2018/11/28 2017/04/25 2018/01/19 2017/05/02 2014/12/01 2018/08/21 2014/09/18 2015/11/05 2018/04/12 2014/07/29 2016/02/02 2018/01/09 2014/09/25
KR 10-2017-0122008 A	2017/11/03	없음	
WO 2014-049904 A1	2014/04/03	US 2015-0214509 A1	2015/07/30
KR 10-2016-0126779 A	2016/11/02	CN 106067462 A EP 3093834 A1 KR 10-1771461 B1 US 2016-0315068 A1	2016/11/02 2016/11/16 2017/08/25 2016/10/27