



(12) 发明专利

(10) 授权公告号 CN 101465713 B

(45) 授权公告日 2011.05.11

(21) 申请号 200810185681.8

(22) 申请日 2008.12.19

(30) 优先权数据

61/008,345 2007.12.20 US

12/194,516 2008.08.19 US

(73) 专利权人 联发科技股份有限公司

地址 中国台湾新竹科学工业园区

(72) 发明人 迪帕克·马修 如斯·梅斯特肯

普瑞何拉得·帕那索塔

托马斯·F·豪

提摩太·佩林·费雪-杰夫斯

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 任默闻

(51) Int. Cl.

H04L 1/00 (2006.01)

H04B 7/26 (2006.01)

(56) 对比文件

CN 101002397 A, 2007.07.18, 全文.

US 7209461 B2, 2007.04.24, 全文.

审查员 刘庆峰

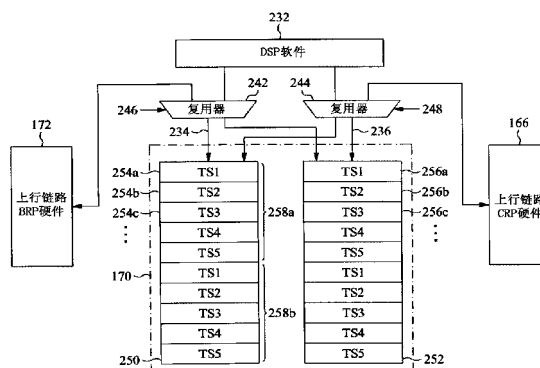
权利要求书 4 页 说明书 20 页 附图 13 页

(54) 发明名称

无线装置以及无线通信方法

(57) 摘要

本发明涉及无线装置以及无线通信方法。所述的无线装置,包括双端口帧存储器,其具有第一及第二存取端口,数据可通过第一存取端口写入至双端口帧存储器,同时数据可通过第二存取端口从双端口帧存储器读出;比特速率处理器在输入数据上执行比特速率处理且将比特速率处理所获得的数据通过第一存取端口写入至双端口帧存储器;码片速率处理器通过第二存取端口从双端口帧存储器读出数据且对从双端口帧存储器读出的数据执行码片速率处理;以及数据处理器执行软件应用,软件应用通过第一存取端口写入数据至双端口帧存储器且通过第二存取端口从双端口帧存储器读出数据。本发明的无线装置以及无线通信方法减少了芯片设计的复杂度。



1. 一种无线装置,其特征在于,所述无线装置包括:

双端口帧存储器,具有第一存取端口以及第二存取端口,其中,数据可通过所述第一存取端口写入至所述双端口帧存储器,同时,数据可通过所述第二存取端口从所述双端口帧存储器读出;

比特速率处理器,用以在输入数据上执行比特速率处理,且将所述比特速率处理所获得的数据通过所述第一存取端口写入至所述双端口帧存储器;

码片速率处理器,用以通过所述第二存取端口从所述双端口帧存储器读出数据,且对从所述双端口帧存储器读出的数据执行码片速率处理;以及

数据处理器,用以执行软件应用,所述软件应用通过所述第一存取端口写入数据至所述双端口帧存储器,且通过所述第二存取端口从所述双端口帧存储器读出数据。

2. 如权利要求 1 所述的无线装置,其特征在于,所述比特速率处理器在所述输入数据上执行信道编码、交错、速率匹配以及物理信道映射中至少一者。

3. 如权利要求 1 所述的无线装置,其特征在于,所述码片速率处理器对来自多个物理信道的数据执行扩频、扰乱及扩频和扰乱的结合中至少一者,以准备用于上行链路传输的数据。

4. 如权利要求 1 所述的无线装置,其特征在于,所述无线装置更包括第一复用器与第二复用器,所述第一复用器用以多路传输来自所述比特速率处理器及所述软件应用的多个写入请求,且所述第二复用器用以多路传输来自所述码片速率处理器及所述软件应用的多个读出请求。

5. 如权利要求 4 所述的无线装置,其特征在于,所述比特速率处理器与所述码片速率处理器具有比所述软件应用更高的优先权,使得所述第一复用器只有当所述比特速率处理器不对所述双端口帧存储器进行写入时才允许所述软件应用对所述双端口帧存储器进行写入,且只有当所述码片速率处理器不从所述双端口帧存储器进行读出时才允许所述软件应用从所述双端口帧存储器进行读出。

6. 如权利要求 1 所述的无线装置,其特征在于,所述软件应用具有关于所述比特速率处理器的操作的信息,且所述软件应用在所述比特速率处理器不对所述双端口帧存储器进行写入的多个时间期间内配置为对所述双端口帧存储器进行写入。

7. 如权利要求 1 所述的无线装置,其特征在于,所述软件应用具有关于所述码片速率处理器的操作的信息,且所述软件应用在所述码片速率处理器不从所述双端口帧存储器进行读出的多个时间期间内配置为从所述双端口帧存储器进行读出。

8. 如权利要求 1 所述的无线装置,其特征在于,所述比特速率处理器与所述码片速率处理器根据码分多址存取标准、宽带码分多址存取标准以及时分同步的码分多址存取标准中至少一者来处理数据。

9. 如权利要求 1 所述的无线装置,其特征在于,所述双端口帧存储器包括第一缓冲器,用以储存第一帧的数据,且包括第二缓冲器,用以储存第二帧的数据。

10. 如权利要求 9 所述的无线装置,其特征在于,在一些时间期间,所述比特速率处理器对所述第一缓冲器进行写入且所述码片速率处理器从所述第二缓冲器进行读出,且在其它时间期间,所述比特速率处理器对所述第二缓冲器进行写入且所述码片速率处理器从所述第一缓冲器进行读出。

11. 如权利要求 9 所述的无线装置,其特征在于,所述第一缓冲器包括第一部分,用来储存与第一子帧相关的数据,且包括第二部分,用来储存与第二子帧相关的数据,所述第一部分包括 5 个段,且每一所述段储存与所述第一子帧的 5 个有效时隙之一者相关的数据,以及所述第二部分包括 5 个段,且每一所述段储存与所述第二子帧的 5 个有效时隙之一者相关的数据。

12. 如权利要求 1 所述的无线装置,其特征在于,所述双端口帧存储器划分成多个段,每一所述段与一时隙相关,且当扩频因子大于 1 时,每一所述段储存与至少两个物理信道相关的数据。

13. 如权利要求 12 所述的无线装置,其特征在于,当所述扩频因子等于 1 或在一时隙内仅有一个物理信道时,每一所述段储存与单一物理信道相关的数据。

14. 如权利要求 1 所述的无线装置,其特征在于,所述软件应用也在所述输入数据上执行所述比特速率处理,且通过所述第一存取端口将所述比特速率处理所获得的数据写入至所述双端口帧存储器。

15. 如权利要求 14 所述的无线装置,其特征在于,所述比特速率处理器执行对应第一信道的所述比特速率处理,且所述软件应用执行对应第二信道的所述比特速率处理。

16. 如权利要求 15 所述的无线装置,其特征在于,所述第一与所述第二信道包括传输信道以及控制信道。

17. 如权利要求 14 所述的无线装置,其特征在于,第一信道及第二信道与时隙相关,所述比特速率处理器与所述数据处理器操作在三个模式下,

其中在第一个模式中,所述软件应用执行对应所述第一信道与所述第二信道的比特速率处理;

在第二个模式中,所述比特速率处理器执行对应所述第一与所述第二信道的比特速率处理;以及

在第三个模式中,所述比特速率处理器执行对应所述第一信道的比特速率处理,且所述软件应用执行对应所述第二信道的比特速率处理。

18. 如权利要求 14 所述的无线装置,其特征在于,所述比特速率处理器使用固定算法来执行所述比特速率处理,且所述软件应用使用可更新的软件编码所指定的算法来执行所述比特速率处理。

19. 如权利要求 1 所述的无线装置,其特征在于,所述软件应用也对通过所述第二存取端口从所述双端口帧存储器读出的数据进行所述码片速率处理。

20. 如权利要求 19 所述的无线装置,其特征在于,所述码片速率处理器执行对应第一时隙的所述码片速率处理,且所述软件应用执行对应第二时隙的所述码片速率处理。

21. 如权利要求 19 所述的无线装置,其特征在于,所述码片速率处理器使用固定算法来执行所述码片速率处理,且所述软件应用使用可更新的软件编码所指定的算法来执行所述码片速率处理。

22. 一种无线通信方法,其特征在于,所述无线通信方法包括:

使用比特速率处理器执行比特速率处理且通过双端口帧存储器的第一存取端口将所述比特速率处理所获得的数据写入所述双端口帧存储器,其中,所述双端口帧存储器允许通过所述第一存取端口将数据写入至所述双端口帧存储器,同时通过所述双端口帧存储器

的第二存取端口从所述双端口帧存储器读出数据；

通过所述第二存取端口从所述双端口帧存储器读出数据，且使用码片速率处理器对从所述双端口帧存储器读出的数据执行码片速率处理；以及

在数据处理器上执行软件应用，其中，所述软件应用通过所述第一存取端口写入数据至所述双端口帧存储器，且通过所述第二存取端口从所述双端口帧存储器读出数据。

23. 如权利要求 22 所述的无线通信方法，其特征在于，执行所述比特速率处理的步骤包括在输入数据上执行信道编码、交错、速率匹配以及物理信道映射中至少一者。

24. 如权利要求 22 所述的无线通信方法，其特征在于，执行所述码片速率处理的步骤包括对来自多个物理信道的数据执行扩频、扰乱及扩频和扰乱的结合中至少一者，以准备用于上行链路传输的数据。

25. 如权利要求 22 所述的无线通信方法，其特征在于，所述无线通信方法更包括多路传输来自所述比特速率处理器及所述软件应用的多个写入请求，且多路传输来自所述码片速率处理器及所述软件应用的多个读出请求。

26. 如权利要求 25 所述的无线通信方法，其特征在于，所述无线通信方法更包括给予所述比特速率处理器比所述软件应用更高的优先权，且当所述比特速率处理器正对所述双端口帧存储器写入时阻止所述软件应用对所述双端口帧存储器写入。

27. 如权利要求 25 所述的无线通信方法，其特征在于，更包括给予所述码片速率处理器比所述软件应用更高的优先权，且当所述码片速率处理器正从所述双端口帧存储器读出时阻止所述软件应用从所述双端口帧存储器读出。

28. 如权利要求 22 所述的无线通信方法，其特征在于，所述无线通信方法更包括使用所述软件应用来控制所述比特速率处理器的操作，且当所述比特速率处理器不对所述双端口帧存储器写入时，使用所述软件应用来对所述双端口帧存储器写入。

29. 如权利要求 22 所述的无线通信方法，其特征在于，所述无线通信方法更包括使用所述软件应用来控制所述码片速率处理器的操作，且当所述码片速率处理器不从所述双端口帧存储器读出时，使用所述软件应用来对所述双端口帧存储器读出。

30. 如权利要求 22 所述的无线通信方法，其特征在于，执行所述比特速率处理与所述码片速率处理的步骤包括根据码分多址存取标准、宽带码分多址存取标准以及时分同步的码分多址存取标准中至少一者来处理数据。

31. 如权利要求 22 所述的无线通信方法，其特征在于，所述无线通信方法更包括将第一帧的数据写入至所述双端口帧存储器的第一段，且包括将第二帧的数据写入至所述双端口帧存储器的第二段。

32. 如权利要求 31 所述的无线通信方法，其特征在于，所述无线通信方法更包括，在第一时间期间，使用所述比特速率处理器来将数据写入所述第一段且使用所述码片速率处理器从所述第二段读出数据，在第二时间期间，使用所述比特速率处理器来将数据写入所述第二段且使用所述码片速率处理器从所述第一段读出数据。

33. 如权利要求 22 所述的无线通信方法，其特征在于，所述无线通信方法更包括使用所述软件应用来对输入数据执行所述比特速率处理，且将所述比特速率处理所获得的数据通过所述第一存取端口写入至所述双端口帧存储器。

34. 如权利要求 33 所述的无线通信方法，其特征在于，所述无线通信方法更包括使用

所述比特速率处理器来对与第一信道相关的数据执行所述比特速率处理,且使用所述软件应用来对与第二信道相关的数据执行所述比特速率处理。

35. 如权利要求 33 所述的无线通信方法,其特征在于,所述无线通信方法更包括使用所述比特速率处理器并使用固定算法来执行所述比特速率处理,且使用所述软件应用并以可更新的软件编码所指定的算法来执行所述比特速率处理。

36. 如权利要求 22 所述的无线通信方法,其特征在于,所述无线通信方法更包括使用所述软件应用来通过所述第二存取端口从所述双端口帧存储器读出数据,且对从所述双端口帧存储器读出的数据执行所述码片速率处理。

37. 如权利要求 36 所述的无线通信方法,其特征在于,所述无线通信方法更包括使用所述码片速率处理器来对与第一时隙相关的数据执行所述码片速率处理,且使用所述软件应用来对与第二时隙相关的数据执行所述码片速率处理。

38. 如权利要求 36 所述的无线通信方法,其特征在于,所述无线通信方法更包括使用所述码片速率处理器并使用固定算法来执行所述码片速率处理,且使用所述软件应用并以可更新的软件编码所指定的算法来执行所述码片速率处理。

39. 一种无线装置,其特征在于,所述无线装置包括:

双端口帧存储器,具有第一存取端口以及第二存取端口,其中,数据可通过所述第一存取端口写入至所述双端口帧存储器,同时,数据可通过所述第二存取端口从所述双端口帧存储器读出;

比特速率处理器,用以在输入数据上执行比特速率处理,且将所述比特速率处理所获得的数据通过所述第一存取端口写入至所述双端口帧存储器,其中,所述比特速率处理包括在所述输入数据上执行信道编码、交错、速率匹配以及物理信道映射中至少一者;

码片速率处理器,用以通过所述第二存取端口从所述双端口帧存储器读出数据,且对从所述双端口帧存储器读出的数据执行码片速率处理,其中,所述码片速率处理包括对来自多个物理信道的数据执行扩频、扰乱及扩频和扰乱的结合中至少一者,以准备用于上行链路传输的数据;

传送器,用以无线传送信号,且所述信号是从所述码片速率处理所获得的数据取得;以及

通用数字信号处理器,用以执行软件应用,以控制所述比特速率处理器与所述码片速率处理器的操作,所述软件应用用以通过所述第一存取端口写入数据至所述双端口帧存储器,且通过所述第二存取端口从所述双端口帧存储器读出数据。

无线装置以及无线通信方法

技术领域

[0001] 本发明关于无线装置以及无线通信方法,尤其关于一种上行链路处理,且特别是关于一种时分同步的码分多址存取(Time Division-Synchronous Code Division Multiple Access, TD-SCDMA)上行链路处理,。

背景技术

[0002] 时分同步的码分多址存取(Time Division-Synchronous Code Division Multiple Access, 以下简称为 TD-SCDMA) 是新发展出的第三代无线标准。TD-SCDMA 也是第三代合作伙伴项目(3rd Generation Partnership Project, 以下简称为 3GPP) 无线标准的一部分。3GPP 是由多个电信协会所组成的全球性的合作计划活动,这些电信协会的任务是协助适用于全球的第三代(3rd Generation, 以下简称为 3G) 电信系统规格的建立及实施,这使得 TD-SCDMA 成为一种用于 3G 应用的重要的标准。

[0003] TD-SCDMA 以扩频技术为基础,并且结合了时分多址存取(Time Division Multiple Access, 以下简称为 TDMA) 与码分多址存取(Code Division Multiple Access, 以下简称为 CDMA) 二者的概念。TD-SCDMA 与其它 3G 标准,例如宽带码分多址存取(Wideband Code Division Multiple Access, 以下简称为 W-CDMA) 的差异在于:TD-SCDMA 使用时分双工(Time Division Duplex, 以下简称为 TDD) 来代替频分双工(Frequency Division Duplex, 以下简称为 FDD)。在其它事项中, TDD 将向外信号与返回信号分隔,以在半双工通信链上尽力达到全双工通信的效果。在上行链路数据速度与下行链路数据速度不对称的情况下,相比于 FDD, TDD 具有有力的优势。上行链路意指由移动装置到基站方向的数据通信,而下行链路意指由基站到移动装置方向上的数据通信。

[0004] 在一些通信中,上行链路与下行链路部分在速度及频宽要求上有相当大的差异。例如,当移动电话从网络下载信息时,下行链路处理比上行链路处理需要明显较多的信道频宽。同样地,当移动装置将信息上传到网络时,上行链路处理需要明显较多的信道频宽。相比于 FDD 架构的能力,系统可通过动态地调整下行链路与上行链路处理所使用的时隙数量,以在下行链路与上行链路具有相异数据速率需求时,更容易地调节不对称的流量。例如,当上行链路数据量增加时,则可动态地分配给上行链路处理更多的频宽。

[0005] 如上所述,TD-SCDMA 使用 TDMA 与 CDMA 概念。TD-SCDMA 标准的同步方面是指通过连续时序调整,使得上行链路信号在基站接收器上得到同步。

发明内容

[0006] 为利用 TD-SCDMA 标准来进行上行链路处理,本发明提出多种方法与装置。

[0007] 在本发明的一实施方式中,提供一种无线装置。其中,双端口帧存储器具有第一存取端口以及第二存取端口,其中,数据可通过第一存取端口写入至双端口帧存储器,同时,数据可通过第二存取端口从双端口帧存储器读出。比特速率处理器用以在输入数据上执行比特速率处理,且将比特速率处理所获得的数据通过第一存取端口写入至双端口帧存

存储器。码片速率处理器用以通过第二存取端口从双端口帧存储器读出数据,且对从双端口帧存储器读出的数据执行码片速率处理。数据处理器用以执行软件应用,此软件应用通过第一存取端口写入数据至双端口帧存储器,且通过第二存取端口从双端口帧存储器读出数据。

[0008] 实施方式可更包括一或多个以下特征。比特速率处理器在输入数据上执行信道编码、交错、速率匹配以及物理信道映射中至少一者。码片速率处理器对来自多个物理信道的数据执行扩频、扰乱及扩频和扰乱的结合中至少一者,以准备用于上行链路传输的数据。第一复用器用以多路传输来自比特速率处理器及软件应用的写入请求,且第二复用器用以多路传输来自码片速率处理器及软件应用的读出请求。比特速率处理器与码片速率处理器具有比软件应用更高的优先权,使得第一复用器只有当比特速率处理器不对双端口帧存储器进行写入时才允许软件应用对双端口帧存储器进行写入,且只有当码片速率处理器不从双端口帧存储器进行读出时才允许软件应用从双端口帧存储器进行读出。软件应用具有关于比特速率处理器的操作的信息,且在比特速率处理器不对双端口帧存储器进行写入的多个时间期间内配置为来对所述双端口帧存储器进行写入。软件应用具有关于码片速率处理器的操作的信息,且在码片速率处理器不从双端口帧存储器进行读出的多个时间期间内配置为来从双端口帧存储器进行读出。比特速率处理器与码片速率处理器根据码分多址存取标准、宽带码分多址存取标准以及时分同步的码分多址存取标准中至少一者来处理数据。

[0009] 双端口帧存储器包括第一缓冲器,用以储存第一帧的数据,且包括第二缓冲器,用以储存第二帧的数据。在一些时间期间中,比特速率处理器对第一缓冲器进行写入且码片速率处理器从第二缓冲器进行读出,而在其它时间期间,比特速率处理器对第二缓冲器进行写入且码片速率处理器从第一缓冲器进行读出。第一缓冲器包括第一部分,用来储存与第一子帧相关的数据,且包括第二部分,用来储存与第二子帧相关的数据,第一部分包括 5 个段,且每一段储存与第一子帧的 5 个有效时隙之一者相关的数据,而第二部分包括 5 个段,且每一段储存与第二子帧的 5 个有效时隙之一者相关的数据。双端口帧存储器划分成多个段,每一段与一时隙相关,且当扩频因子大于 1 时,每一段储存与至少两个物理信道相关的数据。扩频因子等于 1 或在一时隙内仅有一个物理信道时,每一段储存与单一物理信道相关的数据。软件应用也在输入数据上执行比特速率处理,且通过第一存取端口将比特速率处理所获得的数据写入至双端口帧存储器。

[0010] 比特速率处理器执行对应第一信道的比特速率处理,且软件应用执行对应第二信道的比特速率处理。第一与第二信道包括传输信道以及控制信道。当第一信道及第二信道与一时隙相关时,比特速率处理器与数据处理器操作在三个模式下,在第一个模式中,软件应用执行对应第一与第二信道的比特速率处理;在第二个模式中,比特速率处理器执行对应第一与第二信道的比特速率处理;以及在第三个模式中,比特速率处理器执行对应第一信道的比特速率处理,且软件应用执行对应第二信道的比特速率处理。比特速率处理器使用固定算法来执行比特速率处理,且软件应用使用可更新的软件编码所指定的算法来执行比特速率处理。软件应用也对通过第二存取端口从双端口帧存储器读出的数据进行码片速率处理。码片速率处理器执行对应第一时隙的码片速率处理,且软件应用执行对应第二时隙的码片速率处理。码片速率处理器使用固定算法来执行码片速率处理,且软件应用使用可更新的软件编码所指定的算法来执行码片速率处理。

[0011] 一般地,在本发明的另一实施方式中,提供一种无线通信方法。其中,使用比特速率处理器执行比特速率处理且通过双端口帧存储器的第一存取端口将比特速率处理所获得的数据写入双端口帧存储器,其中,双端口帧存储器允许通过第一存取端口将数据写入至双端口帧存储器,同时通过双端口帧存储器的第二存取端口从双端口帧存储器读出数据。通过第二存取端口从双端口帧存储器读出数据,且使用码片速率处理器对从双端口帧存储器读出的数据执行码片速率处理。在数据处理器上执行一软件应用,其中,此软件应用通过第一存取端口写入数据至双端口帧存储器,且通过第二存取端口从双端口帧存储器读出数据。

[0012] 实施方式可更包括一或多个以下特征。执行比特速率处理的步骤包括在输入数据上执行信道编码、交错、速率匹配以及物理信道映射其中至少一者。执行码片速率处理的步骤包括对来自多个物理信道的数据执行扩频、扰乱及扩频和扰乱的结合中至少一者,以准备用于上行链路传输的数据。多路传输来自比特速率处理器及软件应用的写入请求,且多路传输来自码片速率处理器及软件应用的读出请求。给予比特速率处理器比软件应用更高的优先权,且当比特速率处理器正对双端口帧存储器写入时阻止软件应用对双端口帧存储器写入。给予码片速率处理器比软件应用更高的优先权,且当码片速率处理器正从双端口帧存储器读出时阻止软件应用从双端口帧存储器读出。

[0013] 使用软件应用来控制比特速率处理器的操作,且当比特速率处理器不对双端口帧存储器写入时,使用软件应用来对双端口帧存储器写入。使用软件应用来控制码片速率处理器的操作,且当码片速率处理器不从双端口帧存储器读出时,使用软件应用来从双端口帧存储器读出。执行比特速率处理与码片速率处理的步骤包括根据码分多址存取 (Code Division Multiple Access, CDMA) 标准、宽带码分多址存取 (Wideband Code Division Multiple Access, W-CDMA) 标准以及时分同步的码分多址存取 (Time Division-Synchronous Code Division Multiple Access, TD-SCDMA) 标准中至少一者来处理数据。将第一帧的数据写入至双端口帧存储器的第一段,且将第二帧的数据写入至双端口帧存储器的第二段。在第一时间期间,使用比特速率处理器来将数据写入第一段且使用码片速率处理器从第二段读出数据,在第二时间期间,使用比特速率处理器来将数据写入第二段且使用码片速率处理器从第一段读出数据。使用软件应用来对输入数据进行比特速率处理,且将比特速率处理所获得的数据通过第一存取端口写入至双端口帧存储器。

[0014] 当时隙中有两个物理信道时,比特速率处理器执行对应两个物理信道的比特速率处理。一些实施方式中,软件执行对应两个物理信道的比特速率处理,并且另一些实施方式中,比特速率处理器对与第一信道相关的数据执行比特速率处理,并且软件应用对与第二信道相关的数据执行比特速率处理。比特速率处理器使用固定算法来执行比特速率处理,且软件应用使用可更新的软件编码所指定的算法来执行比特速率处理。软件应用通过第二存取端口从双端口帧存储器读出数据,且对从双端口帧存储器读出的数据进行码片速率处理。码片速率处理器来对与第一时隙相关的数据进行码片速率处理,且软件应用来对与第二时隙相关的数据进行码片速率处理。码片速率处理器使用固定算法来执行码片速率处理,且软件应用使用可更新的软件编码所指定的算法来执行码片速率处理。

[0015] 在本发明的另一实施方式中,提供一种无线装置包括双端口帧存储器、比特速率处理器、码片速率处理器、传送器以及通用数字信号处理器。双端口帧存储器具有第一存取

端口以及第二存取端口,其中,数据可通过第一存取端口写入至双端口帧存储器,同时,数据可通过第二存取端口从双端口帧存储器读出。比特速率处理器在输入数据上执行比特速率处理,且将比特速率处理所获得的数据通过第一存取端口写入至双端口帧存储器,其中,比特速率处理包括在输入数据上执行信道编码、交错、速率匹配以及物理信道映射中至少一者。码片速率处理器通过第二存取端口从双端口帧存储器读出数据,且对从双端口帧存储器读出的数据执行码片速率处理,其中,码片速率处理包括对来自多个物理信道的数据执行扩频、扰乱及扩频和扰乱的结合中至少一者,以准备用于上行链路传输的数据。传送器无线的传送信号,且信号是从码片速率处理所获得的数据取得。通用数字信号处理器用以执行软件应用,以控制比特速率处理器与码片速率处理器的操作,软件应用通过第一存取端口写入数据至双端口帧存储器,且通过第二存取端口从双端口帧存储器读出数据。

[0016] 在本发明的另一实施方式中。提供一种无线装置,包括双端口帧存储器、第一处理器、第二处理器与数据处理器。双端口帧存储器具有第一存取端口以及第二存取端口,其中,数据可通过第一存取端口写入至双端口帧存储器,同时,数据可通过第二存取端口从双端口帧存储器读出。第一处理器执行比特速率处理且将比特速率处理所获得的数据通过第一存取端口写入至双端口帧存储器。第二处理器通过第二存取端口从双端口帧存储器读出数据且对从双端口帧存储器读出的数据执行码片速率处理的装置。数据处理器用以执行软件应用,此软件应用通过第一存取端口写入数据至双端口帧存储器,且通过第二存取端口从双端口帧存储器读出数据。

[0017] 本发明的方面、系统及方法的优点包括下列之一或多者。通过加入填充比特可执行无线帧均衡,以达到速率匹配而不需知道传输时间间隔 (Transmission Time Interval, 以下简称为 TTI) 值以及消除根据 TTI 值来计算填充比特数量的逻辑操作的需求。硬件设计及认证可简单化。比特速率处理器、码片速率处理器以及 DSP 软件可共享帧存储器,而不需使用仲裁器来仲裁对帧存储器的存取,减少了芯片设计的复杂度。在相异时隙期间,码片速率处理器的配置以及传输数据的码片速率处理所使用的算法,可通过使用时隙配置文件以及触发器先进先出 (First In First Out, 以下简称为 FIFO) 来简单地调整。

附图说明

- [0018] 图 1 为可用来实施多种无线标准的范例芯片架构的示意图。
- [0019] 图 2 为范例 TD-SCDMA 数据架构的代表示意图。
- [0020] 图 3 为 TD-SCDMA 上行链路传输路径的范例高阶架构的示意图。
- [0021] 图 4 为部分上行链路 BRP 后端处理的实施示意图。
- [0022] 图 5A-5D 为部分 TTI 存储器的示意图。
- [0023] 图 6 为 TTI 存储器架构的范例示意图。
- [0024] 图 7 表示具有物理信道范例表的列表。
- [0025] 图 8 为相关技术用来解决可能发生总线冲突的存储器存取的方式示意图。
- [0026] 图 9 为范例存储器接口的示意图。
- [0027] 图 10 为用来执行硬件优先权策略的电路的示意图。
- [0028] 图 11A 及 11B 为 TD-SCDMA 帧架构的示意图。
- [0029] 图 12A 及 12B 为在一时隙中多个物理信道比特的组织示意图。

[0030] 图 13 为上行链路 CRP 核心以及许多配置组件来促进灵活接口,以允许 DSP 软件以灵活且高效率的方法来控制上行链路 CRP 核心的示意图。

[0031] 图 14 为范例无线网络的示意图。

具体实施方式

[0032] 此说明书叙述多种不同的方法及装置,以用于实施 TD-SCDMA 的上行链路处理,并且此说明书包括多种设计特征,可帮助 TD-SCDMA 标准有效、灵活以及有经济效益的实施。例如,如之后将更详细的说明,可以一种方式来实施传输时间间隔 (Transmission Time Interval, 以下简称为 TTI) 存储器,来便于简单的比特填充 (padding of bits),以达到速率匹配目的。可以某种方式来实施介于比特速率处理与码片速率处理之间的接口,来使能比特速率处理器、码片速率处理器以及软件应用,以共享帧存储器而不需使用仲裁器来对存取帧存储器进行仲裁处理。时隙配置文件以及触发器先进先出存储器 (trigger first-in-first-out memory) 可用来弹性决定如何配置码片速率处理器与对应算法,以用于对应不同时隙的传送数据的码片速率处理。

[0033] 架构概述

[0034] 图 1 为可用来实施多种无线标准 (包括 TD-SCDMA) 的范例芯片架构的示意图。数字基带 (digital base band, DBB) 处理器 120 负责多个电信任务,包括在无线通信期间传送信息至基站或从基站接收信息。数字基带处理器 120 包括数字信号处理器 (Digital Signal Processor, 以下简称为 DSP) 核心 122,其可执行软件编码以实施不同的操作。DSP 核心 122 可存取高速缓冲存储器 124、DSP 直接存储器存取控制器 125、静态随机存取存储器 (Static Random Access Memory, 以下简称为 SRAM) 126、系统随机存取存储器 (system Random-Access Memory, 以下简称为系统 RAM) 128 以及总线接口单元。如图 1 所示,本发明一实施方式中,数字基带处理器 120 更包括外部协处理器接口端口 (External Co-processor interface Port, 以下简称为 ECP)。

[0035] 加速器 100 可包括一或多个协处理器 (coprocessor)。实施协处理器是用来协助数字基带处理器 120 执行其电信任务。例如,加速器 100 可包括上行链路 (Uplink, UL) 协处理器 110,其根据 TD-SCDMA 标准来执行上行链路处理。加速器 100 可包括其它协处理器,用来执行其它任务 (例如根据 TD-SCDMA 标准来执行下行链路处理)。如图 1 所示,本实施方式中,加速器 100 更包括联合检测 (Joint Detection, 以下简称为 JD) 协处理器以及下行链路比特速率处理 (Bit Rate Processing, 以下简称为 BRP) 协处理器。DSP 核心 122 作为上行链路协处理器 110 的主站 (master) 操作,将从基站接收的数据提供给上行链路协处理器 (下行链路),且将从上行链路协处理器接收的数据传送给基站 (上行链路)。在 DSP 核心 122 上执行的软件负责对上行链路协处理器 110 的控制及配置。软件应用提供输入数据及配置参数,且加速器 100 以码片速率来产生复合数据 (complex data) 序列。

[0036] 接下来是 TD-SCDMA 发信号格式的概要叙述。TD-SCDMA 使用时域双工结合多种存取技术,以支持对称与非对称流量。对于上行链路或下行链路流量的时隙的可变分配使 TD-SCDMA 得以满足非对称流量需求且支持不同的使用者。在 TD-SCDMA 系统中,多种存取技术利用独特编码及时间标记 (time signatures) 二者来分离出在一预定单元中的使用者。TD-SCDMA 标准定义了 3 层帧架构:无线帧、子帧以及时隙。无线帧为 10 毫秒 (millisecond,

ms)。子帧为 5ms,并且分为 7 个时隙。一个时隙具有 4 个部分:中间码 (Midamble)、在中间码两侧的两个数据域 (data field) 以及保护区。接收器使用中间码来执行信道估计。

[0037] 图 2 为范例 TD-SCDMA 数据架构的代表示意图。数据以一序列的无线帧 (帧 i、帧 i+1……等) 来传送,每一帧具有 10ms 的持续时间。每一无线帧划分成两个子帧 (子帧 1 及子帧 2),且每一子帧具有 5ms 的持续时间。每一子帧由 7 个时隙 TS0、TS1、TS2、TS3、TS4、TS5、TS6 所组成,且每一时隙具有 0.675ms 的持续时间。每一时隙包括 4 个部分:具有 144 个码片持续时间的中间码 152、在中间码 152 之前及之后具有 352 个码片持续期间的两个数据域 154 及 156 以及接下来具有 16 个码片持续时间的保护区 158。中间码 152 载有已知数据且由接收器所使用,以执行信道估计。根据每一方向上的流量,每一子帧 (例如子帧 1 或子帧 2) 中的 7 个时隙 (TS0、TS1 等) 可区分于上行链路与下行链路流量之间。

[0038] 在一些应用中,上行链路协处理器 110 可支持 TD-SCDMA 第 4 版 384kbps 使用者设备 (User Equipment) 等级的需求及性能。上行链路协处理器 110 可支持 890kbps 的最高数据速率且在每一子帧最多可支持 5 个时隙。此时每一时隙最多可具有 2 个物理信道,且每一物理信道的扩频因子 (spreading factor) 可以是 16、8、4、2、或 1。上行链路协处理器 110 也可支持高速共享信息信道 (以下简称为 HS-SICH) 的码片速率处理 (Chip Rate Processing,以下简称为 CRP),HS-SICH 是高速共享信息信道,用来发送高速数据的反馈信息。

[0039] 除了随机存取信道 (Random Access Channel,RACH) 及 HS-SICH 之外的 TD-SCDMA 规格的物理信道具有大于或等于 10ms 的 TTI 持续期间。随机存取信道的 TTI 持续期间可以是 5ms、10ms、或 20ms。上行链路协处理器 110 支持用于 RACH 及 HS-SICH 二者的 CRP。用于 HS-SICH 的 BRP 可通过软件来实施。

[0040] 上行链路协处理器 110 支持用于编码复合传输信道 (Coded Composite Transport Channel,以下简称为 CCTrCH) 的 BRP 旁路模式。这就允许软件应用旁路硬件 BRP 且直接将数据传送至 CRP 的输入。用于 RACH 及 HS-SICH 的 CRP 可由硬件来支持。

[0041] 图 3 为 TD-SCDMA 上行链路传输路径 160 的范例高阶架构的示意图。如图 3 所示,上行链路传输路径 160 的输入包括来自 DSP 的 BRP/CRP 配置参数、旁路模式中来自 DSP 的 CRP 数据以及来自 DSP 的 BRP 数据。上行链路传输路径 160 划分成 3 个主要运算组件,也可视为 3 个阶段,即阶段 1、阶段 2 与阶段 3。

[0042] 上行链路 BRP 前端处理 (传输信道处理) 162:包括循环冗余检查 (Cyclic Redundancy Check,以下简称为 CRC) 附属装置及信道编码。上行链路 BRP 前端处理 162 的输出储存在 TTI 存储器 168 中。

[0043] 上行链路 BRP 后端处理 164:包括剩余 BRP 区块,例如传输信道 (Transport Channel,以下简称为 TrCH) 交错、速率匹配、比特扰乱 (Bit-scrambling)、第二交错器 (Interleaver) 以及物理信道映射。上行链路 BRP 后端处理 164 的输出储存在传输帧存储器 170。BRP 后端的处理以帧速率来安排。

[0044] 上行链路 BRP 前端处理 162 及上行链路 BRP 后端处理 164 共同被称为上行链路 BRP 172。

[0045] 上行链路 CRP 166:包括调变、扩频、扰乱以及物理信道功率权重及突发格式化 (burst formatting)。上行链路 CRP 166 的输入由 BRP 后端处理器 164 储存在传输帧存储

器 170, 或者当处于 BRP 旁路模式时由 DSP 软件直接写入至传输帧存储器 170。此 CRP 处理的输出, 在传送至输入 / 输出端口之前, 先传送至加速器 100 (如图 1 所示) 的内部存储器或先进先出缓冲器。

[0046] 如图 3 所示, 上行链路传输路径 160 更包括 TrCH 比特存储器与上行链路存储器, 且处理后的数据输出至 DBB 内部存储器。

[0047] 在此叙述中需注意, 根据上下文, 在图标中的功能方块可表示一个处理步骤或实施此处理步骤的硬件模块。例如, 图 3 的方块 162 可表示上行链路 BRP 前端处理 162 或者用来执行上行链路 BRP 前端处理的上行链路 BRP 前端处理器 162 (硬件)。方块 172 可表示上行链路 BRP 172 或者用来执行比特速率处理的上行链路比特速率处理器 172 (上行链路 BRP 硬件)。同样地, 方块 166 可表示上行链路 CRP 166 或者用来执行上行链路 CRP 的上行链路码片速率处理器 166 (上行链路 CRP 硬件)。

[0048] 在一些应用中, 通过写入至 BRP 触发寄存器而使能上行链路 BRP 172。DSP 软件可保证, 在写入至 BRP 触发寄存器之前, BRP 输入数据及参数已到达硬件。通过写入至槽触发寄存器 (slot trigger register) 而使能上行链路 CRP 166。软件可保证在写入至槽触发寄存器之前, 上行链路 BRP 172 已完成 (在旁路模式的情况下, 所有数据已到达传输帧存储器 170) 且槽配置参数已到达硬件。

[0049] 高效率无线帧均衡实施

[0050] 下文叙述一种用于 TD-SCDMA 系统的高效率无线帧均衡实施。在 BRP 前端处理 162 (例如信道编码) 与上行链路 BRP 后端处理 164 (例如交错处理) 之间, 包括无线帧均衡 (Radio Frame Equalization, 以下简称为 RFE) 处理。RFE 处理包括填充传输信道的输入比特序列, 以确保输出可分割成已选择数量 (Fi) 的数据段, 且各数据段具有相同尺寸。此填充处理可依照对应 TD-SCDMA 的 3GPP 规格来执行。

[0051] 在一些应用中, 上行链路 BRP 前端处理 162 可包括用于信道编码且包括信道编码的数据的初始处理, 而上行链路 BRP 后端处理 164 可包括数据交错以及数据的接续处理。上行链路 BRP 前端处理 162 根据与 TTI 相等的帧速率来处理数据, 而上行链路 BRP 后端处理 164 则根据 10ms 的帧速率来处理数据。无线帧均衡处理用于匹配上行链路 BRP 前端处理 162 与上行链路 BRP 后端处理 164 的帧速率。

[0052] 例如, 信道编码器 174 (信道编码器 174 为上行链路 BRP 前端处理器 162 的一部分且显示在图 4 中) 根据 TTI, 将数据传送至 TTI 存储器 168。当 TTI 等于 10ms 时, 信道编码器 174 每隔 10ms, 将一传输信道编码区块传送至 TTI 存储器 168。当 TTI 等于 20ms, 信道编码器 174 每隔 20ms, 将一传输信道编码区块传送至 TTI 存储器 168, 以此类推。当有多个有效的传输信道时, 对应与一传输信道相关联的每一传输时间间隔, 信道编码器 174 将此传输信道编码区块传送至 TTI 存储器 168。在此叙述中, 术语“传输信道编码区块”表示每隔预设时间期间 (在此例子中为 10ms), 由信道编码器 174 所输出且写入至 TTI 存储器 168 的数据区块。“传输信道编码区块”与“传输区块”不同, 术语“传输区块”表示在由 7 层开放式通信系统互联参考模型 (Open System Interconnection Reference Model) 所规范的媒体存取控制 (Media Access Control, MAC) 次层与物理层 (层 1) 之间用于数据传输的基本单元。

[0053] 例如, 假设有两个有效的传输信道: 传输信道 1 与传输信道 2, 且假设传输信道 1

使用的 TTI 为 40ms, 而传输信道 2 使用的 TTI 为 20ms。最初, 在时间 $T = 0$ 时, 信道编码器 174 将对应传输信道 1 的第一传输信道编码区块以及对应传输信道 2 的第一传输信道编码区块传送至 TTI 存储器 168。在时间 $T = 20\text{ms}$ 时, 信道编码器 174 将对应传输信道 2 的第二传输信道编码区块传送至 TTI 存储器 168。在时间 $T = 40\text{ms}$ 时, 信道编码器 174 将对应传输信道 1 的第二传输信道编码区块以及对应传输信道 2 的第三传输信道编码区块传送至 TTI 存储器 168, 以此类推。在数据储存于 TTI 存储器 168 后, 数据以 10ms 的帧速率从 TTI 存储器 168 被读出。

[0054] 相同尺寸的数据段的数量随 TTI 而定, TTI 可以是 10ms、20ms、40ms、或 80ms。在每一传输信道编码区块中, 对于 10ms、20ms、40ms 及 80ms 的 TTI, 相同尺寸的数据段的数量分别是 1、2、4 及 8。在一些实施中, 每一传输信道编码区块的数据段数量的计算随 TTI 而定, 且数据段数量决定了基于一预定传输信道编码区块有多少比特需要被填充, 之后将有更详细的讨论。在一些实施中, TTI 由较高阶的软件所决定, 在上行链路 BRP 中的进一步下传 (downstream) 之前, 此软件可能不可用。因此, 以将期望数量的填充比特加入至一预定传输信道编码区块而不需知道 TTI 值的方式, 来实施 TTI 存储器架构是有用的。

[0055] 图 4 为部分上行链路 BRP 后端处理 164 的实施示意图。在 RFE 处理期间, 来自 BRP 前端处理 162 的数据根据 TTI 需求而储存在 TTI 存储器 168。也就是, 每一传输信道编码区块逻辑性地划分为适当数量的数据段, 且最后一个数据段被填充, 以等于其它数据段的大小。储存在 TTI 存储器 168 的数据段被第一交错器 180 读取, 其中, 第一交错器 180 用来扰乱待传送的数据段的次序, 以防止在传输期间遗失相连的数据段。第一交错器 180 提供数据至速率匹配单元 182, 速率匹配单元 182 用来调整数据速率, 以通过复制或移除比特来使得传输数据速率匹配。图 4 所示 BRP 路径的下传阶段的详细叙述在美国临时申请案第 61/008,345 号描述。图 4 的例子中, 在速率匹配单元 182 之前, TTI 值 192 对于 TTI 存储器 168 而言是不可用的, 其中, 速率匹配单元 182 可接收来自较高阶软件的 TTI 值 192。如图 4 所示, 上行链路 BRP 后端处理 164 更包括比特扰乱 184、中间帧存储器 186、第二交错器 188 与物理信道映射 190。

[0056] 根据 3GPP TS25.222 技术规格 (包括 3GPP、技术规格组无线存取网络、多路传输处理及信道编码 (例如 TDD)), 无线帧尺寸均衡是填充输入比特序列, 以保证输出可以分割成相同尺寸的 F_i 个数据段。数据段的数量 (F_i) 是依据 TTI 而定。例如, 假使 $\text{TTI} = 10\text{ms}$, 则 $F_i = 1$; 假使 $\text{TTI} = 20\text{ms}$, 则 $F_i = 2$; 假使 $\text{TTI} = 40\text{ms}$, 则 $F_i = 4$; 假使 $\text{TTI} = 80\text{ms}$, 则 $F_i = 8$ 。

[0057] 关于无线帧尺寸均衡的输入比特序列以 $C_{i1}, C_{i2}, C_{i3}, \dots, C_{iE_i}$ 来表示, 其中, i 是 TrCH 数量, E_i 是输入比特数量。输出比特序列则以 $t_{i1}, t_{i2}, t_{i3}, \dots, t_{iT_i}$ 来表示, 其中, T_i 是输出比特数量。输出序列可由下述获得:

[0058] $t_{ik} = c_{ik}$, 其中 $k = 1 \dots E_i$; 以及

[0059] $t_{ik} = \{0, 1\}$, 其中 $k = E_i + 1 \dots T_i$, 假设 $E_i < T_i$

[0060] 其中, $T_i = F_i * N_i$; 以及

[0061] N_i 是在尺寸均衡后每一段的比特数量。

[0062] 图 5A、5B、5C 及 5D 为部分 TTI 存储器 168 的示意图, 其中, F_i 分别等于 1、2、4 及 8。例如, 图 5A 为对应单一段 ($F_i = 1$) 的传输信道 0 至传输信道 2 的示意图。图 5B 为对应 2

个段 ($F_i = 2$) 的传输信道 0 至传输信道 2 的示意图。图 5C 为对应 4 个段 ($F_i = 4$) 的传输信道 0 至传输信道 2 的示意图。图 5D 为对应 8 个段 ($F_i = 8$) 的传输信道 0 至传输信道 2 的示意图。虽然只显示前三个传输信道编码区块,但是 TTI 存储器 168 可包括更多区块且可以是任何尺寸。传输信道编码区块尺寸可根据数据、CRC 比特以及执行在数据上的编码演算来变化。因此,除了能被 TTI 值除尽的多个传输信道编码区块,1 到 7 比特中任何一者可能需要被填充在每一传输信道编码区块的末端。因此,用来填充的比特数量将依据传输信道编码区块尺寸以及 TTI 值而定。

[0063] 如上所讨论,在 TTI 存储器 168 之后,TTI 值无法得知。因此,为了计算在 TTI 存储器 168 之后的数据段数量,上传 (upstream) 阶段 (例如在 TTI 存储器 168 之后的阶段) 应具有关于在 TTI 存储器 168 中编码比特的总尺寸以及本身 TTI 值的信息,以计算填充比特的数量。此步骤增加了设计的复杂性。或者,在 TTI 存储器 168 之前,可完成无线帧均衡。但是为了实行此方式,可能需要编码区块的总尺寸与 TTI 值,以用来计算填充比特。需要额外的逻辑操作来计算数据段数量以及在 TTI 存储器 168 上实施由编码器所提供的数据的相关填充。

[0064] 申请人认为,可利用 TTI 存储器 168 的架构来提供简单的解决办法以进行输入数据序列的填充。特别的是,申请人认为,由于 TTI 存储器 168 为字节排列,适当的填充可独立于 TTI 值而被计算。TD-SCDMA 标准指定填充可以 0 或 1 来执行。然而,通过在存储器使用随机非初始的 0/1 比特,产生了一个问题,即把填充的比特视为无关比特 (don't care)。由于数据通过许多阶段,包括第一及第二交错器,在下传阶段 (例如在传输帧存储器 170) 识别填充的比特变为困难。这需要大量的硬件确认工作以从交错后比特流中识别填充的随机 0/1 比特。因此,申请人认为以全部为 0 或全部为 1 的填充有助于下传处理。这减少了在硬件确认的复杂性。尽管申请人选择 0 来填充,1 可同样地被使用。

[0065] 请回到利用存储器组织来帮助相对简单的填充的概念。申请人了解由于 TTI 存储器 168 为字节排列,传输信道编码区块可通过识别数据末端以及填充至下一字节,而不需知道 TTI 值,就被适当地填充。由于下一传输信道编码区块将处于下一字节的起始端,填充超出下一字节边界将会恰当地填充传输信道编码区块,而不需顾虑使用的 TTI。

[0066] 编码器以一比特流来提供比特至 TTI 存储器 168。因此,为了恰当地填充传输信道编码区块,此逻辑操作包括计算已传送多少比特至 TTI 存储器 168 的机制。一旦传输信道编码区块已储存在 TTI 存储器 168,此逻辑操作可在此传输信道编码区块的末端后,加入 0 至下一字节边界。此方法提供了正确的填充,而不需相对昂贵的反馈逻辑操作及硬件以根据被接收的 TTI 来计算待填充的比特数量,其中,被接收的 TTI 只在下传阶段后有效。

[0067] 图 6 为 TTI 存储器架构的范例示意图,TTI 存储器架构使能对应无线帧尺寸均衡的额外比特填充,而不需使用关于 TTI 值的信息。TTI 存储器 168 包括存储器行 200a、200b、200c、200d、200e、200f、200g、200h、200i,为使描述简洁,其共同以 200 来表示。每一存储器行 200 具有 8 个比特。当信道编码器 174 将编码数据写入 TTI 存储器 168 时,信道编码器 174 将填充比特加入至最后存储器行的末端。在图 6 中,符号“E”表示数据比特,而符号“0”表示填充比特。

[0068] 例如,假使对应传输信道 #0 的传输信道编码区块具有 33 比特,则信道编码器 174 将 32 个数据比特写入至 4 个存储器行 200a 至 200d、将 1 个数据比特写入至存储器行 200e、

且将 7 个填充比特（例如“0”比特）写入至存储器行 200e。假使对应传输信道 #1 的传输信道编码区块具有 11 比特，则信道编码器 174 将 8 个数据比特写入至 1 个存储器行 200f、将 3 个数据比特写入至存储器行 200g、且将 5 个填充比特写入至存储器行 200g。假使对应传输信道 #2 的传输信道编码区块具有 8 比特，则信道编码器 174 将 8 个数据比特写入至 1 个存储器行 200h，而不需写入额外的填充比特。假使对应传输信道 #3 的传输信道编码区块具有 6 比特，则信道编码器 174 将 6 个数据比特写入至 1 个存储器行 200i，且将 2 个填充比特写入至存储器行 200i。

[0069] 在每一传输信道编码区块中的比特数量可以介于几个比特至数千个比特。在相异的传输信道编码区块中的比特数量可以不同，且对应相同传输信道的传输信道编码区块中的比特数量可在不同时间期间上变化。

[0070] 当加入填充比特时，通过配置 TTI 存储器 168 来取得多个存储器行（每一存储器行具有 8 比特）、通过通常在一存储器行的末端填充比特以及通过在下一字节边界的开端上开始下一传输信道编码区块，则不需要使用关于 TTI 值的信息。对于每一传输信道而言，数据比特加上填充比特的总数量将总是可被段数量 F_i 除尽，因此，满足 TD-SCDMA 标准的无线帧尺寸均衡要求。

[0071] 当从 TTI 存储器 168 读出传输信道编码区块数据时，DSP 软件将指明在每一传输信道的比特数量、与此传输信道相关的 TTI 值。例如，在图 6 的例子中，假使用于传输信道 #0 的 TTI 为 40ms，段数量 F_i 等于 4。在 40ms 的期间，第一交错器 180 需要读取数据比特以及多个填充比特，使得比特的总数能被 4 除尽。由于有 33 个数据比特，在 40ms 的期间，第一交错器 180 可读取 33 个数据比特及 3 个填充比特，即可读取总数为 36 个比特 ($36 = 9 \times 4$)。第一交错器 180 在第一个 10ms 期间读取 9 个数据比特、在第二个 10ms 期间读取 9 个数据比特、在第 3 个 10ms 期间读取 9 个数据比特、且在第 4 个 10ms 期间读取 6 个数据比特及 3 个填充比特。

[0072] 如另一例子，假使用于传输信道 #0 的 TTI 为 80ms，段数量 F_i 等于 8。在 80ms 的期间，第一交错器 180 需要读取数据比特以及多个填充比特，使得比特的总数能被 8 除尽。由于有 33 个数据比特，在 80ms 的期间，第一交错器 180 可读取 33 个数据比特及 7 个填充比特，即可读取总数为 40 个比特 ($40 = 5 \times 8$)。第一交错器在第一个至第六个 10ms 期间，各读取 5 个数据比特、在第七个 10ms 期间读取 3 个数据比特及 2 个填充比特、且在第八个 10ms 期间读取 5 个填充比特。

[0073] BRP-CRP 接口及帧存储器架构

[0074] 下面叙述 BRP-CRP 接口及帧存储器架构。在一些实施中，上行链路路径 160 的功能划分于在 DSP 核心 122 上执行的软件与上行链路协处理器 110 之间。上行链路协处理器 110 可处理计算性加强的任务。

[0075] 参阅图 7，图 7 为具有物理信道范例表的列表。表格 1 概述了上行链路协处理器 110 所支持的范例物理信道，以及对于不同物理信道，任务如何在硬件与软件之间划分（参阅列 206）的列表。例如，对于专用物理信道 (Dedicated Physical Channel, DPCH) 200 而言，数据符号 202 的 BRP 及 CRP 可由硬件来执行，而控制符号 204 的 BRP 由软件来执行且控制符号的 CRP 由硬件来执行。对于物理随机存取信道 (physical random access channel) 208 而言，随机存取识别码 (random access signature) 210 的 BRP 与 CRP 可由软

件来执行,而随机存取信道数据 212 的 BRP 及 CRP 由硬件来执行。如图 7 所示,表格 1 还提供对应各物理信道的 TrCH 以及注释。

[0076] 如上所述,可实施介于 BRP 与 CRP 之间的接口,使得上行链路 BRP 后端处理器 162、上行链路码片速率处理器 166 以及软件可共享传输帧存储器 170,而不需使用仲裁器来仲裁对传输帧存储器 170 的存取。如图 7 所示,物理上行链路共享信道与物理共通封包信道 (physical common packet channel) 均不支持硬件与软件之间的划分,上行链路指向信道由软件来执行。HS-SICH 的 BRP 及 CRP 可由硬件来执行,同时 HS-SICH 的第 5 版,可用作上行链路反馈信号发布。

[0077] 如图 3 所示,上行链路比特速率处理器 (上行链路 BRP) 172 提供数据,其进一步由上行链路码片速率处理器 (上行链路 CRP) 166 来处理。上行链路比特速率处理器 172 将数据写入至传输帧存储器 170,且上行链路码片速率处理器 166 从传输帧存储器 170 读出数据。因此,上行链路 BRP 172 的硬件与上行链路 CRP 166 的硬件需要对传输帧存储器 170 进行存取。此外,来自 DSP 核心 122 的软件需要对传输帧存储器 170 进行读出及写入。因此,三个单独的实体 (称为主站) 需要对传输帧存储器 170 存取,导致可能的总线冲突。相关技术的处理总线冲突的解决方法是实施总线仲裁器,其执行所期望的总线仲裁机制。例如,图 8 为相关技术用来解决可能发生总线冲突的存储器存取的方式示意图。

[0078] 在图 8 的例子中,传输帧存储器 220 被三个主站存取:上行链路 BRP 硬件 222、上行链路 CRP 硬件 224、DSP 软件 226。为了在三个不同主站 (每一者同时试图存取传输帧存储器 220) 之间仲裁,仲裁器 228 实施仲裁机制来决定将总线分配到哪一竞争的主站,以存取传输帧存储器 220。实施仲裁器 228 可能会增加芯片设计的复杂性与成本。实施仲裁机制需要复杂的演算规则,来保证没有主站的总线存取得不到满足,并且保证高优先处理获得优先权。

[0079] 参阅图 9,其为范例存储器接口的示意图。范例存储器接口避免了使用总线仲裁器来处理多个主站存取传输帧存储器的需求。使用双端口存储器来实施传输帧存储器 170,双端口存储器允许两个主站的同时存取,因此,减少了可能发生的多个冲突中之一者。此双端口传输帧存储器 170 可由上行链路 BRP 硬件 172、上行链路 CRP 硬件 166 以及 DSP 软件 232 来存取。如图 9 所示,存储器接口更包括复用器与解复用器。

[0080] 申请人认为,可用三个主站的性质来消除剩下的冲突。因此,双端口存储器可由三个主站来存取而没有总线仲裁器的需求。上行链路 BRP 硬件 172 对传输帧存储器 170 进行写入操作,但不从传输帧存储器 170 读出。上行链路 CRP 硬件 166 从传输帧存储器 170 读出,但不从传输帧存储器 170 写入。DSP 软件 232 对传输帧存储器 170 写入也从传输帧存储器 170 读出。通过将上行链路 BRP 硬件 172 连接至双端口传输帧存储器 170 的第一端口 234 且将上行链路 CRP 硬件 166 连接至双端口传输帧存储器 170 的第二端口 236,介于此两主站之间的冲突可得以消除。通过将第一端口 234 及第二端口 236 之间的 DSP 软件 232 分割,DSP 软件 232 与上行链路 BRP 硬件 172 共享写入权利,而与上行链路 CRP 硬件 166 共享读出权利。

[0081] 申请人了解,DSP 软件 232 知道硬件主站 (即上行链路 BRP 硬件 172 及上行链路 CRP 硬件 166) 何时对传输帧存储器 170 读出与写入,但硬件主站 172 及 166 并不知道 DSP 软件或另一硬件主站何时对传输帧存储器 170 进行存取。因此,通过当软件主站侦测到对

应硬件主站正存取总线时,将软件主站程序化以配合硬件主站,且通过将第一端口 234 及第二端口 236 之间两硬件主站分离,此三个主站可存取传输帧存储器 170,而不需任何总线仲裁器。

[0082] 在一些实施中,可加入一简单电路以执行使得正在读出或写入的硬件获得第一优先权的策略(即硬件总可假设其具有总线存取)。假使侦测到上行链路 BRP 硬件 172 需要对传输帧存储器 170 进行写入存取,则 DSP 软件 232 将被阻止对传输帧存储器 170 进行写入。同样地,假使侦测到上行链路 CRP 硬件 166 需要对传输帧存储器 170 进行读出存取,则 DSP 软件 232 将被阻止对传输帧存储器 170 进行读出。根据本发明一实施方式,上行链路 BRP 硬件 172 使用固定算法来执行比特速率处理,上行链路 CRP 硬件 166 使用固定算法来执行码片速率处理,且 DSP 软件 232 使用可更新的软件编码所指定的算法来执行比特速率处理以及码片速率处理。

[0083] 图 10 为电路 240 的示意图,电路 240 用来执行硬件优先权策略。上行链路 BRP 硬件 172 经由复用器 242 通过第一端口 234 来对传输帧存储器 170 进行存取,而上行链路 CRP 硬件 166 经由复用器 244 通过第二端口 236 来对传输帧存储器 170 进行存取。DSP 软件 232 经由复用器 242 通过第一端口 234 来对传输帧存储器 170 进行写入存取,且经由复用器 244 通过第二端口 236 来对传输帧存储器 170 进行读出存取。

[0084] 当 DSP 软件 232 知道硬件何时读取或写入且可在内部避免本身同时读出或写入的时候,包括复用器 242 及 244 以执行优先权策略可简化认证,因此包括复用器 242 及 244 是有益处的。例如,假使 DSP 软件 232 操作正确,额外逻辑操作则是多余且不必要的。然而,假使 DSP 软件 232 操作错误,则此逻辑操作提供自动防止故障危害机制(failsafe mechanism)以执行此策略。因此,图 10 的逻辑操作可用来验证 DSP 软件 232 操作正确以及/或提供额外量测以保证此既定策略正被执行。在一些实施中,除了 BRP DN 选择信号 246 为高水平以外,复用器 242 允许上行链路 BRP 硬件 172 执行写入存取,此时复用器 242 将允许 DSP 软件 232 对传输帧存储器 170 执行写入存取。同样地,除了 CRPDN 选择信号 248 为高水平以外,复用器 244 允许上行链路 CRP 硬件 166 执行读出存取,此时复用器 244 将允许 DSP 软件 232 对传输帧存储器 170 执行读出存取。

[0085] 图 11A 及 11B 为 TD-SCDMA 帧架构的示意图。每一帧具有 10ms 的持续时间且划分成 2 个 5ms(即 6400 码片)的子帧,每一子帧如图 11A 所示。如图 11 所示,每一子帧中包括 96 码片的下行链路导频时隙(Downlink Pilot Timeslot,以下简称为 DwPTS)、96 码片的保护时间间隔(Guard Period,以下简称为 GP)以及 160 码片的上行链路导频时隙(Uplink Pilot Timeslot,以下简称为 UpPTS)。在 TD-SCDMA 帧中的两个子帧相同。每一子帧划分成 7 个时隙,以 0 至 6 来标示。每一时隙不是分配给下行链路传输(以向下箭头表示)就是分配给上行链路传输(以向上箭头表示)。在一些实施中,第一时隙(时隙 0)总是分配给下行链路传输,且第二时隙(时隙 1)一直分配给上行链路传输。在第一与第二时隙之间具有一切换点。例如在图 11A 中,时隙均衡地分配在下行链路与上行链路传输之间。在图 11B 中,第一与最后一时隙分配给下行链路,而剩余的 5 个时隙分配给上行链路。当上行链路传输需要较多的频宽时,例如从移动装置至基站的上载操作时,则可需要在图 11B 中的分配。时隙的动态分配有助于在非对称传输时的灵活性。

[0086] 申请人认为,通过安排由上行链路 BRP 172 所写入以及由上行链路 CRP166 所读取

的存储器来反应 TD-SCDMA 帧的时隙架构,可提供高效率的实施应用。

[0087] 参阅图 10,传输帧存储器 170 被划分成两个帧缓冲器,例如帧缓冲器 A250 以及帧缓冲器 B 252,帧缓冲器 A 250 与帧缓冲器 B 252 中的每一者具有对应 TD-SCDMA 帧的多个时隙的多个段(例如 254a、254b)。帧缓冲器 A250 包括对应第一帧的多个段(例如 254a、254b、254c 等等,共同以段 254 来表示),帧缓冲器 B 包括对应第二帧的多个段(例如 256a、256b、256c 等,共同以段 256 来表示)。每一帧划分成 2 个子帧(例如子帧 258a 及 258b),以反映 TD-SCDMA 帧架构。每一子帧划分成 5 个相异段 TS1-TS5,例如,对应 5 个可动态配置给上行链路的时隙(有效时隙)。

[0088] 在一些应用中,帧缓冲器 A 250 以及帧缓冲器 B 252 中的每一者的尺寸为 1760 个字节,且帧缓冲器 A 平均地划分在 2 个子帧之间。在一子帧内,每一时隙(以及在一时隙中每一物理信道)的地址(或位置)固定,且分配给每一时隙的段尺寸为 176 个字节。通过使用对应时隙固定的存储器地址,能更方便地决定为了预定时隙而对哪一存储器段写入数据或是从其读出数据。

[0089] 假使上行链路 BRP 硬件 172 或 DSP 软件 232 分配到一特定时间,硬件或软件则知道在对应时隙期间,将待传输的数据写入哪一存储器段。同样地,上行链路 CRP 硬件 166 或 DSP 软件 232 知道哪一存储器段被读取,以获得对应特定时间隙的用于传输的数据。例如,假使关于上行链路传输,无线装置使用时隙 TS1 及 TS3 但没有使用时隙 TS2、TS4 及 TS5,则上行链路 BRP 172 与 DSP 软件 232 则将与时隙 TS1 及 TS3 相关的数据分别写入至存储器段 254a 及 254c,跳过存储器段 254b。

[0090] 在图 10 中,传输帧存储器 170 包括对应至少两帧的多个段。特别的是,帧缓冲器 A 250 储存对应第一帧的数据,帧缓冲器 B 252 是储存第二帧的数据。将对应两帧的数据储存在传输帧存储器 170 中是有用的,因为在上行链路处理期间,上行链路 BRP 172 与上行链路 CRP 166 可同时写入和读出对应不同帧的数据。

[0091] 例如,当上行链路 BRP 172 在一预定时间间隔期间内将对应第一帧的数据写入至帧缓冲器 A 250 时,上行链路 CRP 166 从帧缓冲器 B 252 读取在前一时间间隔内由上行链路 BRP 172 所写入且对应前一帧的数据。在下一时间间隔,上行链路 BRP 172 将对应第二帧的数据写入帧缓冲器 B 252,且上行链路 CRP 166 将从帧缓冲器 A 250 读取数据,以获得第一帧。在此方法下,上行链路 BRP 172 及上行链路 CRP 166 可同时读取及写入,然而对于不同的帧缓冲器,以避免对传输帧存储器 170 的相同位置执行每一读取与写入。这种 A-B 缓冲器机制在上行链路 CRP 166 完成读取帧数据之前,能防止上行链路 BRP 硬件 172 对传输帧存储器 170 过度写入。

[0092] 在一些实施中,A-B 帧缓冲器的管理由 DSP 软件 232 来操控。DSP 软件 232 可决定上行链路 BRP 172 的输出是否写入帧缓冲器 A 250 或帧缓冲器 B252。同样地,DSP 软件 232 决定上行链路 CRP166 的输入是否是从帧缓冲器 A 250 或帧缓冲器 B 252 读出。在一些实施中,在 BRP 旁路模式的情况下,DSP 软件 232 可直接传送 CRP 输入至传输帧存储器 170。当传送此 CRP 输入数据时,DSP 软件 232 选择目标地址(例如帧缓冲器 A 250 或帧缓冲器 B 252)且根据子帧数量及时隙数量来选择帧存储器的地址偏移。

[0093] 在一些实施中,上行链路 BRP 172 与上行链路 CRP 硬件 166 配置来控制对应组件是对帧缓冲器 A 与帧缓冲器 B 中哪一者进行读取及写入。图 10 所示的存储器安排有助于

相对简单且有效的架构,此架构利用了 TD-SCDMA 标准所提供的适应性。

[0094] 在一些实施中,存储器段 TS1-TS5 中的每一者更划分成两个或多个物理信道,每一信道与一独立的传输编码(例如虚拟随机(Pseudo-random,PN)编码)相关联。即是,时隙可由以两相异编码所编码的数据共享。这反映出 TD-SCDMA 标准的时间划分以及编码划分观点。

[0095] 图 12A 及 12B 为在一时隙中多个物理信道比特的组织示意图。如图 12A 及 12B 所示,每一时隙可以两种模式来安排。图 12A 表示存储器段 254,在其中使用两物理信道。此存储器组织用于扩频因子 2、4、8、或 16。此扩频因子是码片对基带信息速率的比例。当物理信道的扩频因子大于 1 时,时隙可利用的存储器在两个物理信道之间平均地划分。例如,存储器段 254 划分成两个部分 255a 及 255b,每一部分对应一物理信道。在一时隙内,每一物理信道的地址(或位置)固定,且分配给每一物理信道的部分尺寸为 88 个字节。通过使用对应物理信道的固定存储器地址,能更方便地决定对应预定物理信道,对哪一部分(例如 255a 或 255b)执行数据写入或数据读出。

[0096] 存储器部分 255a 及 255b 可储存虚拟比特 257,于其中,虚拟比特 257 的数量对应控制信道比特与扩频因子的数量。在一些实施中,上行链路 CRP 166 忽略虚拟比特 257。

[0097] 在此有 4 个可能的例子,(对于所有 4 个例子,物理信道 0(信道 0, Ph#0)及物理信道 1(信道 1, Ph#1)起始于固定位置,如图 12A 所示):

[0098] Ph#0 与 Ph#1 皆有效

[0099] 只有 Ph#0 有效(Ph#1 无效)

[0100] 只有 Ph#1 有效(Ph#0 无效)

[0101] Ph#0 与 Ph#1 皆无效

[0102] 例如,在一对应的时隙期间,物理信道 0 可用来传输第一数据,而第一数据储存在存储器段的位置 0-87。在预定的时隙期间,物理信道 1 可用来传输第二数据,而第二数据储存在存储器段的位置 88-175。第一数据与第二数据使用相异的编码来传送。

[0103] 图 12B 表示其中仅使用一单一物理信道的存储器段的示意图。时隙可利用的存储器被单一物理信道使用。假使扩频因子为 1,则在时隙内将只有一个物理信道(Ph#0)。上行链路 CRP 166 忽略虚拟比特 257。例如,物理信道 0 在对应的时隙期间内用来传送数据,而此数据储存在存储器段的位置 0-175。

[0104] 应可知,存储器段的尺寸以及如何根据物理信道来划分数据段仅是一个示范例,也可使用其它配置。此外,尽管在图 12A 及 12B 所示的存储器段中两个物理信道是可利用的,但也可使用任何数量的物理信道。

[0105] DSP 软件 232 可以物理信道为基础或以时隙为基础,选择性地填充数据。此提供了以任何所希望的顺序在传输帧存储器 170 内填充数据的能力。例如,在多个 CCTrCH 的情况下,DSP 软件 232 可提供 CRP 数据给第一 CCTrCH,而 BRP 硬件提供 CRP 数据给第二 CCTrCH。

[0106] CRP 架构及程序流程

[0107] 下文叙述 CRP 架构,其使能一种灵活且方便的方法,以控制程序流程。如上关于图 1 的说明,DSP 核心 122 以上行链路协处理器 110 的主站身份在操作,且可控制上行链路协处理器 110 的操作,以帮助由移动装置至基站的上行链路传输。申请人已认识到提供关于控制在何时以及在何种排序下将数据从上行链路协处理器 110 传送,会给 DSP 核心程序设

计师带来灵活性,且发展出灵活且效率高的架构以在控制上行链路协处理器 110 方面帮助 DSP 核心程序设计师。特别的是,对一软件程序设计师来说如何设计上行链路协处理器 110 是相对困难的,尤其是关于处理储存在传输帧存储器 170 的数据。申请人发展出对软件程序设计师呈现出简化概观的架构,其促进强健且灵活的程序设计平台。

[0108] 图 13 为上行链路 CRP 核心 260 (其为上行链路 CRP 166 的一部分) 以及许多配置组件来促进灵活接口,以允许 DSP 软件 232 以灵活且高效率的方法来控制上行链路 CRP 核心 260 的示意图。如上所述,上行链路 CRP 166 是重要的,尤其是读取由上行链路 BRP 172 所写入的帧以及更进一步处理将由数字基带处理器 120 所传输的帧。在一些实施中,TD-SCDMA 帧的每一子帧具有最多 5 个关于上行链路的有效时隙。配置寄存器 262 储存关于当处理对应每一上行链路时隙的数据时,上行链路 CRP 核心 260 如何被配置的信息。

[0109] 可提供一组寄存器来储存关于每一有效时隙的时隙配置参数。在此实施中,由于具有最多 5 个用于上行链路的有效时隙,因此,5 组寄存器用来储存 5 组时隙配置参数。此 5 组寄存器意指 TS 配置组 A 264、TS 配置组 B 266、TS 配置组 C 268、TS 配置组 D 270 以及 TS 配置组 E 272。每一组寄存器包括对应相关时隙的配置信息。特别的是,每一 TS 配置组储存一参数列表,其叙述用于对应时隙的数据应如何被处理。关于 CRP 的参数列表可包括,例如对应每一物理信道的扩频因子、扰乱编码、功率控制信息以及功率调整因子。每一配置组可包括对应上行链路 CRP 166 所有的必要信息,以处理对应的时隙。此外,每一 TS 配置组包括触发域 (例如域 264c、266c、268c、270c、272c)。每一 TS 配置组更包括参数域 (例如域 264b、266b、268b、270b、272b)。每一 TS 配置组更包括子帧编号 (子帧 No.) 域。TS 配置组 A 264 更包括有效 TS 配置 A 的域 264a, TS 配置组 B 266、TS 配置组 C 268、TS 配置组 D 270 以及 TS 配置组 E 272 也分别包括有效 TS 配置 B 的域 266a、有效 TS 配置 C 的域 268a、有效 TS 配置 D 的域 270a、有效 TS 配置 E 的域 272a。将由以下详细说明。

[0110] 配置信息告知上行链路 CRP 166 如何操控在对应时隙内待传送的数据。例如,储存在每一 TS 配置组的参数配置上行链路 CRP 166 所使用的规则,以处理储存在相关子帧的数据。为了简化上行链路 CRP 166 的软件概观,申请人发展出一队列触发 (queue trigger) 方法,以提供一灵活机制来程序化时隙如何被排序 (例如,时隙应以何种排序来由上行链路 CRP 处理) 以及哪些参数被应用在每一时隙。

[0111] 时隙被处理的排序由触发器 FIFO 274 所控制,其可实施作为一标准先进先出队列,决定哪一 TS 配置组被用来处理在特定时隙内的数据。例如,图示的触发器 FIFO 274 在第一输出位置储存 TS 配置 A (即图 13 所示的 TSA)、接着储存 TS 配置 E (即图 13 所示的 TSE) 以及 TS 配置 C (即图 13 所示的 TSC),其表示将使用 TS 配置组 A 来处理一时隙,接着使用 TS 配置组 E 来处理一时隙,接着再使用 TS 配置组 C 来处理一时隙等等。可由 DSP 软件来决定哪一时隙 (例如 TS0、TS1……或 TS6) 应在预定时间内被处理。

[0112] 由无线装置所使用的有效时隙数量可随着不同装置而变化,且也可根据在无线装置上运行的软件来变化。例如,移动电话可使用对应上行链路的时隙 TS1 及 TS5。因此,在图 13 的例子中,TS 配置组 A 及 E 可用于当前帧 (分别在处理 TS1 及 TS5 时用来配置 CRP),且 TS 配置组 C 可用于随后的帧 (在处理随后帧的 TS2 时用来配置 CRP)。储存在触发器 FIFO 274 的 TS 配置组编号被提供至复用器 276,其选择将哪一 TS 配置组提供至上行链路 CRP 核心 260 以做后续处理。如图 13 所示,上行链路 CRP 核心 260 输出信号 IRQ。

[0113] 更进一步说明, 在一些例子中, 无线装置可分配 5 个有效时隙 TS1、TS2、TS3、TS5 及 TS6 给上行链路。TS 配置组 A、B、C、D 及 E 可用来配置上行链路 CRP 核心 260, 以分别处理与时隙 TS1、TS2、TS3、TS5 及 TS6 相关的处理。在一些例子中, 无线装置可分配 5 个有效时隙 TS1、TS2、TS3、TS4 及 TS5 给上行链路。TS 配置组 A、B、C、D 及 E 可用来配置上行链路 CRP 核心 260, 以分别处理与时隙 TS1、TS2、TS3、TS4 及 TS5 相关的处理。在一些例子中, 无线装置可分配 3 个有效时隙 TS4、TS5 及 TS6 给上行链路。TS 配置组 A、B、C、D 及 E 中的三个可用来配置上行链路 CRP 核心 260, 以分别处理与时隙 TS4、TS5 及 TS6 相关的处理。

[0114] 对于每一有效时隙而言, 上行链路 CRP 核心 260 通过复用器 (例如如图 10 的复用器 242 及 244) 接收来自传输帧存储器 170 的数据, 且根据储存在已选择的 TS 配置组内的参数来转换数据。将时隙配置组编号以一排序写入至触发器 FIFO 274, 而在此排序中, 在 TS 配置组内的相关触发寄存器 (例如 264c) 被使能 (例如设定为高或其它预设触发值)。一旦触发寄存器已使能, 相关 TS 配置组编号 (例如 TSA、TSE、或 TSC) 被写入至触发器 FIFO 且得到相应地处理。因此, 触发的排序成为在相关时隙内处理数据的排序, 且触发器 FIFO 274 控制在任一预定时间内, 多个有效配置组中何者来控制上行链路 CRP 核心 260。

[0115] 上行链路 CRP 核心 260 的输出在传送至 DSP 核心 122 之前, 可传送至上行链路协处理器 110 的内部存储器 278。内部存储器 278 可以是 32 字符深的输出 FIFO 278。一旦输出 FIFO 278 包括 16- 比特字元 (word) 的最高容许数量 (burstable number, 例如 4 字元), 则 DSP 直接存储器存取控制器 125 (请参阅图 1) 被告知, 其初始化数据传送至 DSP 存储器。此程序可以其它适当的方法来完成。

[0116] 因此, 配置寄存器 262 及触发器 FIFO 274 允许软件开发者在任何时间定义一般理想配置, 且接着通过以所想要的排序使能相关触发来选择哪一配置将对应每一时隙。图 13 的架构的一优点是在配置与实际物理时隙之间没有固定 (hard-coded) 关系, 此允许软件动态地决定将哪些参数应用在哪些时隙。例如, 第一 TS 配置组 A 264 并非必需用来配置上行链路 CRP 核心 260, 以处理对应 5 个有效时隙中第一者 (例如如图 10 的 TS1) 的数据, 也可用来配置上行链路 CRP 核心 260, 以处理 5 个有效时隙中的任一者 (例如如图 10 的 TS1 至 TS5)。

[0117] 在一些实施中, 用于不同时隙的 TS 配置组所依据的排序上可能具有一定限制。在一些例子中, 选择性地依序使用 TS 配置组 A 至 E, 以处理一帧内的多个时隙。因此, 在两时隙 TS2 及 TS3 内传送数据的移动电话中, TS 配置组 A 可用于 TS2, 并且 TS 配置组 B 可用于 TS3, 或者 TS 配置组 B 可用于 TS2, 并且 TS 配置组 C 可用于 TS3 (不使用 TS 配置组 A)。在此例子中, 此电话无法支持使用 TS 配置组 B 给 TS2 以及使用 TS 配置组 A 给 TS3。

[0118] 本领域的技术人员应了解多个 TS 配置组可一次全部被写入, 且接着以不同的排序被触发, 或者 TS 配置组的一些次组 (subset) 可被写入且被触发多次。通过每当多个配置组为可用时, 允许软件对配置组写入, 假使 5 个有效配置是可用的, 软件可一次写入所有的 5 个有效配置以减少在上行链路 CRP 硬件 166 与 DSP 软件 232 之间的互相影响。然而, 为了在参数为不可用的情况下维持灵活性, 配置组可一个接着一个被写入, 且接着以既定排序来触发。

[0119] 图 1 所示的芯片架构可使用在符合 TD-SCDMA 标准以及 / 或宽带码分多址存取 (W-CDMA) 标准的无线装置, 例如移动站 (例如智能手机 (smart phone) 或个人数字助理

(Personal Digital Assistant, PDA))。

[0120] 图 14 为范例无线网络 280 的示意图。其中,无线装置或移动站 282(在一些通信标准中也称为使用者设备)包括图 1 的数字基带处理器 120 以及加速器 100,且传送器(以蜂窝基站 284 来代表)用来使能对蜂窝网络的上行链路传输。数字基带处理器 120 以及加速器 100 可制造为集成电路的一部分(例如无线芯片组),且设置在移动站 282 的电路板上。此蜂窝网络可将移动站 282 连接至其它装置,例如其它移动站 286。

[0121] 本领域的技术人员应可了解,本发明的多方面观点可单独使用、结合使用,或者以前文所讨论的实施方式中未指明的配置变化来使用,因此本申请案并不限制在前文或图示所提出的细节以及组件配置。

[0122] 在本发明的另一实施方式中,无线通信装置根据一电信标准实施无线帧均衡且,其中,电信标准指定一传输时间间隔为 $T_0 \cdot 2^N$ 毫秒, T_0 表示预设时间间隔, N 表示在由 0 至 M 的范围中的任一整数, M 为正整数。传输信道的信道编码数据区块储存至存储器中,其中,存储器包括多个存储器行,且每一存储器行具有 2^M 个比特。假使信道编码数据区块具有多个字元且信道编码数据区块的比特数量非 2^M 的整数倍时,在信道编码数据区块的末端后储存一或多个填充比特至信道编码数据区块所占用的最后一存储器行的末端。从存储器中以多个相等尺寸的段,读取信道编码数据区块以及填充比特。

[0123] 实施方式更包括一或多个以下特征。电信标准包括时分同步的码分多址存取标准或者宽带码分多址存取标准。对于每一有效传输信道而言,在每一与各自有效传输信道相关的传输时间间隔,储存有效传输信道的信道编码数据区块至存储器。 T_0 等于 10 毫秒 ($T_0 = 3$)、且 M 等于 3 ($M = 3$)。填充比特所具有的比特值可均等于 0、均等于 1、或者具有随机比特值。在信道编码数据区块的末端后储存一或多个填充比特至信道编码数据区块所占用的最后一存储器行的末端的步骤执行不需计算将被储存的填充比特的数量。

[0124] 在本发明的另一实施方式中,以每一传输时间间隔内一信道编码数据区块的速率来储存编码数据至一存储器,其中,传输时间间隔是从一组预设数值选择,存储器包括多个存储器行,且每一存储器行具有预设数量的比特,预设数量的比特是根据传输时间间隔预设数值组来决定。对于数据区块的末端非对准数据区块所占用的最后一存储器行的末端的每一数据区块而言,在数据区块的末端后储存一或多个填充比特至数据区块所占用的最后一存储器行的末端,使得最后存储器行由部分的数据区块与一或多个填充比特所填满。以一或多个相等尺寸段来读取数据区块及填充比特。

[0125] 实施方式更包括一或多个以下特征。每一传输时间间隔值等于 $T_0 \cdot 2^N$ 毫秒, T_0 表示预设时间间隔, N 表示在由 0 至 M 的范围中的一整数, M 为正整数。储存编码数据的步骤、储存填充比特的步骤以及读取数据区块以及填充比特的步骤符合时分同步的码分多址存取 (Time Division-Synchronous Code Division Multiple Access, TD-SCDMA) 标准或宽带码分多址存取 (Wideband Code Division Multiple Access, W-CDMA) 标准。在输入数据上执行比特速率处理前端处理,以产生编码数据。在从存储器读取的数据段上执行比特速率处理后端处理。在数据区块的末端后储存一或多个填充比特至信道编码数据区块所占用的最后一存储器行的末端的步骤执行不需计算被储存的填充比特的数量。

[0126] 在本发明的另一实施方式中,存储器包括多个存储器行,每一存储器行具有预设数量的比特。第一电路系统用以将与无线传输链相关的传输信道的数据区块储存至存储

器。对于具有多个字元且比特的数量非预设数量的整数倍的每一数据区块而言,第一电路系统在数据区块的末端后储存一或多个填充比特至信道编码数据区块所占用的最后一存储器行的末端。第二电路系统以一或多个相等尺寸的段从存储器读取数据区块以及填充比特。

[0127] 实施履行更包括一或多个以下特征。对于与无线传输链相关的每一有效传输信道而言,第一电路系统在每一与各自所述有效信道相关的传输时间间隔,储存一数据区块至存储器。第一电路系统依据一电信标准处理数据,且电信标准指定传输时间间隔为 $T_0 \times 2^N$ 毫秒, T_0 表示预设时间间隔, N 表示在由 0 至 M 的范围中的任一整数, M 为正整数,且各存储器行包括 2^M 比特。 T_0 等于 10 毫秒 ($T_0 = 3$)、且 M 等于 3 ($M = 3$)。第二电路系统在每一预设时间间隔 T_0 内从存储器读取一数据段。第一电路系统在数据区块后储存填充比特至存储器,不需执行计算在数据区块的末端后所储存的填充比特的数量。第一电路系统与第二电路系统依据时分同步的码分多址存取 (Time Division-Synchronous Code Division Multiple Access, TD-SCDMA) 标准处理数据。第一电路系统包括信道编码器。第一电路系统包括比特速率处理前端处理单元。第二电路系统包括交错器,用以交错来从存储器读取的数据。第二电路系统包括比特速率处理后端处理单元。填充比特所具有的比特值可均等于 0、均等于 1、或者具有随机比特值。

[0128] 在本发明的另一实施方式中,无线芯片组用以处理对应上行链路传输的数据且包括传输时间间隔存储器、比特速率处理前端处理单元以及比特速率处理后端处理单元。传输时间间隔存储器包括多个存储器行,每一存储器行具有一预设数量的比特。对于每一有效传输信道而言,比特速率处理前端处理单元在每一传输时间间隔用以将一编码数据区块储存至传输时间间隔存储器,且对于具有多个字元且比特的数量非所述预设数量的整数倍的每一编码数据区块而言,比特速率处理前端处理单元在编码数据区块的末端后储存一或多个填充比特,以填满编码数据区块所占用的最后一存储器行。比特速率处理后端处理单元以一或多个相等尺寸的段从存储器读取每一数据区块以及相关的填充比特。

[0129] 实施方式更包括一或多个以下特征。比特速率处理前端处理单元在编码数据区块的末端后储存一或多个填充比特,以填满最后一存储器行,不需执行在编码数据区块的末端后,计算所储存的填充比特的数量的操作。

[0130] 在本发明的另一实施方式中,存储器包括多个存储器行,每一存储器行具有预设数量的比特。第一电路系统以每一传输时间间隔一编码数据区块的速率来储存编码数据至存储器,其中,传输时间间隔是从一组预设数值选择。将多个填充比特储存至存储器。对于编码数据区块的末端非对准编码数据区块所占用的最后一存储器行的末端的每一编码数据区块而言,在数据区块的末端后,将填充比特储存至数据区块所占用的最后一存储器行的末端,而不需计算填充比特的数量。第二电路系统以一或多个相等尺寸的段读取数据区块以及填充比特。

[0131] 在本发明的另一实施方式中,提供至少两组寄存器,每一组寄存器用来储存一组时隙配置参数。储存器用来储存一序列的多个时隙配置组识别符,其中,每一时隙配置组识别符用来识别多组寄存器其中的一组,且每一时隙配置组识别符对应一时隙。码片速率处理单元用来在多个时隙期间内处理一数据流,其中,在每一时隙中,码片速率处理单元根据储存在此组寄存器内且与对应时隙的时隙配置组识别符相关的一组时隙配置参数来配置。

[0132] 实施方式更包括一或多个以下特征。码片速率处理单元对来自多个物理信道的数据执行扩频、扰乱及扩频和扰乱的结合中至少一者,以准备用于上行链路传输的数据。每一组时隙配置参数包括扰乱编码、扩频编码、扩频因子以及功率控制信息中至少一者。码片速率处理单元依据码分多址存取 (Code Division Multiple Access, CDMA) 标准、宽带码分多址存取 (Wideband Code Division Multiple Access, W-CDMA) 标准以及时分同步的码分多址存取 (Time Division-Synchronous Code Division Multiple Access, TD-SCDMA) 标准操作。至少一寄存器群组包括 5 组寄存器,以储存 5 组时隙配置参数,来配置码片速率处理单元,以处理一个子帧的 5 个上行链路时隙。每一组寄存器在一频率周期内由码片速率处理单元来存取。多组时隙配置参数以一排序储存在存储器,其中,此排序与用来配置码片速率处理单元的多组时隙配置参数所使用的排序相异。复用器用以多路传输来自寄存器组的多组时隙配置参数,其中,每一时隙内,复用器根据识别符序列来选择多组时隙配置参数中之一者,且将选择的一组时隙配置参数传送至码片速率处理单元。用来储存识别符序列的存储器包括先进先出队列。数据处理器用以执行软件以将多组时隙配置参数写入至寄存器群组,并且使待写入的辨别符来控制由码片速率处理单元执行的数据流的处理。

[0133] 在本发明的另一实施方式中,第一存储器用以储存至少两组配置参数。第二存储器用以储存一序列的识别符,且每一识别符对应一组配置参数。特殊目的数据处理器用以处理一数据流,其中,特殊目的数据处理器根据与上述一序列的识别符相关的多组配置参数,在不同的时间期间内做不同的配置。通用数据处理器用以将多组配置参数写入至第一存储器且将一序列的识别符写入至第二存储器,以控制由特殊目的数据处理器所执行的数据流的处理。

[0134] 实施方式更包括一或多个以下特征。特殊目的数据处理器包括上行链路码片速率处理器。第一存储器包括多组寄存器,且多组寄存器可由特殊目的数据处理器通过复用器来存取,且每一组寄存器储存一组配置参数。第一存储器在一频率周期内由特殊目的数据处理器来存取。第二存储器包括先进先出队列。在一序列的多个识别符中的每一者对应一序列的时隙中之一者,且通过使一序列的识别符多次包括相同识别符,同一组配置参数可重新用于相异的时隙。每一组配置参数包括扰乱编码、扩频编码、扩频因子以及功率控制信息中至少一者。

[0135] 在本发明的另一实施方式中,至少两组时隙配置参数写入至少两组寄存器,每一时隙配置参数具有关于在一时隙期间内,数据如何被码片速率处理单元处理的信息。且一序列的多个识别符写入第二存储器,其中,每一识别符与多个组寄存器的一组相关。在多个时隙中的每一者内,根据一序列的识别符来选择储存在一组寄存器内的一组时隙配置参数,根据选择的一组时隙配置参数来配置码片速率处理单元,且使用码片速率处理单元来处理数据。

[0136] 实施方式更包括一或多个以下特征。写入至少两组时隙配置参数的步骤包括写入 5 组时隙配置参数,以配置码片速率处理器单元来处理子帧的 5 个上行链路时隙。使用码片速率处理单元来处理数据的步骤包括对来自多个物理信道的数据执行扩频、扰乱及扩频和扰乱的结合中至少一者,以准备用于上行链路传输的数据。码片速率处理单元依据码分多址存取 (Code Division Multiple Access, CDMA) 标准、宽带码分多址存取 (Wideband Code Division Multiple Access, W-CDMA) 标准、或者时分同步的码分多址存取 (Time

Division-Synchronous Code Division Multiple Access, TD-SCDMA) 标准操作。多路传输多组时隙配置参数,以选择一组时隙配置参数来配置码片速率处理单元。在数据处理器内执行软件,以指明将哪组时隙配置参数写入至第一存储器且将哪些识别符写入至第二存储器。写入一序列的识别符的步骤包括将一序列的识别符写入先进先出队列。多次具有一相同识别符的一序列的识别符写入至第二存储器,以重新利用储存在对应多个相同识别符的一组寄存器中的一组时隙配置参数,而不需多次将此组时隙配置参数重新写入至一组寄存器。写入多个时隙配置参数的步骤包括写入扰乱编码、扩频编码、扩频因子以及功率控制信息中至少一者。

[0137] 在本发明的另一实施方式中,使用特殊目的处理器来处理数据流。当在一时间内处理数据流时,通过将两或多组配置参数写入第一存储器;将一序列的识别符写入至第二存储器,其中,每一识别符与一组配置参数相关;以及根据在相异时间期间内不同组配置参数来使特殊目的处理器做不同的配置,且使用此序列的识别符来决定一序列,此序列中,相异的多组配置参数用以配置特殊目的处理器,从而使用通用处理器来控制特殊目的处理器的配置。

[0138] 实施方式更包括一或多个以下特征。特殊目的处理器包括码片速率处理器。将两或多组配置参数组写入第一存储器的步骤包括将两或多组配置参数写入至两或多组寄存器,且每一组寄存器储存一组配置参数。将一序列的识别符写入至第二存储器的步骤包括将一序列的识别符写入至先进先出队列。每一配置参数组包括扰乱编码、扩频编码、扩频因子以及功率控制信息中至少一者。通用处理器执行软件以决定哪一组配置参数将写入至第一存储器以及哪些识别符将储存至第二存储器,来使能特殊目的处理器根据电信协议来处理数据流。此电信协议包括码分多址存取 (Code Division Multiple Access, CDMA)、宽带码分多址存取 (Wideband Code Division Multiple Access, W-CDMA) 标准、或者时分同步的码分多址存取 (Time Division-Synchronous Code Division Multiple Access, TD-SCDMA) 标准。

[0139] 本发明的其它方面、特征及其结合可以方法、装置、系统、执行装置、程序产品或者其它方式表示。

[0140] 虽然前文已讨论一些例子,但其它实施或应用也可在权利要求的精神内。此处所叙述的本发明的多种方面可以多种方法的任一来实施。例如,前述的多种组件可以硬件、固件、软件、或其结合来实施。图 6 所示的 TTI 存储器架构并不限制使用在上行链路传输链中,可用在其它目的。多个主站共享双端口存储器而不需使用仲裁器来仲裁对双端口存储器存取 (如图 9 所示),可使用在其它系统。时隙配置组及触发器 FIFO (如图 13 所示) 在配置不同种类控制器与数据处理器下可用来提供灵活度。在图 9 的例子中,传输帧存储器 170 可由被多个主站所存取的其它存储器来取代,上行链路 BRP 硬件 172、上行链路 CRP 硬件 166 以及 DSP 软件 232 可以其它种类主站来取代。

[0141] 以上所述仅为本发明的较佳实施方式,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

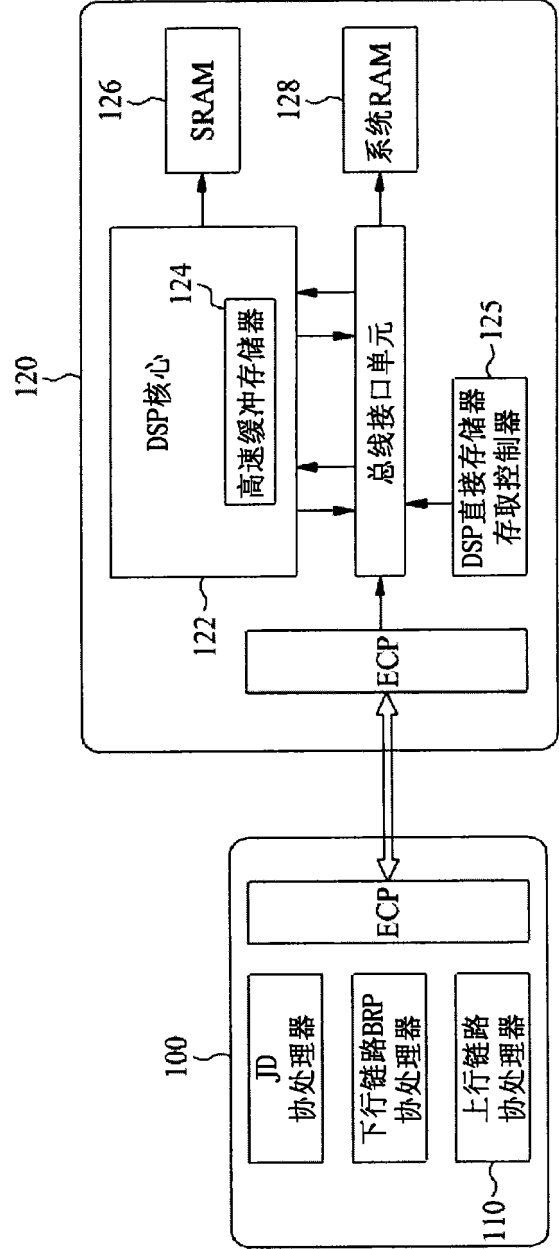


图1

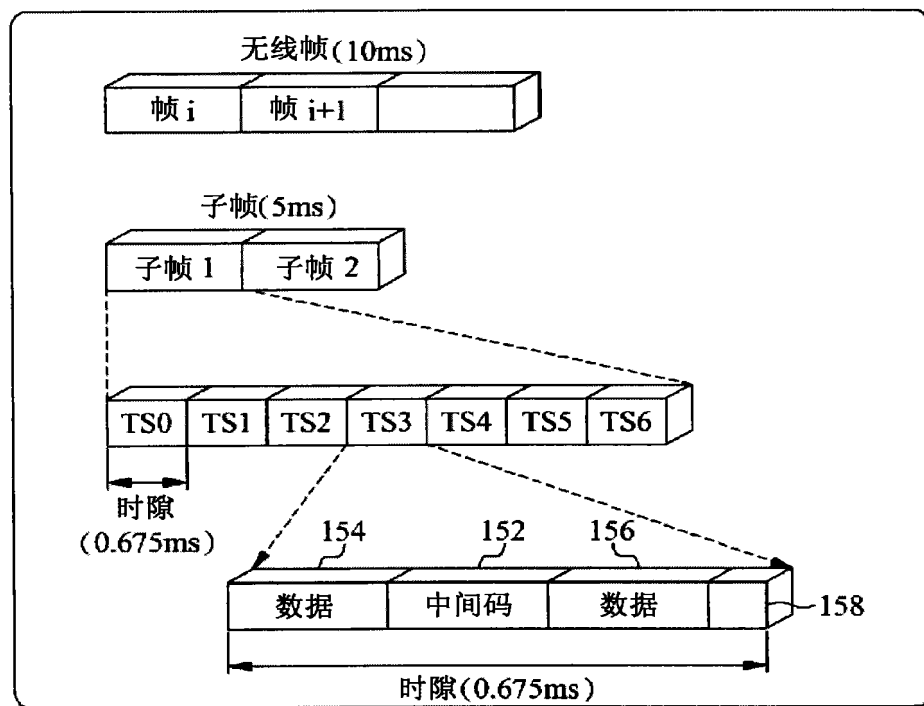


图 2

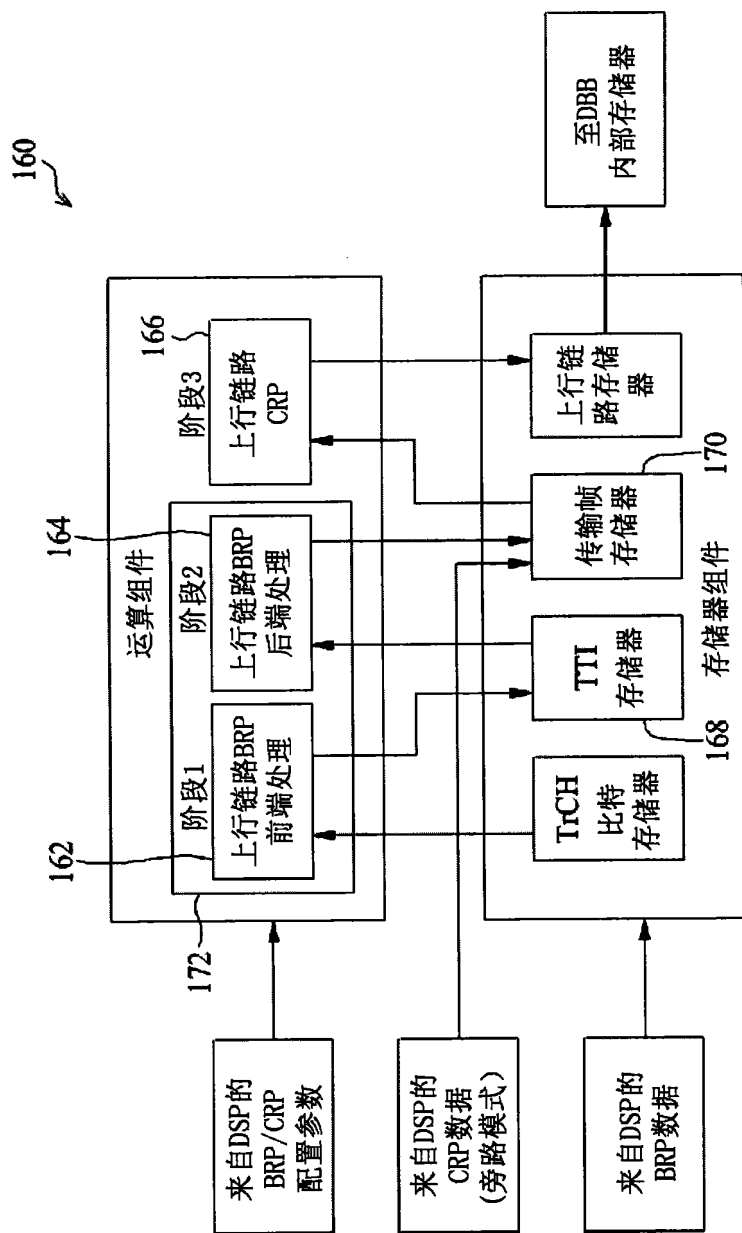


图 3

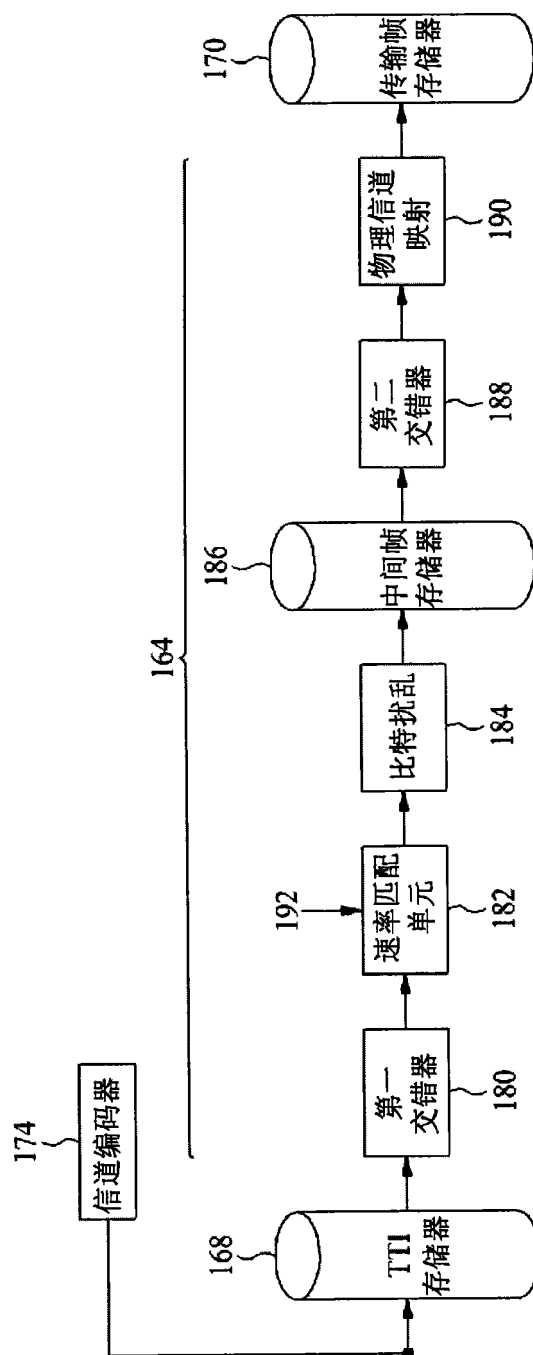


图 4

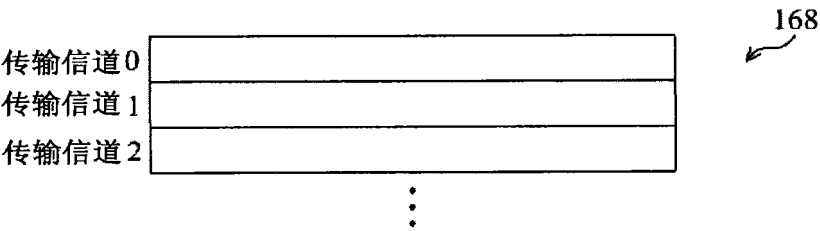


图 5A

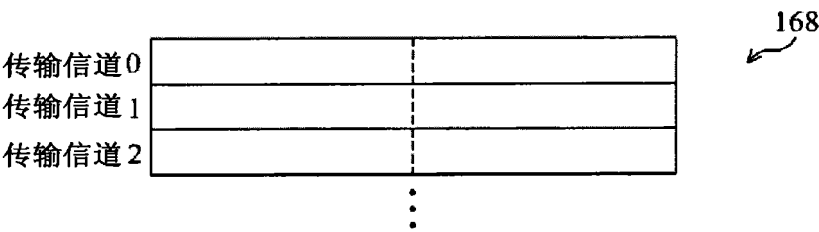


图 5B

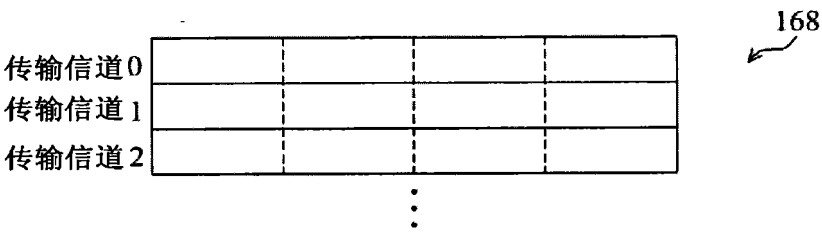


图 5C

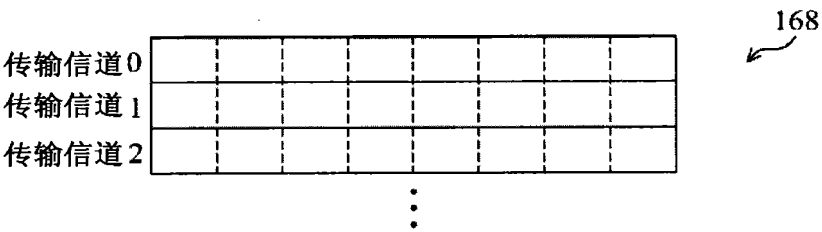


图 5D

168
↙

	0	1	2	3	4	5	6	7	比特数
传输信道#0	E	E	E	E	E	E	E	E	~ 200a
	E	E	E	E	E	E	E	E	~ 200b
	E	E	E	E	E	E	E	E	~ 200c
	E	E	E	E	E	E	E	E	~ 200d
	E	0	0	0	0	0	0	0	~ 200e
传输信道#1	E	E	E	E	E	E	E	E	~ 200f
	E	E	E	0	0	0	0	0	~ 200g
传输信道#2	E	E	E	E	E	E	E	E	~ 200h
传输信道#3	E	E	E	E	E	E	0	0	~ 200i

图 6

物理信道		TrCH	硬件/软件划分		注释
200 ~	专用物理信道	202 ~	1)数据符号	BRP在硬件	
		DCH 204 ~	2)控制符号	CRP在硬件	
208 ~	物理随机存取信道	210 ~	1)随机存取识别码	软件	随机存取识别码由软件来 操控
		RACH 212 ~	2)随机存取信道数据	BRP在硬件 CRP在硬件	
	物理上行链路 共享信道	USCH		不支持	
	物理共通封包信道	CPCH		不支持	
	上行链路指向信道			软件	
	HS-SICH			BRP在软件 CRP在硬件	高速度共享数据控制信道 (第5版：用作上行链路 反馈信号发布)

图 7

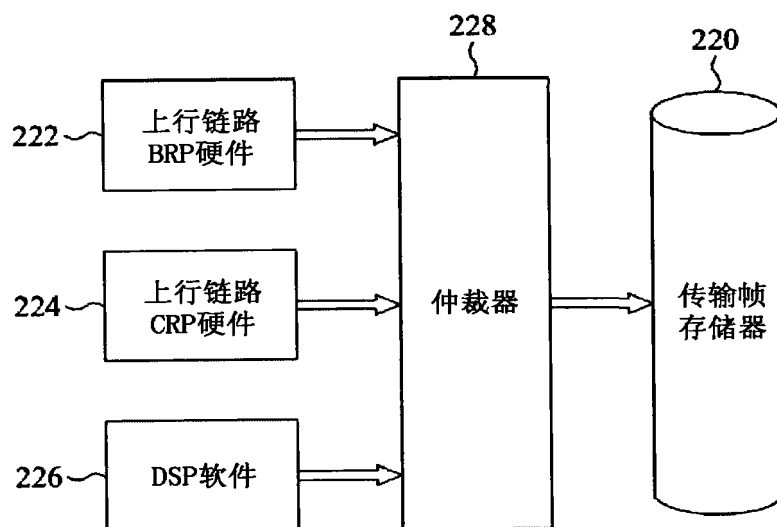


图 8

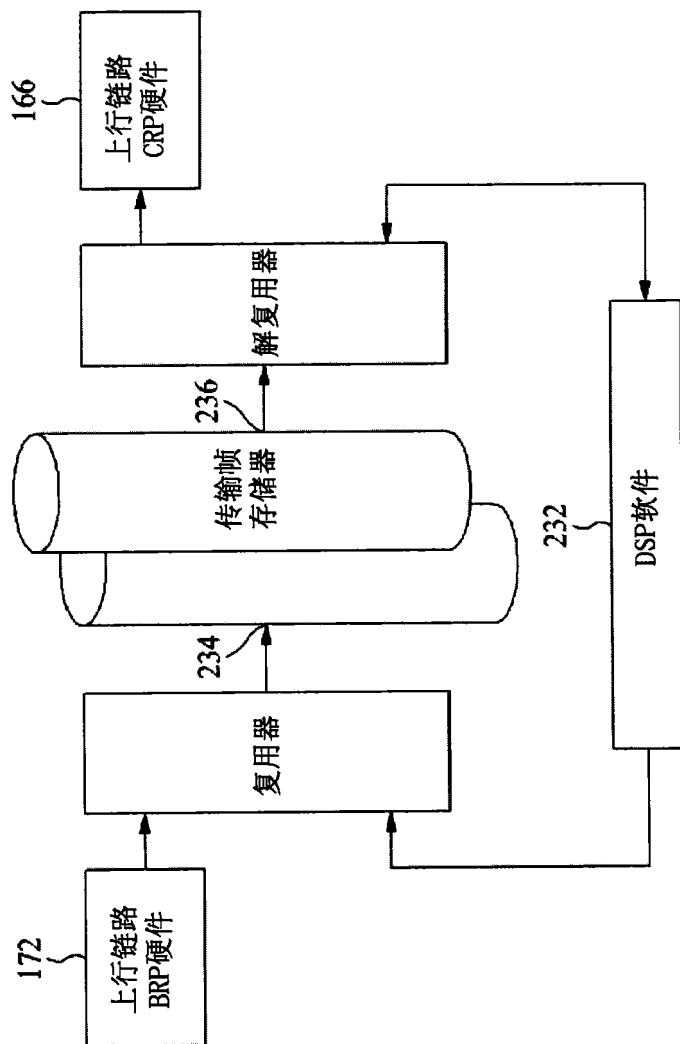
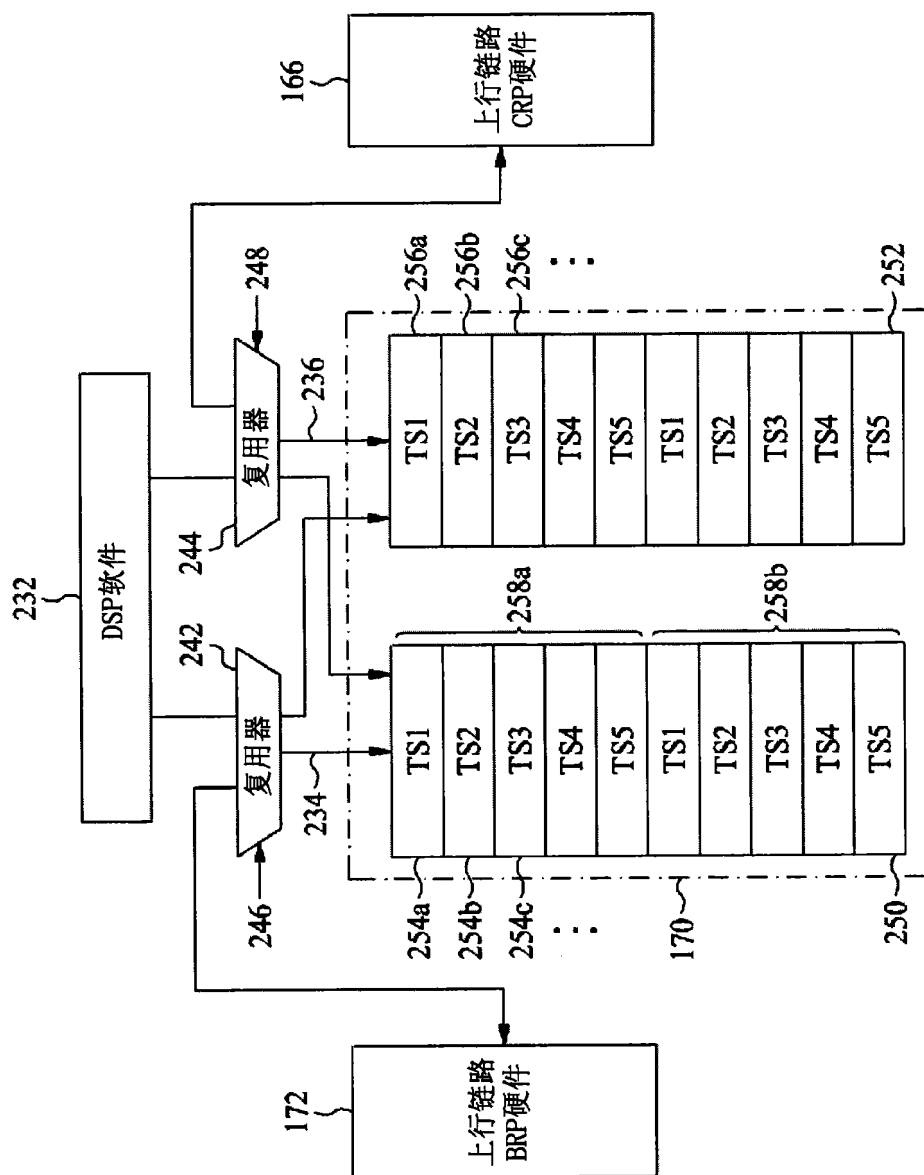


图 9



10 图

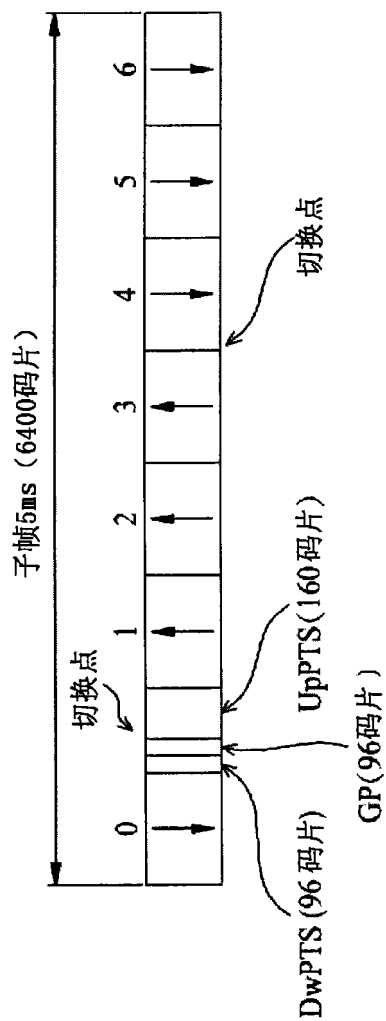


图 11A

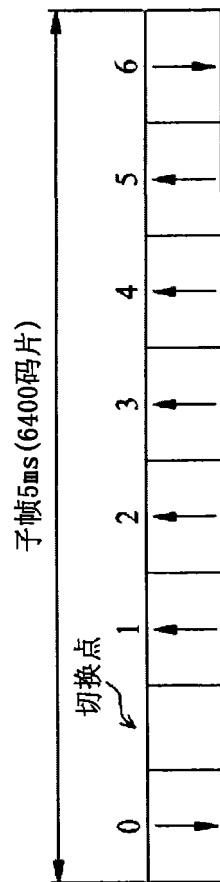


图 11B

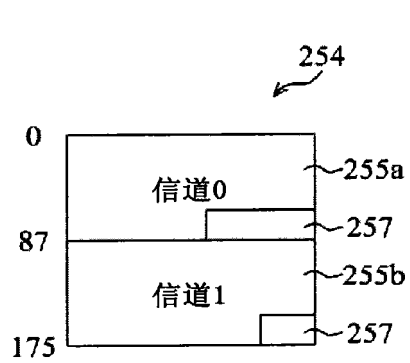


图 12A

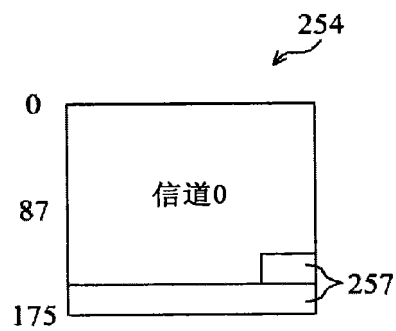


图 12B

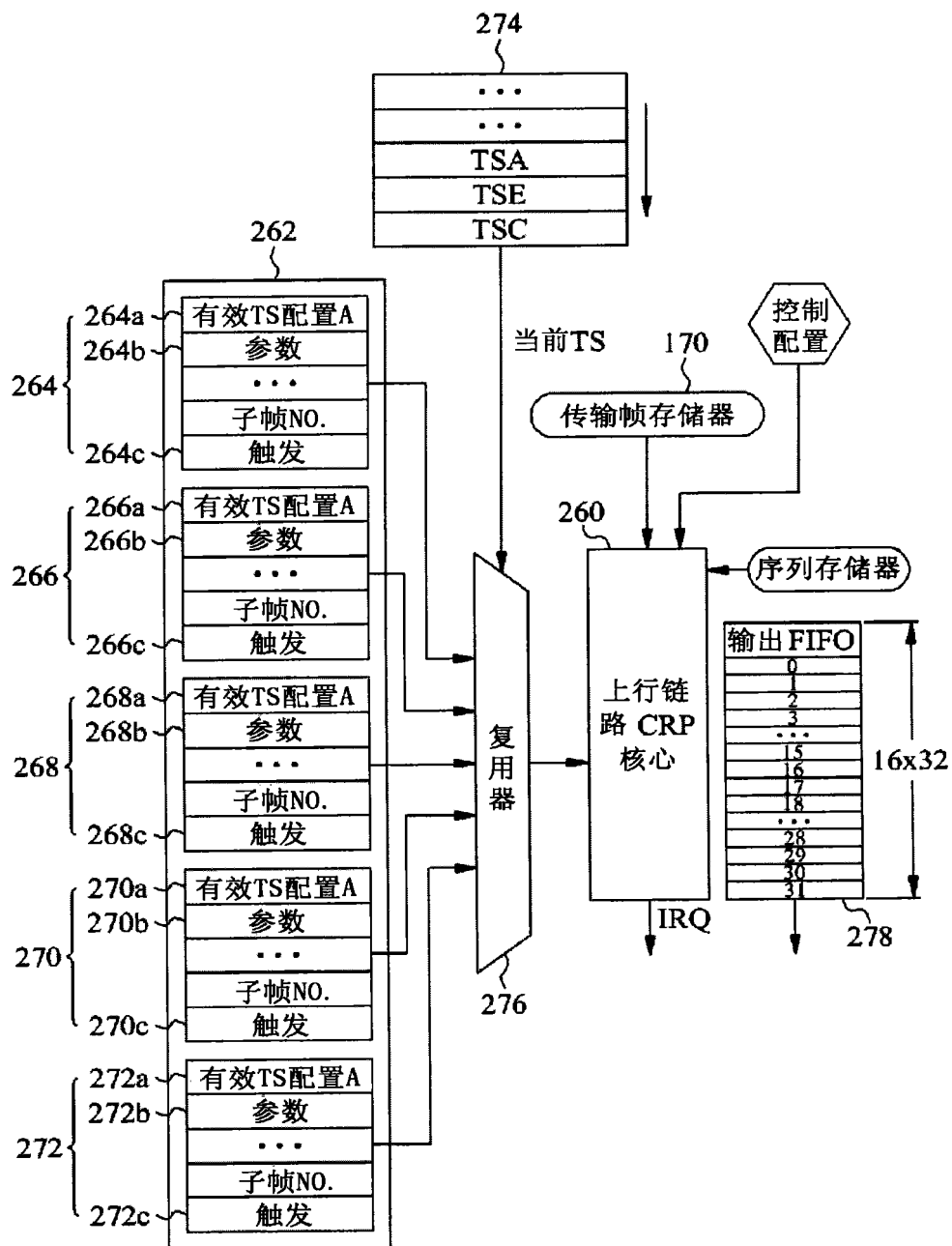


图 13

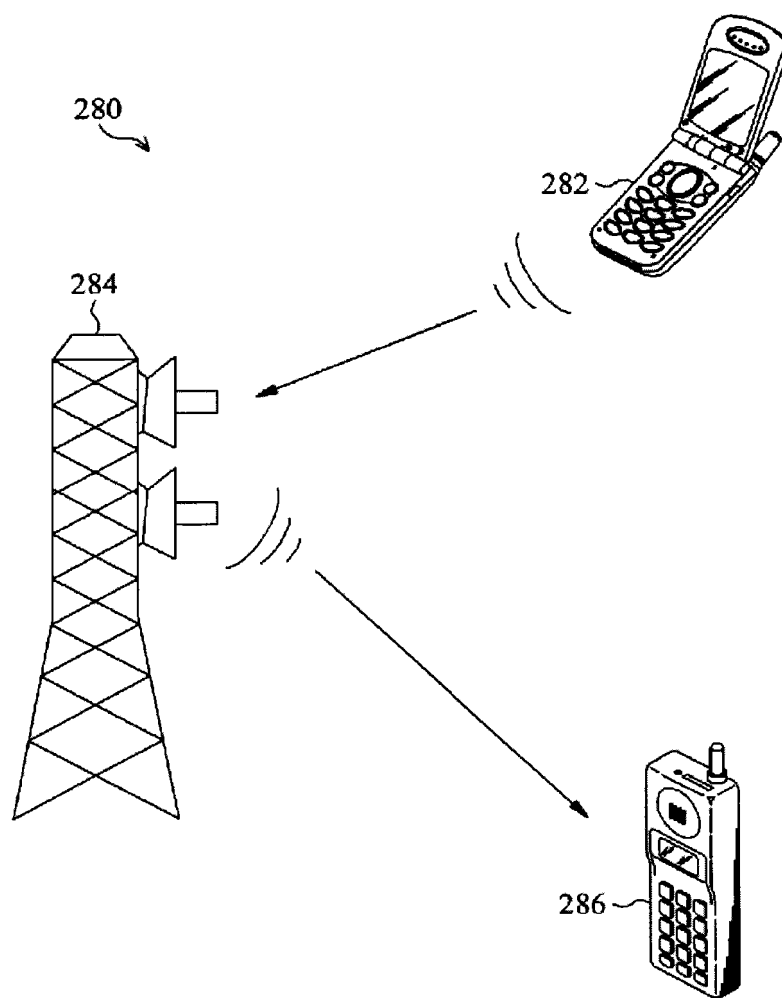


图 14