



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0072317
(43) 공개일자 2019년06월25일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>H01G 4/232</i> (2006.01) <i>H01G 2/06</i> (2006.01)
 <i>H01G 4/012</i> (2006.01) <i>H01G 4/30</i> (2006.01)
 <i>H05K 1/18</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>H01G 4/232</i> (2013.01)
 <i>H01G 2/065</i> (2013.01)</p> <p>(21) 출원번호 10-2017-0173579
 (22) 출원일자 2017년12월15일
 심사청구일자 없음</p> | <p>(71) 출원인
 삼성전기주식회사
 경기도 수원시 영통구 매영로 150 (매탄동)</p> <p>(72) 발명자
 변만수
 경기도 수원시 영통구 매영로 150 (매탄동)
 안영규
 경기도 수원시 영통구 매영로 150 (매탄동)
 (뒷면에 계속)</p> <p>(74) 대리인
 특허법인씨엔에스</p> |
|---|--|

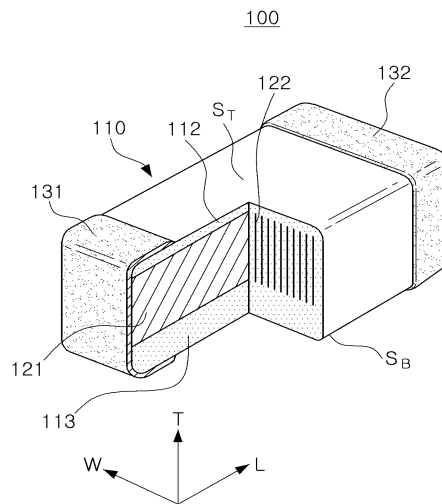
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **적층 세라믹 커패시터 및 적층 세라믹 커패시터의 실장 기판**

(57) 요약

본 발명은, 복수의 유전체층이 폭 방향으로 적층된 세라믹 바디, 상기 유전체층을 사이에 두고 상기 세라믹 바디의 양 단면을 통해 번갈아 노출되도록 형성된 복수의 제1 및 제2 내부 전극을 포함하여 용량이 형성된 액티브부, 상기 액티브부의 상부에 마련된 상부 커버부, 상기 액티브부의 하부에 마련되며, 상기 상부 커버부에 비해 두꺼운 두께를 갖는 하부 커버부 및 상기 세라믹 바디의 양 단면을 덮도록 형성된 제1 및 제2 외부 전극을 포함하며, 상기 하부 커버부의 두께 대비 액티브부의 체적의 세제곱근의 비율이 1.4 내지 8.8을 만족하는 적층 세라믹 커패시터를 제공한다.

대표도 - 도1



(52) CPC특허분류

H01G 4/012 (2013.01)

H01G 4/30 (2013.01)

H05K 1/181 (2013.01)

(72) 발명자

김호윤

경기도 수원시 영통구 매영로 150 (매탄동)

최재열

경기도 수원시 영통구 매영로 150 (매탄동)

손수환

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

복수의 유전체층이 폭 방향으로 적층된 세라믹 바디;

상기 유전체층을 사이에 두고 상기 세라믹 바디의 양 단면을 통해 번갈아 노출되도록 형성된 복수의 제1 및 제2 내부 전극을 포함하여 용량이 형성된 액티브부;

상기 액티브부의 상부에 마련된 상부 커버부;

상기 액티브부의 하부에 마련되며, 상기 상부 커버부에 비해 두꺼운 두께를 갖는 하부 커버부; 및

상기 세라믹 바디의 양 단면을 덮도록 형성된 제1 및 제2 외부 전극; 을 포함하며,

상기 하부 커버부의 두께 대비 액티브부의 체적의 세제곱근의 비율이 1.4 내지 8.8을 만족하는 적층 세라믹 커패시터.

청구항 2

제1항에 있어서,

상기 적층 세라믹 커패시터를 인쇄회로기판에 실장할 때, 상기 복수의 제1 및 제2 내부전극은 상기 세라믹 바디의 실장면에 수직하게 적층된 적층 세라믹 커패시터.

청구항 3

제1항에 있어서,

상기 적층 세라믹 커패시터의 사이즈는 길이 × 폭(L × W)이 약 2.0 mm × 1.2 mm (2012 사이즈) 이상인 적층 세라믹 커패시터.

청구항 4

제1항에 있어서,

상기 액티브부의 체적은 상기 제1 및 제2 내부전극의 길이(La)와 상기 세라믹 바디의 두께 방향으로 측정된 내부전극의 거리(Ta) 및 상기 세라믹 바디의 폭 방향 최외측 내부 전극 사이의 거리(Wa)의 곱으로 계산된 적층 세라믹 커패시터.

청구항 5

제4항에 있어서,

상기 세라믹 바디의 두께 방향으로 측정된 내부전극의 거리(Ta)는 상기 제1 및 제2 내부전극의 폭인 적층 세라믹 커패시터.

청구항 6

제4항에 있어서,

상기 세라믹 바디의 폭 방향 최외측 내부 전극 사이의 거리(Wa)는 상기 세라믹 바디의 폭 방향 일측과 타측에 배치된 최외측 내부전극 사이의 거리인 적층 세라믹 커패시터.

청구항 7

상부에 제1 및 제2 전극 패드를 갖는 인쇄회로기판; 및

상기 인쇄회로기판 위에 설치된 적층 세라믹 커패시터; 를 포함하며,

상기 적층 세라믹 커패시터는, 복수의 유전체층이 폭 방향으로 적층된 세라믹 바디; 상기 유전체층을 사이에 두고 상기 세라믹 바디의 양 단면을 통해 번갈아 노출되도록 형성된 복수의 제1 및 제2 내부 전극을 포함하여 용량이 형성된 액티브부; 상기 액티브부의 상부에 마련된 상부 커버부; 상기 액티브부의 하부에 마련되며, 상기 상부 커버부에 비해 두꺼운 두께를 갖는 하부 커버부; 및 상기 세라믹 바디의 양 단면을 덮도록 형성되며, 상기 제1 및 제2 전극 패드와 솔더링으로 연결된 제1 및 제2 외부 전극; 을 포함하며, 상기 하부 커버부의 두께 대비 액티브부의 체적의 세제곱근의 비율이 1.4 내지 8.8을 만족하는 적층 세라믹 커패시터의 실장 기판.

청구항 8

제7항에 있어서,

상기 적층 세라믹 커패시터를 인쇄회로기판에 실장할 때, 상기 복수의 제1 및 제2 내부전극은 상기 세라믹 바디의 실장면에 수직하게 적층된 적층 세라믹 커패시터의 실장 기판.

청구항 9

제7항에 있어서,

상기 적층 세라믹 커패시터의 사이즈는 길이 × 폭(L × W)이 약 2.0 mm × 1.2 mm (2012 사이즈) 이상인 적층 세라믹 커패시터의 실장 기판.

청구항 10

제7항에 있어서,

상기 액티브부의 체적은 상기 제1 및 제2 내부전극의 길이(La)와 상기 세라믹 바디의 두께 방향으로 측정된 내부전극의 거리(Ta) 및 상기 세라믹 바디의 폭 방향 최외측 내부 전극 사이의 거리(Wa)의 곱으로 계산된 적층 세라믹 커패시터의 실장 기판.

청구항 11

제10항에 있어서,

상기 세라믹 바디의 두께 방향으로 측정된 내부전극의 거리(Ta)는 상기 제1 및 제2 내부전극의 폭인 적층 세라믹 커패시터의 실장 기판.

청구항 12

제10항에 있어서,

상기 세라믹 바디의 폭 방향 최외측 내부 전극 사이의 거리(Wa)는 상기 세라믹 바디의 폭 방향 일측과 타측에 배치된 최외측 내부전극 사이의 거리인 적층 세라믹 커패시터의 실장 기판.

발명의 설명

기술 분야

[0001] 본 발명은 적층 세라믹 커패시터 및 적층 세라믹 커패시터의 실장 기판에 관한 것이다.

배경 기술

[0003] 적층 칩 전자 부품의 하나인 적층 세라믹 커패시터는 액정 표시 장치(LCD: Liquid Crystal Display) 및 플라즈마 표시 장치 패널(PDP: Plasma Display Panel) 등의 영상 기기, 컴퓨터, 개인 휴대용 단말기(PDA: Personal Digital Assistants) 및 휴대폰 등 여러 전자 제품의 인쇄회로기판에 장착되어 전기를 충전시키거나 또는 방전시키는 역할을 하는 칩 형태의 콘덴서이다.

[0004] 이러한 적층 세라믹 커패시터(MLCC: Multi-Layered Ceramic Capacitor)는 소형이면서 고용량이 보장되고 실장이 용이하다는 장점으로 인하여 다양한 전자 장치의 부품으로 사용될 수 있다.

[0006] 상기 적층 세라믹 커패시터는 복수의 유전체층과 상기 유전체층 사이에 서로 다른 극성의 내부 전극이 번갈아 적층된 구조를 가질 수 있다.

[0007] 그러나, 상기 유전체층은 압전성 및 전왜성을 갖기 때문에, 적층 세라믹 커패시터에 직류 또는 교류 전압이 인가될 때 내부 전극들 사이에서 압전 현상이 발생하여 진동이 발생할 수 있다.

[0008] 이러한 진동은 적층 세라믹 커패시터의 외부 전극을 통해 상기 적층 세라믹 커패시터가 실장된 인쇄회로기판으로 전달되어 상기 인쇄회로기판 전체가 음향 반사면이 되면서 잡음이 되는 진동음을 발생시킬 수 있다.

[0009] 상기 진동음은 사람에게 불쾌감을 주는 20 내지 20000 Hz 영역의 가청 주파수에 해당될 수 있으며, 이렇게 사람에게 불쾌감을 주는 진동음을 어쿠스틱 노이즈(acoustic noise)라고 하며, 이러한 어쿠스틱 노이즈를 저감할 수 있는 연구가 필요한 실정이다.

[0011] 하기 특허문헌 1은 하부 커버층이 상부 커버층에 비해 두꺼운 두께를 가지는 적층 세라믹 커패시터를 기재하고 있으며, 내부 전극이 기판에 대해 수평 방향이 되도록 형성된 구조를 개시한다.

선행기술문헌

특허문헌

[0013] (특허문헌 0001) 일본특허공개공보 평6-215978호

발명의 내용

해결하려는 과제

[0014] 당 기술 분야에서는, 적층 세라믹 커패시터에서 압전 현상에 의한 진동으로 발생하는 소음을 감소시킬 수 있는 새로운 방안이 요구되어 왔다.

과제의 해결 수단

[0016] 본 발명의 일 실시형태는, 복수의 유전체층이 폭 방향으로 적층된 세라믹 바디, 상기 유전체층을 사이에 두고

상기 세라믹 바디의 양 단면을 통해 번갈아 노출되도록 형성된 복수의 제1 및 제2 내부 전극을 포함하여 용량이 형성된 액티브부, 상기 액티브부의 상부에 마련된 상부 커버부, 상기 액티브부의 하부에 마련되며, 상기 상부 커버부에 비해 두꺼운 두께를 갖는 하부 커버부 및 상기 세라믹 바디의 양 단면을 덮도록 형성된 제1 및 제2 외부 전극을 포함하며, 상기 하부 커버부의 두께 대비 액티브부의 체적의 세제곱근의 비율이 1.4 내지 8.8을 만족하는 적층 세라믹 커패시터를 제공한다.

[0018] 상기 적층 세라믹 커패시터를 인쇄회로기판에 실장할 때, 상기 복수의 제1 및 제2 내부전극은 상기 세라믹 바디의 실장면에 수직하게 적층될 수 있다.

[0020] 본 발명의 다른 실시형태는, 상부에 제1 및 제2 전극 패드를 갖는 인쇄회로기판 및 상기 인쇄회로기판 위에 설치된 적층 세라믹 커패시터를 포함하며, 상기 적층 세라믹 커패시터는, 복수의 유전체층이 폭 방향으로 적층된 세라믹 바디, 상기 유전체층을 사이에 두고 상기 세라믹 바디의 양 단면을 통해 번갈아 노출되도록 형성된 복수의 제1 및 제2 내부 전극을 포함하여 용량이 형성된 액티브부, 상기 액티브부의 상부에 마련된 상부 커버부, 상기 액티브부의 하부에 마련되며, 상기 상부 커버부에 비해 두꺼운 두께를 갖는 하부 커버부 및 상기 세라믹 바디의 양 단면을 덮도록 형성된 제1 및 제2 외부 전극을 포함하며, 상기 하부 커버부의 두께 대비 액티브부의 체적의 세제곱근의 비율이 1.4 내지 8.8을 만족하는 적층 세라믹 커패시터의 실장 기판을 제공한다.

발명의 효과

[0022] 본 발명의 일 실시 형태에 따르면, 적층 세라믹 커패시터에 발생하는 진동을 감소시켜 인쇄회로기판에서 발생하는 어쿠스틱 노이즈를 감소시킬 수 있는 효과가 있다.

[0023] 또한, 적층 세라믹 커패시터에 발생하는 진동을 감소시켜 인쇄회로기판에서 발생하는 어쿠스틱 노이즈를 감소시킬 수 있는 액티브부의 체적과 하부 커버부의 두께의 최적 비율을 제공할 수 있다.

도면의 간단한 설명

[0025] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 도시한 사시도이다.

도 2는 도 1의 적층 세라믹 커패시터를 길이 방향으로 절단하여 도시한 단면도이다.

도 3은 도 1의 적층 세라믹 커패시터를 폭 방향으로 절단하여 도시한 단면도이다.

도 4는 도 1의 적층 세라믹 커패시터가 인쇄회로기판에 실장된 모습을 도시한 사시도이다.

도 5는 도 4의 적층 세라믹 커패시터 및 인쇄회로기판을 길이 방향으로 절단하여 도시한 단면도이다.

도 6은 도 4의 적층 세라믹 커패시터가 인쇄회로기판에 실장된 상태에서 전압이 인가되어 적층 세라믹 커패시터가 변형되는 모습을 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 설명한다.

[0027] 그러나, 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다.

[0028] 또한, 본 발명의 실시 형태는 당해 기술 분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다.

[0029] 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.

[0030] 또한, 각 실시 예의 도면에 나타난 동일한 사상의 범위 내의 기능이 동일한 구성 요소는 동일한 참조 부호를 사

용하여 설명한다.

- [0032] 본 발명의 실시 예들을 명확하게 설명하기 위해 육면체의 방향을 정의하면, 도면 상에 표시된 L, W 및 T는 각각 길이 방향, 폭 방향 및 두께 방향을 나타낸다. 여기서, 폭 방향은 유전체층이 적층되는 적층 방향과 동일한 개념으로 사용될 수 있다.
- [0033] 또한, 본 실시 형태에서는 설명의 편의를 위해 세라믹 바디의 길이 방향으로 제1 및 제2 외부 전극이 형성되는 면을 좌우 양 단면으로 설정하고, 이와 수직으로 교차되는 면을 좌우 측면으로 설정하여 함께 설명하기로 한다.
- [0035] **적층 세라믹 커패시터**
- [0037] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 도시한 사시도이다.
- [0038] 도 2는 도 1의 적층 세라믹 커패시터를 길이 방향으로 절단하여 도시한 단면도이다.
- [0039] 도 3은 도 1의 적층 세라믹 커패시터를 폭 방향으로 절단하여 도시한 단면도이다.
- [0041] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터(100)는, 세라믹 바디(110), 제1 및 제2 내부 전극(121, 122)을 포함하는 액티브부(115), 상부 및 하부 커버부(112, 113) 및 세라믹 바디(110)의 양 단면을 덮도록 형성된 제1 및 제2 외부 전극(131, 132)을 포함한다.
- [0043] 세라믹 바디(110)는 복수의 유전체층(111)을 폭 방향(W)으로 적층한 다음 소성하여 형성되며, 이러한 세라믹 바디(110)의 형상, 치수 및 유전체층(111)의 적층 수가 본 실시 형태에 도시된 것으로 한정되는 것은 아니다.
- [0044] 또한, 세라믹 바디(110)를 형성하는 복수의 유전체층(111)은 소결된 상태로서, 인접하는 유전체층(111) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)을 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.
- [0046] 이러한 세라믹 바디(110)는 커패시터의 용량 형성에 기여하는 부분으로서의 액티브부(115)와, 액티브부(115)의 상하부에 각각 형성된 상부 및 하부 커버부(112, 113)를 포함할 수 있다.
- [0048] 액티브부(115)는 폭 방향(W)으로 적층되는 유전체층(111)을 사이에 두고 복수의 제1 및 제2 내부 전극(121, 122)을 서로 오버랩되는 위치에 반복적으로 배치하여 형성될 수 있다.
- [0049] 이때, 유전체층(111)의 폭은 적층 세라믹 커패시터(100)의 용량 설계에 맞추어 임의로 변경할 수 있으며, 바람직하게 1 층의 폭은 소성 후 0.01 내지 1.00 μm 이 되도록 구성할 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0050] 또한, 유전체층(111)은 고유전률을 갖는 세라믹 분말, 예를 들어 티탄산바륨(BaTiO_3)계 또는 티탄산스트론튬(SrTiO_3)계 분말을 포함할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0052] 제1 및 제2 내부 전극(121, 122)은 서로 다른 극성을 갖는 한 쌍의 전극으로서, 폭 방향으로 적층되는 복수의 유전체층(111) 상에 소정의 두께로 도전성 금속을 포함하는 도전성 페이스트를 인쇄하여 유전체층(111)의 적층 방향을 따라 양 단면을 통해 번갈아 노출되도록 형성될 수 있으며, 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 절연될 수 있다.
- [0053] 즉, 제1 및 제2 내부 전극(121, 122)은 세라믹 바디(110)의 양 단면을 통해 번갈아 노출되는 부분을 통해 제1

및 제2 외부 전극(131, 132)과 각각 전기적으로 연결될 수 있다.

- [0054] 따라서, 제1 및 제2 외부 전극(131, 132)에 전압을 인가하면 서로 대향하는 제1 및 제2 내부 전극(121, 122) 사이에 전하가 축적되고, 이때 적층 세라믹 커패시터(100)의 정전 용량은 제1 및 제2 내부 전극(121, 122)의 서로 중첩되는 영역의 면적과 비례하게 된다.
- [0056] 이러한 제1 및 제2 내부 전극(121, 122)의 폭은 용도에 따라 결정될 수 있는데, 예를 들어 세라믹 바디(110)의 크기를 고려하여 0.2 내지 1.0 μm 의 범위 내에 있도록 결정될 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0057] 또한, 제1 및 제2 내부 전극(121, 122)을 형성하는 도전성 페이스트에 포함되는 도전성 금속은 니켈(Ni), 구리(Cu), 팔라듐(Pd), 또는 이들의 합금일 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0058] 또한, 상기 도전성 페이스트의 인쇄 방법은 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0060] 또한, 상기 제1 및 제2 내부 전극(121, 122)은 상기 적층 세라믹 커패시터(100)를 인쇄회로기판에 실장할 때, 상기 세라믹 바디(110)의 실장면에 수직하게 적층될 수 있다.
- [0061] 이에 대한 보다 자세한 사항은 후술하도록 한다.
- [0063] 하부 커버부(113)는 상부 커버부(112)에 비해 두꺼운 두께를 갖도록 구성될 수 있다. 즉, 유전체층(111)에 형성된 제1 또는 제2 내부 전극(121, 122)의 크기와 위치를 조절하여 상부 및 하부 커버부(112, 113)의 두께를 조절할 수 있다.
- [0064] 이러한 상부 및 하부 커버부(112, 113)는 기본적으로 물리적 또는 화학적 스트레스에 의한 제1 및 제2 내부 전극(121, 122)의 손상을 방지하는 역할을 수행할 수 있다.
- [0066] 상기 상부 및 하부 커버부(112, 113) 형성에 사용되는 유전체층은 액티브층(115)에 사용되는 것과 동일한 재질의 유전체층(111)을 사용할 수 있다.
- [0068] 제1 및 제2 외부 전극(131, 132)은 도전성 금속을 포함하는 도전성 페이스트에 의해 형성될 수 있다. 상기 도전성 페이스트에 포함되는 도전성 금속은 니켈(Ni), 구리(Cu), 팔라듐(Pd), 금(Au) 또는 이들의 합금일 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0070] 이하, 본 실시 형태에 따른 적층 세라믹 커패시터에 포함되는 구성 요소들의 치수와 어쿠스틱 노이즈에 대한 관계를 설명한다.
- [0072] 도 2 및 도 3을 참조하면, 상기 하부 커버부(113)의 두께(Tb) 대비 액티브부(115)의 체적(Va)의 세제곱근 ($\sqrt[3]{Va}$)의 비율이 1.4 내지 8.8을 만족한다.
- [0074] 상기 액티브부(115)의 체적(Va)은 상기 제1 및 제2 내부전극(121, 122)의 길이(La)와 상기 세라믹 바디(110)의 두께 방향으로 측정된 내부전극(121, 122)의 거리(Ta) 및 상기 세라믹 바디(110)의 폭 방향 최외측 내부 전극(121, 122) 사이의 거리(Wa)의 곱으로 계산될 수 있다.

- [0076] 상기 액티브부(115)의 체적(Va) 계산시 상기 액티브부(115)의 길이는 용량을 형성하는 부분인 제1 내부전극(121)과 제2 내부전극(122)이 중첩하는 영역의 길이이지만, 실제 복수의 내부전극 적층시 중첩되는 영역의 길이가 일정하지 않아 본 발명의 일 실시형태에서는 상기 액티브부(115)의 길이를 상기 제1 및 제2 내부전극(121, 122)의 길이(La)로 정의하였다.
- [0078] 한편, 상기 세라믹 바디(110)의 두께 방향으로 측정된 내부전극(121, 122)의 거리(Ta)는 상기 제1 및 제2 내부전극(121, 122)의 폭일 수 있다.
- [0079] 도 3에 도시된 바와 같이, 본 발명의 일 실시형태에 따르면 상기 제1 및 제2 내부전극(121, 122)은 상기 적층 세라믹 커패시터(100)를 인쇄회로기판에 실장할 때, 상기 세라믹 바디(110)의 실장면에 수직하게 적층되기 때문에, 세라믹 바디(110)의 두께 방향으로 측정된 각 내부전극(121, 122)의 거리(Ta)는 상기 제1 및 제2 내부전극(121, 122)의 폭일 수 있다.
- [0081] 상기 세라믹 바디(110)의 두께 방향으로 측정된 각 내부전극(121, 122)의 거리(Ta)는 액티브부(115)의 두께에 해당할 수 있다.
- [0083] 또한, 도 3에 도시된 바와 같이, 상기 세라믹 바디(110)의 폭 방향 최외측 내부전극(121, 122) 사이의 거리(Wa)는 상기 세라믹 바디(110)의 폭 방향 일측과 타측에 배치된 최외측 내부전극(121, 122) 사이의 거리로 정의될 수 있다.
- [0084] 상기 세라믹 바디(110)의 폭 방향 최외측 내부전극(121, 122) 사이의 거리(Wa)는 액티브부(115)의 폭에 해당할 수 있다.
- [0086] 세라믹 바디(110)의 양 단면에 형성된 제1 및 제2 외부전극(131, 132)에 극성이 다른 전압이 인가되면, 유전체층(111)의 역압전성 효과(Inverse piezoelectric effect)에 의해 세라믹 바디(110)는 두께 방향으로 팽창과 수축을 하게 되고, 제1 및 제2 외부전극(131, 132)의 양 단부는 포아송 효과(Poisson effect)에 의해 세라믹 바디(110)의 두께 방향의 팽창과 수축과는 반대로 수축과 팽창을 하게 된다.
- [0087] 여기서, 액티브부(115)의 중심부는 제1 및 제2 외부전극(131, 132)의 길이 방향의 양 단부에서 가장 최대 팽창이 되는 부분으로 어쿠스틱 노이즈 발생의 큰 원인이 되는 인자가 된다.
- [0088] 즉, 본 실시 형태에서는 어쿠스틱 노이즈를 감소시키기 위해, 전압이 인가되어 액티브부(115)의 중심부(CL_A)에서 발생하는 변형율과 하부 커버부(113)에서 발생하는 변형율의 차이에 의해 세라믹 바디(110)의 양 단면에 형성된 변곡점(PI: point of inflection)이 세라믹 바디(110)의 두께의 중심부(CL_C) 이하에서 형성될 수 있다.
- [0090] 일반적으로, 적층 세라믹 커패시터에 전압 인가시 발생하는 어쿠스틱 노이즈는 세라믹 바디에 해당하는 압전체의 압전 변위에 의해 기판에 진동을 주고, 기판의 울림으로 인하여 발생한다.
- [0091] 압전 변위는 용량을 구현하는 액티브부의 체적에 비례하여 증가하는 경향이 있다.
- [0092] 액티브부의 체적이란 적층 세라믹 커패시터 전체 부피 중 내부전극이 없는 마진부를 제외한 영역을 의미한다.
- [0093] 압전 진동은 단순히 적층 방향의 길이 보다는 용량을 구현하는 액티브부 전체의 체적을 고려하여야 보다 정확한 영향력을 판단할 수 있다.
- [0094] 즉, 압전 변위에 의해 기판을 가격하는 힘은 액티브부의 체적에 비례하게 된다.
- [0095] 본 발명의 일 실시형태에 따르면, 액티브부(115)의 체적과 하부 커버부(113)의 두께(Tb)의 비율을 조절함으로써, 어쿠스틱 노이즈 발생을 저감할 수 있는 최적의 임계점을 찾을 수 있었다.

- [0097] 즉, 본 발명의 일 실시형태에 따르면, 상기 하부 커버부(113)의 두께(Tb) 대비 액티브부(115)의 체적(Va)의 세제곱근($\sqrt[3]{Va}$)의 비율이 1.4 내지 8.8을 만족함으로써, 어쿠스틱 노이즈를 저감할 수 있다.
- [0099] 어쿠스틱 노이즈 값은 상기 하부 커버부(113)의 두께(Tb) 대비 액티브부(115)의 체적(Va)의 세제곱근($\sqrt[3]{Va}$)의 비율이 8.8 인 부분부터 급격히 감소하며, 그 이하의 값에서 감소되는 경향이 있음을 확인하였다.
- [0101] 특히, 상기 하부 커버부(113)의 두께(Tb) 대비 액티브부(115)의 체적(Va)의 세제곱근($\sqrt[3]{Va}$)의 비율이 6.4 이하부터는 기존 적층 세라믹 커패시터 대비 어쿠스틱 노이즈가 10% 이상 감소하였다.
- [0103] 다만, 상기 하부 커버부(113)의 두께(Tb) 대비 액티브부(115)의 체적(Va)의 세제곱근($\sqrt[3]{Va}$)의 비율이 1.4 미만의 경우에는 어쿠스틱 노이즈 값이 36 미만으로 더 감소되지 않아 최저 임계점이 1.4임을 확인하였다.
- [0105] 본 발명의 일 실시형태에 따르면, 상기 하부 커버부(113)의 두께(Tb) 대비 액티브부(115)의 체적(Va)의 세제곱근($\sqrt[3]{Va}$)의 비율이 1.4 내지 8.8을 만족하는 상기 적층 세라믹 커패시터의 사이즈는 길이 × 폭(L × W)이 약 2.0 mm × 1.2 mm (2012 사이즈) 이상일 수 있다.
- [0107] 일반적으로, 내부전극 적층 방향 압전 변위와 적층 방향에 수직인 방향의 압전 변위가 어쿠스틱 노이즈에 미치는 영향력은 적층 세라믹 커패시터의 사이즈에 따라 다르다.
- [0108] 그리고, 적층 세라믹 커패시터의 사이즈가 길이 × 폭(L × W)이 약 2.0 mm × 1.2 mm (2012 사이즈) 이상일 경우에 내부전극 적층 방향의 압전 변위가 어쿠스틱 노이즈에 미치는 주요한 인자로 확인되었다.
- [0109] 따라서, 상기 하부 커버부(113)의 두께(Tb) 대비 액티브부(115)의 체적(Va)의 세제곱근($\sqrt[3]{Va}$)의 비율이 1.4 내지 8.8을 만족하는 상기 적층 세라믹 커패시터의 사이즈는 길이 × 폭(L × W)이 약 2.0 mm × 1.2 mm (2012 사이즈) 이상일 경우에 어쿠스틱 노이즈 저감 효과가 우수함을 알 수 있다.
- [0111] 한편, 상기의 특징으로 인하여 상기 제1 및 제2 내부 전극(121, 122)은 상기 적층 세라믹 커패시터(100)를 인쇄 회로기판에 실장할 때, 상기 세라믹 바디(110)의 실장면에 수직하게 적층될 경우가 어쿠스틱 노이즈 저감에 보다 효과적이다.
- [0113] 일반적으로 적층 세라믹 커패시터에 전압이 인가된 경우 유전체 층의 역압전성 효과(Inverse piezoelectric effect)에 의해 세라믹 바디는 길이, 폭 및 두께 방향으로 팽창과 수축을 반복하게 된다.
- [0115] 즉, 세라믹 바디의 길이-폭 면(LW 면)과 폭-두께 면(WT 면) 및 길이-두께 면(LT 면)의 변위량을 LDV(Laser Doppler Vibrometer)에 의해 실측할 경우 LW 면 > WT 면 > LT 면의 순서로 변위량이 나타난다.

[0117] WT 면 대비 LT 면의 변위량은 약 42% 수준으로 WT 면의 변위량보다 적게 나타난다. 이는 LT 면과 WT 면에 동일한 크기의 응력이 발생하게 되나, 특히 LT 면은 WT 면보다 상대적으로 넓은 면적을 가지게 되므로 넓은 면적에 걸쳐 유사 크기의 응력이 분포하게 되어 상대적으로 작은 변형이 발생하는 것으로 추측할 수 있다.

[0119] 이를 통해, 일반 적층 세라믹 커패시터에서는 LT 면에서의 변위량이 가장 적음을 알 수 있다.

[0121] 즉, 상기 제1 및 제2 내부 전극(121, 122)은 상기 적층 세라믹 커패시터(100)를 인쇄회로기판에 실장할 때, 상기 세라믹 바디(110)의 실장면에 수직하게 적층함으로써, 진동량을 최소화시킬 수 있다.

[0123] **실험 예**

[0125] 본 발명의 실시 예와 비교 예에 따른 적층 세라믹 커패시터는 하기와 같이 제작되었다.

[0127] 먼저 티탄산바륨($BaTiO_3$) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film) 상에 도포 및 건조하여 1.8 μm 의 두께로 제조된 복수의 세라믹 그린 시트를 마련한다.

[0129] 다음으로, 상기 복수의 세라믹 그린 시트 상에 스크린을 이용하여 도전성 페이스트를 도포하여 상기 세라믹 그린 시트의 양 단면을 통해 번갈아 노출되도록 복수의 제1 및 제2 내부 전극(121, 122)을 형성한다.

[0130] 이때, 제1 및 제2 내부 전극(121, 122)은 제1 또는 제2 내부 전극(121, 122)을 기준으로 상기 세라믹 그린 시트의 두께 방향(T)으로 마련된 하부 커버부(113)가 상부 커버부(112)에 비해 두꺼운 두께를 가지도록 형성한다.

[0132] 다음으로, 상기 세라믹 그린 시트를 폭 방향(W)으로 약 370 층 정도로 적층하여 적층체를 형성하고, 이 적층체를 85 $^{\circ}C$ 에서 1000 kgf/cm^2 의 압력 조건으로 등압 압축 성형(isostatic pressing) 하였다.

[0134] 다음으로, 압착이 완료된 세라믹 적층체를 개별 칩의 형태로 절단하였다. 그리고, 절단된 칩은 대기 분위기에서 230 $^{\circ}C$, 60 시간 정도 유지하여 탈바인더를 진행하였다.

[0136] 이후, 1200 $^{\circ}C$ 에서 제1 및 제2 내부 전극(121, 122)이 산화되지 않도록 Ni/NiO 평형 산소 분압 보다 낮은 10^{-11} 내지 10^{-10} atm의 산소분압하 환원분위기에서 소성하였다. 소성 후 세라믹 소체(110)의 사이즈는 길이 \times 폭(L \times W)이 약 2.0 mm \times 1.2 mm(L \times W, 일명 2012 사이즈)였다. 여기서, 제작 공차는 길이 \times 폭(L \times W)으로 \pm 0.1 mm 내의 범위로 정하였다.

[0138] 다음으로, 하부 커버부(113)가 세라믹 소체(110)의 하면(S_b)이 되도록 세라믹 바디(110)의 양 단면에 제1 및 제2 외부 전극(131, 132)을 형성하고 도금 공정을 거쳐 적층 세라믹 커패시터(100)로 제작하였다. 이후, 실험하여 어쿠스틱 노이즈를 측정하였다.

표 1

	La(mm)	Wa(mm)	Ta(mm)	Va(mm ³)	$\sqrt[3]{Va}$ (mm)	Tb(mm)	$\sqrt[3]{Va/T}$	A/N(dB)
1*	1.97	1.11	1.26	2.76	1.402	0.07	20.0	45.4
2	1.97	1.12	1.25	2.76	1.402	0.16	8.8	11.2
3	1.98	1.12	1.26	2.79	1.408	0.18	7.8	42.5
4	1.96	1.13	1.25	2.77	1.404	0.22	6.4	41.3
5	1.97	1.12	1.25	2.76	1.402	0.7	2.0	39.3
6	1.96	1.12	1.26	2.77	1.404	1	1.4	36.3
7*	1.97	1.12	1.25	2.76	1.402	1.8	0.8	36.6
8*	3.25	1.62	1.52	8.00	2.000	0.12	16.7	47.3
9*	3.24	1.63	1.51	7.97	1.998	0.18	11.1	46.8
10	3.23	1.64	1.50	7.95	1.995	0.25	8.0	43.4
11	3.25	1.63	1.52	8.05	2.004	0.63	3.2	40.3
12	3.24	1.63	1.51	7.97	1.998	0.92	2.2	39.1
13	3.25	1.64	1.49	7.94	1.995	1.32	1.5	37.2
14*	3.24	1.63	1.51	7.97	1.998	1.58	1.3	37.7
15*	3.23	1.65	1.52	8.10	2.008	2.3	0.9	36.8

[0141] *는 비교 예

[0143] 상기 표 1의 데이터는 상기 하부 커버부(113)의 두께(Tb) 대비 액티브부(115)의 체적(Va)의 세제곱근($\sqrt[3]{Va}$)의 비율이 1.4 내지 8.8을 만족함으로써, 어쿠스틱 노이즈를 저감할 수 있음을 보여준다.

[0145] 어쿠스틱 노이즈 값은 상기 하부 커버부(113)의 두께(Tb) 대비 액티브부(115)의 체적(Va)의 세제곱근($\sqrt[3]{Va}$)의 비율이 8.8 인 부분부터 급격히 감소하며, 그 이하의 값에서 감소되는 경향이 있음을 확인하였다.

[0147] 즉, 상기 하부 커버부(113)의 두께(Tb) 대비 액티브부(115)의 체적(Va)의 세제곱근($\sqrt[3]{Va}$)의 비율이 1.4 내지 8.8을 만족하는 샘플 2 내지 6, 10 내지 13의 경우에 어쿠스틱 노이즈 저감 효과가 있음을 알 수 있다.

[0149] 특히, 상기 하부 커버부(113)의 두께(Tb) 대비 액티브부(115)의 체적(Va)의 세제곱근($\sqrt[3]{Va}$)의 비율이 6.4 이하부터는 기존 적층 세라믹 커패시터 대비 어쿠스틱 노이즈가 10% 이상 감소함을 알 수 있다.

[0151] 다만, 상기 하부 커버부(113)의 두께(Tb) 대비 액티브부(115)의 체적(Va)의 세제곱근($\sqrt[3]{Va}$)의 비율이 1.4 미만 경우인 샘플 7, 14 및 15의 경우에는 어쿠스틱 노이즈 값이 36 미만으로 더 감소되지 않아 최저 임계점이 1.4임을 알 수 있다.

- [0153] 또한, 상기 하부 커버부(113)의 두께(Tb) 대비 액티브부(115)의 체적(Va)의 세제곱근($\sqrt[3]{Va}$)의 비율이 8.8을 초과하는 샘플 1, 8 및 9의 경우에는 어쿠스틱 노이즈 값이 높음을 알 수 있다.
- [0155] **적층 세라믹 커패시터의 실장 기판**
- [0157] 도 4는 도 1의 적층 세라믹 커패시터가 인쇄회로기판에 실장된 모습을 도시한 사시도이다.
- [0158] 도 5는 도 4의 적층 세라믹 커패시터 및 인쇄회로기판을 길이 방향으로 절단하여 도시한 단면도이다.
- [0160] 도 4 및 도 5를 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터(100)의 실장 기판(200)은 적층 세라믹 커패시터(100)가 수직 실장되는 인쇄회로기판(210)과, 인쇄회로기판(210)의 상면에 서로 이격되게 형성된 제1 및 제2 전극 패드(221, 222)를 포함한다.
- [0161] 이때, 적층 세라믹 커패시터(100)는 하부 커버부(113)가 하측으로 배치되며 제1 및 제2 외부 전극(131, 132)이 각각 제1 및 제2 전극 패드(221, 222) 위에 접촉되게 위치한 상태에서 솔더링(230)에 의해 인쇄회로기판(210)과 전기적으로 연결될 수 있다.
- [0163] 위와 같이 적층 세라믹 커패시터(100)가 인쇄회로기판(210)에 실장된 상태에서 전압을 인가하면 어쿠스틱 노이즈가 발생할 수 있다.
- [0164] 이때, 제1 및 제2 전극 패드(221, 222)의 크기는 적층 세라믹 커패시터(100)의 제1 및 제2 외부 전극(131, 132)과 제1 및 제2 전극 패드(221, 222)를 연결하는 솔더링(230)의 양을 결정하는 지표가 될 수 있다. 또한, 이러한 솔더링(230)의 양에 따라 어쿠스틱 노이즈의 크기가 조절될 수 있다.
- [0166] 도 6은 도 4의 적층 세라믹 커패시터가 인쇄회로기판에 실장된 상태에서 전압이 인가되어 적층 세라믹 커패시터가 변형되는 모습을 개략적으로 도시한 단면도이다.
- [0168] 도 6을 참조하면, 적층 세라믹 커패시터(100)가 인쇄회로기판(210)에 실장된 상태에서 적층 세라믹 커패시터(100)의 양 단부에 형성된 제1 및 제2 외부 전극(131, 132)에 극성이 다른 전압이 인가되면, 유전체층(111)의 역압전성 효과(Inverse piezoelectric effect)에 의해 세라믹 바디(110)는 두께 방향으로 팽창과 수축을 하게 되고, 제1 및 제2 외부 전극(131, 132)의 양 단부는 포아송 효과(Poisson effect)에 의해 세라믹 바디(110)의 두께 방향의 팽창과 수축과는 반대로 수축과 팽창을 하게 된다.
- [0169] 여기서, 액티브부(115)의 중심부는 제1 및 제2 외부 전극(131, 132)의 길이 방향의 양 단부에서 가장 최대 팽창이 되는 부분으로 어쿠스틱 노이즈 발생의 큰 원인이 되는 인자가 된다.
- [0170] 적층 세라믹 커패시터(100)의 하면(S_B)이 두께 방향을 따라 상측으로 최대한 팽창하게 되면 솔더링(230)의 하부는 팽창에 의해 외부로 밀려나는 힘에 의해 외부 전극으로 미는 수축되는 힘(㉠)이 생기게 되고, 세라믹 바디(110)의 상면(S_T)과 측면들도 수축된다.
- [0171] 따라서, 본 실시 형태에서와 같이, 전압이 인가되어 액티브부(115)의 중심부(CL_A)에서 발생하는 변형율과 하부 커버부(113)에서의 발생하는 변형율의 차이에 의해 세라믹 바디(110)의 양 단면에 형성된 변곡점이 솔더링(230)의 높이 이하에서 형성되면 어쿠스틱 노이즈를 더 감소시킬 수 있게 된다.
- [0173] 이상에서 본 발명의 실시 형태에 대하여 상세하게 설명하였지만 본 발명의 권리 범위는 이에 한정되는 것은 아니고, 청구 범위에 기재된 본 발명의 기술적 사항을 벗어나지 않는 범위 내에서 다양한 수정 및 변형이 가능하

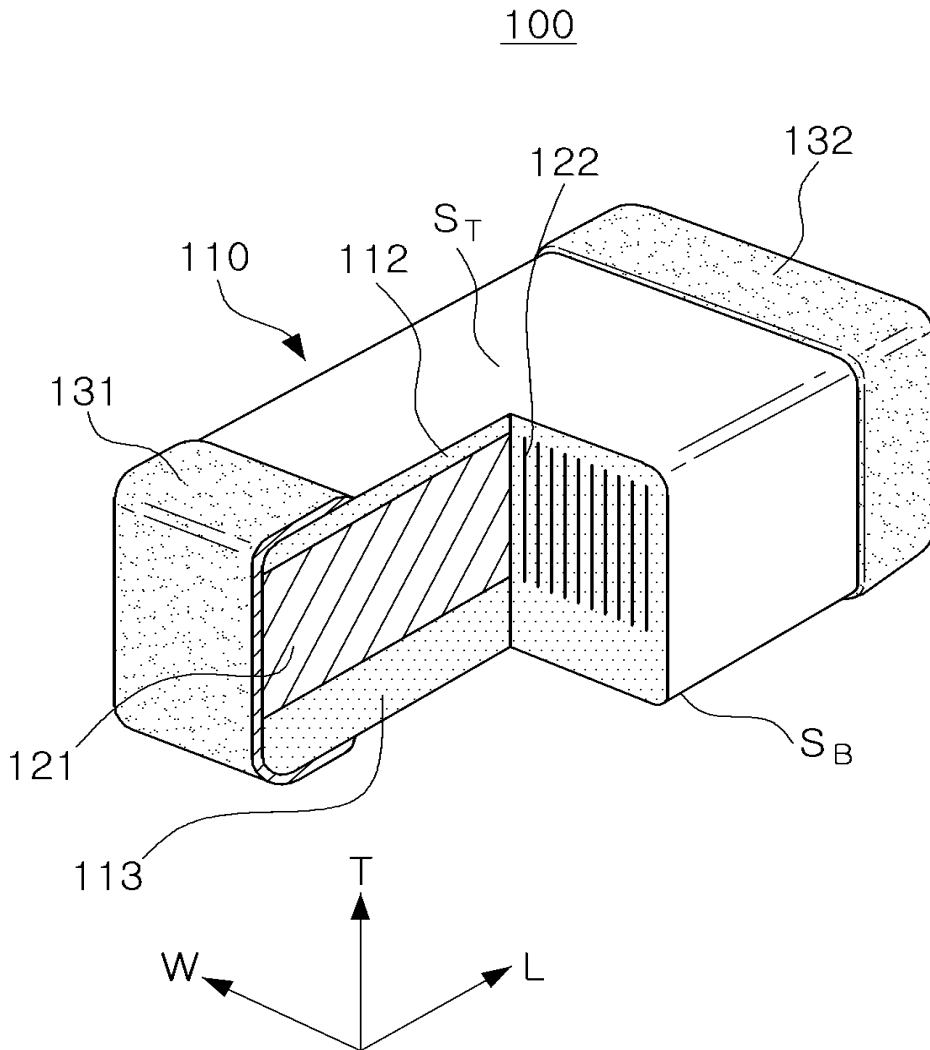
다는 것은 당 기술 분야의 통상의 지식을 가진 자에게는 자명할 것이다.

부호의 설명

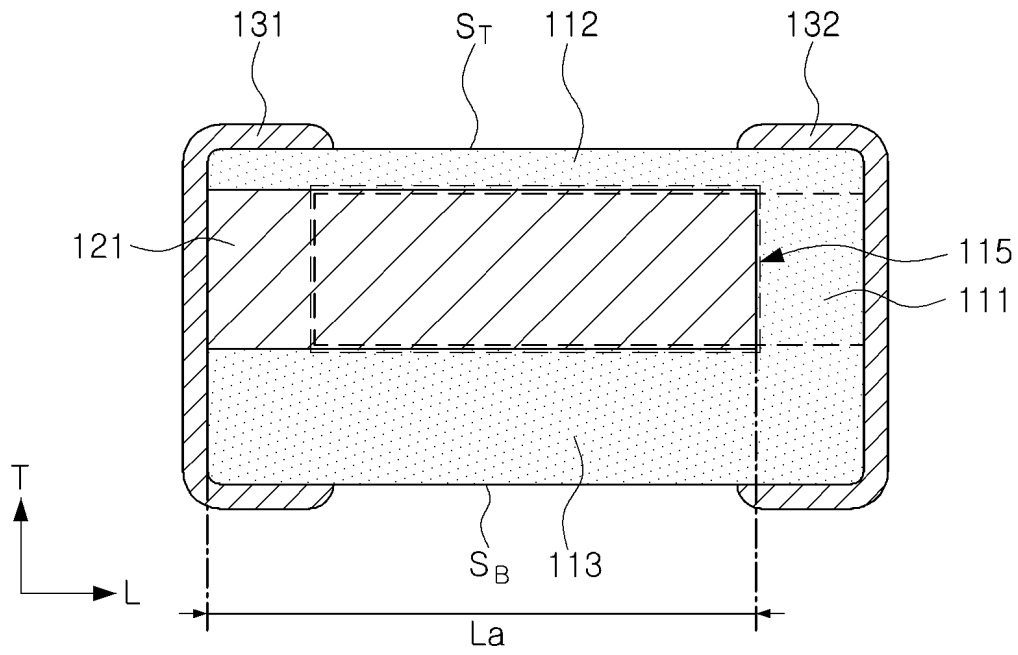
- [0175] 100 ; 적층 세라믹 커패시터 110 ; 세라믹 바디
 111 ; 유전체층 112 ; 상부 커버부
 113 ; 하부 커버부 115 ; 액티브부
 121, 122 ; 제1 및 제2 내부 전극 131, 132 ; 제1 및 제2 외부 전극
 200 ; 실장 기판 210 ; 인쇄회로기판
 221, 222 ; 제1 및 제2 전극 패드 230 ; 솔더

도면

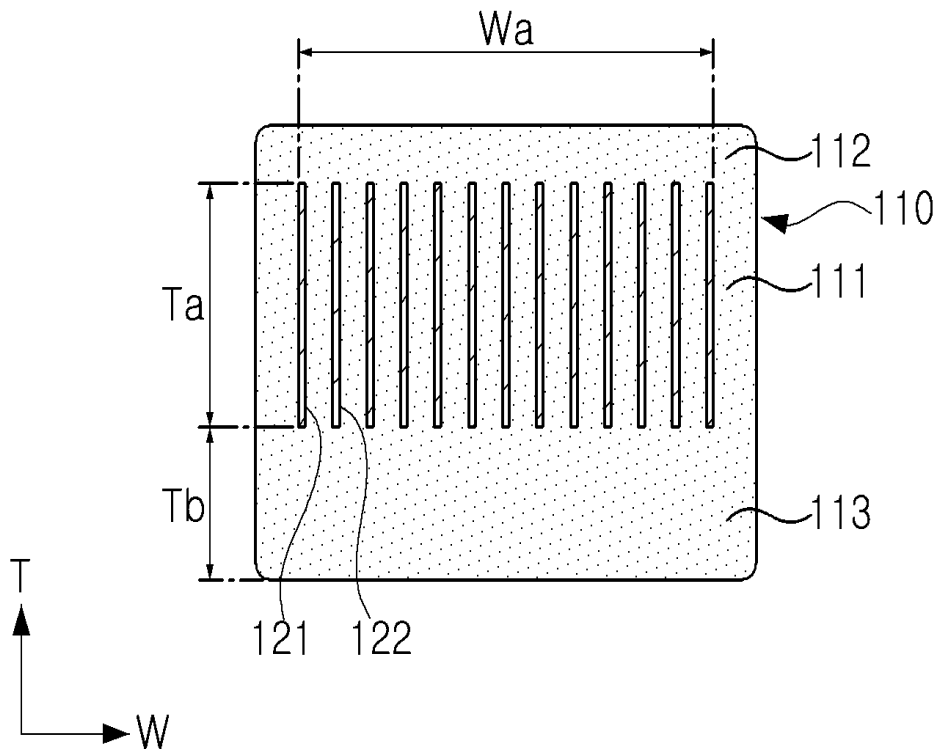
도면1



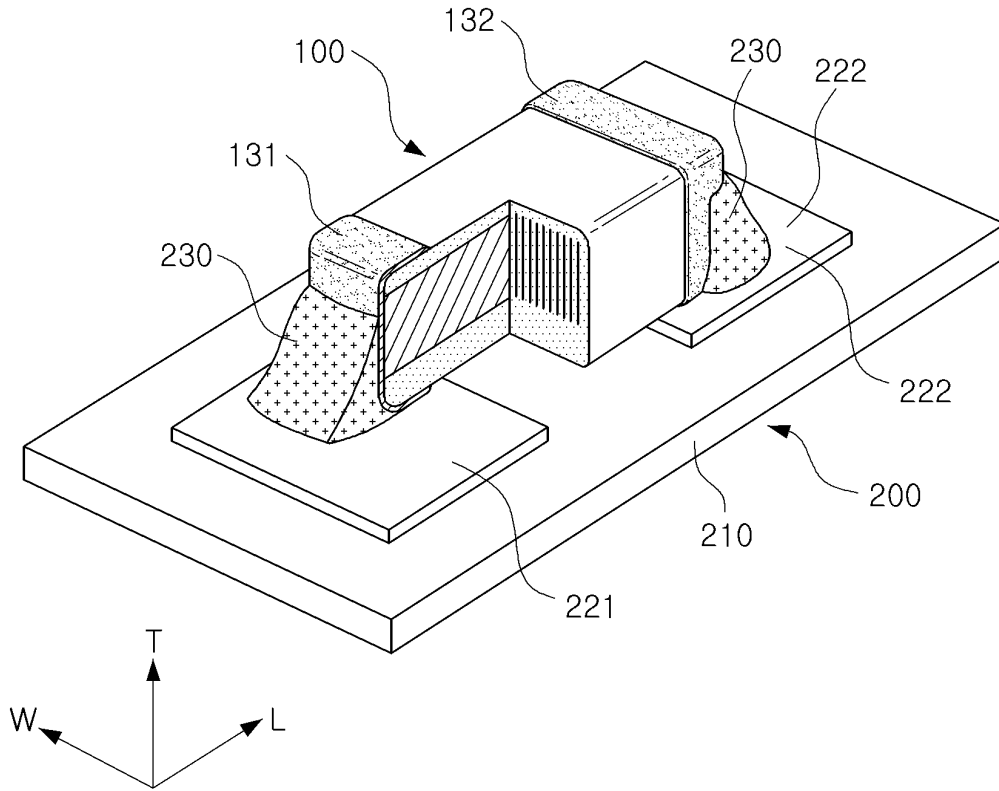
도면2



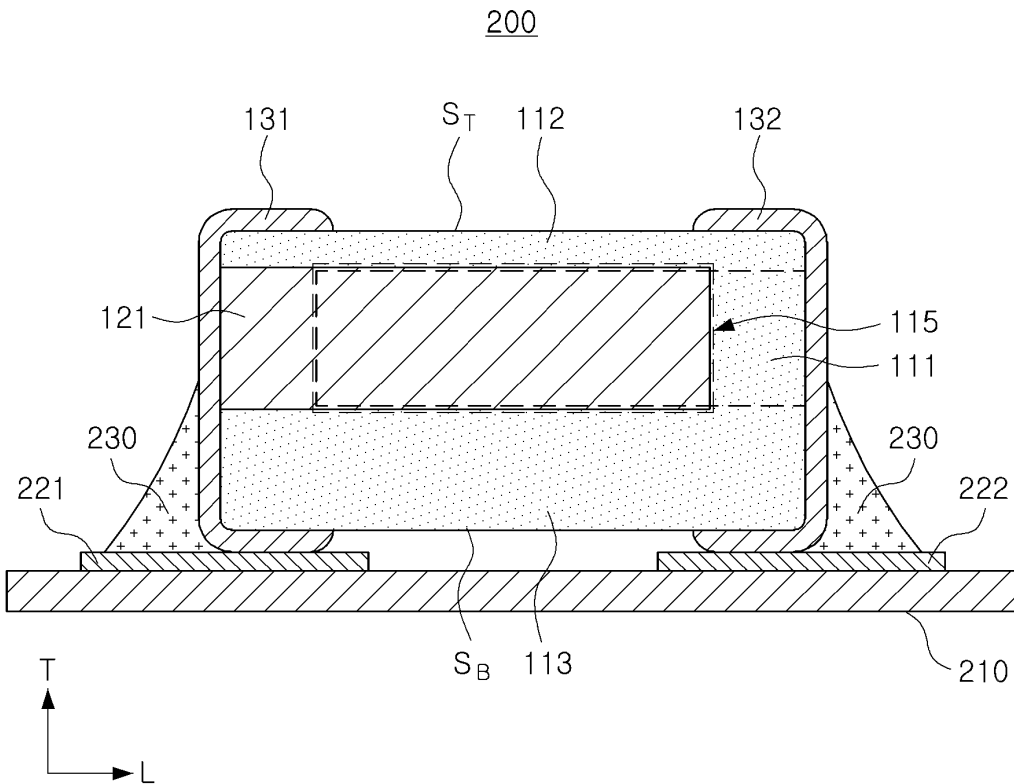
도면3



도면4



도면5



도면6

