

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年7月3日(03.07.2025)



(10) 国際公開番号

WO 2025/142183 A1

(51) 国際特許分類:

G09F 9/30 (2006.01) *H10D 86/60* (2025.01)
G02B 5/20 (2006.01) *H10H 20/00* (2025.01)
G09F 9/33 (2006.01) *H10H 20/851* (2025.01)
H01L 21/20 (2006.01) *H10H 20/853* (2025.01)
H10D 30/67 (2025.01) *H10H 20/857* (2025.01)

(21) 国際出願番号: PCT/JP2024/040524

(22) 国際出願日: 2024年11月14日(14.11.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-222589 2023年12月28日(28.12.2023) JP

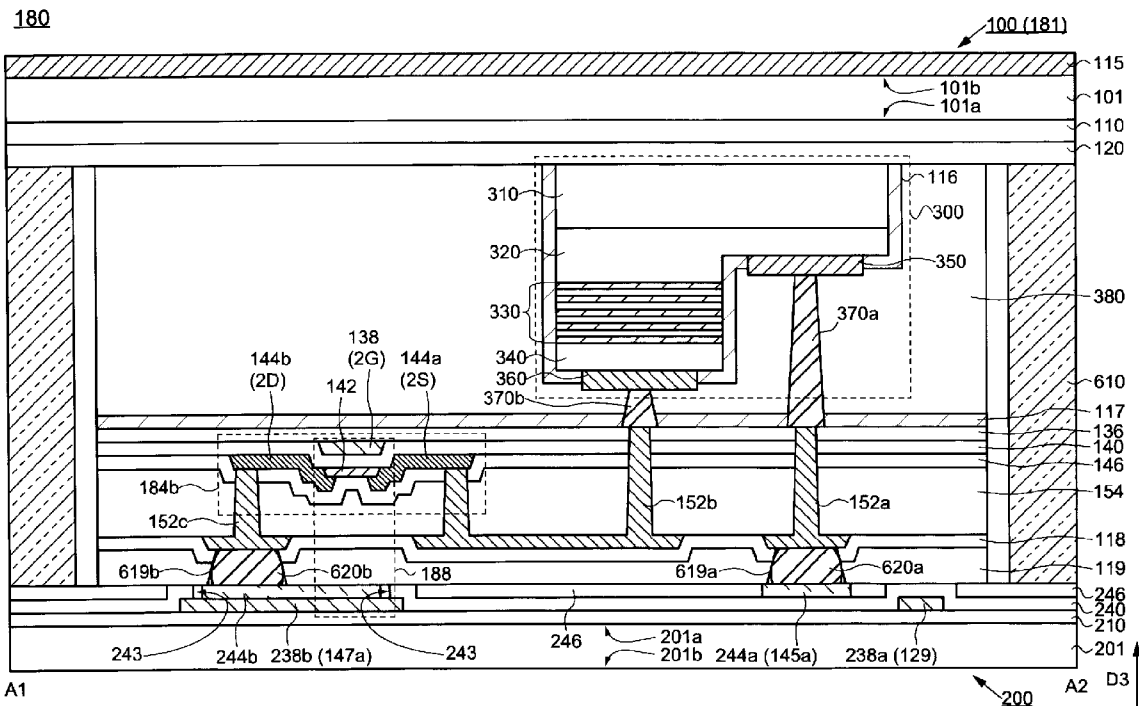
(71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 (JP).

(72) 発明者: 池田 雅延 (IKEDA Masanobu); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 (JP).
西村 眞澄 (NISHIMURA Masumi); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 (JP).
永岡 一孝 (NAGAOKA Kazutaka); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 (JP).

(74) 代理人: 弁理士法人高橋・林アンドパートナーズ (TAKAHASHI, HAYASHI AND PARTNER)

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: This display device includes: a first substrate; a light-emitting diode that is disposed on a first surface of the first substrate and includes a gallium nitride layer; a first transistor that is disposed on the light-emitting diode and is electrically connected to the light-emitting diode; a second substrate that faces the first substrate; a data signal line that is disposed on the second substrate; a ground signal line that is disposed on the second substrate; a first conductor that is disposed on the data signal line and electrically connects the data signal line and the first transistor to each other;



PATENT ATTORNEYS, INC.); 〒1440052 東京都大田区蒲田 5 - 2 4 - 2 損保ジャパン蒲田ビル9階 (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

and a second conductor that is disposed on the ground signal line and electrically connects the ground wiring and the light-emitting diode to each other.

(57) 要約: 表示装置は、第1の基板と、前記第1の基板の第1の面の上に配置され、窒化ガリウム層を含む発光ダイオードと、前記発光ダイオードの上に配置され、前記発光ダイオードと電氣的に接続された第1のトランジスタと、前記第1の基板に対向する第2の基板と、前記第2の基板の上に配置されたデータ信号線と、前記第2の基板の上に配置されたグラウンド信号線と、前記データ信号線の上に配置され、前記データ信号線と前記第1のトランジスタとを電氣的に接続する第1の導電体と、前記グラウンド信号線の上に配置され、前記グラウンド配線と前記発光ダイオードとを電氣的に接続する第2の導電体とを含む。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明の実施形態の一つは、酸化物半導体を用いたトランジスタ及び窒化ガリウムを用いた発光素子を含む表示装置に関する。

背景技術

[0002] 近年、窒化ガリウム（GaN）を用いた発光素子を表示部に用いた表示装置が知られている。例えば、発光素子は、発光ダイオード（Light Emitting Diode：LED）又は微小な発光ダイオード（マイクロLED）である。例えば、当該表示装置は、発光素子が形成されたサファイア基板と、酸化物半導体又は低温ポリシリコンを含むトランジスタが形成されたバックプレーンとを含み、当該表示装置の製造方法は、サファイア基板をバックプレーンに転写することによって発光素子とトランジスタとを電氣的に接続することを含む。このように製造された当該表示装置の発光素子は、トランジスタに供給された電位に応じた電流を流すことができる。その結果、発光素子は発光し、当該表示装置は表示部に画像を表示することができる。

[0003] 例えば、特許文献1～4は、トランジスタ及び発光素子を含む表示装置を開示している。

先行技術文献

特許文献

[0004] 特許文献1：米国特許第8791474号明細書
特許文献2：国際公開2022/210402号
特許文献3：国際公開2023/074098号
特許文献4：国際公開2020/188851号

発明の概要

発明が解決しようとする課題

[0005] 例えば、当該表示装置の製造方法は、発光素子を転写してバックプレーンのトランジスタに接続することを含む。発光素子とトランジスタとの電気的な接続が安定せず、発光素子とトランジスタとのボンディングに応じてコンタクト抵抗がばらつく可能性がある。また、発光素子とトランジスタとの電気的な接続が安定していない場合、又は、トランジスタの電気特性が安定していない場合には、トランジスタが発光素子に所定の電位に応じた電流を供給できない可能性がある。その結果、発光素子が所定の輝度で発光しないため、表示装置が所定の電位に応じた画像を表示することができない。また、発光素子とトランジスタとの電気的な接続が安定していない場合、又は、トランジスタの電気特性が安定していない場合には、トランジスタの長期信頼性及び表示装置の長期信頼性が問題になる。

[0006] 本発明の課題の一つは、酸化物半導体を用いたトランジスタ及び窒化ガリウムを用いた発光素子を含み、長期信頼性の低下を抑制可能な表示装置を提供することを課題の一つとする。

課題を解決するための手段

[0007] 本発明の実施形態の一つに係る表示装置は、第1の基板と、前記第1の基板の第1の面の上に配置され、窒化ガリウム層を含む発光ダイオードと、前記発光ダイオードの上に配置され、前記発光ダイオードと電気的に接続された第1のトランジスタと、前記第1の基板に対向する第2の基板と、前記第2の基板の上に配置されたデータ信号線と、前記第2の基板の上に配置されたグラウンド配線と、前記データ信号線の上に配置され、前記データ信号線と前記第1のトランジスタとを電気的に接続する第1の導電体と、前記グラウンド配線の上に配置され、前記グラウンド配線と前記発光ダイオードとを電気的に接続する第2の導電体とを含む。

図面の簡単な説明

[0008] [図1]本発明の第1実施形態に係る表示装置の構成を示す平面図である。

[図2]本発明の第1実施形態に係る表示装置に含まれる画素の回路構成を示す回路図である。

[図3]本発明の第1実施形態に係る表示装置に含まれる画素の回路と各配線との接続の構成を示す図である。

[図4]本発明の第1実施形態に係る画素のレイアウトの一例を示す模式的な平面図である。

[図5]図1に示される表示装置のA1－A2線に沿った断面構造を示す断面図である。

[図6]本発明の第1実施形態に係る表示装置の製造方法の一例を示すフローチャートである。

[図7]本発明の第1実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図8]本発明の第1実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図9]本発明の第1実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図10]本発明の第1実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図11]本発明の第1実施形態に係る表示装置の製造方法の一例を示すフローチャートである。

[図12]本発明の第1実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図13]本発明の第1実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図14]本発明の第1実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図15]本発明の第1実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図16]本発明の第1実施形態に係る表示装置の製造過程の一例を示す平面図である。

[図17]図 1 6 に示される平面図を拡大した図である。

[図18]本発明の第 1 実施形態に係る表示装置の製造方法の一例を示すフローチャートである。

[図19]本発明の第 1 実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図20]本発明の第 1 実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図21]本発明の第 1 実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図22]本発明の第 2 実施形態に係る表示装置の構成を示す平面図である。

[図23]図 2 2 に示される表示装置の B 1 - B 2 線に沿った断面構造を示す断面図である。

[図24]図 2 2 に示される表示装置の C 1 - C 2 線に沿った断面構造を示す断面図である。

[図25]本発明の第 2 実施形態に係る表示装置の製造方法の一例を示すフローチャートである。

[図26]本発明の第 2 実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図27]本発明の第 2 実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図28]本発明の第 2 実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図29]本発明の第 2 実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図30]本発明の第 2 実施形態に係る表示装置の製造過程における断面構造の一例を示す断面図である。

[図31]本発明の第 2 実施形態に係る保護回路の構成を示す平面図である。

発明を実施するための形態

[0009] 以下、本発明の実施形態を、図面等を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、以下に例示する実施の形態の記載内容に限定して解釈されるものではない。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状、構成等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本発明の実施形態において、既出の図に関して前述したものと同様の要素には、同一の符号（又は数字の後に a、b などを付した符号）を付して、詳細な説明を適宜省略することがある。なお、各要素に対する「第 1」、「第 2」と付記された文字は、各要素を区別するために用いられる便宜的な標識であり、特段の説明がない限りそれ以上の意味を有さない。

[0010] 本願の明細書において、ある部材又は領域が他の部材又は領域の「上に（又は下に）」あるとする場合、特段の限定がない限りこれは他の部材又は領域の直上（又は直下）にある場合のみでなく他の部材又は領域の上方（又は下方）にある場合を含み、すなわち、他の部材又は領域の上方（又は下方）において間に別の構成要素が含まれている場合も含む。

[0011] 本願の明細書において、D 1 方向は D 2 方向に交差し、D 3 方向は D 1 方向及び D 2 方向（D 1 D 2 平面）に交差する。D 1 方向は第 1 方向といわれ、D 2 方向は第 2 方向といわれ、D 3 方向は第 3 方向といわれる。例えば、D 1 方向、D 2 方向、及び D 3 方向は、X 方向（x 方向）、Y 方向（y 方向）、及び Z 方向（z 方向）に対応する。なお、D 3 方向が、D 1 方向及び D 2 方向に対して、垂直から誤差の範囲内でずれた場合も、D 3 方向は、D 1 方向及び D 2 方向に垂直であるものとする。この場合は、例えば、略垂直と呼ばれる。

[0012] 本願の明細書において、同一及び一致という表記を用いている場合、同一及び一致には、設計の範囲での誤差が含まれてもよい。

[0013] [1. 第 1 実施形態]

図 1 ～ 図 21 を参照し、表示装置 10 の構成を説明する。

[0014] [1-1. 表示装置10の概要]

図1を参照し、表示装置10の概要を説明する。図1は表示装置10の構成を示す模式的な平面図である。

[0015] 表示装置10は、少なくとも、第1の基板101（図5を参照）、第2の基板201、フレキシブルプリント回路基板（FPC）108及びドライバIC106を含む。また、表示装置10は、少なくとも、第2の基板201（図5を参照）の第1の面201a（図5を参照）の上の表示領域122及び表示領域122の周囲を取り囲む周辺領域121を含む。なお、詳細は後述するが、アレイ基板100（図5を参照）が第1の基板101を含み、バックプレーン200（図5を参照）が第2の基板201を含む。

[0016] 第2の基板201は、第1の辺191、第1の辺に対向する第2の辺192、第3の辺193、及び第3の辺に対向する第4の辺194を含む。表示領域122及び周辺領域121は、平面視において、第1の辺191、第1の辺に対向する第2の辺192、第3の辺193、及び第3の辺193に対向する第4の辺194に囲まれる。

[0017] 表示領域122には、複数の画素180が配置されている。表示領域122は、複数の画素180と平面視において重なる領域である。複数の画素180は第1方向D1及び第2方向D2にマトリクス状に配置される。複数の画素180の配置は、マトリクス状に限定されない。例えば、複数の画素180は千鳥状に配置されてもよい。詳細は後述されるが、画素180は、画素ICチップ181を含む。

[0018] 周辺領域121は、複数の走査信号線129、複数のデータ信号線131、グラウンド配線145、駆動電位線147及び端子領域126を含む。周辺領域121は、複数の走査信号線129、複数のデータ信号線131、グラウンド配線145、駆動電位線147及び端子領域126と平面視において重なる領域である。複数の走査信号線129、複数のデータ信号線131、グラウンド配線145及び駆動電位線147は、複数の画素180のうち、対応する画素180に電氣的に接続される。

- [0019] 端子領域 126 は第 3 の辺 193 側の領域である。複数の端子 150 が端子領域 126 に配置されている。複数の端子 150 は、FPC108、複数の走査信号線 129、複数のデータ信号線 131、グラウンド配線 145 及び駆動電位線 147 に電氣的に接続される。端子領域 126 は、複数の走査信号線 129、複数のデータ信号線 131、グラウンド配線 145 及び駆動電位線 147 を、FPC108、ドライバ IC106 及び外部回路（図示は省略）と接続するための複数の端子 150 と平面視において重なる領域である。なお、複数の端子 150 は、第 2 の基板 201 に含まれ、FPC108 と重なる。
- [0020] 一例として、ドライバ IC106 は、FPC108 上に配置される。ドライバ IC106 は、複数の画素 180 を駆動させるための制御信号を、FPC108、走査信号線 129、データ信号線 131、グラウンド配線 145 及び駆動電位線 147 を介して、複数の画素 180 に供給する。
- [0021] グラウンド配線 145 は、表示領域 122 を囲むように配置される。また、グラウンド配線 145 は、第 1 の辺 191 側の端子 150 に電氣的に接続され第 3 の辺 193 に沿って D1 方向に延在する配線と、第 1 の辺 191 に沿って D2 方向に延在する配線と、第 4 の辺 194 に沿って D1 方向に延在する配線と、第 2 の辺 192 に沿って D2 方向に延在する配線と、第 2 の辺 192 側の端子 150 に電氣的に接続され第 3 の辺 193 に沿って D1 方向に延在する配線と、を含む。さらに、グラウンド配線 145 は、第 4 の辺 194 に沿って D1 方向に延在する配線と電氣的に接続され、D2 方向に沿って第 4 の辺 194 側から第 3 の辺 193 側に向かって分岐されたグラウンド配線 145a、145b 及び 145c を含む。例えば、グラウンド配線 145 には、グラウンド電圧、接地電圧、電圧 VSS、0V などの定電位が供給される。これらの電圧（電位）は各信号の基準となる電位であり、基準電圧（電位）と呼ばれてよい。
- [0022] 駆動電位線 147 は、第 1 の辺 191 側の端子 150 に電氣的に接続され第 3 の辺 193 に沿って D1 方向に延在する配線と、第 1 の辺 191 に沿っ

てD 2 方向に延在する配線と、を含む。また、駆動電位線 1 4 7 は、第 1 の辺 1 9 1 に沿ってD 2 方向に延在する配線と電氣的に接続され、D 1 方向に沿って第 1 の辺 1 9 1 側から第 2 の辺 1 9 2 側に向かって分岐された駆動電位線 1 4 7 a、1 4 7 b 及び 1 4 7 c を含む。駆動電位線 1 4 7 a、1 4 7 b 及び 1 4 7 c は、それぞれ、D 1 方向に沿って配置される複数の画素 I C チップ 1 8 1 に電氣的に接続される。例えば、駆動電位線 1 4 7 には、グラウンド配線 1 4 5 に供給される電位より高い定電位が供給される。グラウンド配線 1 4 5 に供給される電位より高い定電位は、例えば、電圧 V D D、3 0 V などの電位である。駆動電位線 1 4 7 は、グラウンド配線 1 4 5 と同様に、表示領域 1 2 2 を囲むように配置されてよい。

[0023] 以上説明した構成を含むグラウンド配線 1 4 5 は、グラウンド電圧などの定電位を複数の画素 I C チップ 1 8 1 に均一に供給することができる。また、以上説明した構成を含む駆動電位線 1 4 7 は、電圧 V D D などの定電位を複数の画素 I C チップ 1 8 1 に均一に供給することができる。その結果、表示装置 1 0 は、ムラの無い画像を表示領域 1 2 2 に表示することができる。

[0024] [1 - 2. 画素 1 8 0 の構成]

図 2 及び図 3 を参照し、画素 1 8 0 の構成を説明する。図 2 は表示装置 1 0 の画素 1 8 0 の画素回路 1 8 2 の構成を示す模式的な回路図である。図 3 は画素回路 1 8 2 を含む画素 I C チップ 1 8 1 と、走査信号線 1 2 9、データ信号線 1 3 1、グラウンド配線 1 4 5 及び駆動電位線 1 4 7 との電氣的な接続を示す模式的な図である。図 1 と同一、又は類似する構成については、必要に応じて説明する。

[0025] 画素 1 8 0 は、走査信号線 1 2 9、データ信号線 1 3 1、グラウンド配線 1 4 5 及び駆動電位線 1 4 7 に電氣的に接続された画素 I C チップ 1 8 1 を含む。

[0026] 画素 I C チップ 1 8 1 は、第 1 のトランジスタ 1 8 4 a、第 2 のトランジスタ 1 8 4 b、第 3 のトランジスタ 1 8 4 c、発光ダイオード 3 0 0 及び容量素子 1 8 8 を含む。また、画素 I C チップ 1 8 1 は、第 1 の接続導電層 2

4 4 a、2 4 4 b、2 4 4 c 及び 2 4 4 d を含む。例えば、第 1 の接続導電層 2 4 4 a、2 4 4 b、2 4 4 c 及び 2 4 4 d は、半田又は異方性導電膜（ACF）を用いて、それぞれに対応する電極と配線とを接続する。例えば、第 1 の接続導電層 2 4 4 a はゲート電極 3 G、ソース電極 3 S 及び陰極 6 F とグラウンド配線 1 4 5 a との間に配置されると共に接続し、第 1 の接続導電層 2 4 4 b はドレイン電極 2 D 及び第 2 の電極 8 S と、駆動電位線 1 4 7 a との間に配置されると共に接続し、第 1 の接続導電層 2 4 4 c はゲート電極 1 G と走査信号線 1 2 9 との間に配置されると共に接続し、第 1 の接続導電層 2 4 4 d はソース電極 1 S とデータ信号線 1 3 1 との間に配置されると共に接続する。

[0027] 画素 1 8 0 に含まれる第 1 の接続導電層の説明において、第 1 の接続導電層を区別しない場合には、第 1 の接続導電層は第 1 の接続導電層 2 4 4 と記載され、第 1 の接続導電層を区別する場合には、第 1 の接続導電層は第 1 の接続導電層 2 4 4 a ～ 2 4 4 d などと個別の符号が付与される。

[0028] 第 1 のトランジスタ 1 8 4 a は、選択トランジスタとして機能することができる。第 1 のトランジスタ 1 8 4 a の導通状態は、走査信号線 1 2 9 により制御される。第 1 のトランジスタ 1 8 4 a は、ゲート電極 1 G、ソース電極 1 S 及びドレイン電極 1 D を含む。ソース電極 1 S は、データ信号線 1 3 1 に電氣的に接続され、ドレイン電極 1 D は、第 2 のトランジスタ 1 8 4 b のゲート電極 2 G 及び容量素子 1 8 8 の第 1 の電極 8 F と電氣的に接続され、ゲート電極 1 G は走査信号線 1 2 9 に電氣的に接続される。

[0029] 第 2 のトランジスタ 1 8 4 b は、駆動トランジスタとして機能することができる。第 2 のトランジスタ 1 8 4 b は、発光ダイオード 3 0 0 の発光輝度を制御する。第 2 のトランジスタ 1 8 4 b の導通状態は、第 1 のトランジスタ 1 8 4 a により制御される。第 2 のトランジスタ 1 8 4 b は、ゲート電極 2 G、ソース電極 2 S 及びドレイン電極 2 D を含む。ソース電極 2 S は、第 3 のトランジスタ 1 8 4 c のドレイン電極 3 D 及び発光ダイオード 3 0 0 の陽極 6 S と電氣的に接続され、ドレイン電極 2 D は駆動電位線 1 4 7 及び容

量素子 188 の第 2 の電極 8 S と電氣的に接続され、ゲート電極 2 G は、ドレイン電極 1 D 及び第 1 の電極 8 F と電氣的に接続される。

[0030] 第 3 のトランジスタ 184 c は、発光ダイオード 300 の保護回路として機能することができる。第 3 のトランジスタ 184 c は、ゲート電極 3 G、ソース電極 3 S 及びドレイン電極 3 D を含む。第 3 のトランジスタ 184 c は発光ダイオード 300 に並列に接続される。より具体的には、ソース電極 3 S は、ゲート電極 3 G、発光ダイオード 300 の陰極 6 F 及びグラウンド配線 145 と電氣的に接続され、ドレイン電極 3 D は、陽極 6 S 及びソース電極 2 S と電氣的に接続される。ゲート電極 3 G はソース電極 3 S と電氣的に接続され、第 3 のトランジスタ 184 c は、所謂、ダイオード接続を含むダイオードである。第 3 のトランジスタ 184 c の導通状態は、ドレイン電極 3 D に供給される電位とソース電極 3 S に供給される電位との電位差により制御される。ソース電極 3 S がグラウンド配線 145 と電氣的に接続されているため、ドレイン電極 3 D に供給される電位は、基本的には、グラウンド配線 145 に供給される電位以上である。ドレイン電極 3 D に供給される電位がグラウンド配線 145 に供給される電位より小さい場合に、第 3 のトランジスタ 184 c は導通状態となり、保護回路として機能する。すなわち、過電圧が、発光ダイオード 300 の陽極 6 S と陰極 6 F との間に印加された場合には、画素 180（画素回路 182）は発光ダイオード 300 に流れる電流を第 3 のトランジスタ 184 c を経由して、グラウンド配線 145 に流すことができる。その結果、第 3 のトランジスタ 184 c は発光ダイオード 300 への過電圧の印加及び過電流の供給を抑制できる。

[0031] 画素 180 に含まれるトランジスタの説明において、トランジスタを区別しない場合には、トランジスタはトランジスタ 184 と記載され、トランジスタを区別する場合には、トランジスタは第 1 のトランジスタ 184 a、第 2 のトランジスタ 184 b、第 3 のトランジスタ 184 c と記載される。

[0032] 発光ダイオード 300 は陰極（n 型電極）6 F 及び陽極（p 型電極）6 S を含む。

[0033] 容量素子 188 は第 1 の電極 8 F 及び第 2 の電極 8 S を含む。例えば、容量素子 188 は、画素 180 が表示する画像に対応する電位に相当する電荷を保持することができる。また、例えば、容量素子 188 は、第 2 のトランジスタ 184 b の閾値電圧に相当する電荷を保持し、第 2 のトランジスタ 184 b の閾値電圧を補正することができる。その結果、第 2 のトランジスタ 184 b は、画像に対応する電位に相当する安定した電流を、発光ダイオード 300 に供給することができる。

[0034] 任意の制御信号が、ドライバ IC 106 及び外部回路から、表示装置 10 の複数の画素 180 の画素回路 182 に供給され、表示装置 10 は表示領域 122 に画像を表示することができる。

[0035] なお、本明細書及び図面において、説明の便宜上、各トランジスタのソース電極及びドレイン電極に供給される電位によって、各々の電極のソースとしての機能とドレインとしての機能とが入れ替わる場合がある。

[0036] [1-3. レイアウトの例]

図 4 を参照し、第 3 のトランジスタ 184 c 及び発光ダイオード 300 のレイアウトの一例を説明する。図 4 は第 3 のトランジスタ 184 c 及び発光ダイオード 300 のレイアウトの一例を示す模式的な平面図である。図 1 ～図 3 と同一、又は類似する構成については、必要に応じて説明する。

[0037] 発光ダイオード 300 の n 型電極 350 (陰極 6 F) は、第 2 の接続導電層 370 a、導電層 152 a 及び導電性接続部材 620 a に接続され、第 2 の接続導電層 370 a、導電層 152 a 及び導電性接続部材 620 a を介して、第 1 の接続導電層 244 a 及びグラウンド配線 145 a に接続される。n 型電極 350 (陰極 6 F) は、第 2 の接続導電層 370 a 及び導電層 152 a を介して、開口 139 から露出したゲート電極 138 a (ゲート電極 3 G) 及び開口 140 a から露出したソース電極 3 S に接続される。発光ダイオード 300 の p 型電極 360 (陽極 6 S) は、第 2 の接続導電層 370 b 及び導電層 152 b に接続され、第 2 の接続導電層 370 b 及び導電層 152 b を介して、開口 140 b から露出したドレイン電極 3 D に接続される。

[0038] すなわち、第3のトランジスタ184c及び発光ダイオード300は同一ICチップ（画素ICチップ181）に備えられる。また、「1-2」で説明した通り、第3のトランジスタ184cは発光ダイオード300の保護回路として機能する。表示装置10は、発光ダイオード300と発光ダイオード300を保護する第3のトランジスタ184cとを個別に備えるのではなく、発光ダイオード300と発光ダイオード300を保護する第3のトランジスタ184cとを一体形成した構成を備えることができる。その結果、発光ダイオード300と発光ダイオード300を保護する第3のトランジスタ184cとを個別に備えるより、発光ダイオード300と第3のトランジスタ184cとの電気的な接続を安定させることができる。よって、表示装置10は、発光ダイオード300と第3のトランジスタ184cとコンタクト抵抗のばらつきを抑制すると共に、発光ダイオード300及び第3のトランジスタ184cの電気特性を安定させることができるため、画素180の発光特性、温度特性などの低下を抑制することができる。

[0039] [1-4. 画素180の断面の一例]

図5を参照し、画素180の断面の一例を説明する。図5は、表示装置10の画素180の断面構造の一例を示す断面図である。具体的には、図1に示すA1-A2線で切断された画素180の断面構造の一例を示す断面図である。図1～図4と同一、又は類似する構成については、必要に応じて説明する。

[0040] 表示装置10は、アレイ基板100及びバックプレーン200を含む。アレイ基板100は、第1の基板101、下地層110、バッファ層120、発光ダイオード300、絶縁層380、絶縁層117、絶縁層136、第2のトランジスタ184b、絶縁層154、導電層152a、152b及び152c、絶縁層118、絶縁層119、開口619a及び619b、色変換層115を含む。バックプレーン200は、第2の基板201、下地層210、複数の端子150（図1を参照）、導電層238a及び238b、第1の接続導電層244a及び244b、絶縁層240及び絶縁層246を含

む。

- [0041] 第1の基板101はトランジスタ184及び発光ダイオード300を支持する基板（第1の支持基板）である。第1の基板101は第1の面101a及び第1の面101aに対向する第2の面101bを含む。バッファ層120、発光ダイオード300、絶縁層380、絶縁層117、絶縁層136、第2のトランジスタ184b、絶縁層154、導電層152a、152b及び152c、絶縁層118、絶縁層119、開口619a及び619bは、第1の面101a上に配置される。また、色変換層115は第2の面101b上に配置される。
- [0042] 下地層110は第1の基板101上に配置される。バッファ層120は下地層110上に配置される。
- [0043] 発光ダイオード300はバッファ層120上に配置される。発光ダイオード300は、窒化ガリウム層310、n型半導体層320、発光層330、p型半導体層340、n型電極350及びp型電極360を含む。
- [0044] 窒化ガリウム層310はバッファ層120上に配置される。n型半導体層320は窒化ガリウム層310上に配置される。発光層330は、n型半導体層320上に配置される。p型半導体層340は、発光層330上に配置される。n型電極350はn型半導体層320上に配置される。p型電極360はp型半導体層340上に配置される。
- [0045] 絶縁層116が発光ダイオード300を覆うように配置される。具体的には、絶縁層116は、バッファ層120の表面の一部、窒化ガリウム層310の側面、n型半導体層320の側面及び表面の一部、発光層330の側面、p型半導体層340の側面及び表面の一部に配置される。
- [0046] また、発光ダイオード300は、所謂、マイクロLED又はミニLEDである。しかしながら、発光ダイオード300は、表示装置10に示されるLEDに限定されない。なお、マイクロLEDの一辺の長さは100 μ m以下であり、ミニLEDの一辺の長さは100 μ mより長い。
- [0047] 絶縁層380は、バッファ層120の表面の一部、発光ダイオード300

0 及び絶縁層 116 を覆うように配置される。絶縁層 117 は絶縁層 380 上に配置される。絶縁層 380 は第 1 の平坦化膜と呼ばれる場合がある。

[0048] 第 2 の接続導電層 370a は開口 372a (図 10 を参照) 及び n 型電極 350 と接し、開口 372a を介して n 型電極 350 と電氣的に接続される。第 2 の接続導電層 370b は開口 372b (図 10 を参照) 及び p 型電極 360 と接し、開口 372b を介して p 型電極 360 と電氣的に接続される。なお、開口 372a 及び 372b が絶縁層 117 及び 380 に形成されるため、第 2 の接続導電層 370a は開口 372a の側壁となる絶縁層 117 及び 380 と接し、第 2 の接続導電層 370b は 372b の側壁となる絶縁層 117 及び 380 と接する。

[0049] 絶縁層 136 は絶縁層 117 上に配置される。また、絶縁層 136 は、第 2 の接続導電層 370a 及び 370b の表面上に配置される。例えば、絶縁層 136 は下地層である。

[0050] トランジスタ 184 は絶縁層 136 上に配置される。トランジスタ 184 は、導電層 138、ゲート絶縁層 140、酸化物半導体層 142、ソース電極 144a 及びドレイン電極 144b を含む。図 5 に示されるトランジスタ 184 は、一例として、第 2 のトランジスタ 184b である。

[0051] 導電層 138 は絶縁層 136 上に配置される。導電層 138 はゲート電極として機能する。例えば、図 5 に示される導電層 138 はゲート電極 2G である。

[0052] ゲート絶縁層 140 は、導電層 138 上及び絶縁層 136 の表面上に配置される。

[0053] 酸化物半導体層 142 はゲート絶縁層 140 上に配置される。酸化物半導体層 142 はトランジスタ 184 のチャンネルに用いられる。

[0054] ソース電極 144a 及びドレイン電極 144b は、酸化物半導体層 142 上及びゲート絶縁層 140 上に、互いに離間して、配置される。ソース電極 144a 及びドレイン電極 144b は、酸化物半導体層 142 と電氣的に接続される。表示装置 10 のソース電極 144a 及びドレイン電極 144b は

酸化物半導体層 142 と直接接して接続される。なお、画素 180 に含まれるソース電極、ドレイン電極及びソース電極及びドレイン電極と同一層に形成される配線の説明において、ソース電極、ドレイン電極及び当該配線を区別しない場合には、ソース電極、ドレイン電極及び当該配線は導電層 144 と記載され、ソース電極、ドレイン電極及び当該配線を区別する場合には、ソース電極、ドレイン電極及び当該配線はソース電極 144 a、ドレイン電極 144 b などと個別の符号が付与される。

[0055] 絶縁層 146 は、ソース電極 144 a 及びドレイン電極 144 b 上、酸化物半導体層 142 の表面の一部の上、及びゲート絶縁層 140 の一部の上に配置される。すなわち、絶縁層 146 は、トランジスタ 184 を覆うように配置される。絶縁層 154 は、絶縁層 146 上に配置される。すなわち、絶縁層 154 はトランジスタ 184 を覆うように配置される。

[0056] 導電層 152 a は、開口 151 a (図 13 を参照) 及び第 2 の接続導電層 370 a と接し、開口 151 a を介して第 2 の接続導電層 370 a と電氣的に接続される。導電層 152 b は、開口 151 b (図 13 を参照) 及び第 2 の接続導電層 370 b と接し、開口 151 b を介して第 2 の接続導電層 370 b と電氣的に接続される。また、導電層 152 b は、開口 151 d (図 13 を参照) 及びソース電極 144 a と接し、開口 151 d を介してソース電極 144 a と電氣的に接続される。導電層 152 c は、開口 151 c (図 13 を参照) 及びドレイン電極 144 b と接し、開口 151 c を介してドレイン電極 144 b と電氣的に接続される。なお、開口 151 a 及び 151 b が、絶縁層 136、ゲート絶縁層 140、絶縁層 146 及び 154 に形成されるため、導電層 152 a 及び 152 b は開口 151 a 及び 151 b の側壁となる絶縁層 136、ゲート絶縁層 140、絶縁層 146 及び 154 と接する。開口 151 c 及び 151 d が絶縁層 146 及び 154 に形成されるため、導電層 152 b 及び 152 c は、開口 151 c 及び 151 d の側壁となる絶縁層 146 及び 154 と接する。

[0057] 絶縁層 118 は、絶縁層 154、導電層 152 a、152 b 及び 152 c

上に配置される。すなわち、絶縁層 118 は、導電層 152 a、152 b 及び 152 c を覆うように配置される。絶縁層 119 は絶縁層 118 上に配置される。

[0058] 開口 619 a 及び 619 b が絶縁層 118 及び 119 に形成される。導電性接続部材 620 a が開口 619 a 及び導電層 152 a に接するように配置され、導電性接続部材 620 a は導電層 152 a に電氣的に接続される。導電性接続部材 620 b が開口 619 b 及び導電層 152 c に接するように配置され、導電性接続部材 620 b は導電層 152 c に電氣的に接続される。導電性接続部材 620 a 及び 620 b は導電体（第 1 の導電体及び第 2 の導電体）と呼ばれる場合がある。

[0059] 接着樹脂材 610 がバッファ層 120 上に配置される。接着樹脂材 610 は、断面視において、発光ダイオード 300 及びトランジスタ 184 の周囲の少なくとも一部を取り囲むように形成される。

[0060] 第 2 の基板 201 は、複数の端子 150、複数の走査信号線 129、複数のデータ信号線 131、グラウンド配線 145 及び駆動電位線 147 を支持する基板（第 2 の支持基板）である。第 2 の基板 201 は第 1 の面 201 a 及び第 1 の面 201 a に対向する第 2 の面 201 b を含む。下地層 210、導電層 238 a 及び 238 b、第 1 の接続導電層 244 a 及び 244 b、絶縁層 240 及び絶縁層 246 は、第 1 の面 201 a 上に配置される。

[0061] 下地層 210 は第 2 の基板 201 上に配置される。下地層 210 は、第 2 の基板 201 からの不純物又は外部からの不純物（例えば、水分又はナトリウム（Na）など）の拡散を防止することができる。

[0062] 導電層 238 a 及び 238 b は下地層 210 上に配置される。導電層 238 a は走査信号線 129 として機能する。導電層 238 b は駆動電位線 147 a として機能する。

[0063] 絶縁層 240 は、導電層 238 a 及び 238 b 上に配置される。すなわち、絶縁層 240 は、複数の走査信号線 129 及び駆動電位線 147 a を覆うように配置される。また、絶縁層 240 には開口 243 が形成される。

- [0064] 第1の接続導電層244aが絶縁層240上に配置される。また、第1の接続導電層244bが絶縁層240の開口243において導電層238bの上に配置され、導電層238bと電氣的に接続される。第1の接続導電層244a及び244bは異なる層上に同一の工程で形成される。例えば、第1の接続導電層244aは、図4に示されるように、第2方向D2に延在すると共に、第1方向D1に分岐し延在する。図示は省略されるが、第1の接続導電層244aは、絶縁層240と重畳するように配置される。例えば、第1の接続導電層244bは、図3に示されるように、第1方向D1及び第2方向D2に延在する。第1の接続導電層244bは、絶縁層240と重畳するように配置されてよい。
- [0065] 絶縁層246は、絶縁層240、第1の接続導電層244a及び244bの上に配置される。詳細は後述されるが、絶縁層246は、化学的機械研磨（Chemical Mechanical Polishing、CMP）を用いて研磨され、平坦化される。その結果、絶縁層246が第1の接続導電層244a及び244bの上から取り除かれ、絶縁層240の一部、第1の接続導電層244a及び244bがバックプレーンの表面に露出する。
- [0066] 例えば、複数の端子150は、導電層238及び第1の接続導電層244を用いて形成される。また、第1の接続導電層244の上の絶縁層240は開口され、第1の接続導電層244の上の絶縁層246はCMPを用いて研磨され、表面の露出された第1の接続導電層244がFPC300と電氣的に接続される。
- [0067] アレイ基板100の第1の面101aはバックプレーン200の第1の面201aと対向し、アレイ基板100はバックプレーン200に貼り合わされる。具体的には、アレイ基板100とバックプレーン200とは、接着樹脂材610によって、貼り合わされる。その結果、アレイ基板100は、導電性接続部材620a及び620bによって、バックプレーン200と電氣的に接続される。具体的には、アレイ基板100の導電層152aが、導電性接続部材620aを介して、バックプレーン200の第1の接続導電層2

44aと電氣的に接続され、アレイ基板100の導電層152cが、導電性接続部材620bを介して、バックプレーン200の第1の接続導電層244b電氣的に接続される。例えば、このとき、導電層238b及び第1の接続導電層244bが第2のトランジスタ184bと重畳してよい。導電層238b（第1の接続導電層244b）と酸化物半導体層142とが、絶縁層119、118、154及び146を介して、容量素子188を形成することができる。

[0068] 表示装置10の発光ダイオード300及び発光ダイオード300を駆動するための複数のトランジスタ184は、同一の第1の基板101上に形成することができる。発光ダイオード300と発光ダイオード300を駆動するための第2のトランジスタ184bとは、同一の第1の基板101上で電氣的に接続される。その結果、表示装置10は、発光ダイオード及び発光ダイオードを駆動するためのトランジスタを含む画素ICチップ181をバックプレーンに転写することにより形成される。すなわち、画素ICチップ内の接触面積の小さな駆動トランジスタとLED接続部分では安定なアレイプロセスを利用し、接触面積の大きなバックプレーンと画素ICチップとの接続部分では転写プロセスを利用することによって、発光ダイオードとトランジスタとのコンタクト抵抗値を安定させることができる。よって、第2のトランジスタ184bによって発光ダイオード300に供給される電流が安定するため、表示装置10は、画素180の発光特性及び温度特性の低下を抑制することができる。

[0069] [1-5. 表示装置10の製造方法の一例]

図6～図21を参照し、表示装置10の製造方法の一例を説明する。図6は、アレイ基板100の発光ダイオード300の製造方法の一例を示すフローチャートである。図7～図10は、アレイ基板100の製造過程における断面構造の一例を示す断面図である。図11は、アレイ基板100のトランジスタ184の製造方法の一例を示すフローチャートである。図12～図15は、アレイ基板100の製造過程における断面構造の一例を示す断面図で

ある。図16は、アレイ基板100の製造方法の一例を示す平面図である。図17は、図16に示される平面を拡大した図である。図18は、バックプレーン200の製造方法の一例、及び、画素ICチップ181とバックプレーン200との張り合わせ方法の一例を示すフローチャートである。図19～20は、バックプレーン200の製造過程における断面構造の一例を示す断面図である。図21は、表示装置10の製造過程における断面構造の一例を示す断面図である。図1～図5と同一、又は類似する構成については、必要に応じて説明する。

[0070] はじめに、図6～図17を参照し、アレイ基板100及び画素ICチップ181の製造方法を説明する。アレイ基板100及び画素ICチップ181の製造方法は、ステップS110～S380を含む。アレイ基板100及び画素ICチップ181の製造方法は、サファイア基板又は非晶質ガラス基板などの第1の基板101を支持基板として用いる。

[0071] ステップS110は、第1の基板101の第1の面101a上に、第1の面101aに接するように下地層110を形成するステップである（図6及び図7を参照）。例えば、下地層110はスパッタリングを用いて形成される。下地層110は、単層であってよく、積層であってもよい。例えば、下地層110は、窒化シリコン（SiNx）膜を単層として用いてよく、酸化シリコン（SiOx）膜と窒化シリコン（SiNx）膜との積層を用いてもよい。下地層110は、第1の基板101からの不純物又は外部からの不純物（例えば、水分又はナトリウム（Na）など）が下地層110に積層された層へ拡散することを防止することができる。

[0072] ステップS120は、下地層110上に下地層110に接するようにバッファ層120を形成するステップである（図6及び図7を参照）。例えば、バッファ層120はスパッタリングを用いて形成される。バッファ層120は、単層であってよく、積層であってもよい。また、バッファ層120は、第1の基板101に対してc軸配向してよい。バッファ層120を設けることにより、発光ダイオード300の窒化ガリウム層310の

結晶性を向上させることができる。発光ダイオード300の発光層330から発せられた光は、バッファ層120を透過して外部へ出射される。そのため、バッファ層120は、透光性を有する。例えば、バッファ層120は、窒化アルミニウム（AlN）膜などの透光膜を用いることができる。

[0073] ステップS130～S200は、発光ダイオード300を形成するステップである（図6及び図7を参照）。

[0074] ステップS130は、バッファ層120上に、バッファ層120に接するように窒化ガリウム（GaN）膜を成膜するステップである。ステップS140は、窒化ガリウム膜上に、窒化ガリウム膜に接するようにシリコン（Si）をドーピングした窒化ガリウム膜を成膜するステップである。ステップS150は、シリコンをドーピングした窒化ガリウム膜上に、シリコンをドーピングした窒化ガリウム膜に接するように、窒化インジウムガリウム（InGaN）膜と窒化ガリウム膜とが交互に積層された積層膜を成膜するステップである。ステップS160は、窒化インジウムガリウム膜と窒化ガリウム膜とが交互に積層された積層膜上に、マグネシウム（Mg）をドーピングした窒化ガリウム膜を成膜するステップである。ステップS130～S160は、スパッタリングを用いて、各膜を成膜するステップである。

[0075] ステップS170は、フォトリソグラフィ及びエッチングを用いて、窒化ガリウム層310、n型半導体層320、発光層330及びp型半導体層340を形成するステップである。窒化ガリウム層310は、ステップS130で成膜された窒化ガリウム膜を含む。窒化ガリウム層310はバッファ層120に接しているため、窒化ガリウム層310の結晶成長はバッファ層120によって制御される。具体的には、窒化ガリウム層310は第1の基板101に対してc軸配向した窒化ガリウム（GaN）膜を含む。n型半導体層320は、ステップS140で成膜されたシリコンをドーピングした窒化ガリウム膜を含む。n型半導体層320の表面の一部は、エッチングされ、露出される。発光層330は、ステップS150で成膜された、窒化インジウムガリウム膜と窒化ガリウム膜とが交互に積層された積層膜を含む。p

型半導体層 340 は、ステップ S 160 で成膜されたマグネシウムをドーピングした窒化ガリウム膜を含む。

[0076] ステップ S 180 は、バッファ層 120 の表面の一部、窒化ガリウム層 310 の側面、n 型半導体層 320 の側面及び表面の一部、発光層 330 の側面、p 型半導体層 340 の側面及び表面の一部を覆うと共に接するように、絶縁層 116 を形成するステップである（図 6 及び図 8 を参照）。例えば、絶縁層 116 は、スパッタリングを用いて、酸化アルミニウム（AlO）膜を成膜し、フォトリソグラフィー及びエッチングを用いて形成される。酸化アルミニウム（AlO）膜は水素や水などへの耐性が高いため、絶縁層 116 は、発光ダイオード 300 を保護する保護膜として機能する。具体的には、絶縁層 116 は、水素や水などが発光ダイオード 300 に侵入すること、及び、水素や水などが発光ダイオード 300 内部に拡散することを防止することができる。また、例えば、絶縁層 116 の屈折率が、酸化シリコン（SiO_x）膜の屈折率より大きい窒化シリコン（SiN）の場合には、絶縁層 116 は、発光ダイオード 300 からの出射光を反射することができる。その結果、絶縁層 116 は、発光ダイオード 300 からの出射光に基づくトランジスタ 184 の電気特性の変動を抑制できる。

[0077] ステップ S 190 は、p 型半導体層 340 上に p 型電極 360 を形成するステップである。ステップ S 190 の具体的な一例が以下で説明される。フォトリソグラフィー及びエッチングを用いて、絶縁層 116 の一部が開口され、p 型半導体層 340 の一部が露出される。また、スパッタリングを用いてパラジウム（Pd）又は金（Au）などの金属膜あるいはニッケル（Ni）と金（Au）とを積層した金属などの積層金属膜が、p 型半導体層 340 の一部の上及び絶縁層 116 の上に成膜され、フォトリソグラフィー及びエッチングを用いて、p 型電極 360 が p 型半導体層 340 上に形成される。p 型電極 360 はパラジウム又は金などの金属膜あるいはニッケル（Ni）と金（Au）とを積層した金属などの積層金属膜を含む。p 型電極 360 が p 型半導体層 340 に電氣的に接続される。

[0078] ステップS200は、n型半導体層320上にn型電極350を形成するステップである。ステップS200の具体的な一例が以下で説明される。フォトリソグラフィー及びエッチングを用いて、絶縁層116の一部が開口され、n型半導体層320の一部が露出される。また、スパッタリングを用いてインジウム（In）などの金属膜あるいはチタン（Ti）とアルミニウムチタン（AlTi）と金（Au）とを積層した金属などの積層金属膜が、n型半導体層320の一部の上及び絶縁層116の上に成膜され、フォトリソグラフィー及びエッチングを用いて、n型電極350がn型半導体層320の上に形成される。n型電極350はインジウムなどの金属膜あるいはチタンとアルミニウムチタンと金とを積層した金属などの積層金属膜を含む。n型電極350がn型半導体層320に電氣的に接続される。

[0079] n型電極350とp型電極360とは、絶縁層116によって、互いに絶縁される。すなわち、n型電極350とp型電極360とは、絶縁層116によって、ショートされない。

[0080] なお、ステップS200とステップS190の順番が入れ替わってもよい。また、ステップS190とステップS200と同様の製造方法によって、p型電極360及びn型電極350が形成された後に、ステップS180と同様の製造方法によって絶縁層116が形成されてもよい。

[0081] 以上説明したとおり、発光ダイオード300が形成される。

[0082] ステップS210は、バッファ層120の表面の一部、発光ダイオード300及び絶縁層116を覆うように、絶縁層380を形成するステップである（図6及び図9参照）。また、ステップS210は、絶縁層380上に絶縁層117を形成するステップである（図6及び図9参照）。具体的には、絶縁層380が、基板表面に膜を塗布する装置（塗布装置）を用いてバッファ層120の表面の一部、発光ダイオード300及び絶縁層116を覆うように成膜され、絶縁層117がスパッタリングを用いて絶縁層380の上に成膜される。絶縁層380及び絶縁層117が、フォトリソグラフィー及びエッチングを用いて形成される。その結果、複数の発光ダイオード300

0のそれぞれの周囲には、溝189が形成される。詳細は後述されるが、複数の発光ダイオード300のそれぞれは、溝189によって、個片化可能となっている。例えば、塗布装置としてスピンコーターあるいはスリットコーターを用いることができる。

[0083] 例えば、絶縁層380は、アクリル樹脂膜又はポリイミド樹脂膜などの有機絶縁膜を用いることができる。絶縁層380は、有機絶縁膜を含むため、発光ダイオード300及び絶縁層116に基づく凹凸を平坦化することができる。絶縁層380は、単層であってよく、積層であってもよい。絶縁層380が積層膜である場合には、有機絶縁膜だけでなく、酸化シリコン(SiO_x)膜又は窒化シリコン(SiN_x)膜などの無機絶縁膜を含んでもよい

[0084] 絶縁層117は絶縁層116と同様の材料を用いて形成される。例えば、絶縁層117は酸化アルミニウム(AlO)膜を用いて形成される。絶縁層117は、絶縁層116と同様に、水素や水などが絶縁層380及びトランジスタ184に侵入すること、及び、水素や水などが絶縁層380及びトランジスタ184内部に拡散することを防止することができる。また、絶縁層117の屈折率が、酸化シリコン(SiO_x)の屈折率より大きい場合には、絶縁層117は、絶縁層116と同様に、発光ダイオード300からの出射光を反射することができる。その結果、絶縁層117は、絶縁層116と同様に、発光ダイオード300からの出射光に基づくトランジスタ184の電気特性の変動を抑制できる。

[0085] ステップS220は、フォトリソグラフィー及びエッチングを用いて、開口372b及び開口372aを形成するステップである(図6及び図10参照)。開口372aは、開口372aの側壁となる絶縁層117及び380、並びに、n型電極350の表面の一部を露出させる。開口372bは、開口372bの側壁となる絶縁層117及び380、並びに、p型電極360の表面の一部を露出させる。

[0086] ステップS230は、第2の接続導電層370a及び370bを成膜及び形成するステップである(図6及び図10参照)。ステップS230は、ス

パッタリングを用いて、開口３７２ aの側壁となる絶縁層１１７及び３８０、n型電極３５０の表面の一部、開口３７２ bの側壁となる絶縁層１１７及び３８０、並びに、p型電極３６０の表面の一部に、導電膜を成膜する。また、ステップＳ２３０は、フォトリソグラフィー及びエッチングを用いて、開口３７２ aの側壁となる絶縁層１１７及び３８０、並びに、n型電極３５０の表面の一部に、第２の接続導電層３７０ aを形成し、開口３７２ bの側壁となる絶縁層１１７及び３８０、並びに、p型電極３６０の表面の一部に、第２の接続導電層３７０ bを形成する。導電膜は、第２の接続導電層３７０ a及び３７０ bを含む。例えば、導電膜は、アルミニウム及びチタンの積層金属膜（Al/Ti膜）などを用いることができる。第２の接続導電層３７０ aはn型電極３５０に電氣的に接続され、第２の接続導電層３７０ bはp型電極３６０に電氣的に接続される。

[0087] ステップＳ２４０は、絶縁層１１７、第２の接続導電層３７０ a及び３７０ bの表面上に、絶縁層１１７、第２の接続導電層３７０ a及び３７０ bに接するように絶縁層１３６を形成するステップである（図１１及び図１２を参照）。例えば、絶縁層１３６は下地層１１０と同様の材料を用いて、下地層１１０と同様に形成することができる。

[0088] ステップＳ２５０～Ｓ３１０は、トランジスタ１８４を形成するステップである（図１１～図１３を参照）。

[0089] ステップＳ２５０は、スパッタリングを用いて、絶縁層１３６上に絶縁層１３６に接するように、導電層１３８を成膜するステップである。例えば、導電層１３８は、一般的な金属を含む金属膜を用いて、形成される。例えば、一般的な金属は、アルミニウム（Al）、チタン（Ti）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、モリブデン（Mo）、ハフニウム（Hf）、タンタル（Ta）、タングステン（W）、ビスマス（Bi）、銀（Ag）、銅（Cu）を含む金属膜、これらの合金又は化合物が用いられる。導電層１３８は、単層であってよく、積層であってもよい。

[0090] ステップＳ２６０は、フォトリソグラフィー及びエッチングを用いて、ス

トップS 250で成膜された導電層138を加工し、ゲート電極及び配線を形成するステップである。導電層138は、ゲート電極1G、2G及び3Gとして機能する。例えば、図12に示される導電層138はゲート電極2Gである。

[0091] ステップS270は、スパッタリングを用いて、導電層138上及び絶縁層136の表面上に、導電層138上及び絶縁層136に接するように、ゲート絶縁層140を成膜するステップである。例えば、ゲート絶縁層140は、酸化シリコン(SiO_x)を用いることができる。

[0092] ステップS280は、スパッタリングを用いて、ゲート絶縁層140上に、ゲート絶縁層140に接するように、酸化物半導体層142を成膜するステップである。例えば、酸化物半導体層142は、半導体の特性を有する金属酸化物を用いることができる。具体的には、インジウム、ガリウム(Ga)、亜鉛(Zn)及び酸素(O)を含む酸化物半導体、インジウム、スズ(Sn)、亜鉛及び酸素を含む酸化物半導体などを用いることができる。なお、酸化物半導体層142はアモルファスであってよく、結晶であってよい。また、酸化物半導体層142はアモルファスと結晶とを含んでもよい。

[0093] ステップS290は、フォトリソグラフィー及びエッチングを用いて、ステップS280で成膜された酸化物半導体層142を加工し、複数のトランジスタ184のそれぞれの半導体層に用いられる酸化物半導体層142を形成するステップである。酸化物半導体層142は、トランジスタ184のチャネルとして機能する。例えば、図12に示される酸化物半導体層142は第2のトランジスタ184bのチャネルとして機能する。

[0094] ステップS300は、スパッタリングを用いて、酸化物半導体層142上及びゲート絶縁層140の一部の上に、酸化物半導体層142上及びゲート絶縁層140の一部に接するように、導電層144を成膜するステップである。例えば、導電層144は、導電層138と同様の材料を用いて、導電層138と同様に形成することができる。

[0095] 例えば、導電層144は、チタンを含む層及びアルミニウムを含む層の積

層構造を含む。具体的には、導電層 144 は、チタン又は窒化チタン (TiN)、アルミニウムを順に積層した 3 層構造 (Ti/Al/Ti 又は TiN/Al/TiN など) を含んでよい。また、導電層 144 は、チタンまたは窒化チタン (TiN)、アルミニウムを順に積層した 5 層構造 (TiN/Ti/Al/TiN/Ti など) を含んでもよい。導電層 144 がチタン又は窒化チタンを用いた層の積層構造を含む場合には、導電層 144 が酸化物半導体層 142 と接する層に、チタン又は窒化チタンを用いた層を用いることが好ましい。チタン及び窒化チタンの水素吸蔵性は高く、導電層 144 は酸化物半導体層 142 を保護する保護膜として機能する。導電層 144 にチタン及び窒化チタンを用いることによって、表示装置 10 の製造工程における熱処理によって、導電層 138 は、導電層 138 と接する層から排出される水素を吸蔵し、酸化物半導体層 142 への水素の拡散を抑制することができる。

[0096] ステップ S310 は、フォトリソグラフィー及びエッチングを用いて、ステップ S300 で成膜された導電層 144 を加工し、ソース電極、ドレイン電極及び配線を形成するステップである。導電層 144 は、ソース電極、ドレイン電極又は配線として機能する。例えば、図 12 に示される導電層 144 はソース電極 144a 及びドレイン電極 144b である。ソース電極 144a 及びドレイン電極 144b は、同一層に形成され、酸化物半導体層 142 上及びゲート絶縁層 140 の一部の上に、互いに離間して配置される。

[0097] 以上説明したとおり、トランジスタ 184 が形成される。

[0098] ステップ S320 は、スパッタリングを用いて、導電層 144 上及びゲート絶縁層 140 の一部の上に、導電層 144 上及びゲート絶縁層 140 に接するように絶縁層 146 を成膜し、絶縁層 146 の上に絶縁層 146 に接するように絶縁層 154 を形成するステップである。例えば、絶縁層 146 は、ゲート絶縁層 140 と同様の材料を用いて、ゲート絶縁層 140 と同様に形成することができる。また、絶縁層 154 は、絶縁層 380 と同様の材料を用いて、絶縁層 380 と同様に形成することができる。絶縁層 154 は、

絶縁層 380 と同様に、トランジスタ 184 及び絶縁層 146 に基づく凹凸を平坦化することができる。

[0099] ステップ S330 は、フォトリソグラフィー及びエッチングを用いて、開口 151a～151d を形成するステップである。開口 151a は、開口 151a の側壁となる絶縁層 136、ゲート絶縁層 140、絶縁層 146 及び 154、並びに、第 2 の接続導電層 370a の表面の一部を露出させる。開口 151b は、開口 151b の側壁となる絶縁層 136、ゲート絶縁層 140、絶縁層 146 及び 154、並びに、第 2 の接続導電層 370b の表面の一部を露出させる。開口 151c は、開口 151c の側壁となる絶縁層 146 及び 154、並びに、ドレイン電極 144b の表面の一部を露出させる。開口 151d は、開口 151d の側壁となる絶縁層 146 及び 154、並びに、ソース電極 144a の表面の一部を露出させる。

[0100] ステップ S340 は、導電膜を成膜し、バンプを形成するステップである。導電層 152a～152c は当該導電膜を含み、導電層 152a 及び 152c はバンプとして機能し、導電層 152b は配線として機能する。具体的には、ステップ S340 は、スパッタリング及び電気化学メッキ（ECP）を用いて、絶縁層 154、開口 151a の側壁となる絶縁層 136、ゲート絶縁層 140、絶縁層 146 及び 154、並びに、第 2 の接続導電層 370a の表面の一部に導電膜を成膜する。また、ステップ S340 は、スパッタリング及び電気化学メッキ（ECP）を用いて、開口 151b の側壁となる絶縁層 136、ゲート絶縁層 140、絶縁層 146 及び 154、並びに、第 2 の接続導電層 370b の表面の一部に導電膜を成膜し、開口 151c の側壁となる絶縁層 146 及び 154、並びに、ドレイン電極 144b の表面の一部に導電膜を成膜し、開口 151d の側壁となる絶縁層 146 及び 154、並びに、ソース電極 144a の表面の一部に導電膜を成膜する。さらに、ステップ S340 は、フォトリソグラフィー及びエッチングを用いて、絶縁層 154 の一部、開口 151a の側壁となる絶縁層 136、ゲート絶縁層 140、絶縁層 146 及び 154、並びに、第 2 の接続導電層 370a の表面

の一部に導電層 152a を形成する。また、ステップ S340 は、導電層 152a の形成と同様に、絶縁層 154 の一部、開口 151b の側壁となる絶縁層 136、ゲート絶縁層 140、絶縁層 146 及び 154、並びに、第 2 の接続導電層 370b の表面の一部、開口 151d の側壁となる絶縁層 146 及び 154、並びに、ソース電極 144a の表面の一部に導電層 152b を形成する。また、開口 151c の側壁となる絶縁層 146 及び 154、並びに、ドレイン電極 144b の表面の一部に導電層 152c を形成する。

[0101] 例えば、ステップ S340 で成膜される導電膜は、水素吸蔵金属を用いることができる。例えば、水素吸蔵金属は、銅、チタン、ジルコニウム (Zr)、ジルコニウム (Zr)、パラジウム (Pd)、マグネシウム (Mg)、マンガン (Mn)、及びこれら金属の少なくとも一つを含む合金である。すなわち、導電層 152 は、水素吸蔵金属を含む。例えば、水素吸蔵金属の少なくとも一つの金属を含む導電層は、マンガン及び銅で構成される導電層を用いることができる。導電層 152 は、マンガン及び銅を含む層で構成される導電層を用いることによって、導電層 152 と、導電層 152 に接する絶縁層との間に、酸化マンガン (MnO) が形成される。その結果、表示装置 10 は、導電層 152 に接する絶縁層への銅の拡散を抑制すると共に、導電層 152 に接する絶縁層から排出される水素を吸蔵し、酸化物半導体層 142 を有するトランジスタ 184 の電気特性の低下を抑制することができる。また、導電層 152 は、ECP を用いて形成されるため、導電層 138 及び導電層 144 より厚く形成することができる。よって、導電層 152 を含む信号線、電位線及び配線の抵抗値を小さくすることができる。

[0102] ステップ S350 は、絶縁層 154 の表面の一部及び導電層 152a ~ 152c を覆うように、絶縁層 118 を形成するステップである (図 11 及び図 14 参照)。また、ステップ S350 は、絶縁層 118 上に絶縁層 119 を形成するステップである (図 11 及び図 14 参照)。具体的には、絶縁層 118 がスパッタリングを用いて絶縁層 154 の表面の一部及び導電層 152a ~ 152c の上に成膜され、絶縁層 119 が基板表面に膜を塗布する装

置（塗布装置）を用いて絶縁層１１８の上に成膜される。絶縁層１１８及び絶縁層１１９が、フォトリソグラフィー及びエッチングを用いて形成される。その結果、ステップＳ２１０と同様に、複数の発光ダイオード３００のそれぞれの周囲には、溝１８９が形成される。

[0103] 例えば、絶縁層１１８は絶縁層１１６と同様の材料を用いて形成され、絶縁層１１９は絶縁層３８０と同様の材料を用いて形成される。例えば、絶縁層１１８は酸化アルミニウム（ＡｌＯ）膜を用いて形成される。絶縁層１１８は、絶縁層１１６と同様に、水素や水などが絶縁層１５４及びトランジスタ１８４に侵入すること、及び、水素や水などが絶縁層１５４及びトランジスタ１８４内部に拡散することを防止することができる。その結果、絶縁層１１９は、絶縁層１１６と同様に、水素や水などに基づくトランジスタ１８４の電気特性の変動を抑制できる。また、絶縁層１１９は、絶縁層３８０と同様に、絶縁層１１８、導電層１５２ａ、１５２ｂ及び１５２ｃに基づく凹凸を平坦化することができる。

[0104] ステップＳ３６０は、フォトリソグラフィー及びエッチングを用いて、開口６１９ａ及び６１９ｂを形成するステップである。開口６１９ａは、開口６１９ａの側壁となる絶縁層１１８及び１１９、並びに、導電層１５２ａの表面の一部を露出させる。開口６１９ｂは、開口６１９ｂの側壁となる絶縁層１１８及び１１９、並びに、導電層１５２ｃの表面の一部を露出させる。また、ステップＳ２１０と同様に、複数の発光ダイオード３００のそれぞれの周囲には、溝１８９が形成される。

[0105] ステップＳ３７０は、色変換層１１５を、第１の基板１０１の第２の面１０１ｂに形成するステップである。ここでは、図１１、及び図１５～図１７を参照し、ステップＳ３７０が説明される。図１６に示されるように、アレイ基板１００の第２の面１０１ｂ側は、周辺領域１５６及び画素チップ領域１８５と重畳する。周辺領域１５６は、複数のアライメントマーカー１５７と重畳し、複数のアライメントマーカー１５７を含む。画素チップ領域１８５は、バンク領域１５５、複数の画素ＩＣチップ１８１及び溝１８９と重畳

し、バンク領域155、複数の画素ICチップ181及び溝189（図17を参照）を含む。バンク領域155はバンク155aを含む。複数のアライメントマーカ157は、複数の画素ICチップ181を個片化する際に使用される。ステップS370の具体的なステップは、塗布装置を用いて、アクリル樹脂を塗布し、フォトリソグラフィー及びエッチングを用いて、第2の面101b上に、複数のアライメントマーカ157及びバンク155aを形成する。また、例えば、色変換層115は、塗布装置を用いて、バンク155aの内側の画素チップ領域185と重畳するように塗布される。バンク155aは、色変換層115がバンク155aの外側（周辺領域156）に漏れることを堰き止める機能を有する。すなわち、バンク155aによって、色変換層115がバンク155aの外側に漏れることを抑制できる。

[0106] 例えば、色変換層115は、量子ドットを含む。例えば、色変換層115は、発光ダイオード300が発する青色光を赤色光に変換する量子ドットを含んでよく、発光ダイオード300が発する青色光を緑色光に変換する量子ドットを含んでよく、その両方を含んでもよい。青色光を赤色光に変換する量子ドット又は緑色光に変換する量子ドットの何れか一方が各画素180に塗布されるように形成されてもよい。

[0107] 以上説明したとおり、アレイ基板100が形成される。

[0108] ステップS380は、複数の画素ICチップ181を含むアレイ基板100を、個々の画素チップIC181に個片化するステップである。具体的な例として、アレイ基板100は、アライメントマーカ157（図16を参照）を基準にして、レーザーを用いて、個々の画素チップIC181に個片化される。このとき、レーザーは、アライメントマーカ157を基準にして、溝189に沿って、アレイ基板100を個々の画素ICチップ181に個片化する。図17に示されるように、アレイ基板100は、画素ICチップ181の第1方向D1の長さが長さTWとなり、画素ICチップ181の第2方向D2の長さが長さTHとなるように、個片化される。

[0109] 以上説明したとおり、画素ICチップ181が形成される。

- [0110] 次に、図18～図21を参照し、バックプレーン200の製造方法、及び、画素ICチップ181とバックプレーン200の貼り合わせの方法を説明する。バックプレーン200の製造方法は、ステップS400～S460を含む。バックプレーン200の製造方法は、非晶質ガラス基板などの第2の基板201を支持基板として用いる。
- [0111] ステップS400は、第2の基板201の第1の面201a上に、第1の面201aに接するように下地層210を形成するステップである（図18及び図19を参照）。例えば、下地層210は、ステップS110の下地層110と同様の材料を用いて、同様に形成することができる。下地層210は、下地層110と同様に、第2の基板201からの不純物又は外部からの不純物（例えば、水分又はナトリウム（Na）など）が下地層210に積層された層へ拡散することを防止することができる。
- [0112] ステップS410は、下地層210上に、下地層210に接するように、導電膜を成膜するステップである（図18及び図19を参照）。また、ステップS420は、フォトリソグラフィー及びエッチングを用いて、ステップS410で成膜された導電膜を加工し、複数の走査信号線129、駆動電位線147及び配線を形成するステップである（図18及び図19を参照）。例えば、図19に示される導電層238a及び238bが導電膜を含み、導電層238aは走査信号線129として機能し、導電層238bは駆動電位線147aとして機能する。例えば、導電層238a及び238bは、導電層152a～152cと同様の材料を用いて成膜され、同様に形成することができる。
- [0113] ステップS430は、スパッタリングを用いて、導電層238a及び238b上、並びに、下地層210の表面上に、導電層238a及び238b上、並びに、下地層210に接するように、絶縁層240を成膜するステップである（図18及び図19を参照）。例えば、絶縁層240は、ゲート絶縁層140及び絶縁層146と同様の材料を用いて、ゲート絶縁層140及び絶縁層146と同様に形成することができる。

- [0114] ステップS 4 4 0は、フォトリソグラフィー及びエッチングを用いて、開口2 4 3を形成するステップである（図1 8及び図1 9を参照）。開口2 4 3は、開口2 4 3の側壁となる絶縁層2 4 0及び導電層2 3 8 bの表面の一部を露出させる。
- [0115] ステップS 4 5 0は、絶縁層2 4 0及び導電層2 3 8 bの表面の一部に接するように、導電膜を成膜するステップである（図1 8及び図2 0を参照）。また、ステップS 4 6 0は、フォトリソグラフィー及びエッチングを用いて、ステップS 4 5 0で成膜された導電膜を加工し、複数のデータ信号線1 3 1、グラウンド配線1 4 5、第1の接続導電層2 4 4及び配線を形成するステップである（図1 8及び図2 0を参照）。例えば、図2 0に示される第1の接続導電層2 4 4 a及び2 4 4 bが導電膜を含み、第1の接続導電層2 4 4 aはグラウンド配線1 4 5 aとして機能し、第1の接続導電層2 4 4 bは導電層2 3 8 bと電氣的に接続され、駆動電位線1 4 7 aとして機能する。図示は省略されるが、第1の接続導電層2 4 4 c及び2 4 4 dは、ステップS 4 5 0及びS 4 6 0によって、第1の接続導電層2 4 4 a及び2 4 4 bと同様に形成される。第1の接続導電層2 4 4 c（図3を参照）は、導電層2 3 8 aと電氣的に接続され、走査信号線1 2 9として機能する。第1の接続導電層2 4 4 d（図3を参照）はデータ信号線1 3 1として機能する。例えば、第1の接続導電層2 4 4は、導電層2 3 8 a及び2 3 8 b、導電層1 5 2 a～1 5 2 cと同様の材料を用いて成膜され、同様に形成することができる。図示は省略されるが、第1の接続導電層2 4 4 cは、導電性接続部材6 2 0 a及び導電性接続部材6 2 0 bとは異なる導電性接続部材6 2 0を介して、走査信号線1 2 9に電氣的に接続される。第1の接続導電層2 4 4 cと走査信号線1 2 9とを電氣的に接続する導電性接続部材6 2 0は、導電体（第3の導電体）と呼ばれる場合がある。
- [0116] 例えば、データ信号線1 3 1（第1の接続導電層2 4 4 d）及びグラウンド配線1 4 5 a（第1の接続導電層2 4 4 a）は、銅を用いて形成される。データ信号線1 3 1及びグラウンド配線1 4 5 aの抵抗値を、銅より比抵抗

の大きな材料を用いて形成された配線の抵抗値より小さくすることができる。その結果、銅より比抵抗の大きな材料を用いて形成された配線と比べて、データ信号線 131 に供給される信号の時定数は改善され、グラウンド配線 145a に供給される電位の電荷供給量は増加する。

[0117] 以上説明したとおり、バックプレーン 200 が形成される。

[0118] ステップ S470 は、個片化された画素 IC チップ 181 とバックプレーン 200 とを貼り合わせるステップである。

[0119] ステップ S470 は、個片化された画素 IC チップ 181 とバックプレーン 200 とを貼り合わせるステップである（図 18 及び図 21 を参照）。接着樹脂材 610 が、塗布装置を用いて、バッファ層 120 上に成膜される。また、接着樹脂材 610 が、フォトリソグラフィー及びエッチングを用いて、発光ダイオード 300 及びトランジスタ 184 の周囲の少なくとも一部を取り囲むように形成される。さらに、導電性接続部材 620a 及び 620b が、第 1 の接続導電層 244（ここでは、第 1 の接続導電層 244a 及び 244b）の上に形成される。例えば、導電性接続部材 620a 及び 620b は、半田又は異方性導電膜（ACF）などを用いることができる。さらに、画素 IC チップ 181（アレイ基板 100 の第 1 の面 101a）がバックプレーン 200 の第 1 の面 201a と対向するように配置され、画素 IC チップ 181 とバックプレーン 200 とが、接着樹脂材 610 によって、貼り合わされる。このとき、導電性接続部材 620a 及び 620b は、開口 619a 及び 619b と接し、導電層 152a 及び 152c と電氣的に接続される。すなわち、導電性接続部材 620a は開口 619a を介して発光ダイオード 300 と電氣的に接続され、導電性接続部材 620b は開口 619b を介してトランジスタ 184 と電氣的に接続される。なお、例えば、接着樹脂材 610 は、第 1 の基板 101 上にではなく、第 2 の基板 201 上に形成されてよく、導電性接続部材 620a 及び 620b は、第 1 の接続導電層 244 上にではなく、導電層 152a 及び 152c 上に形成されてよい。

[0120] ステップ S480～S500 は、張り合わされた画素 IC チップ 181 及

びバックプレーン200を圧着し、導電性接続部材620を仮硬化及び本硬化するステップである。表示装置10の製造方法はステップS490及びS500を含むが、表示装置10の製造方法は、ステップS490及びS500のように導電性接続部材620の仮硬化及び本硬化を段階的に行わずに、導電性接続部材620の本硬化のみを行ってもよい。ステップS480～S500によって、画素1Cチップ181（アレイ基板100）の導電層152aが、導電性接続部材620aを介して、バックプレーン200の第1の接続導電層244aと電氣的に接続され、画素1Cチップ181（アレイ基板100）の導電層152cが、導電性接続部材620bを介して、バックプレーン200の第1の接続導電層244bと電氣的に接続される。

[0121] 以上説明したとおり、表示装置10の製造方法は、画素1Cチップ181（アレイ基板100の第1の面101a）とバックプレーン200とを電氣的に接続することができる。その結果、発光ダイオード300及び第1のトランジスタ184a～第3のトランジスタ184cを含む画素1Cチップ181は、バックプレーン200に含まれるデータ信号線131、走査信号線129、グラウンド配線145及び駆動電位線147と電氣的に接続される。

[0122] 発光ダイオードチップが、発光ダイオードを駆動するためのトランジスタを含むバックプレーンに転写され、発光ダイオードとトランジスタとが電氣的に接続される場合には、発光ダイオードチップとトランジスタとのボンディングに応じてコンタクト抵抗値がばらつく可能性がある。そのため、発光ダイオードチップが転写されることでトランジスタと接続される表示装置は、画素の発光特性、温度特性などが低下する虞がある。一方、表示装置10の発光ダイオード300及び発光ダイオード300を駆動するための複数のトランジスタ184は、同一の第1の基板101上に形成することができる。発光ダイオード300と発光ダイオード300を駆動するための第2のトランジスタ184bを含む画素回路182とは、同一の第1の基板101上で電氣的に接続される。その結果、表示装置10は、発光ダイオードと発光

ダイオードを駆動するためのトランジスタを含む画素180をワンチップの画素ICチップ181としてバックプレーンに転写することによって、発光ダイオードとトランジスタとのコンタクト抵抗値を安定させた状態で表示装置として完成させることができる。第2のトランジスタ184bによって発光ダイオード300に供給される電流が安定するため、表示装置10は、画素180の発光特性及び温度特性の低下を抑制することができる。

[0123] また、発光ダイオードを駆動するための複数のトランジスタと発光ダイオードとが同じ工程で形成され同じ層に配置される場合には、発光ダイオードの電気特性は複数のトランジスタの電気特性に依存する。すなわち、発光ダイオードを駆動するための複数のトランジスタ及び発光ダイオードの電気特性を、それぞれのデバイスに対して最適に調整することが困難である。一方、表示装置10の発光ダイオード300を駆動するための複数のトランジスタ184は発光ダイオード300と異なる工程で形成され、異なる層に配置される。その結果、複数のトランジスタ184の構成及び発光ダイオード300の構成を個別に最適化できるため、発光ダイオードを駆動するための複数のトランジスタ及び発光ダイオードの電気特性を、それぞれのデバイスに最適に調整することができる。

[0124] また、例えば、複数のトランジスタ184は酸化物半導体層142を含むため、トランジスタ184のオフ電流及びリーク電流は、アモルファスシリコン又はポリシリコンを含むトランジスタのリーク電流及びオフ電流より小さい。また、酸化物半導体層を用いて形成されるトランジスタのオフ電流の温度特性は、アモルファスシリコン又はポリシリコンを用いて形成されるトランジスタのオフ電流の温度特性より優れている。その結果、表示装置10は、トランジスタ184のリーク電流に起因する発光ダイオード300の電気特性の低下を抑制できる。また、表示装置10は、トランジスタ184のオフ電流及びリーク電流に起因する温度特性の低下を抑制できる。

[0125] さらに、表示装置10は、発光ダイオード300を保護するための保護回路（第3のトランジスタ184c）を第1の基板101上に含む。よって、

例えば、別チップの保護回路を実装する必要が無く、発光ダイオード 300 は第 1 の基板 101 上に形成された保護回路によって保護され、例えば、ESD 耐性を確保できる。

[0126] その結果、表示装置 10 の長期信頼性の低下は抑制される。

[0127] [2. 第 2 実施形態]

図 22～図 31 を参照し、表示装置 20 の構成を説明する。

[0128] [2-1. 表示装置 20 の概要]

図 22 を参照し、表示装置 20 の概要を説明する。図 22 は表示装置 20 の構成を示す模式的な平面図である。図 1～図 21 と同一、又は類似する構成については、必要に応じて説明する。

[0129] 表示装置 20 は、少なくとも、表示装置 10 と比べて、複数の走査信号線駆動回路 104、複数の画素 180A 及び複数の保護回路 460 を含む。また、表示装置 20 は、表示装置 20 のバックプレーン 200 と異なるバックプレーン 200A を含む。複数の走査信号線駆動回路 104 及び複数の保護回路 460 を含む。表示装置 20 のその他の構成は、表示装置 20 の構成と同様である。よって、表示装置 20 の構成は必要に応じて説明する。

[0130] 表示装置 20 は、複数の画素 IC チップ 181、及び、複数の画素 IC チップ 181 と電氣的に接続されたバックプレーン 200A を含む。

[0131] 複数の走査信号線駆動回路 104 は、第 1 の基板 101 上に配置され、周辺領域 121 と重畳する。また、複数の走査信号線駆動回路 104 の一方は、第 1 の辺 191 側に配置され、複数の走査信号線駆動回路 104 の他方は、第 2 の辺 192 側に配置される。複数の走査信号線駆動回路 104 は、複数のトランジスタ 484 を含む。

[0132] 画素 180A に含まれるトランジスタの説明において、トランジスタを区別しない場合には、トランジスタはトランジスタ 484 と記載され、トランジスタを区別する場合には、トランジスタはトランジスタ 484a などと個別の符号が付与される。

[0133] 例えば、端子領域 126 の端子 150 の一部は、接続配線 141 を用いて

、第1の辺191側の走査信号線駆動回路104に電氣的に接続される。例えば、駆動電位線147は、端子領域126の端子150の一部と第2の辺192側の走査信号線駆動回路104との間に配置され、端子領域126の端子150の一部と第2の辺192側の走査信号線駆動回路104と電氣的に接続される。例えば、駆動電位線147a、147b及び147cが第1の辺191側の走査信号線駆動回路104からD1方向に延在し、D1方向に配列された複数の画素180Aに接続される。例えば、走査信号線129a、129b及び129cを含む複数の走査信号線が第2の辺192側の走査信号線駆動回路104に電氣的に接続され、D1方向に延在し、D1方向に配列された複数の画素180Aに接続される。端子150、接続配線141、複数の走査信号線駆動回路104、駆動電位線147、147a、147b及び147c、走査信号線129a、129b及び129cの電氣的な接続は、図22に示された構成に限定されない。例えば、第1の辺191側の走査信号線駆動回路104と第2の辺192側の走査信号線駆動回路104とが第1方向D2に平行な仮想線に対して対象に入れ替わってよく、各配線が入れ替わってもよい。また、駆動電位線147、147a、147b及び147cは、表示装置20と同様に、走査信号線駆動回路104に電氣的に接続されずに、端子150と各画素180Aとの間に直接接続されてもよい。

[0134] 画素180Aは画素1Cチップ181を含む。詳細は後述されるが、画素180Aの積層構造は画素180の積層構造と異なる。具体的には、画素180Aのバックプレーン200Aの積層構造が、画素180のバックプレーン200の積層構造と異なる。

[0135] 詳細は後述されるが、保護回路460が、端子150と各信号線との間に配置される。例えば、保護回路460はデータ信号線131及び端子150と電氣的に接続される。また、例えば、保護回路460は、接続配線141と端子150との間に配置され、保護回路460は接続配線141及び端子150と電氣的に接続される。

[0136] 第2の基板401は、第1の辺191、第1の辺に対向する第2の辺192、第3の辺193、及び第3の辺に対向する第4の辺194を含む。表示領域122及び周辺領域121は、平面視において、第1の辺191、第1の辺に対向する第2の辺192、第3の辺193、及び第3の辺193に対向する第4の辺194に囲まれる。

[0137] ドライバIC106は、一例として、FPC108上に配置される。ドライバIC106は、複数の画素180Aを駆動させるための制御信号を、FPC108、複数の走査信号線駆動回路104、複数の接続配線141、複数のデータ信号線131、グラウンド配線145及び駆動電位線147を介して、複数の画素180Aに供給する。

[0138] [2-2. 表示装置20の断面の一例]

図23及び図24を参照し、表示装置20の断面の一例を説明する。図23は、表示装置20の画素180Aの断面構造の一例を示す断面図である。具体的には、図22に示すB1-B2線で切断された画素180Aの断面構造の一例を示す断面図である。図24は、表示装置20の周辺領域121及び表示領域122の一部の断面構造の一例を示す断面図である。具体的には、図22に示すC1-C2線で切断された周辺領域121及び表示領域122の一部の断面構造の一例を示す断面図である。図1～図22と同一、又は類似する構成については、必要に応じて説明する。

[0139] 表示装置20は、アレイ基板100（画素ICチップ181）及びバックプレーン200Aを含む。アレイ基板100は、表示装置20のアレイ基板100と同様の構成を含むため、ここでの説明は省略される。

[0140] 図23及び図24に示されるように、バックプレーン200Aは、第2の基板401、保護層417、下地層436、導電層238a、238b及び438c、第1の接続導電層244a及び244b、ソース電極444a、ドレイン電極444b、酸化物半導体層442、ゲート絶縁層440、絶縁層446、絶縁層454及び絶縁層456を含む。また、図24に示されるように、バックプレーン200Aは、走査信号線129a、及びトランジス

タ 4 8 4 a を含む。トランジスタ 4 8 4 a は、少なくとも、ソース電極 4 4 4 a、ドレイン電極 4 4 4 b、酸化物半導体層 4 4 2、ゲート絶縁層 4 4 0 の一部及び絶縁層 4 4 6 の一部を含む。

[0141] 第 2 の基板 4 0 1 は、複数の端子 1 5 0、複数の走査信号線駆動回路 1 0 4、走査信号線 1 2 9 a を含む複数の走査信号線 1 2 9、複数のデータ信号線 1 3 1、グラウンド配線 1 4 5 及び駆動電位線 1 4 7 を支持する基板（第 2 の支持基板）である。第 2 の基板 4 0 1 は第 1 の面 4 0 1 a 及び第 1 の面 4 0 1 a に対向する第 2 の面 4 0 1 b を含む。保護層 4 1 7、下地層 4 3 6、導電層 2 3 8 a、2 3 8 b 及び 4 3 8 c、第 1 の接続導電層 2 4 4 a 及び 2 4 4 b、ソース電極 4 4 4 a、ドレイン電極 4 4 4 b、酸化物半導体層 4 4 2、ゲート絶縁層 4 4 0、絶縁層 4 4 6、絶縁層 4 5 4 及び絶縁層 4 5 6 は、第 1 の面 4 0 1 a 上に配置される。

[0142] 保護層 4 1 7 は第 2 の基板 4 0 1 の第 1 の面 4 0 1 a 上に配置される。保護層 4 1 7 は、第 2 の基板 4 0 1 からの不純物又は外部からの不純物（例えば、水分又はナトリウム（Na）など）の拡散を防止することができる。

[0143] 下地層 4 3 6 は保護層 4 1 7 上に配置される。下地層 4 3 6 は、保護層 4 1 7 と同様に、第 2 の基板 4 0 1 からの不純物又は外部からの不純物（例えば、水分又はナトリウム（Na）など）の拡散を防止することができる。

[0144] 導電層 2 3 8 a、2 3 8 b 及び 4 3 8 c は下地層 4 3 6 上に配置される。導電層 2 3 8 a は走査信号線 1 2 9 a として機能する。導電層 2 3 8 b は駆動電位線 1 4 7 a として機能する。導電層 4 3 8 c はトランジスタ 4 8 4 a のゲート電極として機能する。

[0145] ゲート絶縁層 4 4 0 は、導電層 2 3 8 a、2 3 8 b 及び 4 3 8 c 上、及び、下地層 4 3 6 の一部の上に配置される。すなわち、ゲート絶縁層 4 4 0 は、複数の走査信号線 1 2 9、駆動電位線 1 4 7 a 及びトランジスタ 4 8 4 a のゲート電極を覆うように配置される。ゲート絶縁層 4 4 0 は、複数の走査信号線 1 2 9、駆動電位線 1 4 7 a 及びトランジスタ 4 8 4 a のゲート電極を互いに絶縁する。

- [0146] 酸化物半導体層 4 4 2 はゲート絶縁層 4 4 0 上に配置される。酸化物半導体層 4 4 2 は複数のトランジスタ 4 8 4 のチャネルに用いられる。複数のトランジスタ 4 8 4 はトランジスタ 4 8 4 a を含む。
- [0147] ソース電極 4 4 4 a 及びドレイン電極 4 4 4 b は、酸化物半導体層 4 4 2 上及びゲート絶縁層 4 4 0 上に配置される。ソース電極 4 4 4 a 及びドレイン電極 4 4 4 b は、酸化物半導体層 4 4 2 と電氣的に接続される。表示装置 2 0 のソース電極 4 4 4 a 及びドレイン電極 4 4 4 b は酸化物半導体層 4 4 2 と直接接して接続される。なお、画素 1 8 0 A に含まれるソース電極、ドレイン電極及びソース電極及びドレイン電極と同一層に形成される配線の説明において、ソース電極、ドレイン電極及び当該配線を区別しない場合には、ソース電極、ドレイン電極及び当該配線は導電層 4 4 4 と記載され、ソース電極、ドレイン電極及び当該配線を区別する場合には、ソース電極、ドレイン電極及び当該配線はソース電極 4 4 4 a、ドレイン電極 4 4 4 b などと個別の符号が付与される。
- [0148] 絶縁層 4 5 4 は絶縁層 4 4 6 上に配置される。絶縁層 4 5 6 は絶縁層 4 5 4 上に配置される。絶縁層 4 5 6 の一部は開口される。また、絶縁層 4 5 4 の一部及び絶縁層 4 5 6 の一部は開口されて、導電層 2 3 8 b が露出される。
- [0149] 第 1 の接続導電層 2 4 4 a が露出された絶縁層 4 5 6 の一部の上に配置される。また、第 1 の接続導電層 2 4 4 b が、露出された導電層 2 3 8 b の上に配置され、導電層 2 3 8 b と電氣的に接続される。第 1 の接続導電層 2 4 4 a 及び 2 4 4 b は異なる層上に同一の工程で形成される。例えば、第 1 の接続導電層 2 4 4 a は、図 4 に示されるように、第 2 方向 D 2 に延在すると共に、第 1 方向 D 1 に分岐し延在する。図示は省略されるが、第 1 の接続導電層 2 4 4 a は、ゲート絶縁層 4 4 0 と重畳するように配置される。例えば、第 1 の接続導電層 2 4 4 b は、図 3 に示されるように、第 1 方向 D 1 及び第 2 方向 D 2 に延在する。第 1 の接続導電層 2 4 4 b は、ゲート絶縁層 4 4 0 と重畳するように配置されてよい。

[0150] 接着樹脂材 610 が絶縁層 456 の一部の上に配置される。接着樹脂材 610 は、図 24 に示される断面視のように、発光ダイオード 300 及びトランジスタ 184 の周囲の少なくとも一部を取り囲むように形成される。また、例えば、接着樹脂材 610 は、図 23 に示される断面視のように、周辺領域 121 とは重畳せず、表示領域 122 と重畳するように、絶縁層 456 の一部の上に配置される。なお、接着樹脂材 610 は周辺領域 121 と重畳してもよい。また、表示装置 20 の損傷を防止するために、表示装置 20 の周辺領域 121（接着樹脂材 610 の周囲）は、樹脂などによって封止されてもよい。

[0151] 画素 IC チップ 181（アレイ基板 100）の第 1 の面 101a はバックプレーン 200A の第 1 の面 401a と対向し、アレイ基板 100 はバックプレーン 200A に貼り合わされる。具体的には、アレイ基板 100 とバックプレーン 200A とは、接着樹脂材 610 によって、貼り合わされる。その結果、アレイ基板 100 は、導電性接続部材 620a 及び 620b によって、バックプレーン 200A と電氣的に接続される。具体的には、アレイ基板 100 の導電層 152a が、導電性接続部材 620a を介して、バックプレーン 200A の第 1 の接続導電層 244a と電氣的に接続され、アレイ基板 100 の導電層 152c が、導電性接続部材 620b を介して、バックプレーン 200A の第 1 の接続導電層 244b と電氣的に接続される。例えば、このとき、導電層 238b 及び第 1 の接続導電層 244b が第 2 のトランジスタ 184b と重畳してよい。導電層 238b（第 1 の接続導電層 244b）と酸化物半導体層 142 とが、絶縁層 119、118、154 及び 146 を介して、容量素子 188 を形成することができる。

[0152] 以上のような構成を含む表示装置 20 は、表示装置 10 と同様の作用効果を有する。また、表示装置 20 の周辺領域 121 は走査信号線駆動回路 104 を含むため、表示装置 20 は、走査信号線駆動回路 104 を含まない表示装置より、周辺領域 121 の厚さと表示領域 122 の厚さに起因する段差を緩和できる。

[0153] [2-3. 表示装置20の製造方法の一例]

図25～図30を参照し、表示装置20の製造方法の一例を説明する。図25は、バックプレーン200Aの製造方法の一例、及び、画素ICチップ181とバックプレーン200Aとの張り合わせ方法の一例を示すフローチャートである。図26～30は、バックプレーン200Aの製造過程における断面構造の一例を示す断面図である。図1～図24と同一、又は類似する構成については、必要に応じて説明する。また、アレイ基板100の製造方法は、「1-5」で説明した表示装置10のアレイ基板100の製造方法と同様であり、アレイ基板100の製造方法は、必要に応じて説明される。

[0154] バックプレーン200Aの製造方法は、ステップS700～S810を含む。バックプレーン200Aの製造方法は、バックプレーン200の製造方法と同様に、非晶質ガラス基板などの第2の基板401を支持基板として用いる。

[0155] ステップS700は、第2の基板401の第1の面401a上に、第1の面401aに接するように保護層417を形成するステップである（図25及び図26を参照）。例えば、保護層417は、CVDを用いて、ステップS210の絶縁層117と同様の材料を第1の面401a上に形成する。保護層417は、第2の基板401からの不純物又は外部からの不純物（例えば、水分又はナトリウム（Na）など）が下地層436に積層された層へ拡散することを防止することができる。

[0156] ステップS710は、保護層417上に、保護層417に接するように下地層436を形成するステップである（図25、図26及び図27を参照）。例えば、下地層436は、ステップS110の下地層110と同様の材料を用いて、同様に形成することができる。下地層436は、保護層417と同様に、第2の基板401からの不純物又は外部からの不純物（例えば、水分又はナトリウム（Na）など）が下地層436に積層された層へ拡散することを防止することができる。

[0157] ステップS720は、下地層436上に、下地層436に接するように、

導電膜を成膜するステップである（図 25、図 26 及び図 27 を参照）。また、ステップ S 730 は、フォトリソグラフィー及びエッチングを用いて、ステップ S 720 で成膜された導電膜を加工し、複数のトランジスタのゲート電極、走査信号線 129a を複数の走査信号線 129、駆動電位線 147、147a、147b 及び 147c、並びに、各配線を形成するステップである。例えば、図 26 に示される導電層 238a 及び 238b が導電膜を含み、導電層 238a は走査信号線 129a として機能し、導電層 238b は駆動電位線 147a として機能する。また、図 27 に示される導電層 438c 及び走査信号線 129a が導電膜を含み、導電層 438c はトランジスタ 484a のゲート電極として機能する。例えば、導電層 238a 及び 238b、導電層 438c 及び走査信号線 129a は、ステップ S 250 で成膜された導電層 138 と同様の材料を用いてスパッタリングで成膜され、ステップ S 260 と同様にフォトリソグラフィー及びエッチングを用いて形成される。

[0158] ステップ S 740 は、CVD を用いて、導電層 238a 及び 238b 上、導電層 438c 及び走査信号線 129a 上、並びに、下地層 436 の表面上に、導電層 238a 及び 238b、導電層 438c 及び走査信号線 129a、並びに、下地層 436 に接するように、ゲート絶縁層 440 を成膜するステップである（図 25、図 26 及び図 27 を参照）。例えば、ゲート絶縁層 440 は、ゲート絶縁層 140 と同様の材料を用いて、CVD を用いて成膜することができる。

[0159] ステップ S 750 は、スパッタリングを用いて、ゲート絶縁層 440 上に、ゲート絶縁層 440 に接するように、酸化物半導体層 442 を成膜するステップである（図 25、図 26 及び図 27 を参照）。例えば、酸化物半導体層 442 は、酸化物半導体層 142 と同様の材料を用いてゲート絶縁層 440 上に成膜される。

[0160] ステップ S 760 は、フォトリソグラフィー及びエッチングを用いて、ステップ S 750 で成膜された酸化物半導体層 442 を加工し、複数のトラン

ジスタ４８４のそれぞれの半導体層に用いられる酸化物半導体層４４２を形成するステップである（図２５、図２６及び図２７を参照）。なお、例えば、ステップＳ７６０のあとに、フォトリソグラフィー及びエッチングを用いて、開口４４１ａが形成される。開口４４１ａは、開口４４１ａの側壁となるゲート絶縁層４４０及び走査信号線１２９ａの表面の一部を露出させる。

[0161] ステップＳ７７０は、スパッタリングを用いて、酸化物半導体層４４２上、走査信号線１２９ａの表面の一部の上、開口４４１ａの側壁及びゲート絶縁層４４０の一部の上に、酸化物半導体層４４２、走査信号線１２９ａの表面の一部、開口４４１ａの側壁及びゲート絶縁層４４０の一部に接するように、導電層４４４を成膜するステップである。例えば、導電層４４４は、導電層１４４と同様の材料を用いて形成することができる。

[0162] ステップＳ７８０は、フォトリソグラフィー及びエッチングを用いて、ステップＳ７７０で成膜された導電層４４４を加工し、ソース電極、ドレイン電極及び配線を形成するステップである（図２５及び図２９を参照）。導電層４４４は、ソース電極、ドレイン電極又は配線として機能する。例えば、図２９に示される導電層４４４はソース電極４４４ａ及びドレイン電極４４４ｂである。

[0163] ステップＳ７９０は、ＣＶＤを用いて、導電層４４４上、酸化物半導体層４４２の一部の上及びゲート絶縁層４４０の一部の上に、導電層４４４、酸化物半導体層４４２の一部及びゲート絶縁層４４０の一部に接するように絶縁層４４６を成膜し、絶縁層４４６の上に絶縁層４４６に接するように絶縁層４５４を成膜し、絶縁層４５４の上に絶縁層４５４に接するように絶縁層４５６を成膜するステップである（図２５、図２８及び図２９を参照）。例えば、絶縁層４４６は、ゲート絶縁層４４０と同様の材料を用いて形成することができる。絶縁層４５４は、絶縁層３８０と同様の材料を用いて形成することができる。絶縁層４５４は、絶縁層３８０と同様に、トランジスタ４８４及び絶縁層４４６に基づく凹凸を平坦化することができる。絶縁層４５６は絶縁層１１７と同様の材料を用いて形成することができる。絶縁層４５

6は、絶縁層117と同様に、外部からの不純物（例えば、水分又はナトリウム（Na）など）が絶縁層456より下方の層へ拡散することを防止することができる。

[0164] ステップS800は、フォトリソグラフィー及びエッチングを用いて、開口443a及び443bを形成するステップである。開口443aは、開口443aの側壁となる絶縁層446、454及び456、導電層238bの表面の一部を露出させる。開口443bは、開口443bの側壁となる絶縁層456及び絶縁層454の表面の一部を露出させる（図25及び図28を参照）。

[0165] ステップS810は、導電層を形成するステップである。具体的には、開口443aの側壁となる絶縁層446、454及び456、導電層238bの表面の一部、開口443bの側壁となる絶縁層456、並びに、絶縁層454の表面の一部の一部に接するように、導電膜を成膜するステップである（図25及び図30を参照）。例えば、導電膜は、ステップS340と同様に、スパッタリング及びECPを用いて、上記絶縁層上及び導電層上に成膜される。また、例えば、成膜された導電層は、CMPを用いて研磨され、絶縁層456の表面が露出するまで平坦化される。その結果、第1の接続導電層244a及び244bを形成することができる。例えば、図30に示される第1の接続導電層244a及び244bが導電膜を含み、第1の接続導電層244aはグラウンド配線145aとして機能し、第1の接続導電層244bは導電層238bと電氣的に接続され、駆動電位線147aとして機能する。図示は省略されるが、第1の接続導電層244c及び244dは、第1の接続導電層244a及び244bと同様に形成される。第1の接続導電層244c（図3を参照）は、導電層238aと電氣的に接続され、走査信号線129として機能する。第1の接続導電層244d（図3を参照）はデータ信号線131として機能する。

[0166] ステップS810で成膜される導電膜は、ステップS340で成膜される導電膜と同様の材料を用いることができる。例えば、導電膜は、マンガン及

び銅で構成される導電層を用いることができる。その結果、その結果、表示装置 20 は、第 1 の接続導電層 244 に接する絶縁層への銅の拡散を抑制すると共に、第 1 の接続導電層に接する絶縁層から排出される水素を吸蔵し、トランジスタ 484 の電気特性の低下を抑制することができる。また、第 1 の接続導電層 244 は、ECP を用いて形成されるため、スパッタリング又は CVD を用いて形成される膜及び層より、厚く形成することができる。よって、第 1 の接続導電層 244 を用いて形成されるデータ信号線 131（第 1 の接続導電層 244 d）及びグラウンド配線 145 a（第 1 の接続導電層 244 a）の抵抗値を、銅より比抵抗の大きな材料を用いて形成された配線の抵抗値より、更に小さくすることができる。その結果、銅より比抵抗の大きな材料を用いて形成された配線と比べて、データ信号線 131 に供給される信号の時定数は改善され、グラウンド配線 145 a に供給される電位の電荷供給量は増加する。

[0167] 以上説明したとおり、バックプレーン 200A が形成される。

[0168] ステップ S820～ステップ S850 は、ステップ S450～ステップ S500 と同様である。よって、ここでは、ステップ S820～ステップ S850 の説明は省略される。

[0169] 以上説明したとおり、表示装置 20 の製造方法は、画素 IC チップ 181（アレイ基板 100 の第 1 の面 101 a）とバックプレーン 200A とを電氣的に接続することができる。その結果、発光ダイオード 300 及び第 1 のトランジスタ 184 a～第 3 のトランジスタ 184 c を含む画素 IC チップ 181 は、バックプレーン 200A に含まれるデータ信号線 131、走査信号線 129、グラウンド配線 145 及び駆動電位線 147 と電氣的に接続される。

[0170] 以上のような構成を含む表示装置 20 の製造方法は、表示装置 10 の製造方法と同様の作用効果を有する。また、表示装置 20 の製造方法は、周辺領域 121 に走査信号線駆動回路 104 を形成することを含むため、走査信号線駆動回路を含む IC チップを表示装置 20 に実装する場合より、表示装置

20に実装される部品数を低減することができる。その結果、表示装置20の製造方法は、コスト削減が可能な製造方法である。

[0171] また、バックプレーン200Aに含まれるトランジスタ484は、第2の基板401側及び第2の基板401側と第3方向D3側を、A10を用いた絶縁層471及び456で覆うことができる。その結果、例えば、不純物（例えば、水分又はナトリウム（Na）など）がトランジスタ484に拡散することを防止することができる。その結果、表示装置20の製造方法は、トランジスタ484の電気特性の低下を抑制できる。

[0172] [2-4. 保護回路460の一例]

図31を参照し、保護回路460の一例を説明する。図31は保護回路460の一例を示す平面図である。図1～図30と同一、又は類似する構成については、必要に応じて説明する。

[0173] 保護回路460は、端子150及び端子150に接続されたデータ信号線131に電氣的に接続される。保護回路460は、トランジスタ484b及び484cを含むトランジスタ484b及び484cの導通状態は、保護回路460に電氣的に接続された信号線又は配線に供給された信号により制御される。トランジスタ484bは、ゲート電極4G、ソース電極4S及びドレイン電極4Dを含む。トランジスタ484cは、ゲート電極5G、ソース電極5S及びドレイン電極5Dを含む。ソース電極4Sは駆動電位線147に電氣的に接続され、ドレイン電極4Dは、ゲート電極4G、データ信号線131及びソース電極5Sに電氣的に接続される。ドレイン電極5Dは、ゲート電極5G及びグラウンド配線145に電氣的に接続される。

[0174] ドレイン電極4Dがゲート電極4G及びデータ信号線131と電氣的に接続されている。よって、データ信号線131に供給される電位が駆動電位線147に供給される電位より大きい場合に、トランジスタ484bは導通状態となり、保護回路として機能する。すなわち、過電圧が端子150を經由してデータ信号線131に供給された場合には、トランジスタ484bを經由して、ドレイン電極4Dから駆動電位線147に電流を流すことができる。

。その結果、トランジスタ４８４ｂはデータ信号線１３１への過電圧の印加及び過電流の供給を抑制できる。

[0175] また、ドレイン電極５Ｄがゲート電極５Ｇ及びグラウンド配線１４５と電氣的に接続されている。よって、ソース電極５Ｓに供給される電位がグラウンド配線１４５に供給される電位より小さい場合に、トランジスタ４８４ｃは導通状態となり、保護回路として機能する。すなわち、過電圧が端子１５０を経由してデータ信号線１３１に供給された場合には、トランジスタ４８４ｃを経由して、グラウンド配線１４５からソース電極５Ｓに電流を流すことができる。その結果、トランジスタ４８４ｃはデータ信号線１３１への過電圧の印加及び過電流の供給を抑制できる。

[0176] トランジスタ４８４ｂ及び４８４ｃは、トランジスタ４８４ａ及び複数のトランジスタ１８４と同様に、酸化物半導体層４４２を含み、第２の基板４０１上に形成される。その結果、トランジスタ４８４ｂ及び４８４ｃのリーク電流及びオフ電流は、アモルファスシリコン又はポリシリコンを含むトランジスタのリーク電流及びオフ電流より小さい。よって、保護回路４６０のリーク電流及びオフ電流は小さいため、データ信号線１３１への過電圧の印加及び過電流の供給を効率良く抑制できる。また、保護回路４６０はリーク電流及びオフ電流に起因する電気特性の低下を抑制可能である。さらに、酸化物半導体層を用いて形成されるトランジスタのオフ電流の温度特性は、アモルファスシリコン又はポリシリコンを用いて形成されるトランジスタのオフ電流の温度特性より優れている。よって、表示装置２０は、温度特性の優れたトランジスタを用いた保護回路を含むため、長期信頼性の低下を抑制できる。

[0177] 本発明の実施形態として上述した各実施形態又は各実施形態の一部は、相互に矛盾しない限りにおいて、適宜組み合わせて実施することができる。

[0178] 上述した各実施形態の態様によりもたらされる作用効果とは異なる別の作用効果であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるもの

と解される。

符号の説明

[0179] 1D：ドレイン電極、1G：ゲート電極、1S：ソース電極、2D：ドレイン電極、2G：ゲート電極、2S：ソース電極、3D：ドレイン電極、3G：ゲート電極、3S：ソース電極、4D：ドレイン電極、4G：ゲート電極、4S：ソース電極、5D：ドレイン電極、5G：ゲート電極、5S：ソース電極、6F：陰極（n型電極）、6S：陽極（p型電極）、8F：第1の電極、8S：第2の電極、10：表示装置、20：表示装置、100：アレイ基板、101：第1の基板、101a：第1の面、101b：第2の面、104：走査信号線駆動回路、106：ドライバIC、108：フレキシブルプリント回路基板（FPC）、110：下地層、111：結晶性ポリシリコン、115：色変換層、116：絶縁層、117：絶縁層、118：絶縁層、119：絶縁層、120：バッファ層、121：周辺領域、122：表示領域、126：端子領域、129：走査信号線、129a：走査信号線、129b：走査信号線、129c：走査信号線、131：データ信号線、136：絶縁層、138：導電層、138a：ゲート電極、139：開口、140：ゲート絶縁層、140a：開口、140b：開口、141：接続配線、142：酸化物半導体層、144：導電層、144a：ソース電極、144b：ドレイン電極、145：グラウンド配線、145a：グラウンド配線、145b：グラウンド配線、145c：グラウンド配線、146：絶縁層、147：駆動電位線、147a：駆動電位線、147b：駆動電位線、147c：駆動電位線、150：端子、151a：開口、151b：開口、151c：開口、151d：開口、152：導電層、152a：導電層、152b：導電層、152c：導電層、154：絶縁層、155：バンク領域、155a：バンク、156：周辺領域、157：アライメントマーカ、180：画素、180A：画素、181：画素ICチップ、182：画素回路、184：トランジスタ、184a：第1のトランジスタ、184b：第2のトランジスタ、184c：第3のトランジスタ、185：画素チップ

領域、188：容量素子、189：溝、191：第1の辺、192：第2の辺、193：第3の辺、194：第4の辺、200：バックプレーン、200A：バックプレーン、201：第2の基板、201a：第1の面、201b：第2の面、210：下地層、238：導電層、238a：導電層、238b：導電層、240：絶縁層、243：開口、244：第1の接続導電層、244a：第1の接続導電層、244b：第1の接続導電層、244c：第1の接続導電層、244d：第1の接続導電層、245b：第1の接続導電層、246：絶縁層、300：発光ダイオード、310：窒化ガリウム層、320：n型半導体層、330：発光層、340：p型半導体層、350：n型電極、360：p型電極、370a：第2の接続導電層、370b：第2の接続導電層、372a：開口、372b：開口、380：絶縁層、401：第2の基板、401a：第1の面、401b：第2の面、417：保護層、436：下地層、438c：導電層、440：ゲート絶縁層、441a：開口、442：酸化物半導体層、443a：開口、443b：開口、444：導電層、444a：ソース電極、444b：ドレイン電極、446：絶縁層、454：絶縁層、456：絶縁層、460：保護回路、471：絶縁層、484：トランジスタ、484a：トランジスタ、484b：トランジスタ、484c：トランジスタ、610：接着樹脂材、619a：開口、619b：開口、620：導電性接続部材、620a：導電性接続部材

請求の範囲

- [請求項1] 第1の基板と、
前記第1の基板の第1の面の上に配置され、窒化ガリウム層を含む発光ダイオードと、
前記発光ダイオードの上に配置され、前記発光ダイオードと電氣的に接続された第1のトランジスタと、
前記第1の基板に対向する第2の基板と、
前記第2の基板の上に配置されたデータ信号線と、
前記第2の基板の上に配置されたグラウンド配線と、
前記データ信号線の上に配置され、前記データ信号線と前記第1のトランジスタとを電氣的に接続する第1の導電体と、
前記グラウンド配線の上に配置され、前記グラウンド配線と前記発光ダイオードとを電氣的に接続する第2の導電体と、
を含む、表示装置。
- [請求項2] 前記第1の基板は、サファイア基板又は非晶質ガラス基板であり、
前記第2の基板は非晶質ガラス基板である、請求項1に記載の表示装置。
- [請求項3] 前記第1のトランジスタは、酸化物半導体層を含む、請求項1に記載の表示装置。
- [請求項4] 前記データ信号線は、前記グラウンド配線と同一の層に配置される、請求項1に記載の表示装置。
- [請求項5] 前記表示装置は、第2のトランジスタと、第3のトランジスタと、
をさらに含み、
前記第2のトランジスタは、前記データ信号線及び前記第1のトランジスタと電氣的に接続され、
前記第3のトランジスタは、前記第1のトランジスタ及び前記グラウンド配線に電氣的に接続され、前記発光ダイオードに並列に接続される、請求項4に記載の表示装置。

- [請求項6] 前記表示装置は、走査信号線と、第3の導電体とをさらに含み、
前記走査信号線は、前記第2の基板と前記同一の層との間に配置され、前記第3の導電体を介して、前記第1のトランジスタに電氣的に接続される、請求項4に記載の表示装置。
- [請求項7] 前記データ信号線と、前記グラウンド配線と、前記走査信号線とは、銅及びマンガンを含む導電層を含む、請求項6に記載の表示装置。
- [請求項8] 前記表示装置は、第1の平坦化膜をさらに含み、
前記第1の平坦化膜は、前記発光ダイオードと前記第1のトランジスタとの間に配置される、請求項3に記載の表示装置。
- [請求項9] 前記表示装置は、第1の絶縁層と、第2の絶縁層と、第3の絶縁層とをさらに含み、
前記第1の絶縁層は、前記発光ダイオードを覆うように配置され、
前記第2の絶縁層は、前記第1の平坦化膜に接するように配置され、
前記第3の絶縁層は、前記第1のトランジスタの上に配置され、
前記第1の絶縁層と、前記第2の絶縁層と、前記第3の絶縁層とは、酸化アルミニウムを含む、請求項8に記載の表示装置。
- [請求項10] 前記第1のトランジスタは、ソース電極と、ゲート電極と、ドレイン電極とを含み、
前記ソース電極及び前記ドレイン電極は、同一の層に互いに離間して、前記酸化物半導体層の上に接するように配置され、
前記ソース電極及び前記ドレイン電極は、チタンを含む導電層を含む、請求項9に記載の表示装置。
- [請求項11] 前記表示装置は、第2の平坦化膜をさらに含み、
前記第2の平坦化膜は、前記第1のトランジスタの上に配置され、
第1の開口及び第2の開口を含み、
前記第1の導電体が前記第1の開口に配置されると共に、前記第1のトランジスタと電氣的に接続され、

前記第2の導電体が前記第2の開口に配置されると共に、前記発光ダイオードに電氣的に接続される、請求項1に記載の表示装置。

[請求項12] 前記表示装置は、前記発光ダイオードが発する光の色を、前記色とは異なる色の変換可能に構成された色変換層をさらに含み、
前記第1の基板は、前記第1の面の反対側の第2の面を含み、
前記色変換層は前記第2の面に配置される、請求項1に記載の表示装置。

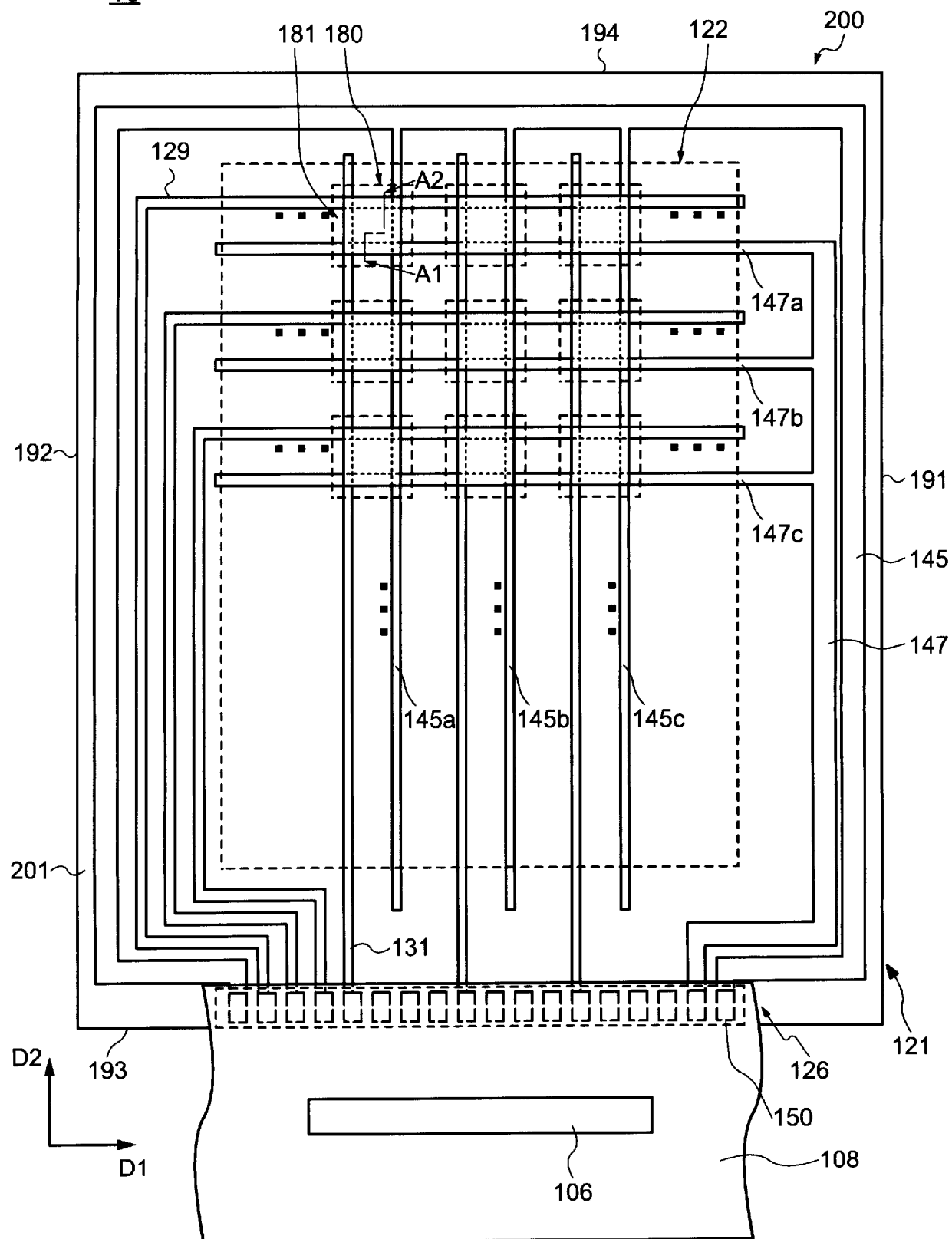
[請求項13] 前記表示装置は、ドライバICをさらに含み、
前記ドライバICは、前記データ信号線と、前記グラウンド配線と、前記走査信号線に電氣的に接続され、前記発光ダイオードを制御可能に構成される、請求項6に記載の表示装置。

[請求項14] 前記表示装置は、前記第2の基板の上に配置された駆動回路をさらに含み、
前記駆動回路は前記走査信号線に電氣的に接続される、請求項6に記載の表示装置。

[請求項15] 前記駆動回路は、前記第1のトランジスタとは異なる複数のトランジスタを含み、
前記複数のトランジスタは酸化物半導体層を含む、請求項14に記載の表示装置。

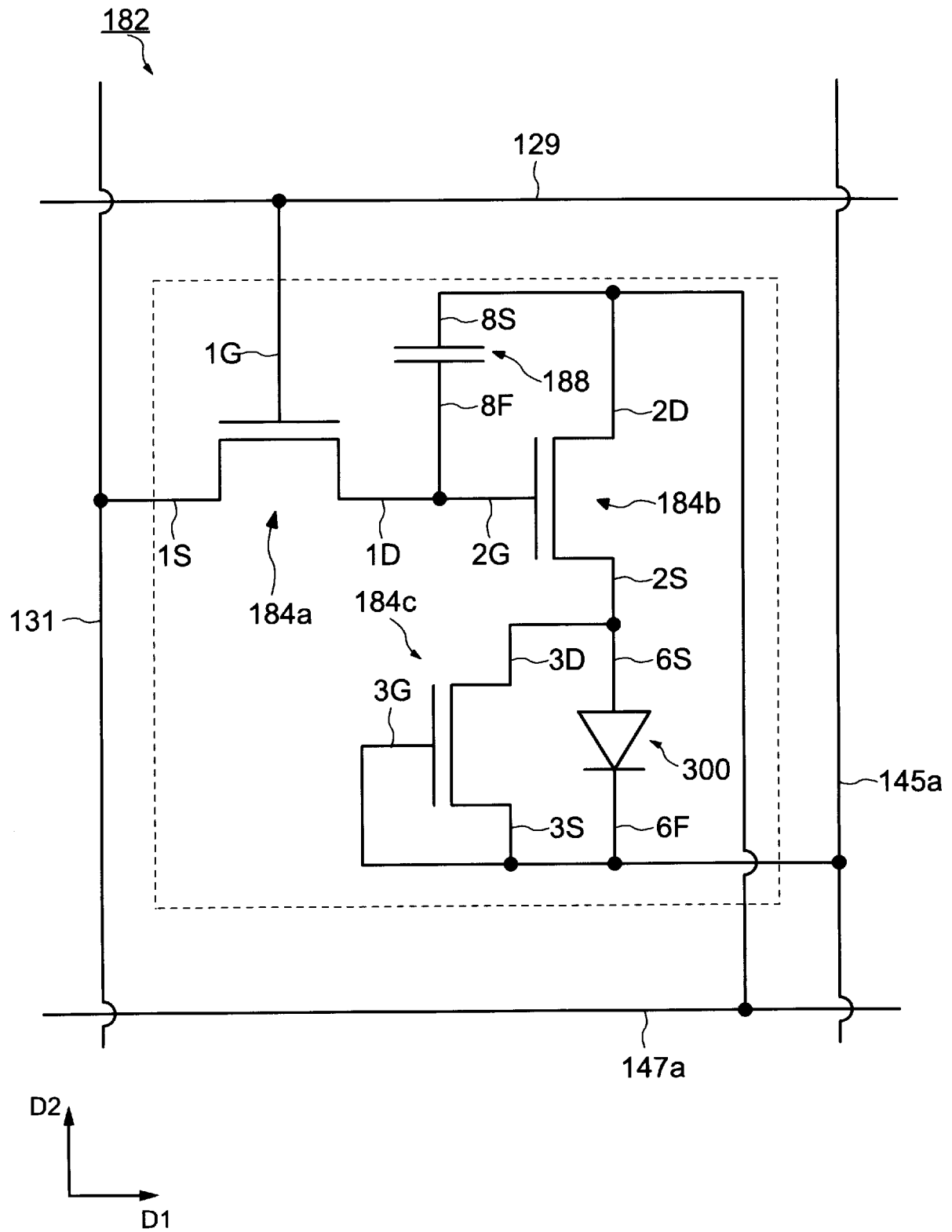
[請求項16] 前記表示装置は、前記第2の基板の上に配置された保護回路をさらに含み、
前記保護回路は、前記データ信号線と電氣的に接続され、前記第1のトランジスタ及び前記複数のトランジスタとは異なるトランジスタを含み、
前記第1のトランジスタ及び前記複数のトランジスタとは異なるトランジスタは酸化物半導体層を含む、請求項15に記載の表示装置。

10

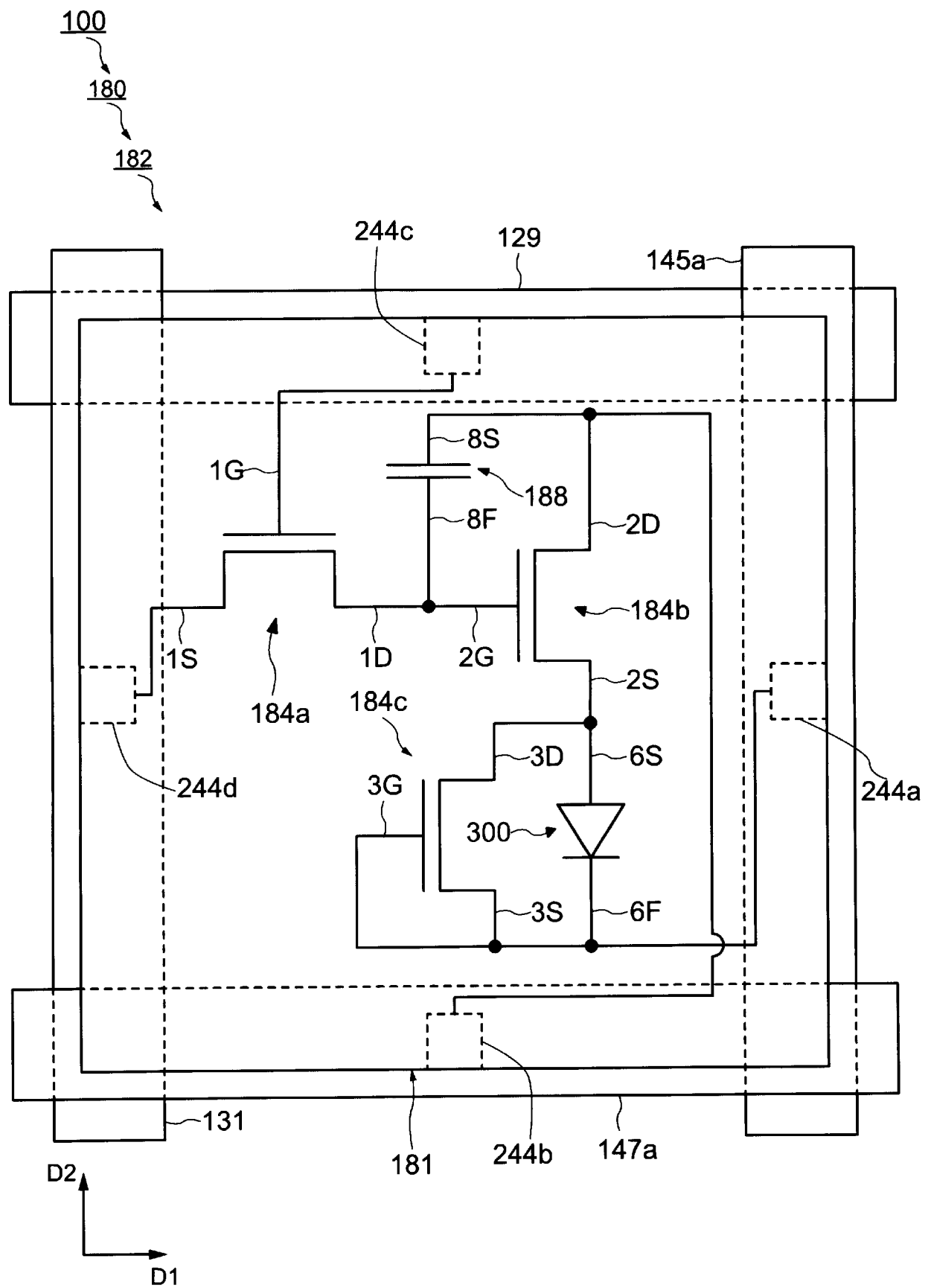


[図2]

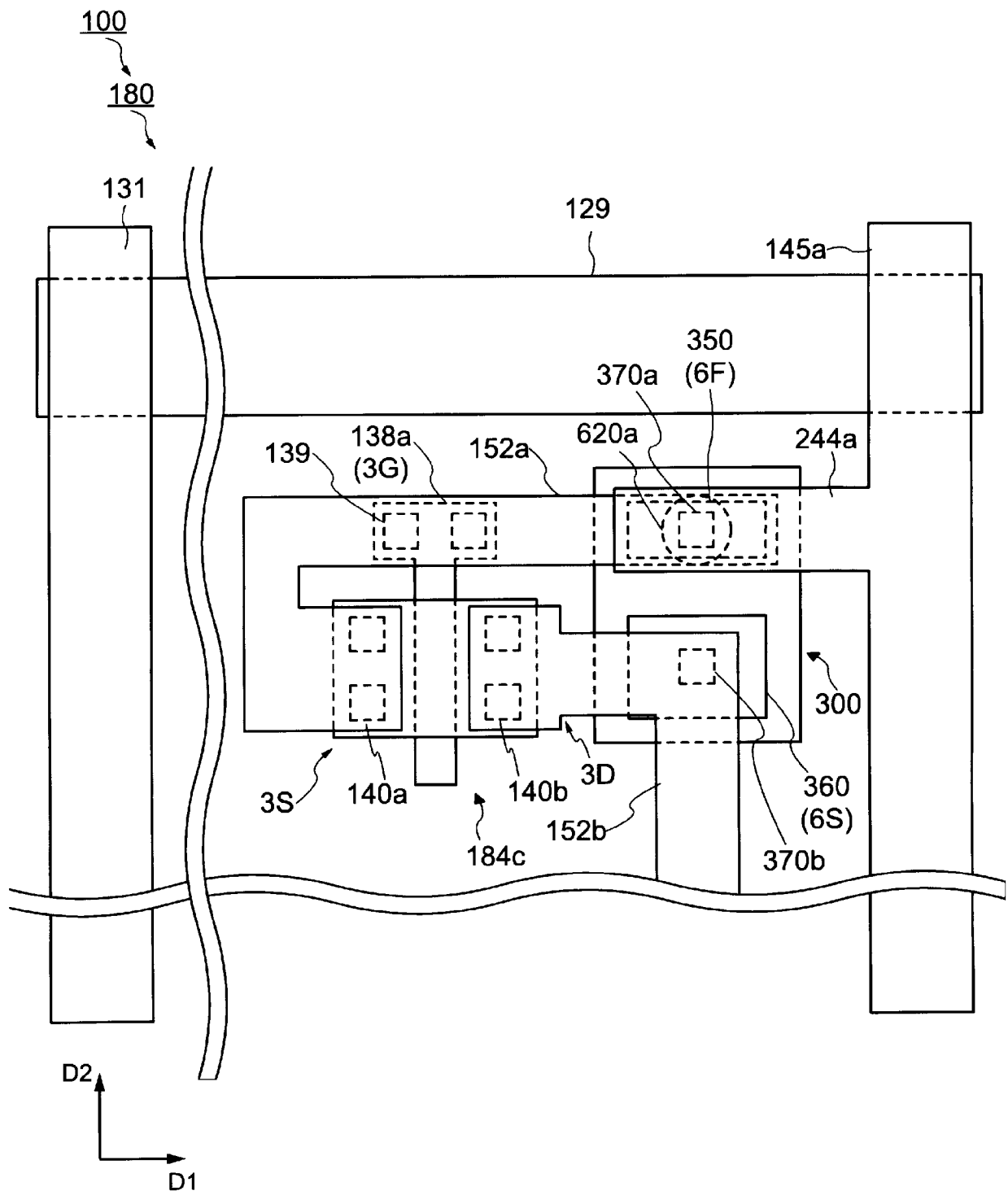
180



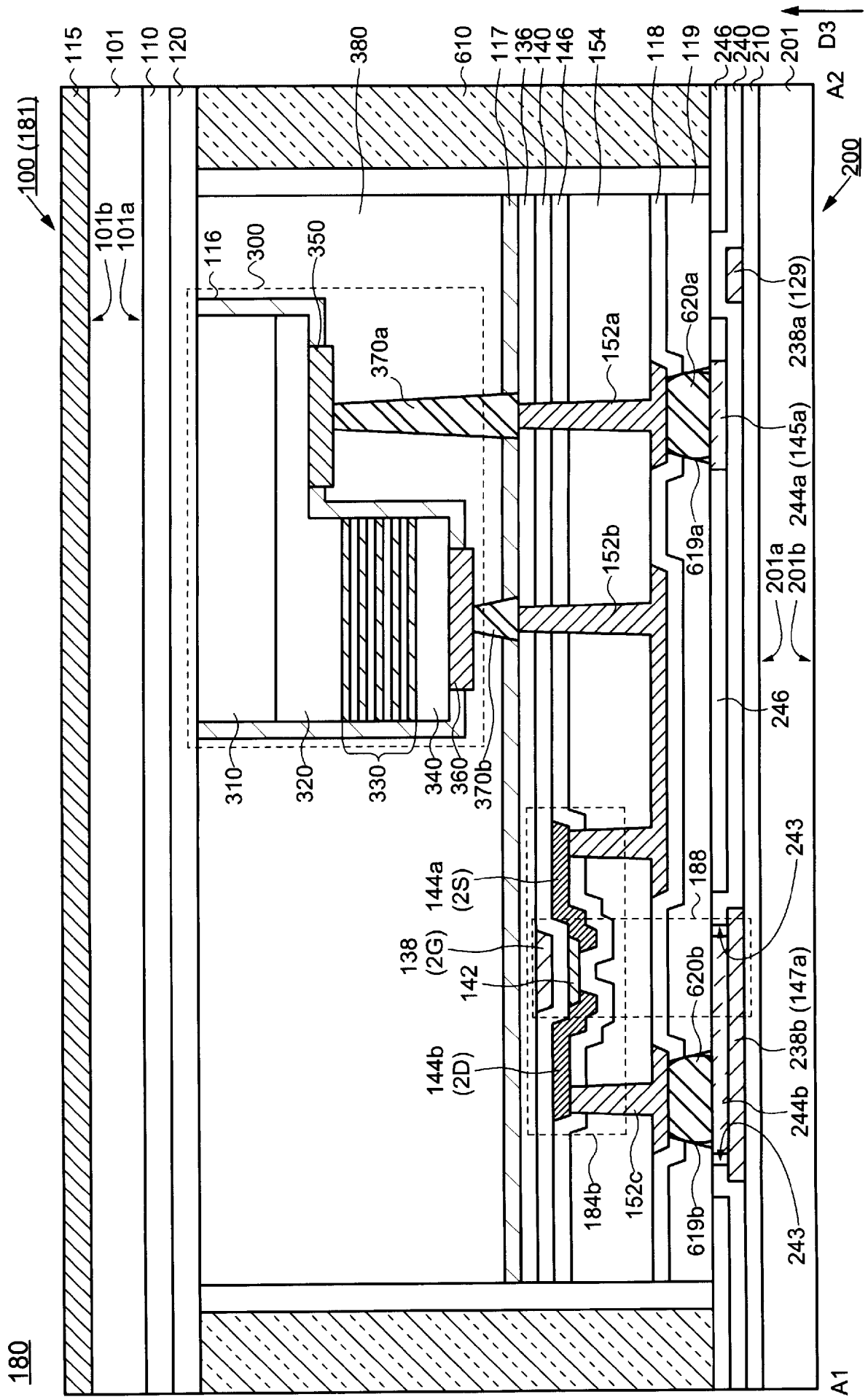
[図3]



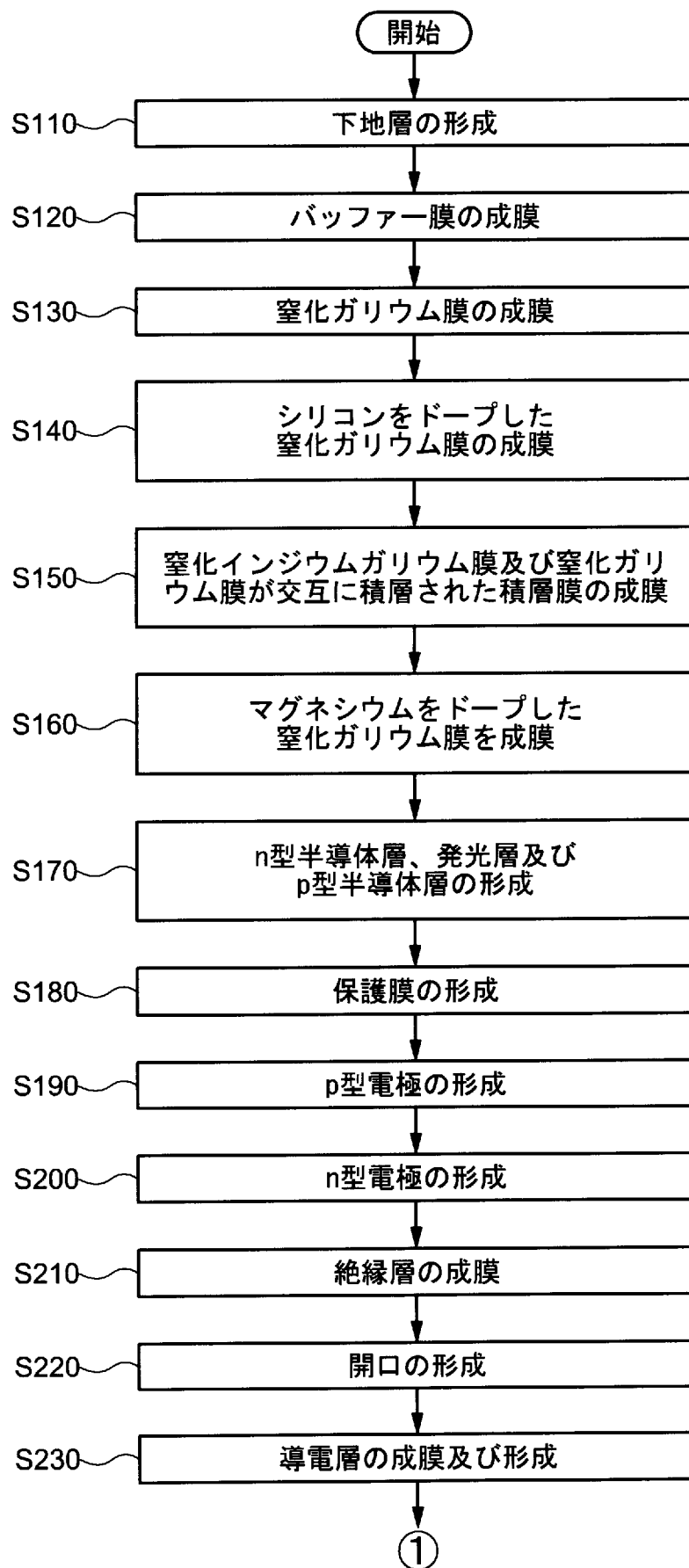
[図4]



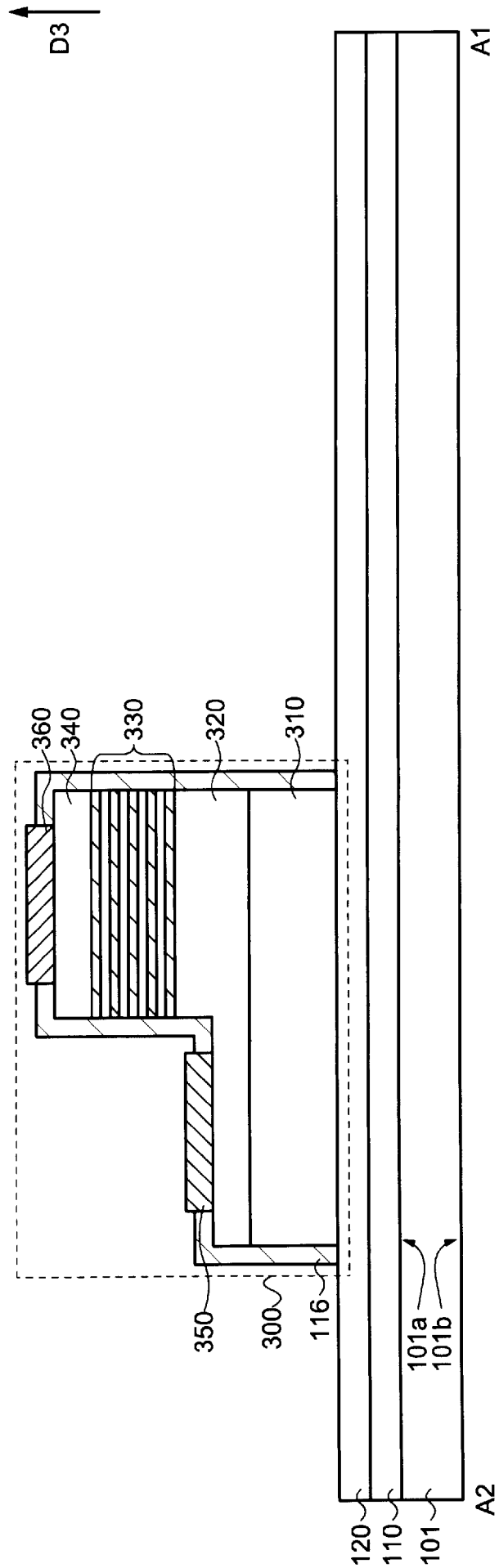
[図5]



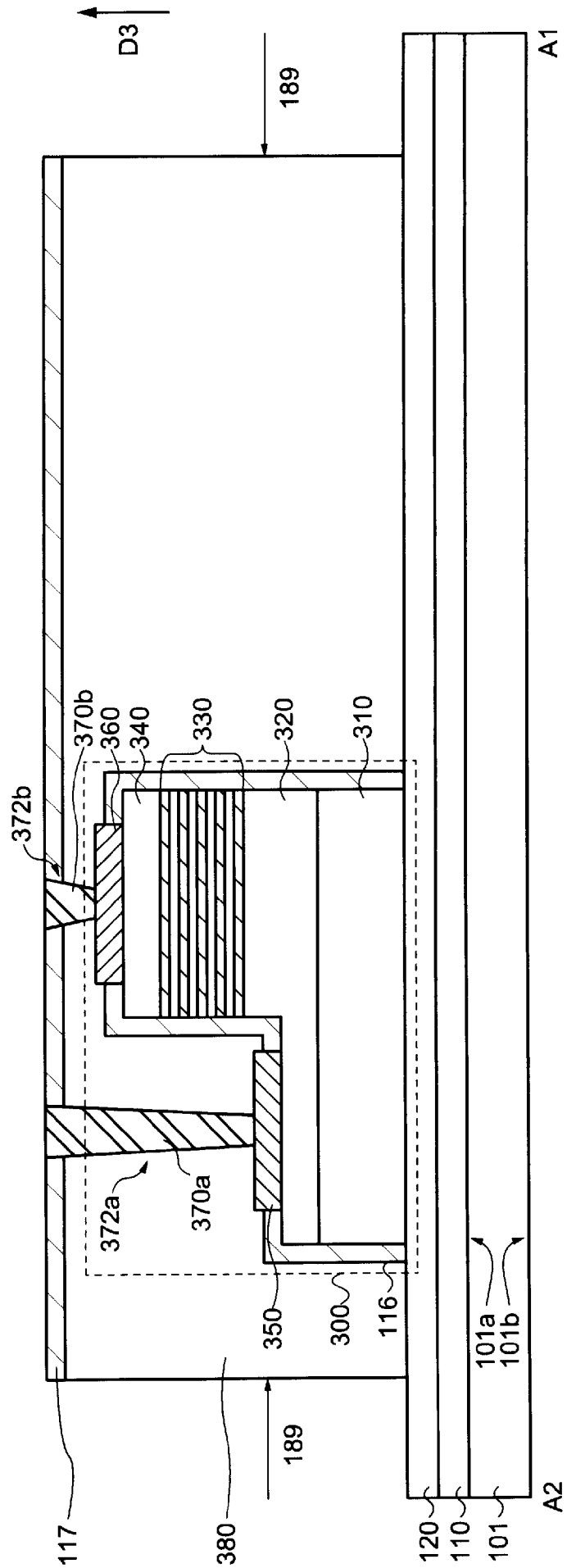
[図6]



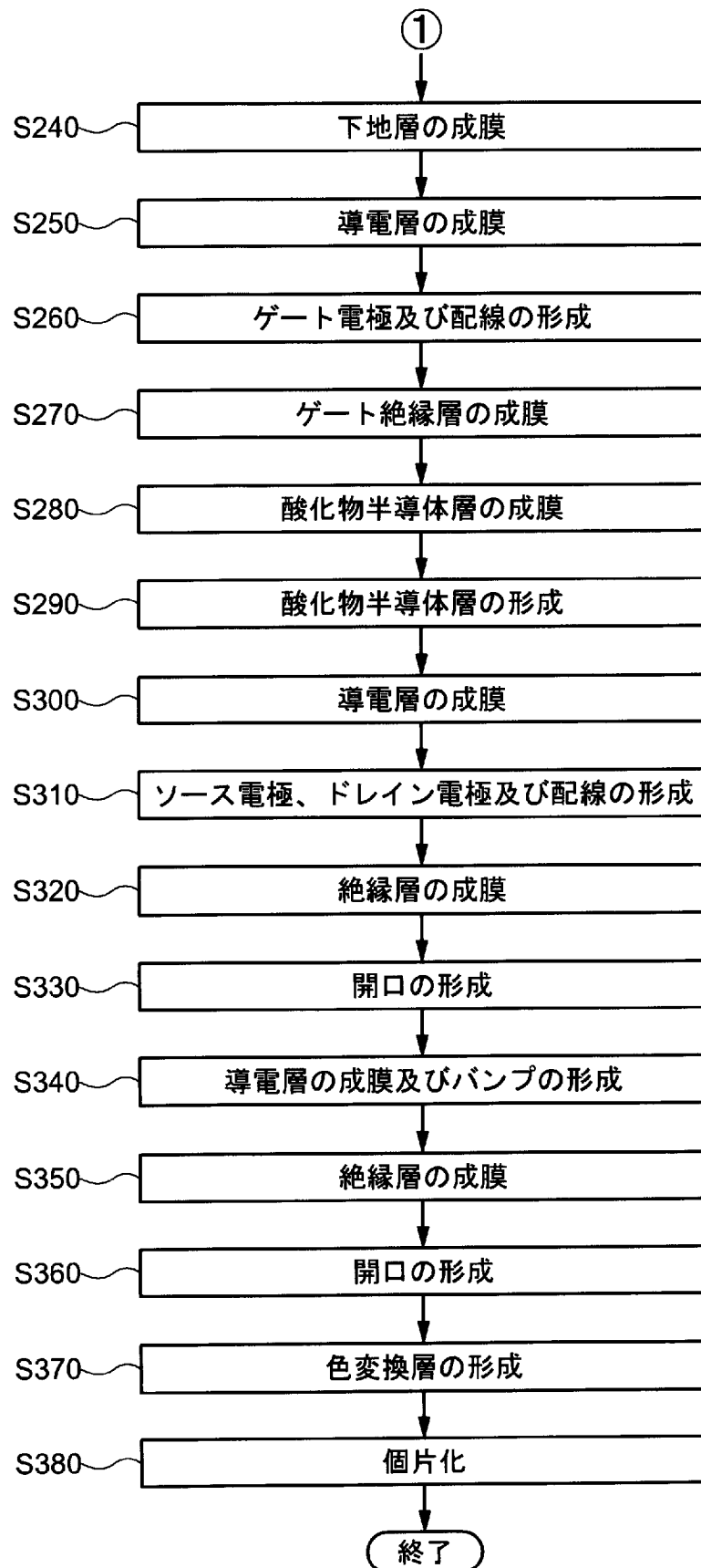
[図8]



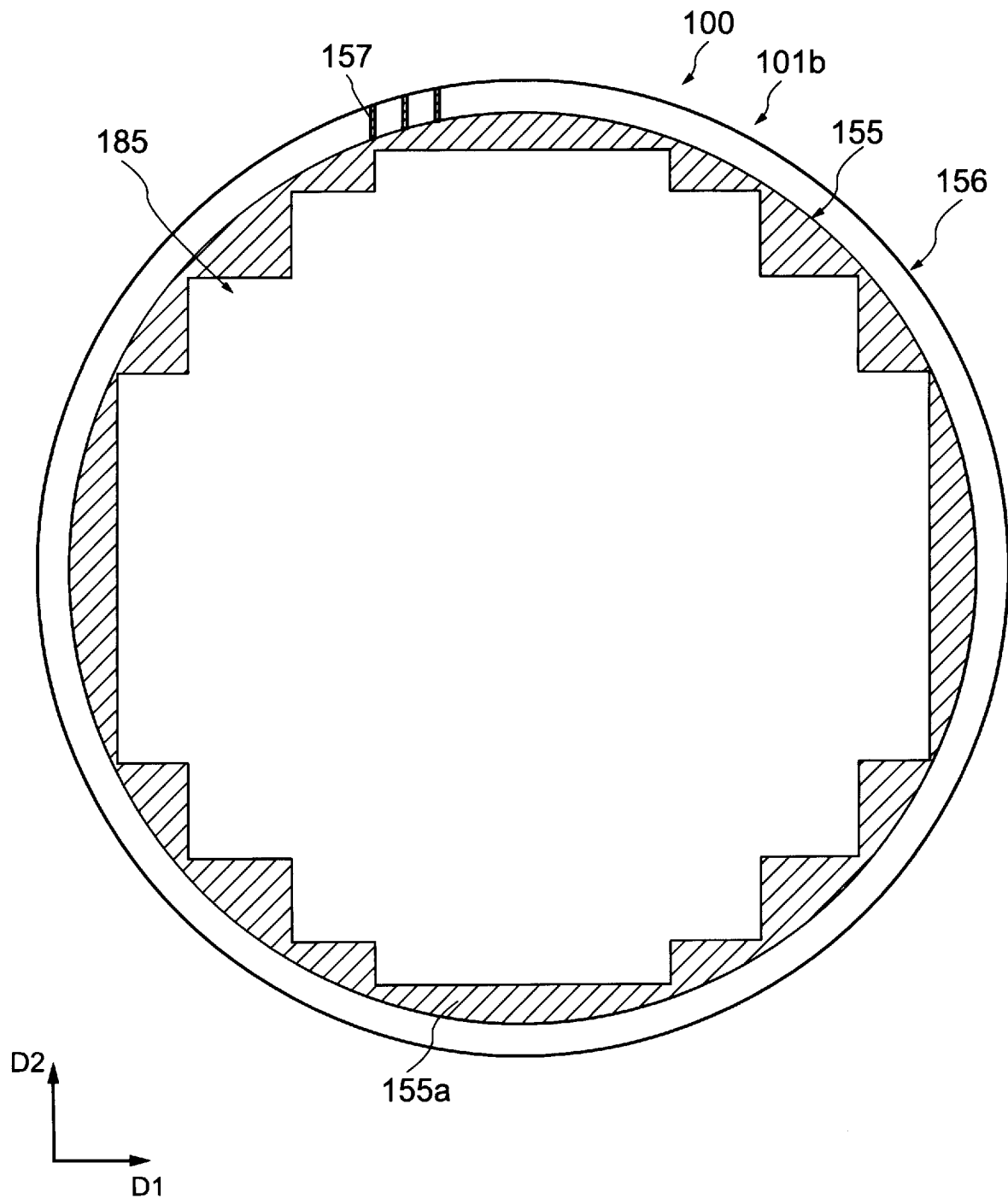
[図10]



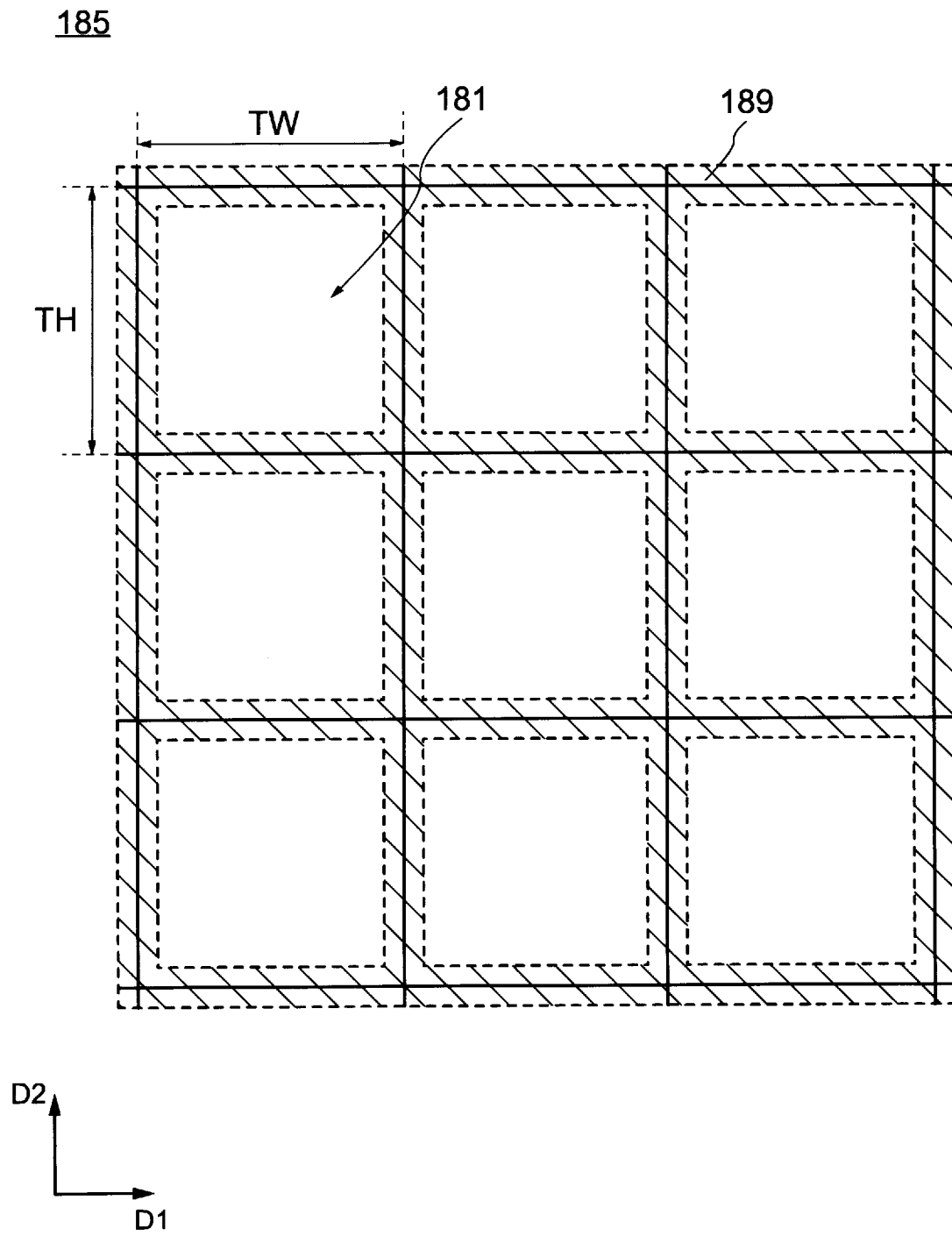
[図11]



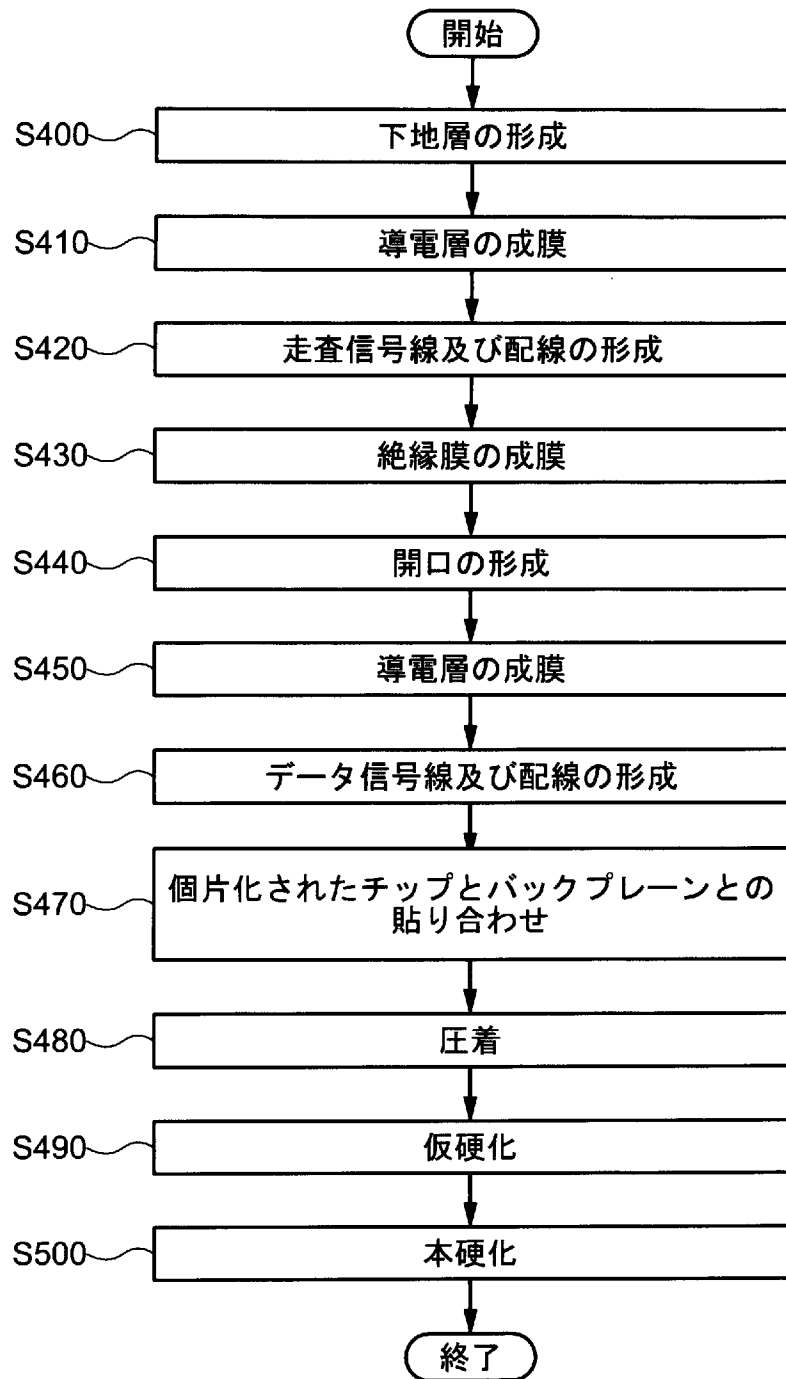
[図16]



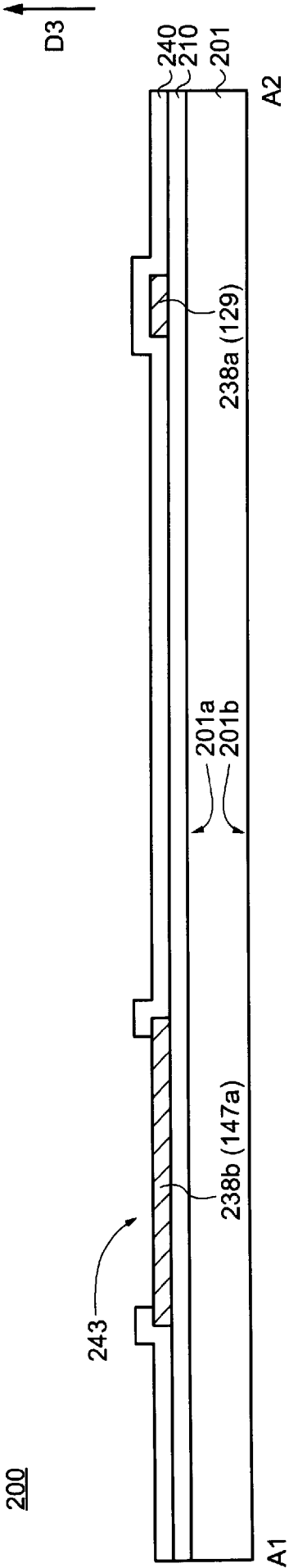
[図17]



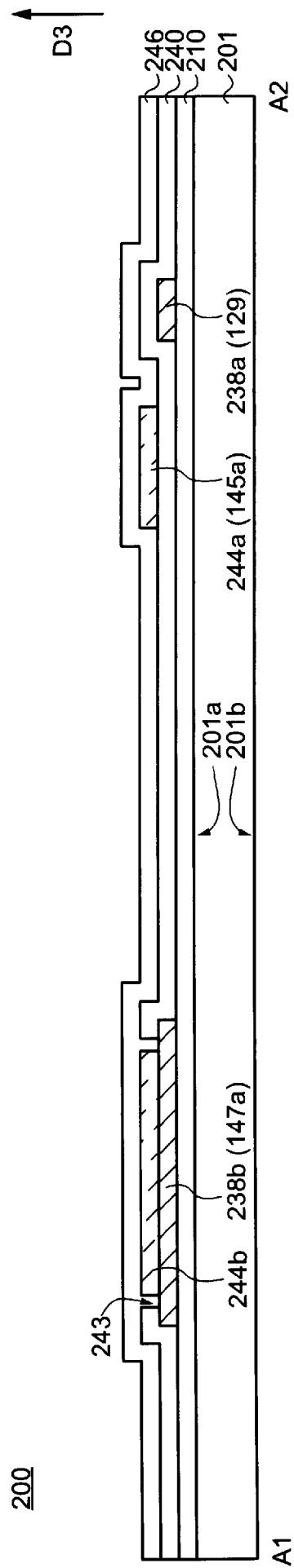
[図18]



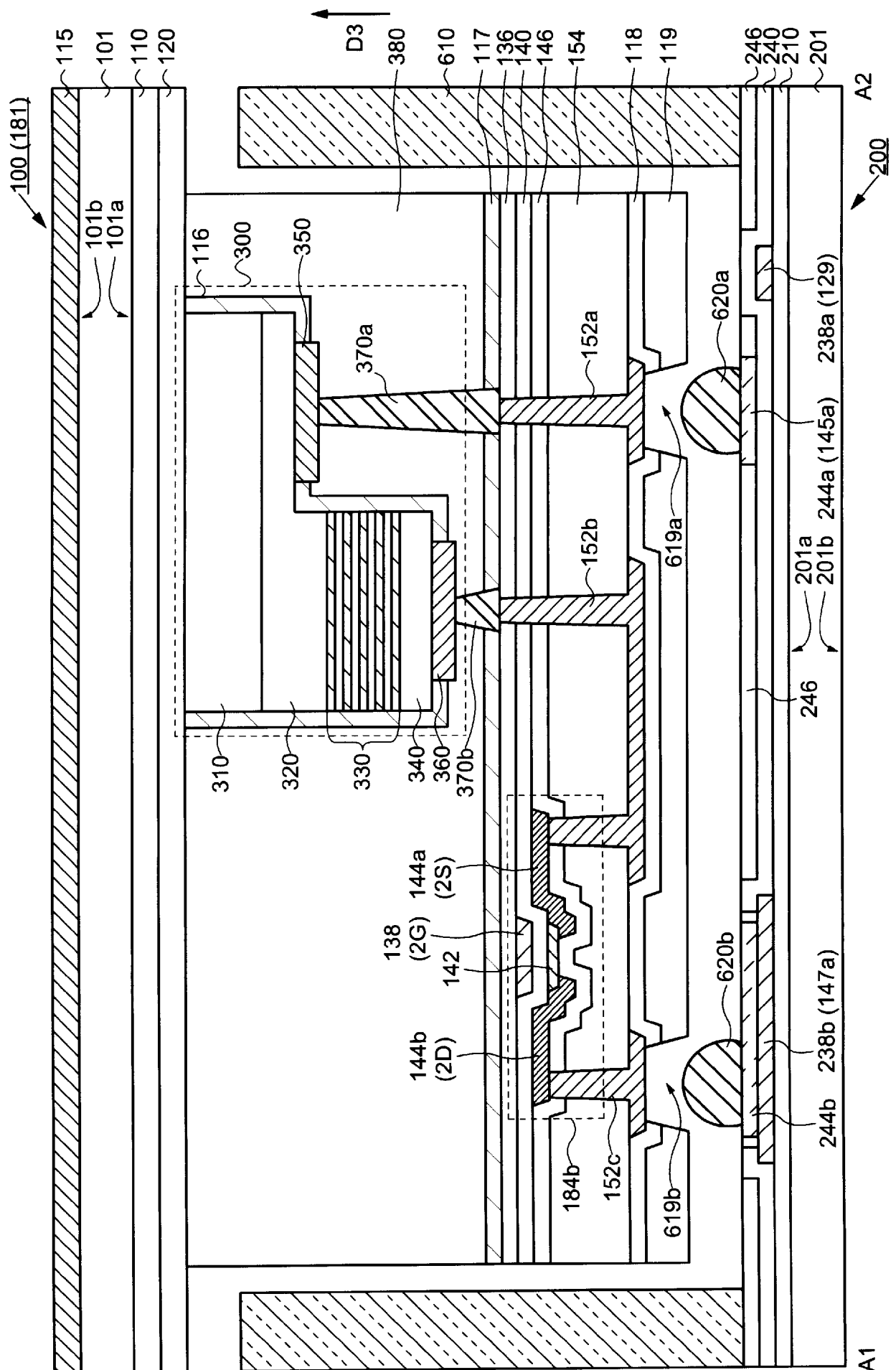
[図19]



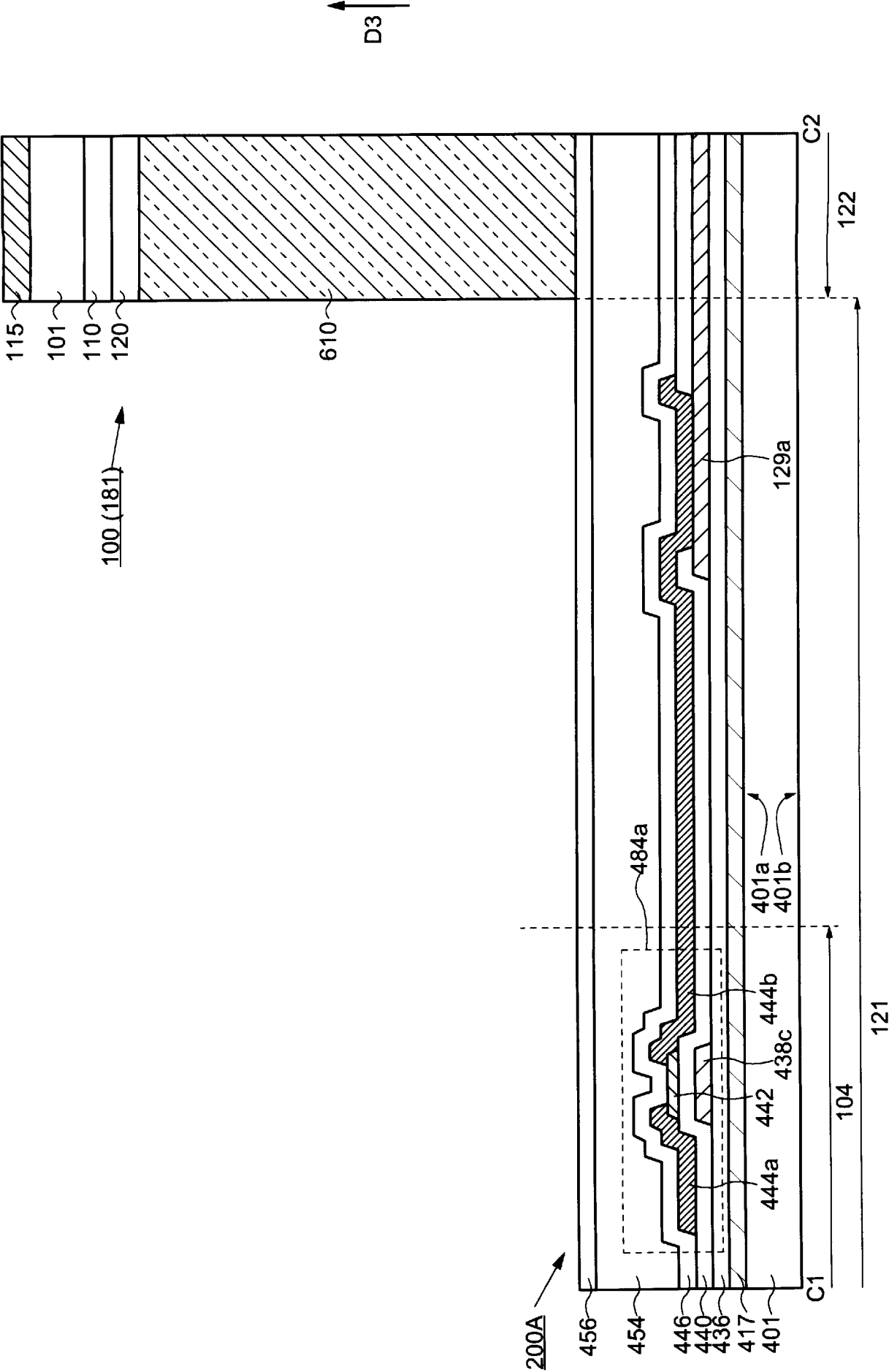
[図20]



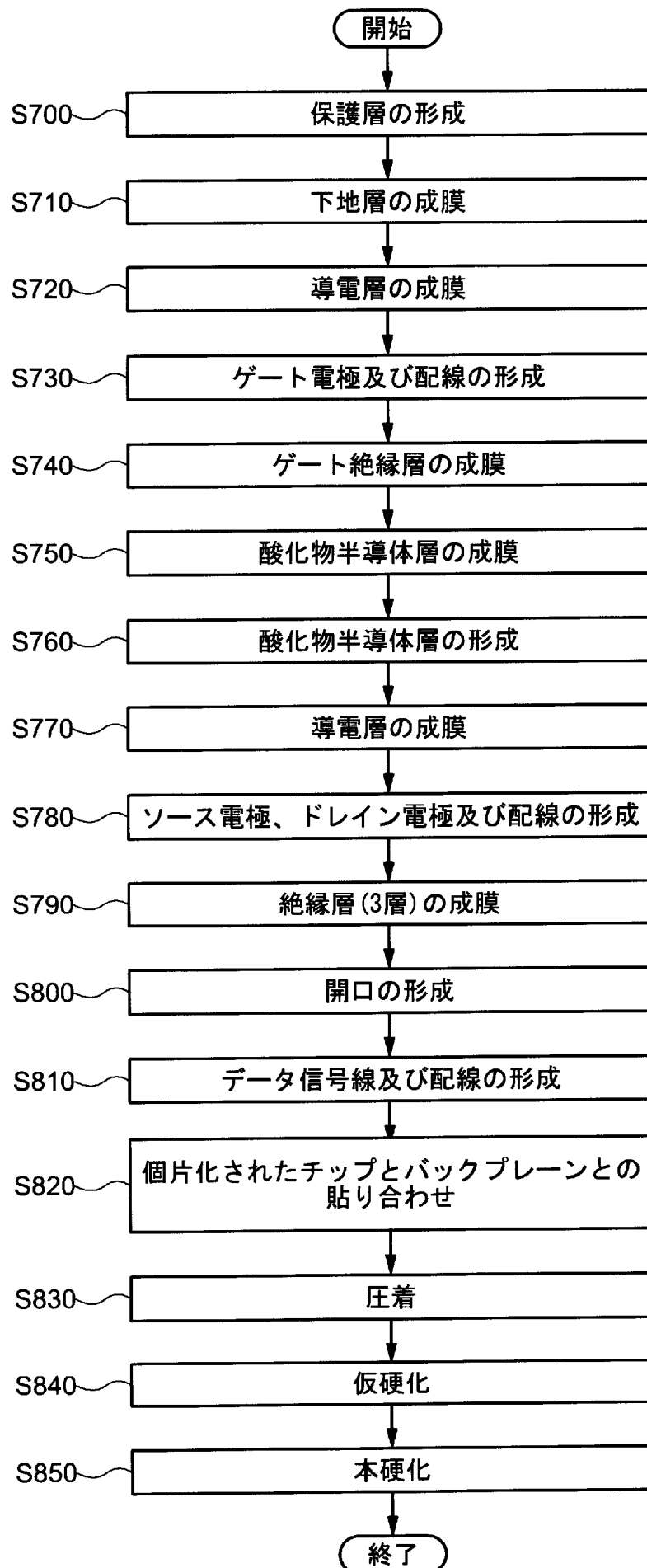
[図21]



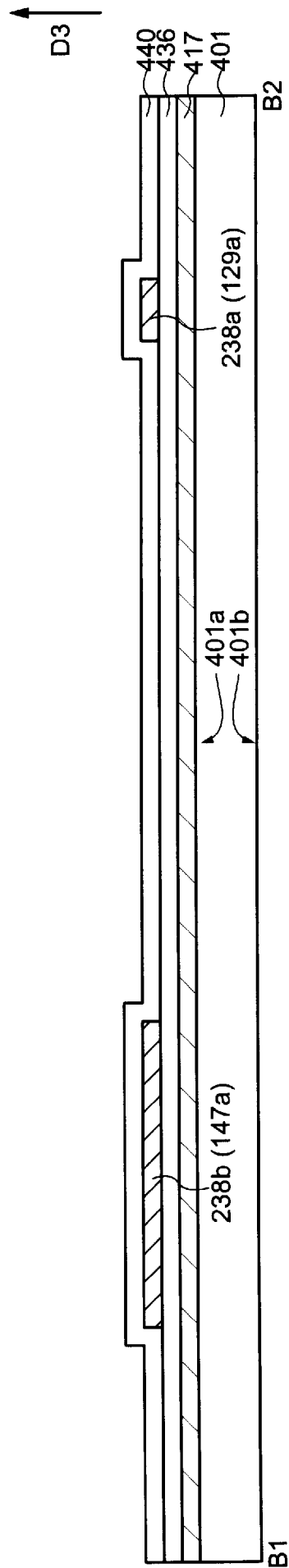
[図24]



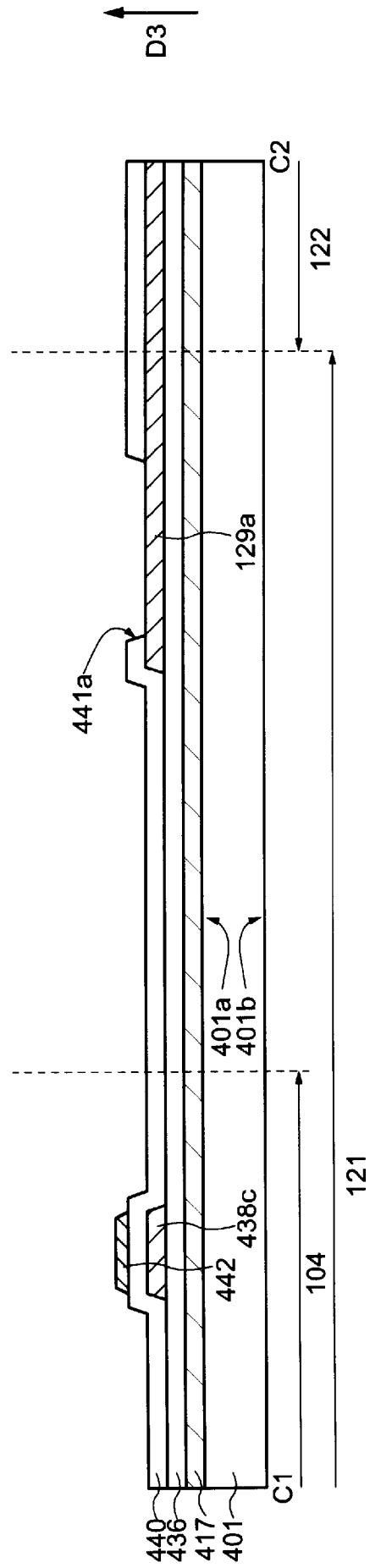
[図25]



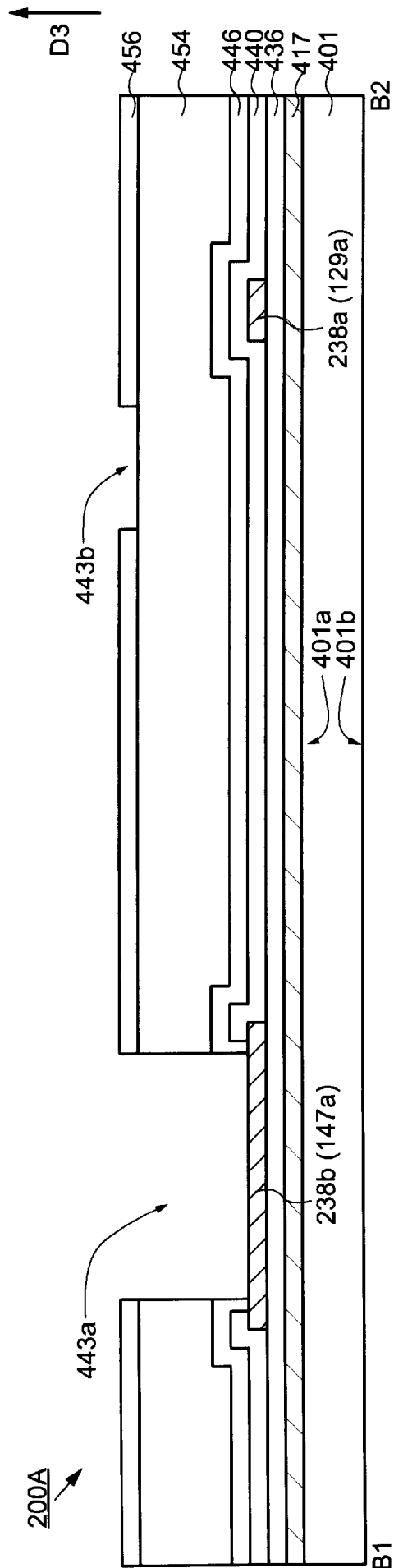
[図26]



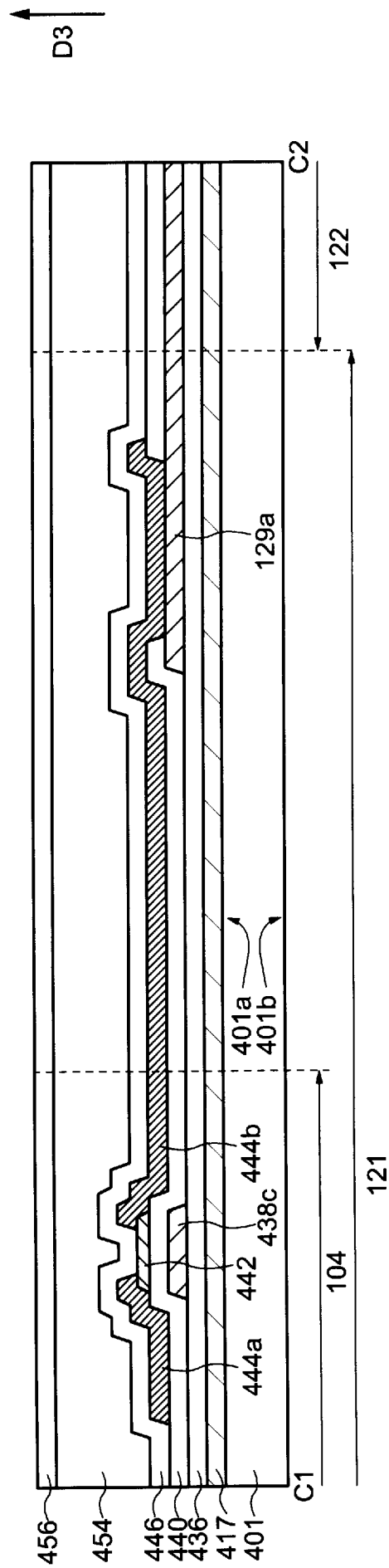
[図27]



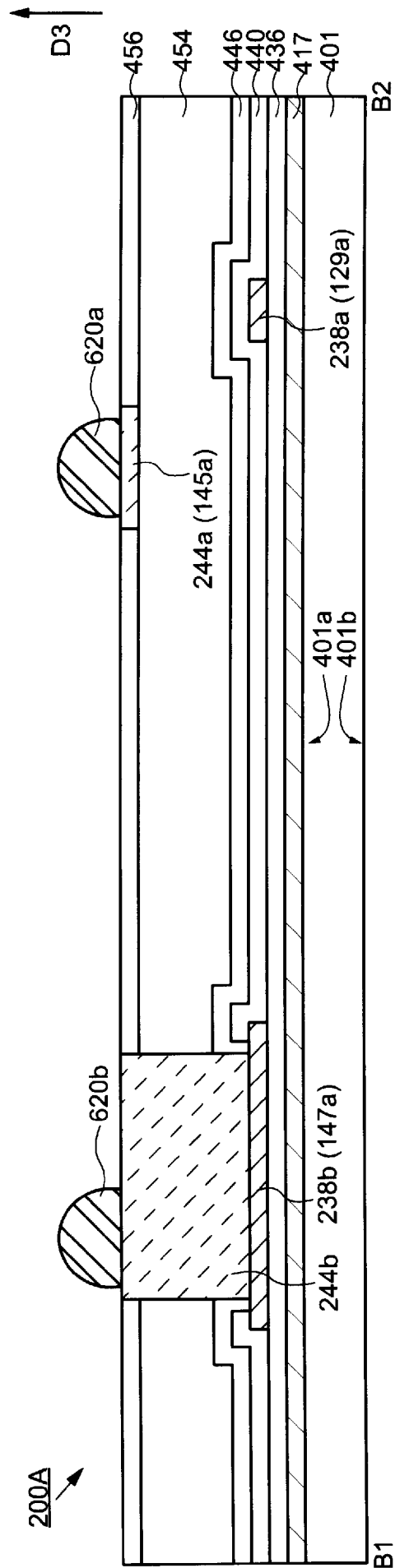
[図28]



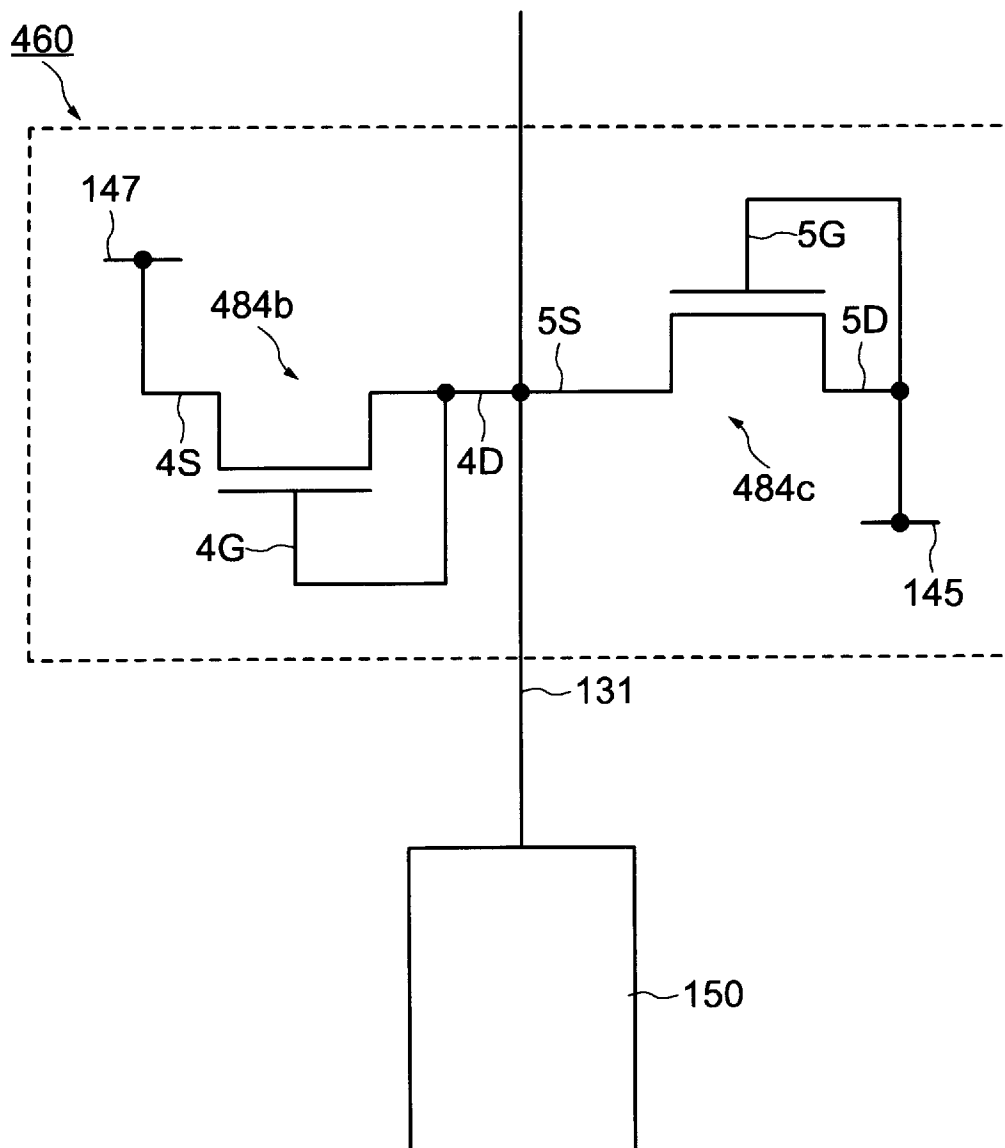
[図29]



[図30]



[図31]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/040524

A. CLASSIFICATION OF SUBJECT MATTER <i>G09F 9/30</i> (2006.01)i; <i>G02B 5/20</i> (2006.01)i; <i>G09F 9/33</i> (2006.01)i; <i>H01L 21/20</i> (2006.01)i; <i>H10D 30/67</i> (2025.01)i; <i>H10D 86/60</i> (2025.01)i; <i>H10H 20/00</i> (2025.01)i; <i>H10H 20/851</i> (2025.01)i; <i>H10H 20/853</i> (2025.01)i; <i>H10H 20/857</i> (2025.01)i FI: G09F9/30 338; G09F9/33; G09F9/30 349B; H01L33/00 L; H01L33/62; H01L33/50; H01L33/54; H01L29/78 618B; H01L21/20; H01L29/78 612Z; G02B5/20 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09F9/00-9/46; G02B5/20-5/28; H01L21/18-21/20; H01L21/34-21/36; H01L21/84; H01L29/78; H01L33/00-33/64 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2022/059527 A1 (NICHIA CORPORATION) 24 March 2022 (2022-03-24) paragraphs [0028], [0030]-[0032], [0035], [0042], [0210]-[0216], fig. 26	1-16
Y	JP 2022-518790 A (SAMSUNG DISPLAY CO., LTD.) 16 March 2022 (2022-03-16) paragraph [0089]	1-16
Y	WO 2023/145215 A1 (JAPAN DISPLAY INC.) 03 August 2023 (2023-08-03) paragraph [0028]	2
Y	WO 2023/074098 A1 (JAPAN DISPLAY INC.) 08 May 2023 (2023-05-08) paragraph [0028]	2
Y	JP 2023-155311 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 20 October 2023 (2023-10-20) paragraphs [0261], [0323]	3, 7-10, 15-16
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 27 December 2024		Date of mailing of the international search report 14 January 2025
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2022-116072 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 09 August 2022 (2022-08-09) paragraphs [0136], [0142]	3, 7-10, 15-16
Y	JP 2005-317619 A (ISHIMARU, Hisaaki) 10 November 2005 (2005-11-10) paragraphs [0124]-[0126], fig. 18	5
Y	WO 2023/084921 A1 (JAPAN DISPLAY INC.) 19 May 2023 (2023-05-19) paragraphs [0034]-[0045]	13, 16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/040524

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2022/059527	A1	24 March 2022	US 2023/0207768 A1 paragraphs [0086], [0088]- [0090], [0093], [0100], [0289]- [0297], fig. 26 EP 4216289 A1 CN 116134630 A TW 202224232 A	
JP	2022-518790	A	16 March 2022	US 2022/0077419 A1 paragraph [0115] WO 2020/159045 A1 EP 3920252 A1 KR 10-2020-0094243 A CN 113348567 A	
WO	2023/145215	A1	03 August 2023	CN 118556300 A	
WO	2023/074098	A1	08 May 2023	US 2024/0274648 A1 paragraph [0050]	
JP	2023-155311	A	20 October 2023	US 2015/0261257 A1 paragraphs [0276], [0338] JP 2022-58638 A JP 2020-106846 A JP 2015-187724 A KR 10-2015-0106834 A KR 10-2022-0045136 A KR 10-2023-0021063 A	
JP	2022-116072	A	09 August 2022	US 2020/0020298 A1 paragraphs [0161], [0167] JP 2018-106156 A WO 2018/116049 A1 TW 201830364 A CN 110088823 A	
JP	2005-317619	A	10 November 2005	(Family: none)	
WO	2023/084921	A1	19 May 2023	US 2024/0274624 A1 paragraphs [0046]-[0057] CN 118339660 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

G09F 9/30(2006.01)i; G02B 5/20(2006.01)i; G09F 9/33(2006.01)i; H01L 21/20(2006.01)i;
H10D 30/67(2025.01)i; H10D 86/60(2025.01)i; H10H 20/00(2025.01)i; H10H 20/851(2025.01)i;
H10H 20/853(2025.01)i; H10H 20/857(2025.01)i
FI: G09F9/30 338; G09F9/33; G09F9/30 349B; H01L33/00 L; H01L33/62; H01L33/50; H01L33/54; H01L29/78
618B; H01L21/20; H01L29/78 612Z; G02B5/20

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G09F9/00-9/46; G02B5/20-5/28; H01L21/18-21/20; H01L21/34-21/36; H01L21/84; H01L29/78; H01L33/00-33/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2022/059527 A1（日亜化学工業株式会社）24.03.2022（2022-03-24） 段落[0028], [0030]-[0032], [0035], [0042], [0210]-[0216], 図26	1-16
Y	JP 2022-518790 A（三星ディスプレイ株式会社）16.03.2022（2022-03-16） 段落[0089]	1-16
Y	WO 2023/145215 A1（株式会社ジャパンディスプレイ）03.08.2023（2023-08-03） 段落[0028]	2
Y	WO 2023/074098 A1（株式会社ジャパンディスプレイ）08.05.2023（2023-05-08） 段落[0028]	2
Y	JP 2023-155311 A（株式会社半導体エネルギー研究所）20.10.2023（2023-10-20） 段落[0261], [0323]	3, 7-10, 15-16

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
27.12.2024

国際調査報告の発送日
14.01.2025

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

▲瀬▼戸井 綾菜 2I 1569

電話番号 03-3581-1101 内線 3272

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2022-116072 A (株式会社半導体エネルギー研究所) 09.08.2022 (2022 - 08 - 09) 段落[0136], [0142]	3, 7-10, 15-16
Y	JP 2005-317619 A (石丸 寿明) 10.11.2005 (2005 - 11 - 10) 段落[0124]-[0126], 図18	5
Y	WO 2023/084921 A1 (株式会社ジャパンディスプレイ) 19.05.2023 (2023 - 05 - 19) 段落[0034]-[0045]	13, 16

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/040524

引用文献			公表日	パテントファミリー文献			公表日
WO	2022/059527	A1	24.03.2022	US	2023/0207768	A1	
					[0086],[0088]-[0090], [0093],[0100],[0289]- [0297],FIG.26		
				EP	4216289	A1	
				CN	116134630	A	
				TW	202224232	A	

JP	2022-518790	A	16.03.2022	US	2022/0077419	A1	
					[0115]		
				WO	2020/159045	A1	
				EP	3920252	A1	
				KR	10-2020-0094243	A	
				CN	113348567	A	

WO	2023/145215	A1	03.08.2023	CN	118556300	A	

WO	2023/074098	A1	08.05.2023	US	2024/0274648	A1	
					[0050]		

JP	2023-155311	A	20.10.2023	US	2015/0261257	A1	
					[0276],[0338]		
				JP	2022-58638	A	
				JP	2020-106846	A	
				JP	2015-187724	A	
				KR	10-2015-0106834	A	
				KR	10-2022-0045136	A	
				KR	10-2023-0021063	A	

JP	2022-116072	A	09.08.2022	US	2020/0020298	A1	
					[0161],[0167]		
				JP	2018-106156	A	
				WO	2018/116049	A1	
				TW	201830364	A	
				CN	110088823	A	

JP	2005-317619	A	10.11.2005	(ファミリーなし)			

WO	2023/084921	A1	19.05.2023	US	2024/0274624	A1	
					[0046]-[0057]		
				CN	118339660	A	
