

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>4</sup>  
H04N 5/48

(45) 공고일자 1985년06월29일  
(11) 공고번호 85-000957

(21) 출원번호	특1981-0005136	(65) 공개번호	특1983-0008602
(22) 출원일자	1981년12월22일	(43) 공개일자	1983년12월10일
(30) 우선권주장	180. 378 1980년12월22일	일본(JP)	
(71) 출원인	가부시기 가이샤 히다찌 세이사꾸쇼 미다 가쓰시게루 일본국 도쿄도 지요다구 마루노우찌 1쵸메 5반 1고		
(72) 발명자	구로 야나기 도모미쓰 일본국 가나가와켄 요코하마시 도쓰까구 요시다쵸 1545반쵸		
(74) 대리인	한규환		

심사관 : 백승남 (책자공보 제1085호)

(54) 텔레비전 수상기용 다중상 감소 회로장치

**요약**

내용 없음.

**대표도**

**도1**

**명세서**

[발명의 명칭]

텔레비전 수상기용 다중상 감소 회로장치

[도면의 간단한 설명]

제1도는 다중상 감소회로를 포함한 텔레비전 수상기의 블럭도.

제2도는 종래의 다중상 감소회로장치의 블럭도.

제3도는 제2도의 다중상 감소회로의 동작을 설명하기 위한 파형도.

제4도는 본 발명의 일실시예에 따르는 다중상 감소회로의 블럭도.

제5도는 제4도의 다중상 감소회로의 동작을 설명하기 위한 파형도.

제6도는 제4도에 도시된 지연신호 선택 스위치의 구체적 회로도.

제7도는 이득 제어회로의 구체적 회로도이다.

\* 도면의 주요부분에 대한 부호의 설명

100 : 영상신호입력단자	111'-114' : 제1지연소자 세트
101 : 영상신호출력단자	211-214 : 제2지연소자 세트
102 : 제어전압발생회로	220-224 : 제2이득 제어회로세트
103 : 기준신호발생회로	204 : 제2가산회로
401 : 횡단여파기	201 : 제2제저전압발생회로
121-124 : 이득제어회로	203 : 제2비교회로
402 : 스위치 제어회로	205 : 제2감산회로
403 : 지연신호 선택스위치	106' : 제1감산회로
404 : 제2횡단여파기	

[발명의 상세한 설명]

본 발명은 텔레비전 수상기에 관한 것으로, 특히 다중상간섭을 완화하는 텔레비전 수상기의 다중상 감소회로장치에 관한 것이다.

최근들어 일본 텔레비전 공학회의 국내 회의록(p.349, 1979)과 일본 특허출원 공개공보 제79-108521 화와 같은 간행물에는, 영상신호의 파형을 등화(等化)시켜 텔레비전 방송시스템내의 다중상의 간섭을 줄이는 소위 횡단 여파기(transversal filter)를 이용한 다중상 감소회로를 가진 텔레비전 수상기가 명세되어 있다.

본 발명의 목적, 특징 및 장점들은 첨부 도면에 의거하여 상세히 설명하면 다음과 같다.

본 발명에 따르는 텔레비전 수상기용 다중상 감소회로의 구조는, 각각 제1지연시간을 갖는 n개의 제1지연 소자세트와, 제1지연소자 세트의 출력신호가 일대 일로 인가되는 n개의 제1이득 제어회로 세트와, 제1지연소자 세트의 입력 단자에 인가되는 다중상 신호를 포함한 텔레비전 신호를 기준신호와 비교하고 그 비교 결과를 근거로 제1이득 제어회로 세트의 개개의 이득을 제어하는 신호를 발생시킬 수 있는 제1제어 전압 발생회로와, 입력 텔레비전 신호로부터 제1가산회로의 출력신호를 빼는 제1감산회로와, 각각 제2지연 시간을 갖는 m개의 제2지연 소자세트와, 제2지연소자 세트의 하나 이상의 출력신호가 일대 일로 인가되어지는 m개의 제2이득 제어회로 세트와, 제1지연소자 세트의 하나 이상의 출력신호를 제2지연 소자 세트에 선택적으로 공급하는 장치와, 제1감산회로의 출력신호를 기준신호와 비교하여 그 비교 결과를 근거로 제2이득제어회로 세트의 각각의 이득을 제어하는 신호를 발생하는 제2제어 전압 발생회로와, 제2이득 제어회로 세트의 출력신호를 합하는 제2가산회로와, 제1가산회로의 출력신호로부터 제2가산회로의 출력신호를 빼는 제2감산회로 등으로 구성된다.

제1도는 다중상 감소회로를 가진 텔레비전 수상기의 블럭도이다. 도면에서, 참고번호 1은 안테나, 2는 튜너, 3은 중간 주파증폭회로, 4는 영상검파회로, 5는 다중상 감소회로, 6은 대역통과 여파기, 7은 대역통과 증폭회로, 8은 색(色) 동기회로, 9는 색 복조회로, 10은 영상증폭회로, 11은 매트릭스회로, 12는 수상관이다.

튜너(2)에 의해 수신된 텔레비전 신호는 중간 주파증폭회로(3)와 영상검파회로(4)를 통하여 영상신호로 변화되며, 3은 중간 주파증폭회로(3)와 영상검파회로(4)를 통하여 영상신호로 변환되며, 이 변환신호는 다중상 감소회로(5)에 입력된다. 다중상 감소회로(5)는 제2도에서 후술하는 바와 같이 다중상 신호가 제거된 영상 출력 신호를 발생한다.

반송(搬送)색 신호는 대역통과 여파기(6)를 통하여 다중상 감소회로(5)의 영상신호로부터 분리된다. 대역통과 증폭회로(7), 색동기회로(8) 및 색 복조회로(9)의 조합에 의해 색차(色差) 신호가 재생된다. 재생된 색차신호와, 영상증폭회로(10)의 휘도신호는 매트릭스회로(11)에서 처리된 후 수상관(12)에 인가된다.

제2도는 종래의 다중상 감소회로장치를 나타내는 블럭도이다. 참고번호 100은 영상신호 입력단자를, 101은 영상신호 출력단자를, 111~116은 각각 지연시간  $\tau$ 을 갖는 지연소자를, 121-126은 이득 제어회로를, 102는 제어전압 발생회로를, 103은 기준신호 발생회로를, 104는 발생회로를, 104는 발생회로를, 105는 가산회로를, 106은 감산회로를 나타낸다.

횡단여파기(401)는 지연소자, 이득 제어회로 및 가산회로 등으로 구성된다.

다음은 제2도에 도시된 회로의 동작 원리를 설명한 것이다.

제2도에서, 다중상 간섭을 받은 영상신호는 입력단자(100)에 인가된다. 횡단여파기(401)내에 있는 지연소자(111-116)의 출력단자에서 취출된 영상신호는 각각 이득 제어회로에 인가되어 여기서 제어전압 발생회로(102)의 제어 전압에 따라 진폭과 극성으로 제어된다. 이후 이들 영상신호는 가산회로(105)에 인가되어 서로 합하여진다.

비교회로(104)는 기준신호 발생회로(103)의 출력신호와 입력단자(100)에 인가되는 다중상 간섭에 종속되는 영상신호를 이용하여 다중상 신호를 검출한다. 제어전압 발생회로(102)는 다중상 신호를 받아서 제어신호를 만들어 넘으로써 횡단 여파기(401)의 출력신호 또는 가산회로(105)의 출력신호가 다중상 신호에 근사화되도록 하였고, 이에 의해 횡단여파기(401)의 파주수 특성을 제어하도록 하였다.

이러한 장치하에서, 가산회로(105)의 출력신호와 영상신호 입력단자의 영상신호는 감산회로(106)의 감산동작에 종속을 받는다. 이 과정을 통해서 영상신호출력단자(101)에는 다중상 신호가 존재하지 않는 영상신호가 나타나게 된다.

시간  $t_0$ 에서 입력단자(100)의 영상신호를  $X_0$ , 직접파(direct wave) 신호를  $V_0$ , 다중상 신호를  $g_0$ 라고 가정하면. 이들은 다음과 같이 표현된다.

$$X_0 = V_0 + g_0$$

마찬가지로, 영상신호 출력단자(101)에서의 영상신호( $y_0$ )는 다음과 같이 주어진다.

$$y_0 = X_0 - \sum_{p=1}^l a_p \cdot X_{0-p}$$

$$= V_0 + g_0 - \sum_{p=1}^l a_p \cdot X_{0-p}$$

여기서,  $l$ 은 지연소자의 갯수를,  $a_1, a_2, \dots, a_l$ 은 이득 제어회로의 이득을,  $X_{0-p}$ 는  $p$ 번째 지연소자의 출력 신호를 나타낸다. 위의 식에서 알 수 있는 바와같이, 이득제어회로(121-126)의 이득 ( $a_1, a_2, \dots, a_l$ )이

$$g_0 = \sum_{p=1}^l a_p \cdot X_{0-p}, \quad y_0 = v_0$$

제어되면,

로 유지되고 다중상 신호는 제거될 수 있다.

제3도에서, A~F는 회로내의 해당 부분에서의 파형을 나타낸다.

A는 수평동기신호(51) 및 그의 다중신호(52)를 포함한 입력단자(100)의 영상 신호 파형을 나타낸다. 제3도의 경우, 동기신호내에 단 하나의 다중상 신호가 포함된다 하더라도, 실제로는 다수개의 다중상 신호가 포함될 수 있다.

B는 기준신호 파형을 나타내는데, 이 신호로서 보통 영상신호가 존재하지 않은 수직플라이백 주기동안의 신호를 이용한다.

$C_1 \sim C_4$ 는 4단계의 지연소자(111~114)에 의해 신호(A)를 지연시킴으로써 얻어진 파형이다. 지연소자들의 지연시간은 각각  $\tau$ 이다.

$D_1 \sim D_4$ 는 이득( $a_1 \sim a_4$ )이

$$a_1 = \frac{1}{4} \quad a_3 = \frac{1}{4}$$

$$a_2 = \frac{1}{2} \quad a_4 = \frac{1}{4}$$

일 때 이득 제어회로(121~124)의 출력신호 파형을 나타낸다.

E는 횡단 여파기(401)의 출력신호 파형을 나타낸다. 즉, 파형(E)는 출력신호를 파형( $D_1 \sim D_4$ )에 합하는 가산회로(105)의 출력신호 파형이다.

F는 파형(A)에서 가산회로(105)의 파형(E)을 뺀 파형이며, 도면에서 보는 바와같이 다중상 신호(52)의 진폭이 줄어든다.

종래에는 다중상 신호가 생성되는 시간 위치(지연시간)가 길었다. 더우기, 다수개의 복잡한 다중상 파형이 생성되면 제2도의 지연소자의 갯수가 하나 더 증가해야 하고, 지연소자의 각 단계에서의 지연시간은 작아야 한다.

텔레비전 스크린의 반에 해당하는 시간위치 (약  $10 \mu s$ )에 발생하는 다중상을 제거하기 위해서는, 영상신호의 주파수 대역이  $4.5 MHz$ 일 때 개개의 지연소자의 지연시간은 표본화 정리에 의하여

$$\tau = \frac{1}{4.5 MHz \times 2} = 100 nS \text{로}$$

주어진다. 따라서 지연소자의 단계수는

$l = 10 \mu s / 100 nS = 100$ 단계이다. 지연소자를 너무 많이 사용하는 것은 다중상 감소회로를 갖춘 텔레비전 수상기의 실현을 어렵게 한다.

따라서 본 발명의 목적은, 종래에 비하여 문제시되고 있는 지연소자의 갯수가 1/2로 감소된 텔레비전 수상기용 다중상 감소회로를 제공하는데 있다.

이를 위하여, 본 발명에 따르는 다중상 감소 회로장치는 비교적 긴 지연시간을 가진 다수개의 지연소자로 이뤄진 제1횡단 여파기와 비교적 짧은 지연시간을 가진 다수개의 지연소자로 이뤄진 제2횡단 여파기로 구성되어 있는데, 제2횡단 여파기는 제1횡단 여파기를 형성하는 다수개의 지연소자의 출력 신호중 최소한 하나 이상의 신호를 선택하여 만들어진 신호를 받는다.

다음은 제4도를 참가하여 본 발명에 따르는 다중상 감소회로의 실시예를 설명한 것이다. 제4도에서, 프라임 부호가 붙은 숫자는 제2도의 동일번호 블럭과 같은 기능을 갖는 블럭을 표시하는데 사용된다.

참고번호 402는 스위치 제어회로를, 403은 지연신호 선택스위치를, 404는 제2횡단 여파기를 나타낸다. 참고번호 111'~114'는 각각 지연시간  $\tau'$ 를 갖는 제1지연소자 세트를, 211~214는 지연시간  $\tau''$ 를 갖는 제2지연소자 세트를, 220~224는 제2이득 제어회로 세트를, 204는 제2가산회로를 나타낸다. 이들 부품은 제2횡단여파기(404)를 구성한다. 201은 제2제어 전압발생회로를, 203은 제2비교회로를, 205는 제2감산회로를 나타낸다.

제2도에 도시된 종래의 실시예와는 달리, 제4도에 도시된 본 발명의 실시예는 제1횡단 여파기(401)를 형성하는 지연소자(111'~114')의 출력신호, 제2지연소자세트(111'~114')와 제2이득제어회로(220~224)와 제2가산회로(204)로 구성된 제2횡단여파기(404)의 출력신호, 제2제어전압 발생회로(201)의 출력신호, 제2비교기(203)의 출력신호 중에서 하나의 출력신호를 선택하는 지연신호 선택스위치(403)를 부가적으로 수용하고 있다.

제4도에서 제1횡단 여파기(401)를 형성하는 제1지연소자세트(111'~114')의 지연시간  $\tau'$ 가 종래의 지연시간보다 길다하더라도 제1및 제2횡단여파기(401), (401)의 동작은 제2도의 그것과 근본적으로 유사하다.

일예로, 지연시간  $\tau'$ 가 250nS로 선택될 때, 제1횡단 여파기(401)에 의하여 제거될 수 있는 다중상 신호의 주파수 대역( $f_v$ )은 표본화 정리에 의하여 다음과 같이 주어진다.

$$f_v < \frac{2}{250nS}$$

<2MHz

따라서, 제1횡단 여파기(401)의 출력신호와 입력 영상 신호와의 감산 동작을 행하는 제1감산회로(106')의 출력신호에서 2MHz의 고주파 성분이나 그 이상의 다중상 간섭성분은 불완전하게 제거되는 반면, 다중상 신호의 저주파 성분만이 제거된다.

제1횡단 여파기(401)에 부가되어 설치된 제2횡단 여파기(404)의 제2지연소자(211~214)의 지연시간  $\tau''$ 은 종래의 경우 100nS이다.

이때 제거 가능한 다중상 신호의 주파수 대역  $f'_v$ 은 아래와 같다.

$$f'_v < \frac{2}{100}$$

<5MHz

따라서 제1감산회로(106')의 출력신호로 부터 횡단 여파기(404)의 출력신호, 즉 제2가산회로(204)의 출력신호를 뺀 결과 얻어진 출력신호는 다중상 신호가 거의 완전하게 제거된 영상신호가 된다.

제5도에서, A~J는 제4도에 도시된 회로의 해당 부분에서의 파형을 나타낸다.

A와 B는 각각 다중상 신호(52)를 포함한 입력단자(100)에서 영상신호의 파형과, 기준신호 발생회로(103)의 파형을 나타낸다.  $t_0$ 는 다중상신호의 시간위치 또는 지연시간을 나타낸다.

F'는 제1감산회로(106')의 출력신호 파형을 나타내는데, 이 신호는 파형(A)를 갖는 영상신호로 부터 제1횡단여파기(401)의 출력신호를 빼서 얻어진 파형이다.

전술한 바와같이, F'파형은 아직 다중상 신호의 고주파 성분(52')을 포함하고 있다. 즉 다중상 신호가 파형(F')로 부터 완전히 제거되지 않았다.

G는 지연신호 선택스위치(403)의 출력신호를 가르킨다. 스위치 제어회로(402)의 제어동작하에서 제4도에 도시된 지연신호 선택스위치(403)를 통하여 하나의 적당한 출력신호가 제1지연소자(111'~114')의 출력신호 중에서 선택된다.

스위치 제어회로(402)는 제1횡단 여파기(401)의 지연 소자의 출력신호 중에서 다중상 신호의 시간위치  $t_0$ 정도 영상신호를 지연시켜 얻어지는 신호를 선택한다.

다중상 신호의 시간위치는 전술한 바와같이 제1횡단 여파기(401)내에 있는 이득 제어회로(221~224)의 개개의 최대 이득을 부여하는 각각의 지연소자로 부터 출력신호를 검출해 냄으로써 곧 알 수 있다.

$H_0 \sim H_5$ 는, 제2횡단 여파기(404) 내에 있는 제2이득 제어회로(220), (221)……의 이득( $b_0 \sim b_5$ )이

$$b_0 = \frac{1}{4} \quad b_3 = \frac{1}{4}$$

$$b_1 = \frac{1}{4} \quad b_4 = \frac{1}{4}$$

$$b_2 = \frac{1}{4} \quad b_5 = \frac{1}{4}$$

일 때 제2이득 제어회로(220)(221)……에서 얻어지는 출력파형을 나타낸다.

I는 제2횡단 여파기(404)의 출력신호, 즉 제2가산회로(204)의 출력신호의 파형을 나타내는데, 이 신호는 고주파 성분(52')의 파형과 유사하다. J는 제2감산회로(205)의 출력신호를 나타낸다.

파형(J)에서 알 수 있는 바와 같이, 파형(J)에 내포된 다중상 신호의 진폭은 파형(A)의 다중상 신호(52)에 비하여 충분히 감소되어 있다.

다음에는 본 발명에 따르는 제1 및 제2횡단 여파기를 구성하는 지연소자의 단계수를 종래와 비교하여 보기로 한다.

전술한 바와같이, 제1횡단 여파기를 구성하는 제1지연소자세트(111'~114')의 개개의 지연시간( $\tau'$ ) 250nS로 고정되어 있으며, 이는 종래의 지연시간 보다 길다. 종래에 있어서, 텔레비전 스크린의 약 1/4에 해당하는 시간 위치에서 발생하는 다중상 신호를 제거하는 경우를 생각해 보면, 이때 다중상 신호를 제거하기 위한 지연소자의 단계수(m)은 아래와 같다.

$$m = 10 \mu S / 250nS = 40 \text{ 단계}$$

제1횡단 여파기에 있어서, 다중상 신호의 고주파 성분은 제거될 수 있다.

따라서, 이 고주파 성분을 제거하기 위해서는 제2횡단 여파기(404)를 구성하는 제2지연소자세트(211~214)의 개개의 지연시간( $\tau''$ )가 100nS로 정해져야 하며, 이는 종래의 지연시간과 동일하게 된다.

이러한 경우, 제2횡단 여파기(404)의 입력신호는 제1횡단여파기(401)의 지연 소자에 의하여 이미 지연된 신호이다. 따라서, 제1횡단 여파기(401)의 총, 지연시간은( $\tau' \times m$ )이며, 제2횡단 여파기의 총 지연시간은  $\tau'' \times n$ 으로서 약 1/10이다.

결과적으로, 횡단여파기(404)를 구성하는 지연소자의 단계수(n)은 다음과 같이 주어진다.

$$n = 1 \mu S / 100nS = 10 \text{ 단계}$$

종래의 횡단 여파기가 100단계의 지연소자를 필요로 하는 반면, 본 발명의 횡단 여파기에서 요구되는 지연소자의 단계수는 50단계로서 종래의 1/20이 된다.

제5도의 실시예에서는, 제1횡단 여파기(401)의 제1지연소자세트(111'~114') 중에서 단 하나의 지연소자만이 제2횡단여파기(404)의 입력으로서 선택되어 사용된다.

다시 말해서, 제1지연소자세트(111'~114')에서 선택된 2개 또는 그 이상의 지연소자의 출력신호가 선택되어 합성되고, 이 합성신호가 제2횡단 여파기에 인가된다. 이 방법은 다중상 신호 제거 효과를 더욱 높여준다.

제6도는 지연신호 선택 스위치(403)의 회로도를 나타낸다. 전술한 바와같이, G는 지연신호 선택스위치(403)의 출력신호 파형을 나타낸다. 제5도에 도시된 스위치 제어회로(402)의 출력신호의 제어하에서, 적당한 신호가 제1지연 소자 세트(111'~114')의 출력신호 중에서 선택되어 지연신호 선택스위치(403)을 통하여 나타난다. 제6도에서 보는 바와같이, 회로내에는 n개의 전계효과 트랜지스터(이하 FET로 약함)가 배열되어 있는데, 이때 FET의 게이트 전극은 스위치 제어회로(402)의 다수개 출력단자에 접속되고, 드레인 전극은 부하저항( $R_L$ )에 접속되는 반면, 소오스 전극은 제1지연소자세트(111'~114')의 출력단자에 접속된다. 이러한 배열하에서, 스위치 제어회로(402)의 출력신호에 의해 "on"된 FET의 출력신호(G)만이 제2지연소자세트(211~214)의 입력신호로서 인가된다.

제7도에는 제 1 및 제2이득 제어회로(121'~124')(220~224)에 사용되는 실제의 장치가 도시되어 있다. 개개의 이득 제어 회로에서, 트랜지스터( $Q_4, Q_5$ ;  $Q_6, Q_7$ )의 내부저항은, 텔레비전 신호와 기준신호와의 차(差) 신호에 응동하여 제어신호를 발생하는 제어전압 발생회로(102', 201)의 출력신호( $V_c$ )에 변화됨으로써 트랜지스터( $Q_2$ ), ( $Q_3$ )로 구성된 차동증폭기의 이득을 변화시킨다. 입력신호( $V_{in}$ )는 제어전압( $V_c$ )에 의하여 제어된 후 부하저항( $R_c$ )의 양단에 출력신호로서 나타내게 된다. 트랜지스터( $Q_1$ )은 정전류원을 형성한다.

제어전압( $V_c$ )가 트랜지스터( $Q_4 \sim Q_7$ )의 에미터 전위를 초과하게 되면, 트랜지스터( $Q_5 \sim Q_6$ )은 도통되어 입력신호의 위상과 다른 위상을 갖는 출력신호를 발생한다.

반면에, 제어전압이 트랜지스터( $Q_4 \sim Q_7$ )의 에미터 전위보다 낮게 되면, 트랜지스터( $Q_5 \sim Q_6$ )은 부도통되어 입력신호와 동상(同相)인 출력신호를 발생한다. 따라서, 제7도에 도시된 이득 제어회로는 제어전압( $V_c$ )에 의해 이득을 제어할 뿐만 아니라 입력신호와 출력신호 사이에 위상 반전을 일으킬 수도 있다. 이리하여 이득 제어회로는 입력되는 텔레비전 신호내에 들어있는 다중상 신호를 분리시키는 신호를 발생시킬 수 있게된다.

제2지연소자 세트의 지연소자를 적당히 선택하는 것에 의해 4.5MHz의 다중상 신호나 종래의 다중상 신호는 종래에 비해 단계수가 1/2인 지연소자와 이득 제어회로의 조합에 의하여 제거될 수 있다.

상술한 본 발명의 실시예는 소위 피이드 포워드(feed forward) 형으로서 기준신호로서 횡단여파기의 입력신호를 사용한다. 본 발명은 다중상 감소회로의 출력신호를 이용하는 피이드백(feed back) 형에도 응용될 수 있음은 물론이다.

횡단 여파기는 전하 이동장치(charge transfer device; CTD (chip) 기술을 이용하여 집적회로를 제작될 수 있다. 이러한 경우, 본 발명이 이용될 때 집적회로의 칩(chip)면적도 줄일 수 있다. 이러한 점을 감안하여 볼 때 본 발명은 경제적인 면에서 종래 기술보다 우수한 것이다.

## (57) 청구의 범위

### 청구항 1

다중상 신호가 내포된 텔레비전 신호가 인가되는 입력단자(100)와, 각각 제1지연시간을 가지고 있으며 그의 입력단자가 상기한 입력단자에 접속되어 있고, 서로 직렬로 연결된 n개의 제1지연소자 세트와 (111'~114')와, 상기한 입력단자에 접속되어 위의 텔레비전 신호에 근거하여 기준신호를 발생하는 회로(103)와, 상기한 텔레비전 신호와 기준신호를 서로 비교하는 제1, 비교회로(104')와, 상기한 제1지연소자 세트의 출력신호가 인가되며, 상기한 지연소자의 출력신호의 진폭과 극성을 제어하는 n개의 제1이득 제어회로 세트(121~126)와, 상기한 제1비교회로의 출력신호를 근거로 이득 제어회로의 이득과 그의 출력신호를 제어하는 이득 제어 전압발생회로(102)와, 상기한 제1이득 제어회로의 출력신호들을 합하는 제1가산회로(105)와, 상기한 입력단자를 통해 인가된 텔레비전 신호로부터 상기한 제1가산회로의 출력신호를 빼는 제1감산회로(106')와, 각각 제2의 지연시간을 가지며, 서로 직렬로 연결된 m개의 제2지연소자 세트(211~214)와, 상기한 제2지연소자 세트의 입력단자에 선택적으로 제1지연소자 세트의 출력신호를 공급하는 지연신호 선택스위치(402)와, 상기한 이득 제어전압 발생회로의 출력신호 전압을 근거로 상기한 지연신호 선택스위치를 제어하는 스위치 제어회로(402)와, 상기한 기준신호와 제1감산회로의 신호를 비교하는 제2비교회로(203)와, 상기한 제2지연소자 세트의 출력신호의 진폭과 극성을 제어하는 m개의 제2이득 제어회로 세트(220~224)와, 상기한 제2비교회로의 출력신호를 근거로 제2이득 제어회로의 이득과 극성을 제어하는 신호전압을 상기한 제2이득 제어회로 세트에 공급하는 제2제어전압 발생회로(201)와, 상기한 제2이득 제어회로 세트의 출력신호들을 합하는 제2가산회로(204)와, 상기한 제1감산회로(106')의 출력신호로부터 제2가산회로의 출력신호를 빼는 제2감산회로(205) 등으로 구성된 텔레비전 수상기용 다중상 감소회로장치.

### 청구항 2

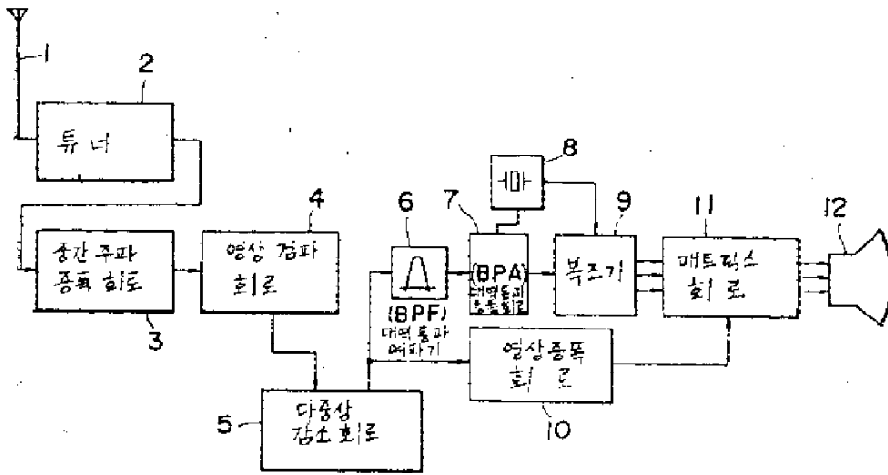
상기한 제1지연소자 세트의 지연시간이 제2지연소자세트의 지연시간보다 길게 선택되는, 청구범위 1항에 따르는 다중상 감소회로장치.

### 청구항 3

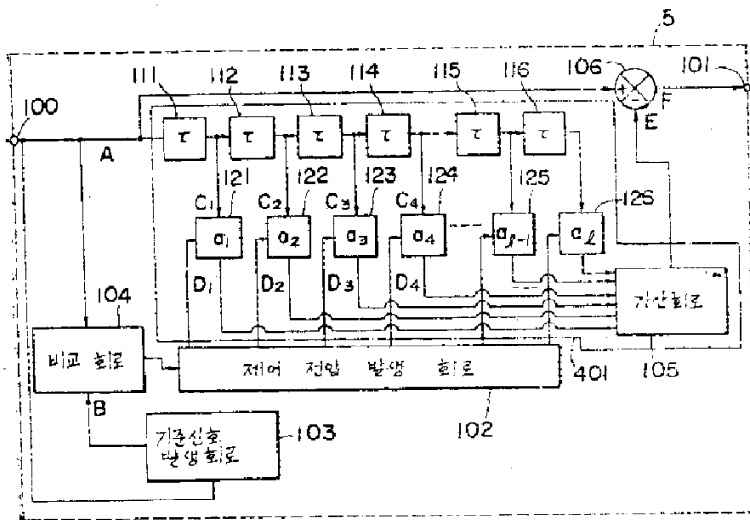
상기한 지연신호 선택스위치가 다수개의 지연신호 입력단자와 다수개의 제어신호 입력단자와 하나의 출력단자를 가지고 있으며 상기한 제어신호를 근거로 상기한 지연신호를 선택적으로 발생하고, 위의 지연신호 선택스위치가 다수개의 FET로 구성되는데 그의 드레인 전극이 출력단자에 접속되어 있고 소스 전극은 지연신호와 결합되며 게이트 전극이 상기한 스위치 제어회로의 제어전압과 결합되어 있는 청구범위 1항에 따르는 다중상 감소회로 장치.

## 도면

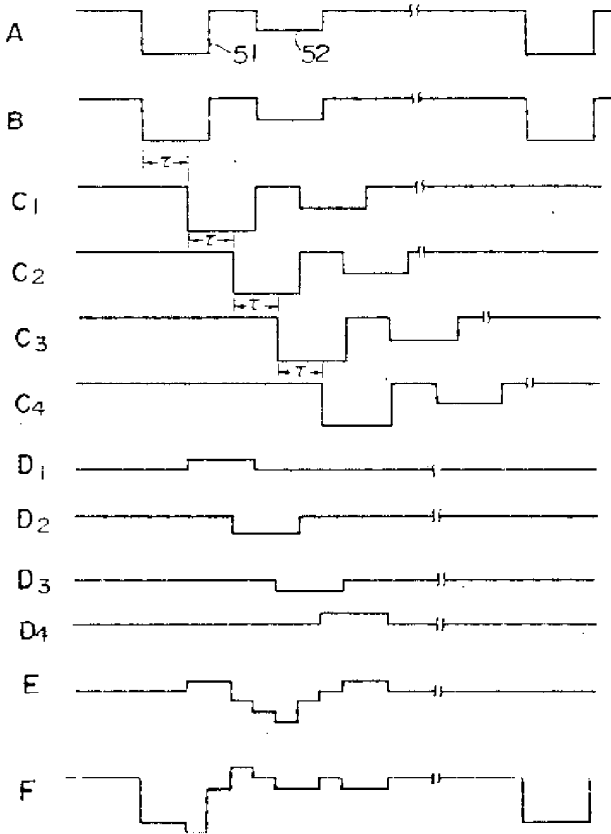
도면1



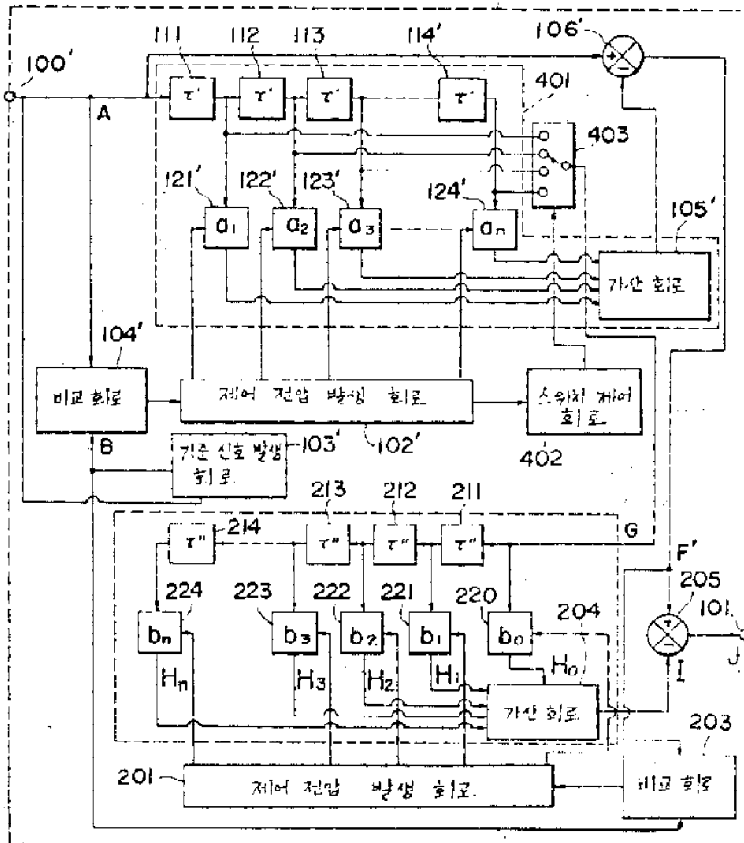
도면2



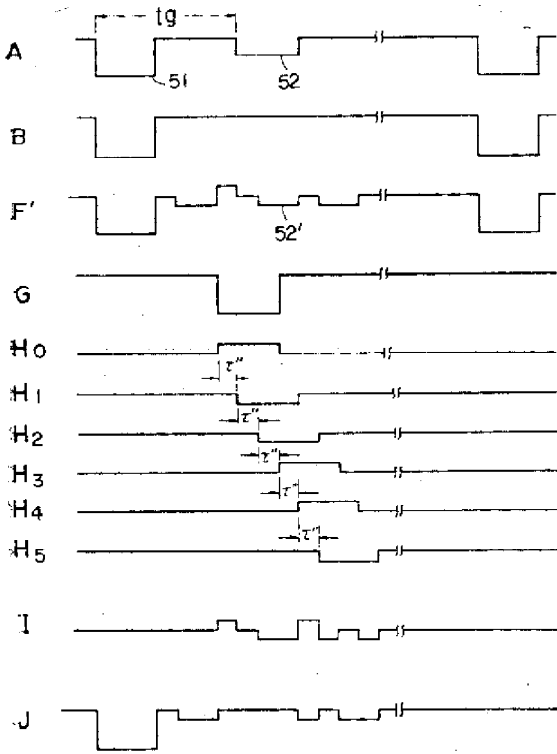
도면3



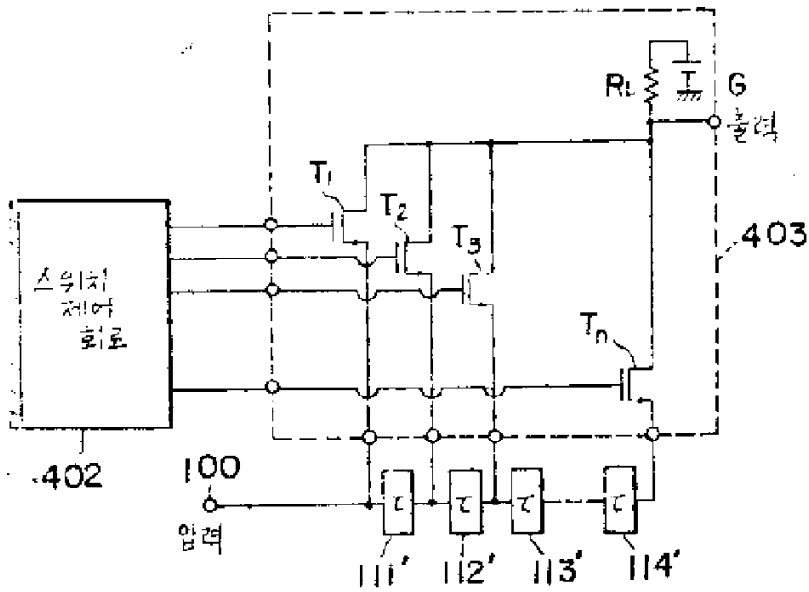
도면4



도면5



도면6



도면7

