

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/3065 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년06월15일 10-0590370 2006년06월08일
---	-------------------------------------	--

(21) 출원번호	10-2001-7004885	(65) 공개번호	10-2001-0080234
(22) 출원일자	2001년04월19일	(43) 공개일자	2001년08월22일
번역문 제출일자	2001년04월19일		
(86) 국제출원번호	PCT/JP1999/005821	(87) 국제공개번호	WO 2000/24046
국제출원일자	1999년10월22일	국제공개일자	2000년04월27일

(81) 지정국 국내특허 : 대한민국, 미국,

 EP 유럽특허 : 독일, 프랑스, 영국, 이탈리아,

(30) 우선권주장 98-319942 1998년10월22일 일본(JP)

(73) 특허권자 동경 엘렉트론 주식회사
 일본국 도쿄도 미나토구 아카사카 5초메 3반 6고

(72) 발명자 사이토다케시
 일본야마나시켄니라사키시혼초2-9-17

 나가세키가즈야
 일본야마나시켄기타코마군다카네초시모쿠로사와1747

(74) 대리인 김창세

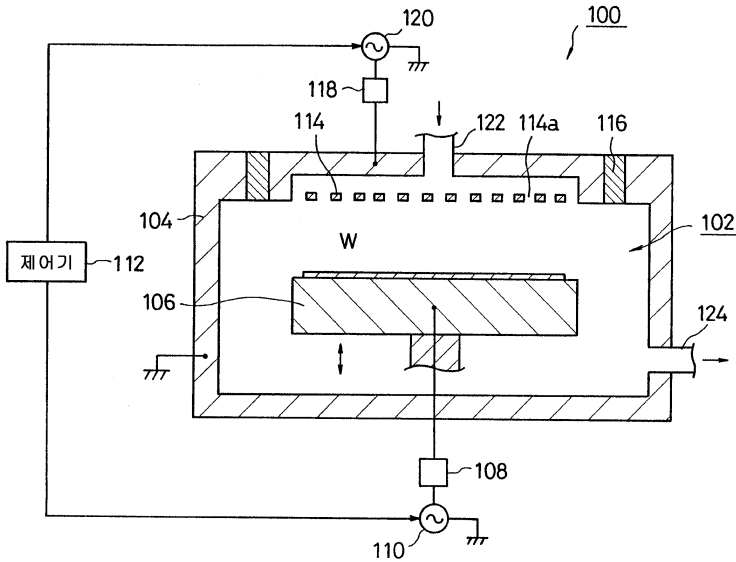
심사관 : 김성희

(54) 플라즈마 에칭 방법

요약

에칭 장치(100)의 처리실(102)내에 배치된 하부 전극(106)상에 웨이퍼(W)를 탑재함과 동시에, 처리실(102)내에 C₄F₈를 포함하는 가스를 도입한다. 제어기(112)에 의해 플라즈마 생성용 전원(120)으로부터 27MHz의 전력을 상부 전극(114)에 인가함과 동시에, 바이어스용 전원(108)으로부터 800kHz의 전력을 하부 전극(106)에 간헐적으로 인가한다. 바이어스용 전력이 온일 때는 웨이퍼(W)의 SiO₂로 이루어지는 절연막(202)이 에칭되고, 오프일 때는 포토레지스트막(206)에 폴리머(보호막)(208)가 형성된다. 이러한 구성에 의해, 포토레지스트막에 대한 절연막의 선택비를 향상시켜, 소정 형상의 콘택트홀을 형성하는 것이 가능하다.

대표도



명세서

기술분야

본 발명은 플라즈마 에칭 방법에 관한 것이다.

배경기술

종래 기술에서는 기밀 처리실내에 상부 전극과 하부 전극을 대향되게 배치한 플라즈마 에칭 장치가 제안되었다. 이러한 장치에서는 우선 하부 전극상에 피 처리체, 예컨대 반도체 웨이퍼(이하, "웨이퍼"라고 칭함)를 탑재한 후, 처리실내에 처리 가스를 도입함과 동시에, 처리실내를 진공 상태로 하여 소정의 압력 분위기로 유지한다. 이어서, 상부 전극에 대하여 플라즈마 생성용 전력을 인가함과 동시에, 하부 전극에 대하여 일정한 전력으로 유지된 바이어스용 전력을 인가한다. 그 결과, 처리실내의 처리 가스가 해리되어 플라즈마와 래디컬(radical)이 생성되고, 그 래디컬 및 바이어스용 전력에 의해 웨이퍼에 인입된 플라즈마내의 이온에 의해 웨이퍼상에 형성된 SiO_2 (산화실리콘)막과 같은 절연막이 이온 어시스트 에칭(ion-assist etching)되어, 해당 절연막에 콘택트 홀(contact hole)이 형성된다.

그러나 $0.15\mu\text{m}$ 디자인 룰(design rule)하에서 콘택트 홀을 형성하는 경우에는, 높은 종횡비(aspect ratio)가 요구되고, 절연막의 에칭율이 저하된다. 또한, 절연막의 표면에 형성된 포토레지스트막(photoresist film)은 이온에 의해 항상 스퍼터링(sputtering)된다. 이 때, 포토레지스트막의 상면과 패턴 형성면 사이에 형성된 모퉁이가 대부분 스퍼터링되는 경향이 있다. 그 결과, 도 2d에 도시된 바와 같이, 포토레지스트막(206)의 패턴 폭이 넓어지게 되어, 소망하는 콘택트 홀(210)을 형성할 수 없는 문제가 발생한다. 따라서, 포토레지스트막(206)의 에칭율(또는 에칭량)에 대한 절연막(202)의 에칭율(또는 에칭량)의 비(이하, "선택비"라고 함)를 향상시키는 기술이 요구된다.

본 발명은 종래의 기술이 갖는 상기한 바와 같은 문제점에 비추어 이루어진 것으로, 본 발명의 목적은 에칭의 선택비를 향상시켜, 피 처리체에 초미세 에칭 가공을 실시할 수 있는 신규하고 개량된 플라즈마 에칭 방법을 제공하는 것이다.

발명의 요약

상기 과제를 해결하기 위해, 본 발명의 제 1 특징에 따르면, 처리실내에 처리 가스를 도입하고, 플라즈마원에 의해 처리실내에 플라즈마를 생성함과 동시에, 처리실내에 배치된 전극에 바이어스용 전력을 인가하여, 전극상에 탑재된 피 처리체에 대하여 소정의 에칭 처리를 실시하는 플라즈마 에칭 방법에 있어서, 바이어스용 전력을 전극에 인가하여 소정의 에칭 시간에 걸쳐 피 처리체에 에칭을 실시하는 에칭 단계와, 바이어스용 전력을 저감 혹은 차단하여 소정의 성막 시간에 걸쳐서 피 처리체 표면의 에칭 마스크에 보호막을 형성하는 성막(film formation)을 실시하는 성막 단계를 순차적으로 반복하며, 이 때에 상기 성막 시간은 에칭 처리의 진행에 따라 상기 에칭 시간의 길이에 대하여 상대적으로 연장되는 것을 특징으로 하는 플라즈마 에칭 방법이 제공된다.

또한 본 발명의 제 2 특징에 따르면, 처리실내로 처리 가스를 도입하고, 플라스마원에 의해 상기 처리실내에 플라스마를 생성함과 동시에, 상기 처리실내에 배치된 전극에 바이어스용 전력을 인가하여, 상기 전극상에 탑재된 피 처리체에 대하여 소정의 에칭 처리를 실시하는 플라스마 에칭 방법에 있어서, 상기 바이어스용 전력을 상기 전극에 인가하여 소정의 에칭 시간에 걸쳐서 상기 피 처리체에 에칭을 실시하는 에칭 단계와, 상기 바이어스용 전력을 차단하여 소정의 성막 시간에 걸쳐서 상기 피 처리체 표면의 에칭 마스크에 보호막을 형성하는 성막을 실시하는 성막 단계를 순차적으로 반복하며, 이 때에 상기 성막 단계로 개시되고 상기 에칭 단계로 종료됨과 동시에, 상기 각 성막 시간이 에칭 처리의 진행에 따라서 상대적으로 연장되는 것을 특징으로 하는 플라스마 에칭 방법이 제공된다.

이러한 구성에 의하면, 에칭 단계와 성막 단계를 반복하면서 에칭 처리를 실행하기 때문에, 에칭 마스크, 예컨대 포토레지스트막을 보호막으로 보호하면서 피 처리체에 에칭을 실행할 수 있다. 그 결과, 포토레지스트막이 에칭되기 어렵고, 선택비가 커지기 때문에, 포토레지스트막의 패턴의 확대를 억제할 수 있고, 또한 성막 단계시 마스크 패턴 측벽에도 보호막이 형성되므로, 피 처리체에 소망하는 콘택트 홀을 형성할 수 있다.

삭제

또한, 각 성막 시간을 에칭 처리의 진행에 따라 연장하여도 무방하다. 처리가 진행됨에 따라 콘택트 홀의 중형비가 높아지고, 콘택트 홀 저면에 보호막이 형성되기 어렵게 된다. 따라서, 상기와 같이 각 성막 시간을 연장하면, 소정의 에칭을 실행하면서 포토레지스트막의 보호를 보다 확실히 실행할 수 있다.

또한, 각 성막 시간을 1초 이상으로 하면, 각 성막 공정 동안 보호막을 포토레지스트막에 확실히 형성할 수 있다.

또한, 에칭 처리의 최종 공정으로서, 에칭 단계를 실행하도록 구성하면, 콘택트 홀 저면이나 포토레지스트막상에 형성된 보호막을 제거할 수 있기 때문에, 보호막의 제거 단계가 불필요하게 되어, 후속 처리를 신속하게 실행할 수 있다.

또한, 에칭 처리의 개시 공정으로서 성막 단계를 실행하면, 에칭 공정 이전에 포토레지스트막을 보호막으로 보호할 수 있기 때문에, 피 처리체상에 소망하는 처리를 실행할 수 있다.

또한, 에칭 대상을 산화 실리콘막으로 하고, 처리 가스로서 플루오로카본 가스를 포함하는 가스를 사용하면, 포토레지스트막에 보호막을 확실히 형성할 수 있음과 동시에, SiO_2 막에 소망하는 콘택트 홀을 형성할 수 있다.

도면의 간단한 설명

도 1은 본 발명을 적용할 수 있는 에칭 장치를 도시하는 개략적인 단면도,

도 2는 도 1에 도시된 에칭 장치에 적용되는 에칭 방법과 종래의 에칭 방법을 설명하기 위한 웨이퍼(W)를 도시하는 개략적인 단면도,

도 3은 도 1에 도시된 에칭 장치에 적용되는 에칭 방법을 설명하기 위한 선택비와 듀티(duty)와의 관계를 나타내는 개략적인 설명도,

도 4는 도 1에 도시된 에칭 장치에 적용되는 에칭 방법을 설명하기 위한 바이어스용 전력의 온/오프 사이클을 나타내는 개략적인 설명도,

도 5는 도 1에 도시된 에칭 장치에 적용되는 에칭 방법을 설명하기 위한 듀티를 변화시켰을 때의 전체 처리 시간과 절연막에서의 에칭율과의 관계를 나타내는 개략적인 설명도,

도 6은 도 1에 도시된 에칭 장치에 적용되는 에칭 방법을 설명하기 위한 포토레지스트막의 잔존막 두께와 듀티와의 관계를 나타내는 개략적인 설명도,

도 7은 도 1에 도시된 에칭 장치에 적용되는 에칭 방법을 설명하기 위한 웨이퍼(W)를 도시하는 개략적인 단면도,

도 8은 도 1에 도시된 에칭 장치에 적용되는 에칭 방법을 설명하기 위한 중횡비와 폴리머의 두께와의 관계를 나타내는 개략적인 설명도,

도 9는 도 1에 도시된 에칭 장치에 적용되는 에칭 방법을 설명하기 위한 바이어스용 전력 오프 시간과 폴리머의 두께와의 관계를 나타내는 개략적인 단면도.

발명의 상세한 설명

이하, 첨부된 도면을 참조하면서 본 발명에 관한 플라즈마 에칭 방법의 바람직한 일 실시예에 대하여 설명한다.

(1) 에칭 장치의 전체 구성

우선 도 1을 참조하면서 본 발명을 적용할 수 있는 평행 평판형 플라즈마 에칭 장치(100)의 전체 구성에 대하여 설명한다.

에칭 장치(100)의 처리실(102)은 안전을 위해 접지된 전기 전도성의 처리 용기(104)내에 형성되어 있다. 이 처리실(102) 내에는 전도성의 하부 전극(106)이 배치되어 있다. 이 하부 전극(106)은 웨이퍼(W)의 탑재대를 겸하고 있다. 또한, 하부 전극(106)에는 정합기(108)를 거쳐서 본 실시예에 있어서의 바이어스용 전력을 출력하는 바이어스용 전원(110)이 접속되어 있다. 이 바이어스용 전원(110)에는 바이어스용 전력의 공급을 제어하는 제어기(112)가 접속되어 있다. 또한, 상세한 바이어스용 전력의 제어 구성에 관해서는 후술한다.

또한, 하부 전극(106)의 탑재면과 대향하는 위치에 전도성의 상부 전극(114)이 배치되어 있다. 이 상부 전극(114)과 처리 용기(104) 사이에는 절연부재(116)가 개재되어 있다. 또한, 상부 전극(114)에는 정합기(118)를 거쳐서, 상기 바이어스용 전력보다 주파수가 상대적으로 높은 플라즈마 생성용 전력을 출력하는 플라즈마 생성용 전원(120)이 접속되어 있다. 또한, 플라즈마 생성용 전원(120)에도 상기 제어기(112)가 접속되어 있고, 이 제어기(112)에 의해 플라즈마 생성용 전력의 공급이 제어된다.

또한, 상부 전극(114)에는 다수의 가스 토출 구멍(114a)이 형성되어 있다. 도시되지 않은 처리 가스 공급원으로부터 공급되는 처리 가스가 가스 공급관(122) 및 가스 토출 구멍(114a)을 거쳐 처리 용기(104)내에 균등하게 공급된다. 또한, 처리 용기(104)내의 하방에 배기관(124)이 접속되어 있고, 이 배기관(124)에 도시되지 않은 진공 펌프가 접속되어 있다.

(2) 에칭 처리 단계

다음으로, 도 1 내지 도 9를 참조하면서 본 실시예의 에칭 처리 단계에 대하여 상세히 설명한다.

우선 도 1에 도시된 하부 전극(106)상에 웨이퍼(W)를 탑재한다. 도 2a에 도시된 바와 같이 이 웨이퍼(W)에는 웨이퍼(W)를 구성하는 기판(200)상에, 예컨대 SiO_2 로 이루어지는 절연막(202)이 형성되어 있고, 또한 그 절연막(202)상에 소정의 패턴(204)이 형성된 에칭 마스크인 포토레지스트막(206)이 적층되어 있다. 또한, 도 1에 도시된 처리실(102)내로 가스 공급원으로부터 가스 공급관(122)과 가스 토출 구멍(114a)을 거쳐서, 예컨대 C_4F_8 와 CO와 Ar과 O_2 의 혼합 가스로 구성되는 처리 가스를 도입한다. 이 때, C_4F_8 와 CO와 Ar과 O_2 의 유량은 1:4:15:1의 유량비로 설정되어 있다. 또한, 진공 처리가 처리실(102)내에 배기관(124)을 거쳐 실행되어, 예컨대 35mTorr의 압력으로 유지시킨다.

다음으로, 제어기(112)의 제어에 의해, 플라즈마 생성용 전원(120)으로부터 정합기(118)를 거쳐서 상부 전극(114)에 27MHz에서 상부 전극(114) 1cm²당 4W 내지 5W의 고주파 전력을 인가함과 동시에, 바이어스용 전원(110)으로부터 정합기(108)를 거쳐서 하부 전극(106)에 상기 플라즈마 생성용 전력보다 상대적으로 낮은 주파수인 800kHz에서 웨이퍼(W) 1cm²당 5W의 고주파 전력을 후술하는 바와 같이 간헐적으로 인가한다.

여기서, 도 2 내지 도 9를 참조하면서 바이어스용 전력의 제어 구성에 대하여 설명한다.

도 4에 도시된 바와 같이, 우선 바이어스용 전력을 인가하는 온 사이클 처리(이하, "에칭 단계"라고 함)를 실행한다. 다음으로, 바이어스용 전력을 인가하지 않는 오프 사이클(이하, "성막 단계"라고 함)를 실행한다. 도 3은 9회의 에칭 단계와 8회의 성막 단계를 교대로 반복한 시점의 웨이퍼(W)상의 일점에 있어서의 선택비와 듀티(duty)와의 관계를 나타낸다. 여기서, 선택비는, 절연막(202)의 에칭된 양/포토레지스트막(206)의 에칭된 양이다. 또한, 듀티는 온 사이클 시간/(온 사이클

시간 + 오프 사이클 시간)을 나타낸다. 또한, 상기 온 사이클 시간은 30초로 설정되고, 오프 사이클 시간은 듀티를 만족시키는 시간으로 설정되어 있다. 또한, 듀티 100%란 바이어스용 전력을 연속적으로 인가한 경우이다. 또한, 성막 단계에 있어서, 반드시 바이어스용 전력을 차단할 필요는 없고, 성막이 실행될 정도로 바이어스용 전력을 저감시켜도 무방하다.

도 3으로부터 듀티를 낮춤으로써 선택비가 향상된다는 것을 알 수 있다. 그 이유는, 하부 전극(106)에 바이어스용 전력을 인가하는 기간(에칭 단계)에는, C_4F_8 의 해리에 의해 발생하는 CF_x 이온과 CF_x 래디컬, 및 Ar 이온 등에 의해 절연막(202)이 이온 어시스트 에칭되기 때문이다. 한편, 포토레지스트막(206)은 절연막(202)의 에칭율보다 낮은 에칭율로 상기 이온에 의해 스퍼터링(에칭)된다.

또한, 바이어스용 전력을 인가하지 않는 기간(성막 단계)에는, 이온이 웨이퍼(W)에 끌어당겨지지 않는다. 그 결과, 도 2b에 도시된 바와 같이, CF_x 래디컬이 포토레지스트막(206)의 표면에 부착됨으로써 폴리머(중합체)(208)가 형성된다. 이와 유사하게, 절연막(202)의 표면에 폴리머(208)가 형성된다. 그러나, 절연막(202)의 표면이 적어도 포토레지스트막(206)의 두께만큼 깊게 설정되고, 또한 래디컬 입자가 열 운동(랜덤 운동)을 하기 때문에, 절연막(202)의 표면에 형성되는 폴리머(208)의 두께(B)는 포토레지스트막(206)의 표면에 형성되는 폴리머(208)의 두께(A)보다 얇다. 이 점에 대해서는 도 8을 참조하여 후술한다.

또한, 포토레지스트막(206)이 예컨대 $C_xF_yO_z$ 로 구성되고, 분자 조성에 있어서 SiO_2 로 구성되는 절연막(202)보다도 폴리머(208)에 가깝기 때문에 폴리머(208)가 부착되기 용이하다고 고려된다. 이 점에 대해서는 도 9를 참조하여 후술한다.

또한, 성막 단계 후의 에칭 단계에서는, 폴리머(208)가 포토레지스트막(206)의 보호막으로서 작용한다. 즉, 폴리머(208)가 우선 에칭되고, 그 후 포토레지스트막(206)이 에칭되기 때문에, 포토레지스트막(206)이 에칭되는 양이 줄어든다. 한편, 절연막(202)상의 폴리머(208)가 얇기 때문에, 절연막(202)의 에칭의 진행을 그다지 방해하지 않는다.

또한, 에칭 단계에서는 절연막(202)은 약 8000 옹스트롬/분, 포토레지스트막(206)은 약 800 옹스트롬/분, 보호막인 폴리머(208)는 약 2300 옹스트롬/분으로 에칭된다. 이에 대하여, 성막 단계에서는 폴리머(208)는 약 1800 옹스트롬/분으로 포토레지스트막(206)의 표면에 성막된다. 이것이, 도 3에 도시된 바와 같이, 바이어스용 전력을 항상 인가한 경우에는 선택비가 10이고, 바이어스용 전력을 듀티 50%로 인가한 경우에는 선택비가 15로 되는 것에 대응한다.

또한, 도 5는 도 3과 동일한 조건으로 듀티를 바꾸었을 때의 전체 처리 시간과, 절연막(202)의 평균 에칭율[절연막(202)의 에칭량/성막 단계를 포함하는 전체 처리 시간]과의 관계를 나타내고 있다. 도 5로부터, 듀티를 낮추면 평균 에칭율이 저하되어 전체 처리 시간이 길어지는 것을 알 수 있다.

또한, 도 6은 도 3과 동일한 조건으로 듀티를 바꾸어 전체 처리 시간을 종료한 시점에서 잔존하는 포토레지스트막(206)의 두께를 나타낸다. 도 6으로부터, 듀티를 낮추면 포토레지스트막(206)의 잔존량이 증가하여 결과적으로 기대한 바와 같은 형상의 콘택트 홀(210)(도 2c 참조)이 형성되는 것을 알 수 있다.

또한, 도 7b는 도 7a에 도시된 상태의 웨이퍼(W)에 대하여, 소정 시간의 성막 단계를 실시한 후의 콘택트 홀(210) 저면과, 포토레지스트막(206) 상면에 형성되는 폴리머(208)의 상태를 도시한 것이다. 또한, 도 8은 도 7b에 도시된 콘택트 홀(210)의 종횡비를 바꾸었을 때의 포토레지스트막(206) 상면에 형성되는 폴리머(208)의 두께(A)에 대한 콘택트 홀(210) 저면에 형성되는 폴리머(208)의 두께(B)의 비를 나타낸다. 또한, 본 명세서에 있어서, 종횡비란 도 7b에 도시된 포토레지스트막(206)의 상면과 절연막(202)의 저면 사이의 거리(d)와, 콘택트 홀(210)의 직경(r)의 비(d/r)이다.

도 8로부터, 종횡비가 커짐에 따라, 즉 에칭이 진행되어 콘택트 홀(210)이 깊어짐에 따라, 콘택트 홀(210) 저면에 형성되는 폴리머(208)의 두께(B)는 포토레지스트막(206) 상면에 형성되는 폴리머(208)의 두께(A)에 비해 얇아지는 것을 알 수 있다.

또한, 도 9는, 도 3과 동일한 처리 조건의 성막 단계에서, 웨이퍼(W)의 표면이 포토레지스트막(206)인 경우와, 웨이퍼(W)의 표면이 절연막(SiO_2 막)(202)인 경우의 폴리머(208)의 성막 속도를 비교한 것이다. 도 9로부터, 포토레지스트막(206)상에 약 120 옹스트롬의 폴리머(208)가 형성될 때까지는, 절연막(202)상에는 폴리머(208)가 형성되지 않는 것을 알 수 있다. 이 정도의 기간(5초)에서는, 바이어스용 전력의 인가를 정지하여도, 절연막(202)에는 폴리머(208) 등이 형성되지 않는다.

이상의 실험 데이터로부터 이하의 것을 언급할 수 있다. 도 4는, 전술한 바와 같이 에칭 단계를 1회당 30초로하고, 에칭 단계로 개시하여 에칭 단계로 종료되는 경우에 대하여 도시한다. 이와 같이, 최초의 공정과 최후의 공정이 에칭 단계이면, 듀티가 동일하여도 1회당 에칭 단계와 성막 단계의 시간을 길게 함으로써, 전체 처리 시간을 단축할 수 있다.

또한, 본 실시예에서는 에칭 단계를 최종 공정으로 하며, 그 이유는 성막 단계를 최종 공정으로 하면, 포토레지스트막(206) 표면이나 콘택트 홀(210) 저면에 폴리머(208) 등의 반응 생성물이 부착된 채로 남기 때문에, 폴리머 등을 제거하는 공정이 더 필요하게 되어, 스루풋(throughput)을 저하시키기 때문이다. 즉, 최종의 에칭 단계에서는, 폴리머(208)를 제거하고, 콘택트 홀(210)의 형성이 완료될 때까지 에칭이 실행된다.

또한, 도 9에 도시된 바와 같이, 성막 단계의 시간이 5초이면, 절연막(202)상에 폴리머(208)가 형성되지 않고, 포토레지스트막(206)상에 폴리머(208)가 형성된다. 상기 시간은 사용하는 처리 가스의 종류 등의 처리 조건에 의해 변하지만, 적어도 1초 이상이면, 포토레지스트막(206)상에 폴리머(208)가 형성되어, 상기와 동일한 효과를 얻을 수 있다. 또한, 처리 시간을 짧게 하기 위해, 에칭 단계의 시간을 성막 단계의 시간보다 일반적으로 길게 하여도 무방하다. 또한, 본 실시예에서는, 바이어스용 전력의 온/오프의 주기가 1초 이상이기 때문에, 특수한 펄스 전원을 이용하지 않더라도 소프트웨어에 의해 전원의 온/오프를 용이하게 제어할 수 있다.

또한, 콘택트 홀(210)의 직경이 작은 경우, 에칭의 개시시에 소정의 종횡비가 확보된다. 따라서, 도 8에 도시된 바와 같이, 최초의 공정을 성막 단계로 하여도, 절연막(202)에는 근소한 폴리머(208)가 형성될 뿐이므로, 에칭 속도를 그다지 저하시키지 않으며, 미리 포토레지스트막(206)에 폴리머(208)를 형성할 수 있기 때문에, 선택비를 향상시킬 수 있다.

또한, 에칭이 진행됨에 따라 콘택트 홀(210)의 종횡비가 높아지며, 성막 단계에 의해 콘택트 홀(210)의 저면에 형성되는 폴리머(208)의 성막 속도는 저하된다. 그 결과, 성막 단계에 의한 콘택트 홀(210)의 에칭이 방해되는 정도는 에칭 개시시에 비해 저하된다. 따라서, 에칭 처리가 진행됨에 따라 듀티를 낮추거나, 또는 에칭 단계의 시간을 짧게 하고 성막 단계의 시간을 길게 하면, 포토레지스트막(206)에 폴리머(208)를 확실하게 형성하면서, 절연막(202)에 대해서도 소정의 에칭을 실시할 수 있다.

또한, 본 실시예를 적용하면, 성막 단계에 있어서 포토레지스트막(206)상에 형성된 폴리머(208)가 에칭된 후에, 포토레지스트막(206)이 에칭되기 때문에, 선택비를 높게 할 수 있다. 그러나, 선택비를 필요 이상으로 높게 하면, 처리 시간이 길어진다.

또한, 포토레지스트막(206)은, 전체 처리를 완료한 시점에서, 도 2d에 도시된 불량한 형상의 콘택트 홀(10)이 형성되지 않을 정도로, 에칭되지 않고서 남아 있으면 충분하다. 따라서, 듀티 및 에칭/성막 단계 각각의 1회당 시간은 절연막(202) 및 포토레지스트막(206)의 두께, 절연막(202) 및 포토레지스트막(206)의 에칭율, 폴리머(208)의 성막율, 콘택트 홀의 직경, 에칭의 진행 정도, 처리 가스의 종류, 바이어스용 전력의 크기 등을 고려하여 처리 시간을 최소화하도록 결정될 수 있다.

본 실시예는 이상과 같이 구성되어 있고, 포토레지스트막(206)의 상면이나 그 견부에 폴리머(208)를 형성하면서 에칭 처리를 실행하기 때문에, 처리시에 포토레지스트막(206)이 과도하게 에칭되지 않고, 특히 도 2c에 도시된 견부(206a)가 손상되지 않는다. 따라서, 패턴(204)에 근거하여, 높은 종횡비의 콘택트 홀(210)을 확실히 형성할 수 있다. 또한, 도 2b에 도시된 바와 같이, 폴리머(208)는 콘택트 홀(210)의 내부측면에도 부착되기 때문에, 이미 형성된 콘택트 홀(210)의 내부측벽이 에칭되기 어렵게 되어, 소위 활(bow) 형상으로 되는 것을 방지할 수 있다.

이상, 본 발명의 바람직한 일 실시예에 대하여, 첨부 도면을 참조하면서 설명했지만, 본 발명은 이러한 구성에 한정되는 것은 아니다. 특허청구범위에 기재된 기술적 사상의 범주에 있어서, 당업자라면 각종의 변형예 및 수정예를 실행할 수 있을 것이며, 이러한 변형예 및 수정예도 본 발명의 기술적 범위에 속하는 것으로 이해되어야 한다.

예컨대, 상기 실시예에 있어서, 800kHz의 바이어스용 전력을 하부 전극에 인가하는 구성을 예로 들어 설명했지만, 800kHz 이외의 주파수의 전력을 바이어스용 전력으로 사용하더라도, 본 발명을 실시할 수 있다.

또한, 상기 실시예에 있어서, 절연막으로서 SiO_2 를 사용하는 구성을 예로 들어 설명했지만, 본 발명은 이러한 구성에 한정되지 않고, 예컨대 BPSG(boron-phospho-silicate glass)나, TEOS(tetraethylorth-silicate)나, SOG(spin on glass)나, SiOF 나, 열산화막(SiO_2) 등의 절연막, 또는 절연막 이외의 에칭 처리에 대해서도 본 발명을 적용할 수 있다.

또한, 상기 실시예에 있어서, 평행 평판형 플라즈마 에칭 장치를 예로 들어 설명했지만, 본 발명은 이러한 구성에 한정되지 않으며, 피 처리체에 바이어스용 전력을 인가할 수 있으면, 유도 결합형 에칭 장치나 마이크로파형 에칭 장치 등의 플라즈마원을 구비한 플라즈마 에칭 장치에도 본 발명을 적용할 수 있다.

본 발명에 따르면, 에칭 처리중에 예컨대 포토레지스트막의 노출면에 보호막을 형성하는 성막 공정을 구비했기 때문에, 그 보호막에 의해 포토레지스트막이 에칭되기 어렵게 되어, 선택비를 향상시킬 수 있다. 그 결과, 처리 종료시까지 포토레지스트막에 형성된 에칭 패턴을 초기의 상태와 실질적으로 동일한 상태로 유지할 수 있고, 상기 패턴에 근거하여, 소정의 초미세 콘택트 홀을 형성할 수 있다. 또한, 콘택트 홀의 내부측벽에도 보호막을 형성하여, 보호할 수 있기 때문에, 상기 내부측벽면이 에칭되어 발생하는 활 형상의 발생을 억제할 수 있어, 소정 형상의 콘택트 홀을 형성할 수 있다.

산업상 이용 가능성

본 발명은 플라즈마 에칭 방법에 이용될 수 있다. 특히, 본 발명은 높은 종횡비가 요구되는, 예컨대 $0.15\mu\text{m}$ 디자인 룰하의 초미세 가공에 바람직하게 응용될 수 있다.

(57) 청구의 범위

청구항 1.

처리실내로 처리 가스를 도입하고, 플라즈마원에 의해 상기 처리실내에 플라즈마를 생성함과 동시에, 상기 처리실내에 배치된 전극에 바이어스용 전력을 인가하여, 상기 전극상에 탑재된 피 처리체에 대하여 소정의 에칭 처리를 실시하는 플라즈마 에칭 방법에 있어서,

상기 바이어스용 전력을 상기 전극에 인가하여 소정의 에칭 시간에 걸쳐서 상기 피 처리체에 에칭을 실시하는 에칭 단계와, 상기 바이어스용 전력을 저감 혹은 차단하여 소정의 성막 시간에 걸쳐서 상기 피 처리체 표면에 에칭 마스크로서 보호막을 형성하는 성막을 실시하는 성막 단계를 순차적으로 반복하며, 이 때에 상기 성막 시간은 에칭 처리의 진행에 따라 상기 에칭 시간의 길이에 대하여 상대적으로 연장되는 것을 특징으로 하는

플라즈마 에칭 방법.

청구항 2.

삭제

청구항 3.

제 1 항에 있어서,

상기 각 성막 시간이 1초 이상인 것을 특징으로 하는

플라즈마 에칭 방법.

청구항 4.

제 1 항에 있어서,

상기 에칭 처리의 최종 단계로서 상기 에칭 단계가 실행되는 것을 특징으로 하는

플라즈마 에칭 방법.

청구항 5.

제 1 항에 있어서,

상기 에칭 처리의 개시 단계로서 상기 성막 단계가 실행되는 것을 특징으로 하는

플라즈마 에칭 방법.

청구항 6.

제 1 항에 있어서,

상기 에칭 대상이 산화 실리콘막이고,

상기 처리 가스가 플루오로카본 가스를 포함하는 가스인 것을 특징으로 하는

플라즈마 에칭 방법.

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

제 1 항에 있어서,

상기 에칭 시간의 길이는, 상기 에칭 처리의 진행에 따라 상기 성막 시간에 대하여 상대적으로 감소되는 것을 특징으로 하는

플라즈마 에칭 방법.

청구항 13.

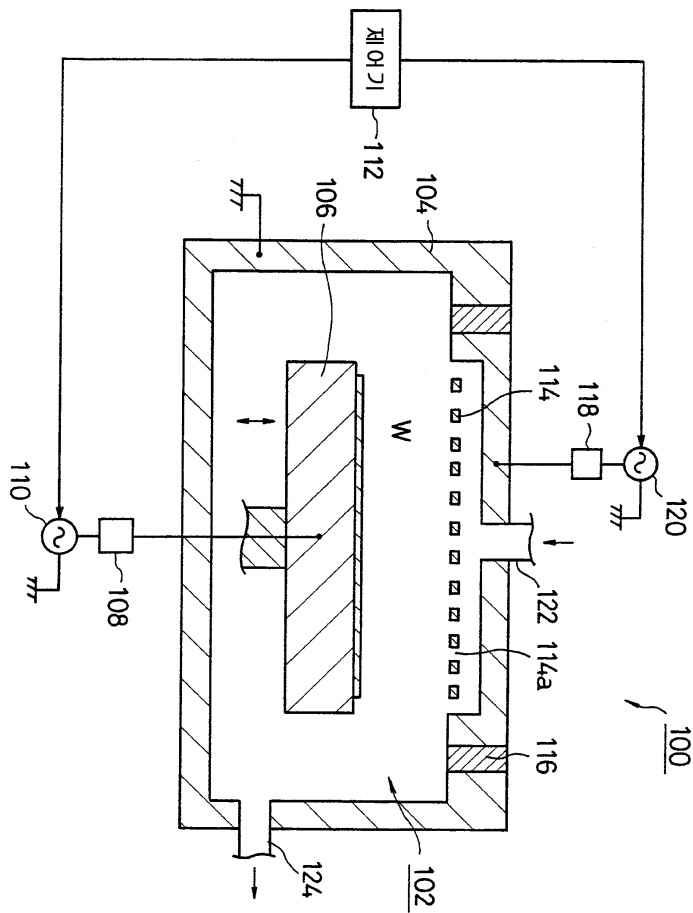
제 1 항에 있어서,

상기 성막 시간의 길이는, 상기 에칭 처리가 진행되는 정도에 대하여 상대적으로 연장되는 것을 특징으로 하는

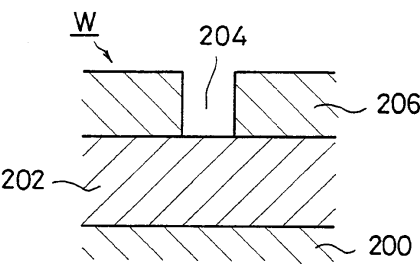
플라즈마 에칭 방법.

도면

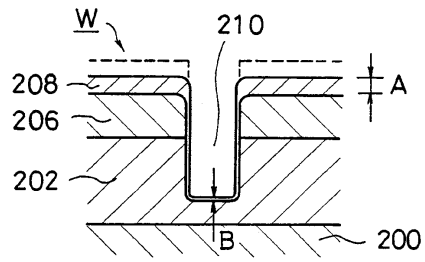
도면1



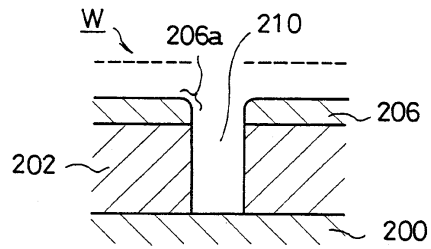
도면2a



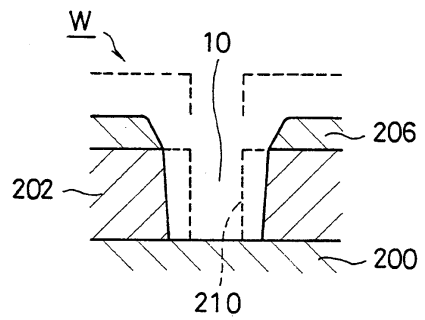
도면2b



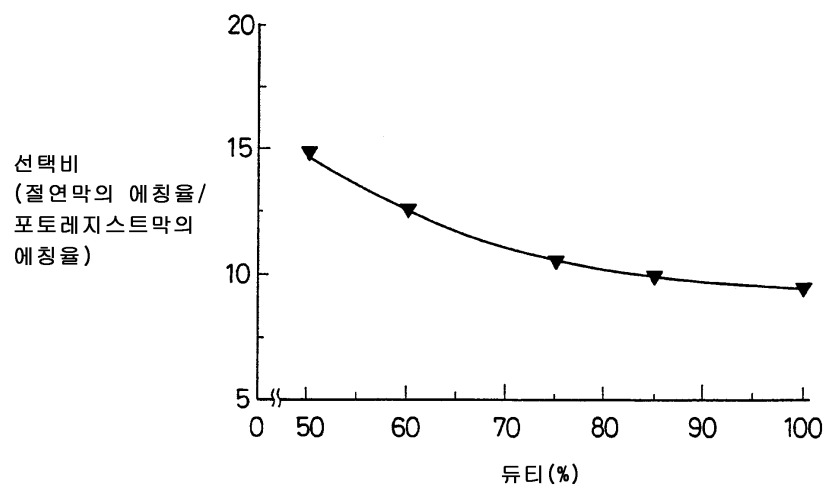
도면2c



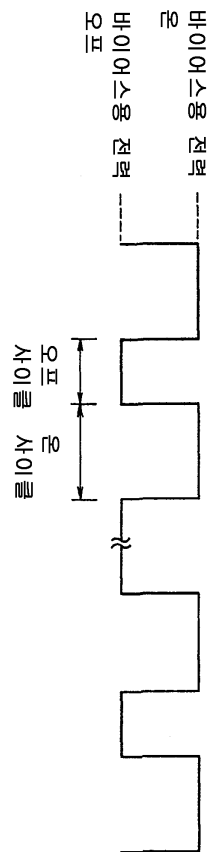
도면2d



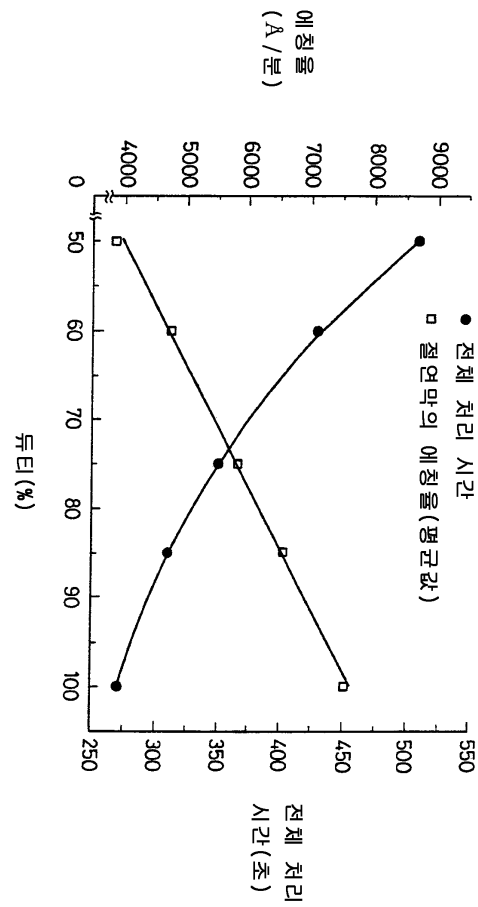
도면3



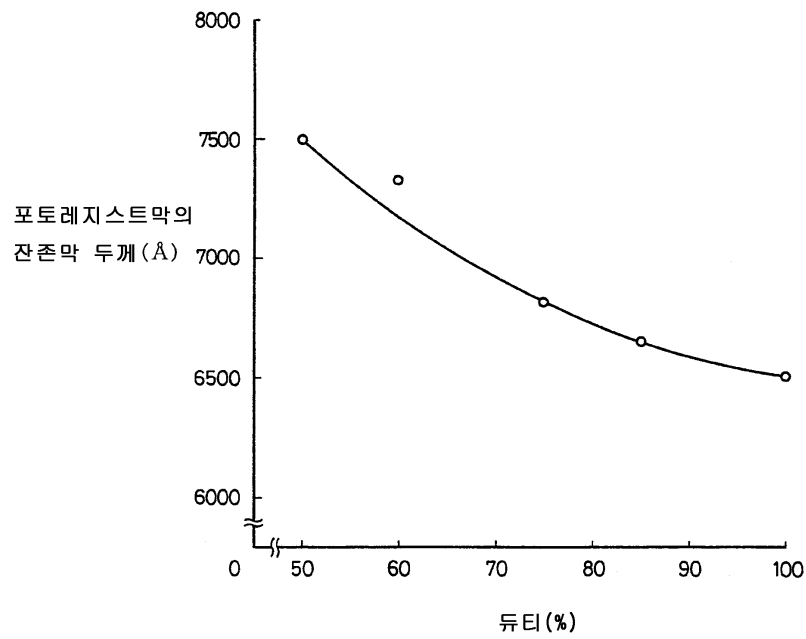
도면4



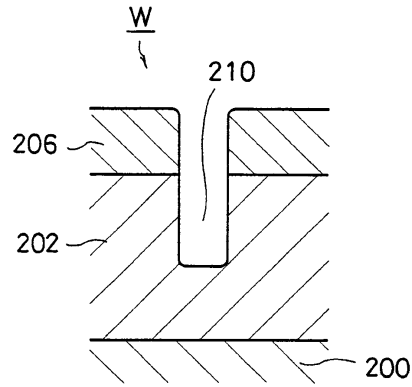
도면5



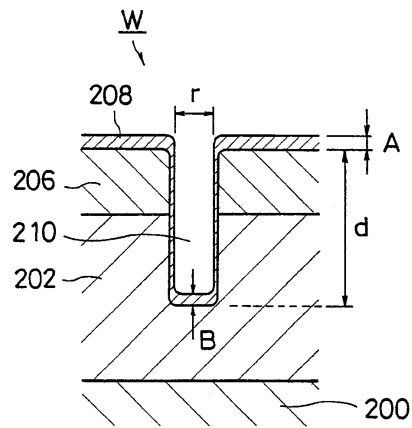
도면6



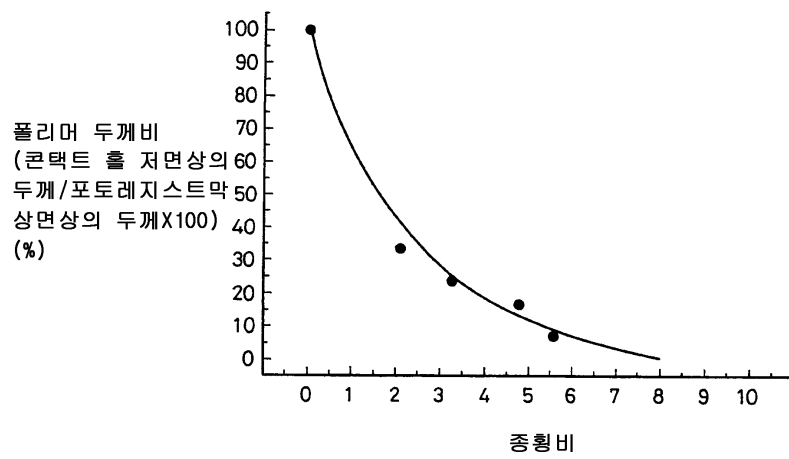
도면7a



도면7b



도면8



도면9

